

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明名稱	中 文	
	英 文	
二、發明人 創作人	姓 名	3.克力佛德 艾倫 金 CLIFFORD ALAN KING 4.伊 馬 YI MA 5.郭 K. 恩吉 KWOK K NG
	國 籍	3.-5.均美國/U.S.A.
	住、居所	3.美國紐約州紐約市瑞德街99號 99 Reade Street, Apt. 7W, New York, New York, 10013, United States of America 4.美國佛羅里達州歐蘭多市朗圓圓環2569號 2569 Runyon Circle, Orlando, Florida, 32837, United States of America 5.美國紐澤西州瓦倫市布拉茲爾路25號 25 Blazier Road, Warren, New Jersey, 07059, United States of America
	姓 名 (名 稱)	
三、申請人	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝
訂
線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權美國 2001 年 01 月 12 日 09/759,120 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

五、發明說明 (1)

技術領域

本發明大體上係關於異質接面雙極性電晶體。

先前技術

異質接面係一種半導體結，其中至少二相鄰區域由具有不同能帶間隙的半導體材料製成。例如，異質接面可能具有相鄰的矽(Si)與有應變的矽-鍺($\text{Si}_{1-x}\text{Ge}_x$)區域，其在室溫各具有1.12 eV 與 1.2-0.7 eV 的能帶間隙。對於某一範圍的鍺莫耳分數"x"而言，例如， $0.1 < x < 0.7$ ，相鄰的矽與 $\text{Si}_{1-x}\text{Ge}_x$ 區域具有不同的能帶間隙且形成異質接面。

在異質接面雙極性電晶體(HBT)中，能帶間隙的差強烈影響半導體的增益。在正常操作結構中，半導體的增益包含 $\exp(\Delta E_g/kT)$ 的因子，其中 ΔE_g 係射極能帶間隙減去基極能帶間隙，T 係溫度，"k"係波茲曼常數。如果射極能帶間隙大於基極能帶間隙，則上述指數因子使電晶體的增益增加。

在室溫時，如果射極與基極能帶間隙時之差大，例如，在攝氏 20°C 時大於 0.2-0.5 eV，則因子 $\exp(\Delta E_g/kT)$ 主控電晶體的增益。對於具有矽射極與 $\text{Si}_{1-x}\text{Ge}_x$ 基極的異質接面雙極性電晶體而言，如果莫耳鍺分數"x"大於約 0.1，則此差很大。

當矽/矽-鍺異質接面裝置使用之用於生長結晶矽-鍺層之技術進展的時候，對於矽/矽-鍺異質接面裝置的興趣也增加。目前，磊晶技術能夠在結晶矽基材上生長有應變的結晶矽-鍺層。請見，例如，J.C.Bean 等人的應用物理期刊

五、發明說明(2)

44(1983)102-104。然而，仍然需要改進以產生具有高品質操作特徵之更小的矽/矽-鍺異質接面雙極性電晶體。

發明內容

在一特點中，本發明的特徵係一種用於形成異質接面裝置之過程。過程包含在一半導體基材上形成一或更多層，在層中形成一窗以暴露一部分基材，及在基材的暴露部分上形成一矽-鍺基極區域。過程也包含形成一射極或集極區域以覆蓋矽-鍺基極區域，形成一覆蓋射極或集極區域的氧化層，及藉由移除一部分氧化層，在射極或集極區域上形成一接觸區。

在另一特點中，本發明的特徵係一異質接面雙極性電晶體，其包含一摻雜矽的射極或集極區域、一包含矽-鍺的基極區域、及一間隔物。射極或集極區域與基極區域之間形成異質接面。間隔物安置成為將射極或集極區域與一外部區域電絕緣。間隔物包含二氧化矽層，其實際上介於射極或集極區域與間隔物的剩餘部分之間。

圖式簡單說明

圖1A係異質接面雙極性電晶體(HBT)之一實施例的剖視圖；

圖1B係含有圖1A之異質接面雙極性電晶體之積體電路的一部分之剖視圖；

圖2係流程圖，顯示用於生長具有一射極區域之異質接面雙極性電晶體的過程，射極區域對於載體再結合與產生之狀況鈍化；

五、發明說明 (-3)

圖 3A-3B 係流程圖，顯示用於製造圖 1A-1B 之異質接面雙極性電晶體的過程；

圖 4A 顯示一起始結構，用於製造圖 1A-1B 的 NPN 異質接面雙極性電晶體；

圖 4B 顯示次集極結構，係由圖 4A 的結構藉由 N 型摻雜物的離子植入而產生；

圖 4C 顯示具有一集極接點的結構，係由圖 4B 的結構產生；

圖 4D 顯示層化結構，係由圖 4C 的結構產生；

圖 4E 顯示集極結構，係由圖 4D 的結構產生；

圖 4F 顯示對準間隔物，係產生於圖 4E 的結構之一部分上；

圖 4G 顯示一結構，係由圖 4F 的結構之等向蝕刻產生；

圖 4H 顯示一射極-基極結構，係由在圖 4G 所示之集極上的磊晶生長所產生；

圖 4I 顯示一射極-基極結構，係自圖 4H 的結構移除對準空間層而得；

圖 4J 顯示一由圖 4I 的結構產生之結構，係藉由在射極表面上生長氧化物鈍化層，接著形成自行對準的介電質間隔物；且

圖 4K 顯示一異質接面雙極性電晶體結構，其產生方式係藉由在圖 4J 的結構上形成一射極電極，而後使所形成的電極在側向具有適當尺寸。

相同的號碼指示圖中類似的特性。

五、發明說明 (4)

實施方式

磊晶過程可以在矽基材上產生具有薄與重度摻雜的矽-鍺之異質接面雙極性電晶體。約 7-100 奈米(nm)之間的矽-鍺基極厚度造成低的基極過渡時間，因而增加此異質接面雙極性電晶體的操作頻率上限。使基極的摻雜物位準增加至超過射極的摻雜物位準會降低基極的電阻，進一步增加此異質接面雙極性電晶體的上單一功率增益頻率。例如，基極厚度係約 18 奈米且基極的摻雜物位準高於射極者之矽/矽-鍺異質接面雙極性電晶體能夠以超過 1000 億赫茲的頻率切換。

參考圖 1A，顯示 NPN 型異質接面雙極性電晶體 10，其具有一 P 型 $\text{Si}_{1-x}\text{Ge}_x$ 基極 12、一 N 型矽射極 13 與一 N 型矽集極 14。鍺的百分比"x"係常數，或隨著基極 12 的寬度而逐漸變化。射極 13 由包含一熱生長的二氧化矽鈍化層 15 及氮化矽側壁 16 之複合式自行對準的間隔物環繞。鈍化層 15、氮化物側壁 16、射極 13 及基極 12 之間的關係更詳細顯示於插入物 11，其係異質接面雙極性電晶體 10 之一部分的放大視圖。

二氧化矽鈍化層 15 介於射極 13 及氮化物側壁 16 之間。氧化物鈍化層 15 的存在使得射極-基極空間電荷區域中的表面感應載體產生與再結合減少。射極 13 也安置成為將基極 12 與氧化物鈍化層 15 實際上分離，以致於矽-鍺基極 12 靠近射極 13 或集極 14 的部分不具有與氧化矽及/或氮化物區域相鄰的介面。不具有矽-鍺氧化形成的介面使得基極/

五、發明說明 (5)

射極或基極/集極接面-即，空間電荷區域-中的載體產生與再結合率減少。

基極 12 與氧化物層 17 之間確具有一側向介面，但該介面位於和參與少數載體輸送的基極 12 部分相隔大段距離之處。該距離係基極 12 最大厚度的至少二到三倍。大距離意味側向表面未顯著影響基極 12 的載體產生或再結合率。

基極 12 具備一有結晶應變的矽-鍺晶格，其中鍺的莫耳分數"x"自射極 13 介面處的低值分級變化至集極 14 介面處的高值。此處，具備有應變的矽-鍺晶格之半導體區域具有與界定矽-鍺區域之矽介面相同的平面內晶格常數。例如，基極 12 具備有應變的矽-鍺晶格，因為平行於它和射極 13 與集極 14 的介面之它的晶格常數等於在結晶矽區域者。

在基極 12 中，有應變的矽-鍺晶格結構之分級使得輸送少數載體的能帶彎曲。彎曲的能帶使得位於基極 12 中的少數載體加速，以減少此載體的基極過渡時間。減少基極過渡時間使得異質接面雙極性電晶體 10 可以在更高的頻率操作。

有應變的晶格生長將基極 12 的厚度限制於一最大值，依基極 12 中之鍺的莫耳分數"x"而定。基極 12 厚度大體上小於約 7 奈米(nm)。示範性實施例所具有的 x 最大值等於 0.6 至 0.1，且對應的基極厚度約為 3 奈米及約 80 奈米。一較佳實施例所具有的 x 最大值約為 0.3，而基極厚度約為 22 奈米。

基極 12 所摻雜的 P 型不純物之程度比射極 13 所摻雜的

五、發明說明 (6)

N 型不純物之程度更重。在示範性實施例中，基極 12 具有的摻雜物濃度約為每立方公分(cm^3) 10^{19} 至 10^{20} 硼原子。基極 12 的高摻雜物濃度使得基極電阻減少。

在某些實施例中，基極 12 也包含充當摻雜物之碳原子。

結晶矽射極 13 的厚度在約 10 至 100 毫微米之間，且摻雜物濃度低於基極 12。射極 13 之示範性 N 型摻雜物濃度約為每立方公分 1×10^{18} 至 3×10^{18} 砷(As)原子。

結晶矽集極 14 比基極 12 或射極 13 寬，且亦具有較低的摻雜物位準，其由崩潰電壓需求決定。示範性 N 型摻雜物濃度係每立方公分 10^{15} - 10^{18} 磷原子。

集極 14 經由位於集極 14 下方的 N 型摻雜的次集極 19，而與接觸區域 18 電接觸。次集極 19 的厚度約為 1 微米或更少，而 N 型摻雜物濃度約為每立方公分 10^{19} - 5×10^{20} 磷、砷或銻原子。

基極 12 與射極 13 和多晶矽基極與射極電極 20、21 電接觸，其各具有 P 型與 N 型摻雜物。基極電極 20 與射極電極 21 由約 20 至 100 奈米的介電質間隔物-即，氧化物層 15 與側壁 16-實體側向分離。在一實施例中，基極電極 20 與射極 13 之間的最短距離係約 40 奈米。

在各實施例中，側壁 16 的厚度係設計成為在基極 12 的電阻所施加的束縛與基極 12 及射極 13 之間的電容所施加的另一束縛之間加以妥協。就高頻性能而言，基極電阻必須低，而基極電阻典型上隨著側壁 16 的厚度而增加。另一方面，高頻操作要求射極 13 與基極電極 20 之間的電容須

五、發明說明 (7)

低，且此電容隨著側壁 16 的厚度而減少。40 奈米厚的側壁使異質接面雙極性電晶體能夠以高達約 1050 億赫茲或更高的頻率操作。

圖 1B 顯示 P 型矽基材 22，其支撐積體電路 23。電路 23 包含圖 1A 的異質接面雙極性電晶體 10 及一或更多其他主動裝置 24，例如，場效電晶體。

P 型基材 22 包含 N 型摻雜的井 25、26-27，異質接面雙極性電晶體 10 與其他裝置 24 位於其中。井 25 與側向井 26-27 由一深的氧化物屏障 28-例如，環繞井 25 的場氧化物-電隔離。一 P-N 結使井 25 與井 25 下方的基材 22 部分隔離。另一氧化物屏障 29 使異質接面雙極性電晶體的基極 12 與集極接觸區域 18 電絕緣。

圖 2 繪示一過程 30 之一實施例，其用於在基極與射極區域-例如，圖 1A-1B 的基極 12 與射極 13-中製造具有低載體再結合及產生率的矽/矽鍺異質接面雙極性電晶體。過程 30 在矽基材上形成一或更多層(步驟 31)。過程 30 形成一通過一或更多層的窗，以暴露基材的一部分(步驟 32)。過程 30 藉由-例如-摻雜物原子的擴散或植入及退火，在基材的暴露部分中形成一結晶矽集極區域(步驟 33)。

在先前形成的集極區域上，過程 30 磊晶生長一摻雜的結晶矽-鍺基極區域(步驟 34)。過程 30 在先前形成的基極區域上磊晶生長一結晶矽射極區域，以致於射極區域覆蓋基極區域(步驟 35)。在第二磊晶生長以後，矽-鍺基極區域由矽區域環繞，以致於隨後的過程不使矽-鍺基極區域的部分

五、發明說明 (8)

氧化。矽-鍺基極區域的部分之熱氧化可能在基極區域中造成高產生與再結合率，原因在於矽-鍺合金的氧化所形成之介面的粗度。在各實施例中，靠近射極區域的程度小於最大基極厚度之約 2-4 倍的基極區域部分係由矽覆蓋，以避免隨後的氧化。

例如，圖 1 的基極 12 由射極 13、集極 14 及聚矽電極 20 環繞。只有小部分的基極 12 側向接觸氧化物層 17。基極的該部分和參與少數載體輸送的基極區域-即，夾置於射極 13 與集極 14 之間的區域-之距離至少係基極厚度的二倍。於是，基極與氧化物層 17 的介面未顯著影響基極中的載體再結合與產生率。

在移除接觸於矽射極區域的介電質以後，過程 30 從矽射極區域的暴露表面生長二氧化矽的鈍化層(步驟 36)。二氧化矽的鈍化層係沈積或熱生長。如果係熱生長，則二氧化矽生長過程在矽-鍺基極區域的材料氧化以前停止，原因在於氧化此材料將產生具有高載體再結合與產生率的不良介面。此外，在鈍化層的熱生長時，溫度保持低，例如，低於 800°C，而氧化係在含有氧與水蒸氣二者的氛圍中執行。過程 30 藉由-例如-沈積一或更多額外介電質層，在射極區域周圍形成側向間隔物(步驟 37)。先前生長的氧化物-例如，熱氧化物-保護射極區域，以免直接接觸稍後沈積的介電質層。若無氧化物層，則射極區域的表面與諸如氮化矽之稍後沈積的介電質間之直接實體接觸可能導致高載體產生與再結合率。過程 30 在先前形成的射極區域上製造

五、發明說明 (9)

一電極，且將射極區域囊封，以致於高載體再結合率未發生於其內(步驟 38)。電極的形成可能包含其他材料的一或更多蝕刻及沈積。

在射極電極形成以後，矽射極區域由半導體區域及熱生長的二氧化矽環繞。與二種區域之間的介面未在射極區域中導致不可接受的高載體再結合率。在圖 1A-1B 的異質接面雙極性電晶體 10 中，射極 13 由多晶矽電極 21、熱氧化物鈍化層 15 及矽-鍍基極 12 環繞。

一在射極區域上方的二氧化矽層改進異質接面雙極性電晶體的操作性質，異質接面雙極性電晶體的基極區域之摻雜物位準高於射極區域。對於此異質連接雙極電晶體而言，射極區域中之空乏區域比基極區域中之空乏區域厚，於是更可能完全穿越射極區域部分的厚度。對於射極區域的那些部分而言，在暴露的射極表面上之載體再結合可能使電晶體的操作嚴重惡化。以二氧化矽層-例如，熱生長層-覆蓋那些射極表面可使載體再結合率減少至低於發生在不具有保護性氧化物層的類似表面上的載體再結合率。

圖 3A-3B 係流程圖，顯示用於製造圖 1A-1B 所示異質接面雙極性電晶體 10 的過程 40。過程 40 的中間結構顯示於圖 4A-4K 的剖視圖。

圖 4A 顯示一起始結構 70，過程 40 自該結構 70 構建圖 1 的 NPN 電晶體 10。結構 70 與基材 22 中的其他結構(未顯示)由一深的二氧化矽溝渠 28 側向隔離，且由一較淺的二氧化矽結構 29 分為二區域。

五、發明說明 (10)

參考圖4B，過程40自圖4A的結構70產生結構72，其具有埋放式N型次集極結構19。為了形成結構72，過程40首先執行二氧化矽層74的低壓化學蒸氣沈積(LPCVD)至約18奈米的厚度。二氧化矽層74係藉由分解約650°C的四正矽酸乙酯(TEOS)而產生。於沈積層74以後，過程40執行通過氧化物之離子植入，以形成次集極結構19(步驟41)。離子植入使用的劑量係每平方公分的起始結構70表面積約 4×10^{14} 磷原子。平均離子能量係約90萬電子伏特(keV)。在植入以後，快速的熱退火移除植入所引起的缺陷，且活化所植入的磷原子。

參考圖4C，過程40自圖4B的結構72產生結構76。為了產生結構76，過程40離子植入N型摻雜物，例如，磷原子，以在氧化物溝渠29與28之間形成集極接觸區域18(步驟42)。離子植入係由微影術控制。在植入以後，過程40在約1000°C及在氮氛圍中執行快速熱退火約5秒。退火活化集極接觸區域18。在接觸區域18植入以後，過程40將氧化物層74蝕除。

在圖1B的實施例中，過程40也植入裝置24-即，場效電晶體-的源極及汲極結構。

參考圖4D，過程40在圖4C的結構76上形成層化結構80(步驟43-47)。層化結構80包含二氧化矽層17、P型摻雜多晶矽層84、另一個二氧化矽層86、氮化矽層88及外二氧化矽層90。

為了產生氧化物層17，過程40執行二氧化矽之額外30

五、發明說明 (11)

奈米的四正矽酸乙酯沈積(步驟 43)。

其次，過程 40 藉由將多晶矽沈積於氧化物層 17 上達 200 奈米的厚度，然後將 2 萬電子伏特能量之每平方公分 5×10^{15} 硼(B)離子的劑量植入所沈積的聚矽(步驟 44)。P 型摻雜的聚矽層 84 將形成圖 1A-1B 的基極電極 20。

已摻雜的聚矽層 84 由介電質層 86、88、90 覆蓋。為了形成層 86，過程 40 在已摻雜的聚矽層 84 上執行氧化物的四正矽酸乙酯沈積至 120 毫微米的厚度(步驟 45)。為了形成氮化物層 88，過程 40 在氧化物層 86 上以 650°C 的氮化物執行低壓化學蒸氣沈積至 40 毫微米的厚度(步驟 46)。為了形成氧化物層 90，過程 40 執行另一次四正矽酸乙酯沈積，以產生 140 奈米厚的外氧化物層 90(步驟 47)。

參考圖 4E，過程 40 自圖 4D 的層化結構 80 形成集極結構 92。集極結構 92 具有一窗 94，及一位於窗 94 下方的 N 型集極 14。集極 14 經由已摻雜的次集極結構 19，電連接至集極接觸區域 18。

為了產生結構 92，過程 40 遮蔽層化結構 80 的外表面 96，且非等向蝕刻通過氧化物、氮化物及氧化物層 90、88、86，以在微影術罩幕的控制下產生窗 94(步驟 48)。然後，過程 40 經由窗 94，將具有約 26 萬電子伏特能量之每平方公分約 2×10^{12} 磷離子的劑量植入基材 22，以形成集極 14(步驟 49)。在植入以後，另一熱退火活化集極 14。

其次，過程 40 執行聚矽層 84 之微影術控制的非等向蝕刻。蝕刻係受到計時或監視，以在氧化物層 17 上停止。用

五、發明說明 (12)

於非等向蝕刻的傳統蝕刻劑係專精於此技藝的人眾所皆知的，在此不詳細討論。

參考圖 4F，過程 40 藉由形成氮化物間隔物 100(其襯填於圖 4E 的窗 94)而形成結構 98(步驟 50)。為了形成間隔物 100，過程 40 在結構 92 上沈積約 40 毫微米的氮化矽，即， Si_3N_4 ，然後，非等向蝕刻通過氮化物層。當在蝕刻移除的材料中偵測到來自層 90 的氧化物時，非等向蝕刻停止。

參考圖 4G，過程 40 自圖 4F 的結構 98 形成結構 102。為了形成結構 102，過程 40 以氟化氫(HF)的水溶液執行結構 98 的等向蝕刻(步驟 51)。蝕刻溶液具有 50:1 之 H_2O 與 HF 的莫耳比。HF 蝕刻層 17 與 90 的二氧化矽，而非間隔物 100 或層 88 的氮化物。HF 蝕刻受到計時，以形成開口 104，其過切於間隔物 100，且經由先前蝕刻的窗 94，提供多晶矽層 84 的通道。

參考 4H，過程 40 使圖 4G 的結構 102 上所生長的異質接面基極射極結構 108 生長。基極-射極結構 108 包含圖 1A-1B 之分級的結晶矽-鍺基極 12 與結晶矽射極 13。基極 12 具有足夠低的鍺莫耳分數 "x"，即， $0.1 < x < 0.6$ ，且足夠薄，即，3-70 奈米厚，以具備有應變的矽鍺結晶結構，其水平晶格常數匹配於結晶矽射極 13 及集極 14 之水平晶格常數。

在示範性異質接面雙極性電晶體中，鍺的莫耳分數 "x" 自基極-集極介面附近的約 0.35 變化至基極-射極介面的 0.25。

在另一示範性異質接面雙極性電晶體中，莫耳分數 x 約

五、發明說明 (-13)

等於 0.30，且在基極的全部寬度 12 係均勻的。

為了產生基極-射極結構 108，過程 40 在集極 14 上執行氣體磊晶生長(步驟 52)，且在已生長的基極 12 上執行射極 13 的氣體磊晶生長(步驟 53)。在基極 12 生長期間，磊晶使用氣體浴，其包含鍺、矽及 P 型摻雜物原子，例如：硼。氣體浴中之鍺的莫耳百分比改變，以使基極 12 中之鍺分數 "x" 分級。在射極 13 生長期間，氣體浴只包含矽及 N 型摻雜物，例如：砷原子。第二磊晶對準矽射極 13 的生長，以完全覆蓋矽-鍺基極 12 的暴露部分。

在射極-基極結構 108 中，射極 13 的矽表面保持暴露，且基極 12 的表面遭覆蓋。基極 12 具有表面，其實際上接觸 N 型矽集極 14、P 型聚矽層 84、N 型射極 13 及小部分的氧化物層 17。基極 12 的任何部分未實際接觸剩餘的氮化間隔物 100 或保持可由窗 94 觸碰，原因在於射極 13 生長而覆蓋基極 12，且充填基極 12 與氮化物間隔物 100 之間的間隙。基極 12 與氧化物層 17 之間的側向接觸未顯著影響基極 12 中的載體再結合，原因在於接觸係與夾置於射極 13 及集極 14 之間的基極區域相隔大段距離。距離係最大基極厚度的至少 2-4 倍。

參考圖 4I，過程 40 自圖 4H 的射極-基極結構 108 形成結構 120。為了產生結構 120，過程 40 執行為了氮化物而選擇的等向蝕刻，以自窗 94 移除氮化物間隔物 100，進一步暴露射極 13 的上表面(步驟 54)。選擇的蝕刻也移除氮化物層 88，但未移除氧化物層 86、聚矽層 84 或矽射極 13。選

五、發明說明 (-14)

擇的蝕刻未暴露基極 12，原因在於射極 13 的早期生長已完全覆蓋先前可自窗 94 觸碰的基極 12 部分。

參考圖 4J，過程 40 自圖 4I 的結構 120 形成鈍化結構 122。結構 122 包含一自行對準的側壁間隔物 124 及一鈍化層 126。鈍化層 126、射極 13 及基極 12 之間的關係在插入物 127 中更清楚可見，插入物 127 係結構 122 之一部分的放大視圖。

為了形成間隔物 124，過程 40 在矽射極 13 的暴露表面上熱生長二氧化矽鈍化層 126(即，圖 1A-1B 的層 15)至 1-20 毫微米的厚度。二氧化矽層 126 使射極的暴露表面對於載體產生與再結合之狀況鈍化。熱氧化物層 126 可藉由將結構 120 在約 200-600°C 的低溫及在約 10-25 大氣壓的高氧壓力中加熱 20 分鐘而形成。熱氧化物層 126 也可藉由在約 700-750°C 的較高溫及在約 1 大氣壓的較低蒸汽壓力中加熱約 1-2 分鐘而形成。

於形成熱氧化物層 126 以後，過程 40 在熱氧化物層 126 上沈積一介電質層(步驟 56)。在一實施例中，熱氧化物層 126 約為 3 毫微米厚，且介電質層包含 20-40 毫微米厚的四正矽酸乙酯氧化物層，其在 30-100 毫微米的氮化矽層下方。於沈積介電質層以後，過程 40 執行非等向蝕刻-其由介電質選擇-通過介電質及氧化物，到達射極 13 的表面(步驟 57)。由於蝕刻的選擇性，介電質層自行對準射極與基極，其留下一介電質間隔物 128，間隔物 128 具有以自行對準的間隔物為特徵之較寬的基部及較薄的曲線形頂部

五、發明說明 (15)

130。

參考圖4K，過程40自圖4J的結構122形成NPN電晶體結構132。為了產生結構132，過程40以具有200:1之 $H_2O:HF$ 莫耳比的溶液執行水性等向蝕刻約1分鐘，以自射極13表面的一部分移除氧化物。然後，過程40沈積用於圖1A-1B之射極電極21的N型多晶矽(步驟58)。多晶矽在原處與砷進行N型摻雜。過程40在射極電極21上方選擇性執行一保護性氧化物層23的四正矽酸乙酯沈積(步驟59)。

過程40執行一系列微影術控制、非等向蝕刻，以使基極與射極電極20、21的側向具有適當尺寸，如圖1A-1B所示(步驟60)。第一蝕刻在第一單幕控制下移除相對於間隔物124側向延伸的部分氧化物層23、射極電極21、及氧化物層86。第二非等向蝕刻氧化物層由第二單幕控制，且移除基極電極21之多餘的側向部分，以產生圖1A-1B所示之最後的電晶體10。

於使基極與射極電極20、21的側向具有適當尺寸以後，異質接面雙極性電晶體10連接至其他裝置24，及/或其他裝置24添加至基材22，以形成積體電路。積體電路由一或更多介電質保護層覆蓋，且連接墊座藉由專精於此技藝的人習知的方法製造於異質接面雙極性電晶體10及/或其他裝置24的電極。在此積體電路中，分級的矽/矽-鍍異質接面雙極性電晶體10可在400-3000億赫茲的切換頻率操作。

在其他實施例中，異質接面雙極性電晶體10的垂直結構

五、發明說明 (-16)

反向，以致於基材 22 含有一 N 型射極區域，且 P 型基極及 N 型集極區域藉由類似於圖 2A-4K 所示的過程構建於射極區域上。

某些實施例以類似於圖 1 之 NPN 型異質接面雙極性電晶體 10 的結構製造 PNP 型異質接面雙極性電晶體，不過，P 型與 N 型摻雜物互換。在某些此類 PNP 型異質接面雙極性電晶體中，射極及集極區域隨著基極附近的鍍而分級。然後，鍍的百分比自零變化至這些集極及射極區域-其比基極薄-上方之基極中所見到的常數值。在這些區域射極及集極中之鍍百分比的分級使得 PNP 型異質接面雙極性電晶體的總增益增加。PNP 型異質接面雙極性電晶體由專精於此技藝的人從以上的揭示可以明白的過程構建。

專精於此技藝的人鑑於此申請案的說明書、圖及申請專利範圍，可以了解本發明的其他實施例。

四、中文發明摘要 (發明之名稱： 異質接面雙極性電晶體)

一種異質接面雙極性電晶體，包含一摻雜矽的射極或集極區域、一包含矽-鍺的基極區域、及一間隔物。射極或集極區域與基極區域之間形成一異質接面。間隔物係安置將射極或集極區域與一外部區域電絕緣。間隔物包含一二氧化矽層，該二氧化矽層實際上介於射極或集極區域與間隔物的剩餘部分之間。

英文發明摘要 (發明之名稱： HETEROJUNCTION BIPOLAR TRANSISTOR)

A heterojunction bipolar transistor includes an emitter or collector region of doped silicon, a base region including silicon-germanium, and a spacer. The emitter or collector region form a heterojunction with the base region. The spacer is positioned to electrically insulate the emitter or collector region from an external region. The spacer includes a silicon dioxide layer physically interposed between the emitter or collector region and the remainder of the spacer.

六、申請專利範圍

1. 一種用於製造半導體裝置之方法，包含：
 在一半導體基材上形成一層疊結構；
 在該層疊結構中形成一窗，經由該窗暴露一部分基材；
 在基材的暴露部分上形成一矽-鍺基極區域；
 形成一射極區域以覆蓋該矽-鍺基極區域；
 形成一覆蓋該射極區域的氧化層；
 在該氧化物層上形成一介電層以產生一具有能夠自行對準非等向蝕刻之組成物之結構；及
 藉由移除一部分氧化層在該射極區域上形成一接觸區。
2. 如申請專利範圍第1項之方法，進一步包含：
 在該基材中於形成一矽-鍺基極區域之前形成一集極區域。
3. 如申請專利範圍第2項之方法，其中基極區域的摻雜濃度高於射極區域和集極區域。
4. 如申請專利範圍第1項之方法，其中射極區域與基極區域係藉由磊晶生長而形成。
5. 如申請專利範圍第1項之方法，其中另一介電質層係為氮化物層。
6. 如申請專利範圍第1項之方法，其中氧化物層係藉由熱氧化而形成。
7. 如申請專利範圍第1項之方法，其中形成氧化物層未將矽-鍺基極區域的材料氧化。

六、申請專利範圍

8. 如申請專利範圍第2項之方法，其中基極區域接觸一在接觸區域外部的介電質；且

接觸區域包含一實體接觸區域，該接觸區域在集極區域與基極區域之間及在射極區域與基極區域之間，且該接觸區域自實體接觸區域向外延伸至少係基極區域厚度二倍的距離。

9. 一種雙極性電晶體，包含：

一摻雜矽的射極區域；

一包含矽-鍺的基極區域，且該基極區域與射極區域之間形成異質界面；

一間隔物，該間隔物係安置將射極區域與一外部區域電絕緣，間隔物包含二氧化矽層，該間隔物實際上介於射極區域與間隔物的剩餘部分之間且其中基極不接觸間隔物的剩餘部分。

10. 如申請專利範圍第9項之電晶體，進一步包含：

一部分基極區域位於射極區域與一集極區域之間。

11. 如申請專利範圍第10項之電晶體，其中一部分射極區域介於基極區域與間隔物之間。

12. 如申請專利範圍第10項之電晶體，其中間隔物又包含另一第二介電質層，二氧化矽層係在該另一層與射極區域之間。

13. 如申請專利範圍第12項之電晶體，其中第二介電質包含氮化物。

14. 如申請專利範圍第10項之電晶體，其中基極區域的摻雜

六、申請專利範圍

物濃度高於射極區域的摻雜物濃度。

15.如申請專利範圍第10項之電晶體，其中射極區域形成一對準於基極區域的結構。

16.如申請專利範圍第15項之電晶體，其中自行對準的結構包含：

一位於二氧化矽層附近的氮化物層。

17.如申請專利範圍第10項之電晶體，其中基極區域的摻雜物濃度高於射極和集極區域的摻雜物濃度。

18.如申請專利範圍第10項之電晶體，其中二氧化矽層係熱生長的二氧化矽。

19.如申請專利範圍第10項之電晶體，其中基極、射極與集極區域個別係P型、N型與N型區域。

20.一種用於製造半導體裝置之方法，包含：

在一半導體基材上形成一層疊結構；

在該層疊結構中形成一窗，經由該窗暴露一部分基材；

在基材的暴露部分上形成一矽-鍍基極區域；

形成一集極區域以覆蓋矽-鍍基極區域；

形成一覆蓋集極區域的氧化層；

在該氧化物層上形成一介電層以產生一具有能夠自行對準非等向蝕刻之組成物之結構；及

藉由移除一部分氧化層在集極區域上形成一接觸區。

21.一種雙極性電晶體，包含：

一摻雜矽的集極區域；

六、申請專利範圍

一 包含矽-鍺的基極區域，且該基極區域與集極區域之間形成異質接面；

一 間隔物，該間隔物係安置將集極區域與一外部區域電絕緣，間隔物包含二氧化矽層，該間隔物實際上介於集極區域與間隔物的剩餘部分之間且其中基極不接觸間隔物的剩餘部分。

裝

訂

線

公告本

92.10.1

申請日期	91. 1. 8
案 號	091100151
類 別	H01L 2/58

A4
C4

中文說明書替換本(92年10月)

569318

(以上各欄由本局填註)

發明專利說明書

一、發明 新 型 名 稱	中 文	異質接面雙極性電晶體
	英 文	HETEROJUNCTION BIPOLAR TRANSISTOR
二、發明人	姓 名	1.馬可 馬查帕斯奎 MARCO MASTRAPASQUA 2.米契爾 R. 佛瑞 MICHEL R. FREI
	國 籍	1.義大利/ITALY 2.瑞士/SWITZERLAND
	住、居所	1.美國紐澤西州安那達爾市杭汀山丘路7號 7 Hunting Hill Rd., Annandale, New Jersey, 08801, United States of America 2.美國紐澤西州柏克萊高地市魯澤斯大道178號 178 Rutgers Avenue, Berkeley Heights, New Jersey, 07922, United States of America
	三、申請人	美商艾基爾系統管理人公司 AGERE SYSTEMS GUARDIAN CORPORATION
	姓 名 (名 稱)	美國/U.S.A.
	國 籍	美國佛羅里達州歐蘭多市 Orlando, Florida 32819 U.S.A.
	住、居所 (事務所)	理察 J. 布托斯 RICHARD J. BOTOS
	代 表 人 姓 名	

裝
訂
線

第 091100151 號專利申請案
中文圖式替換本(92年10月)

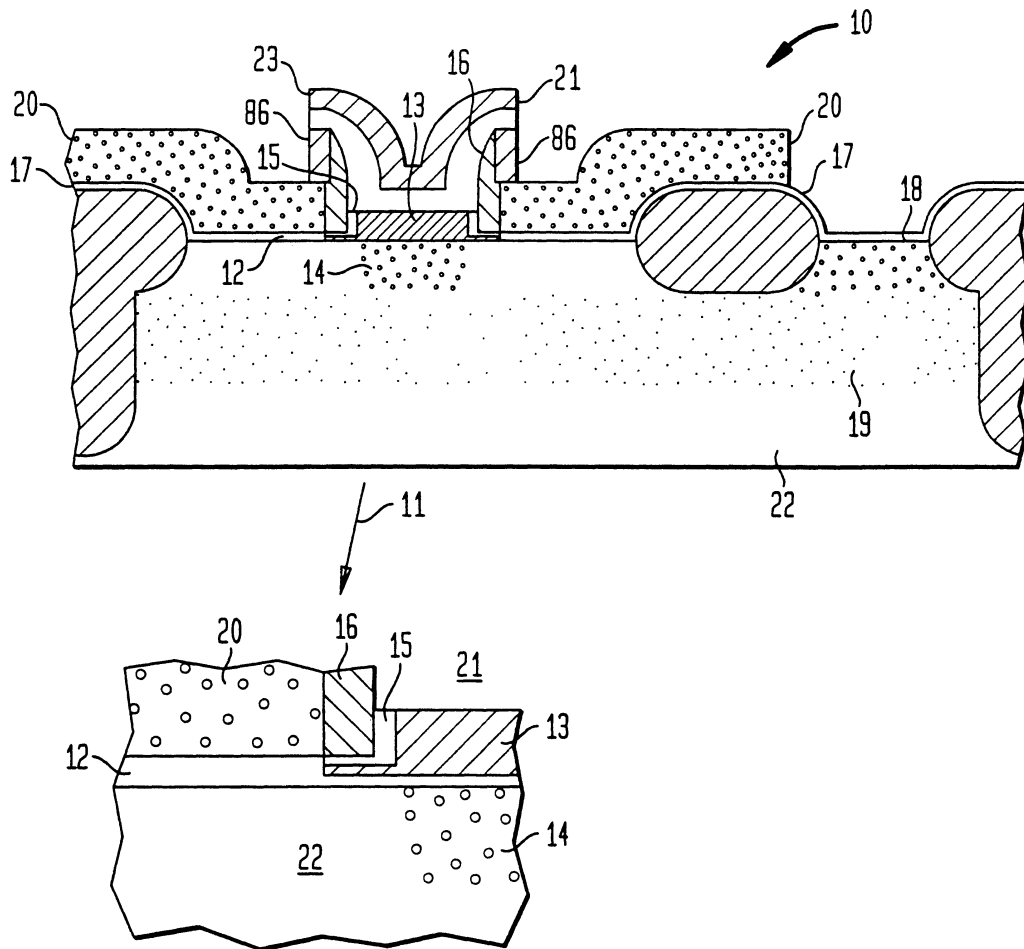


圖 1A

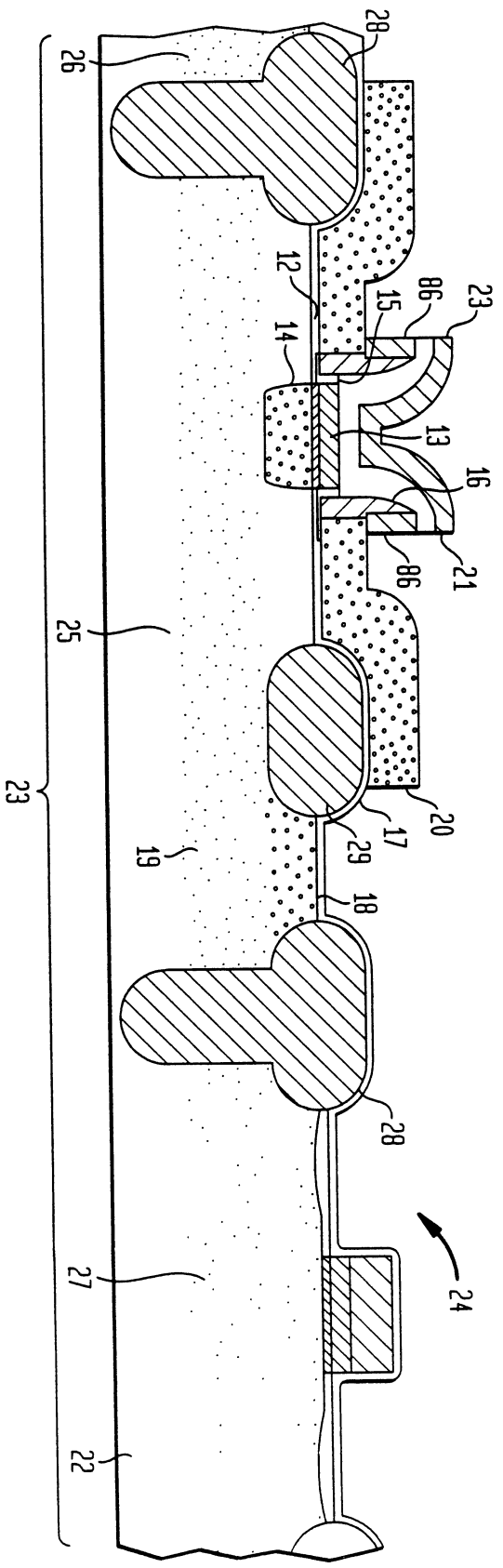


圖 1B

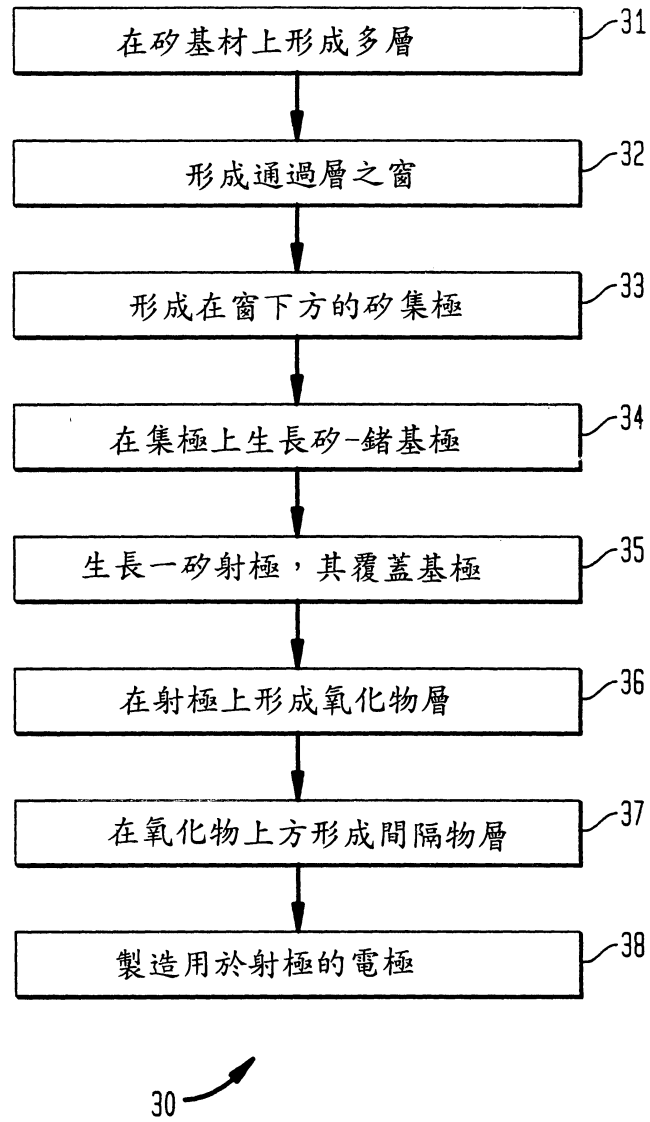


圖 2

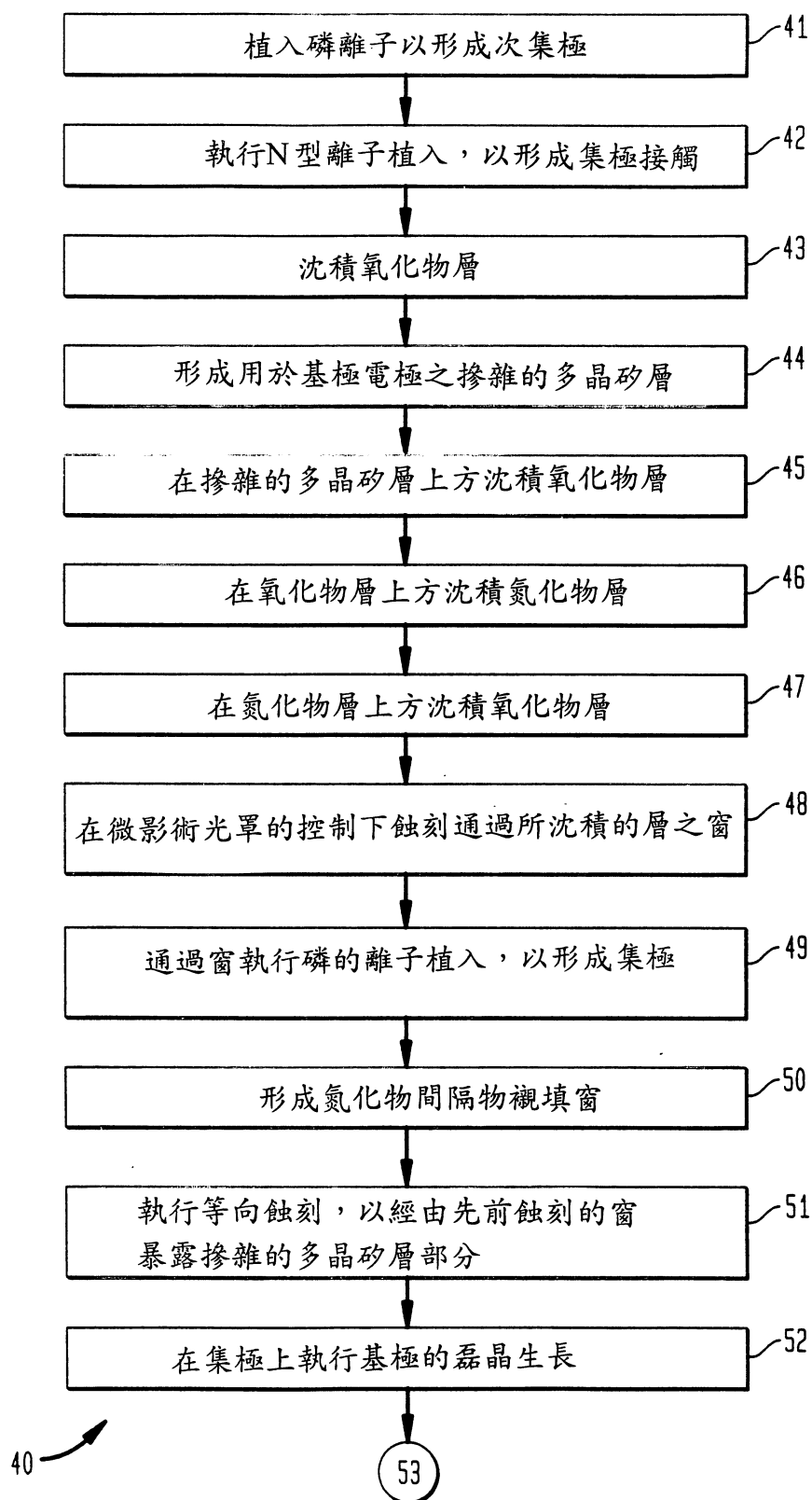
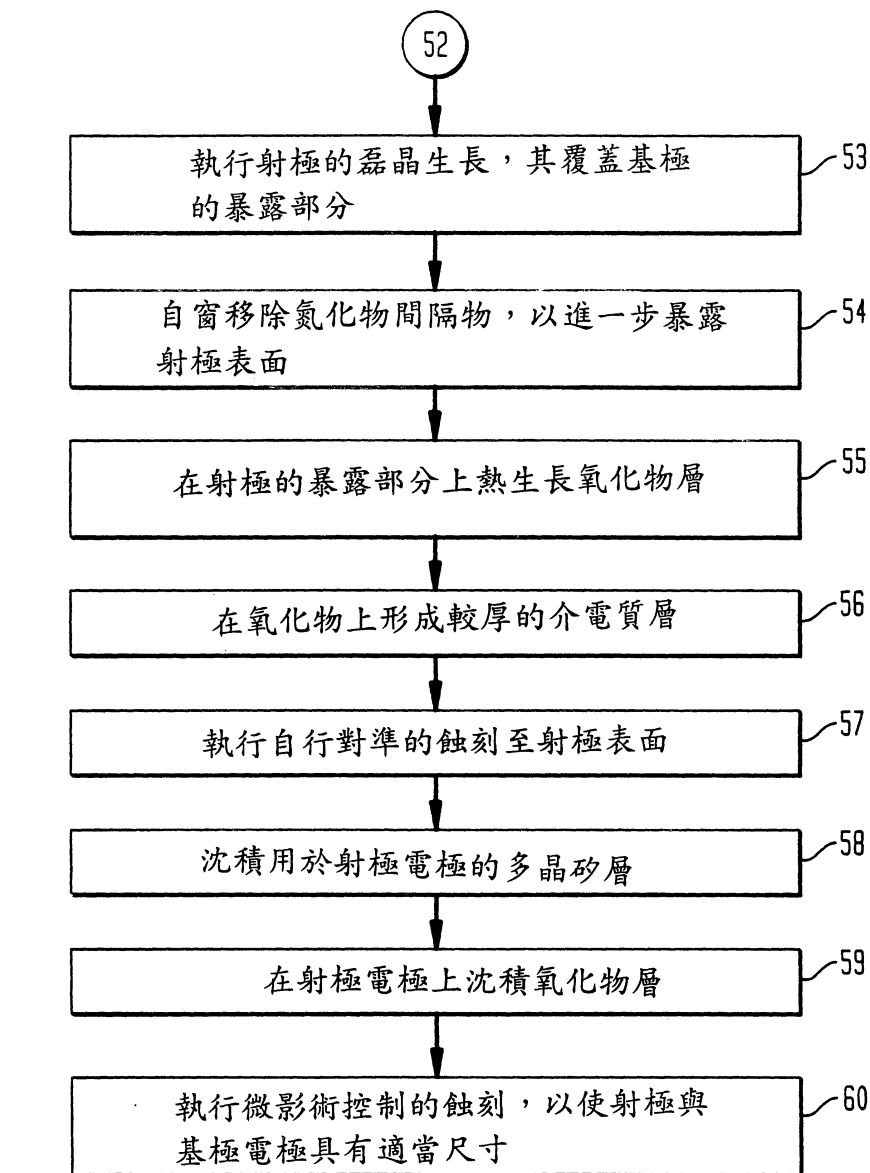


圖 3A



40

圖 3B

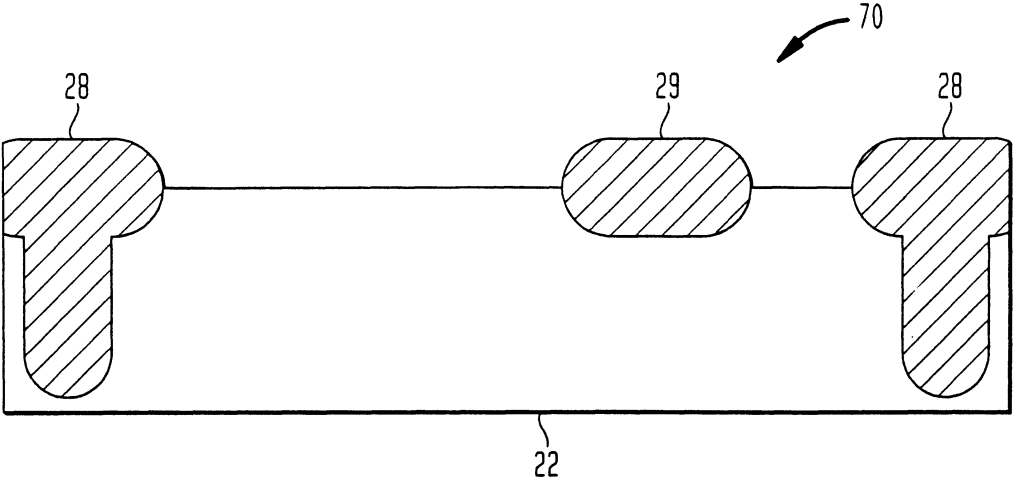


圖 4A

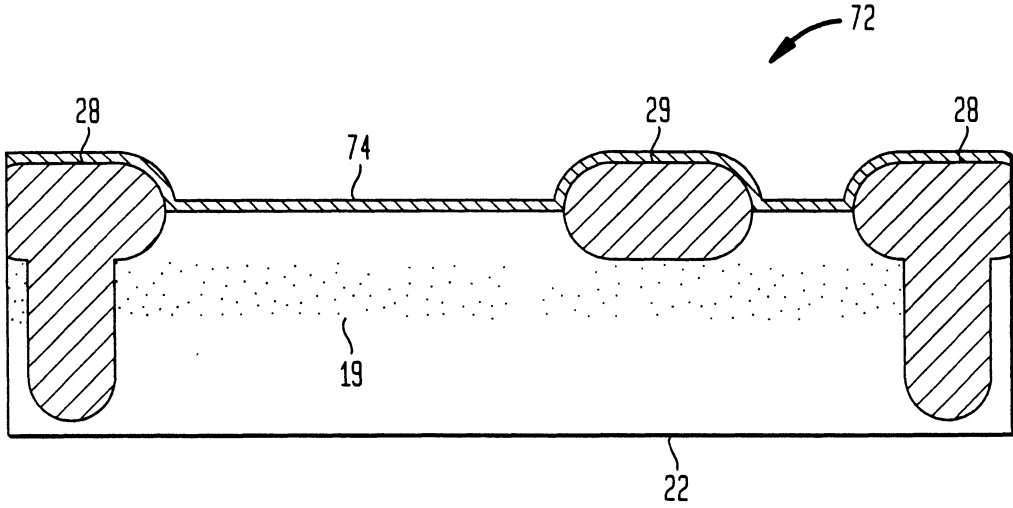


圖 4B

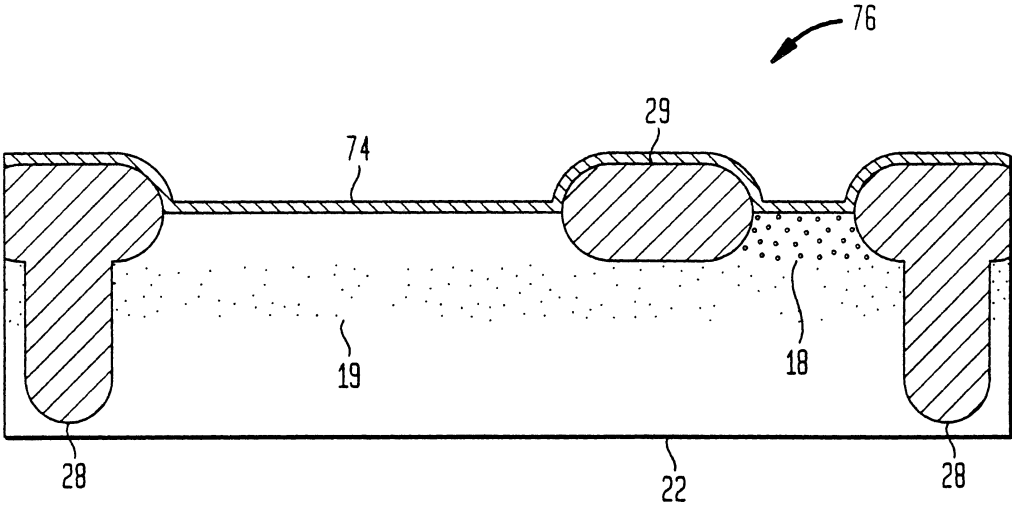


圖 4C

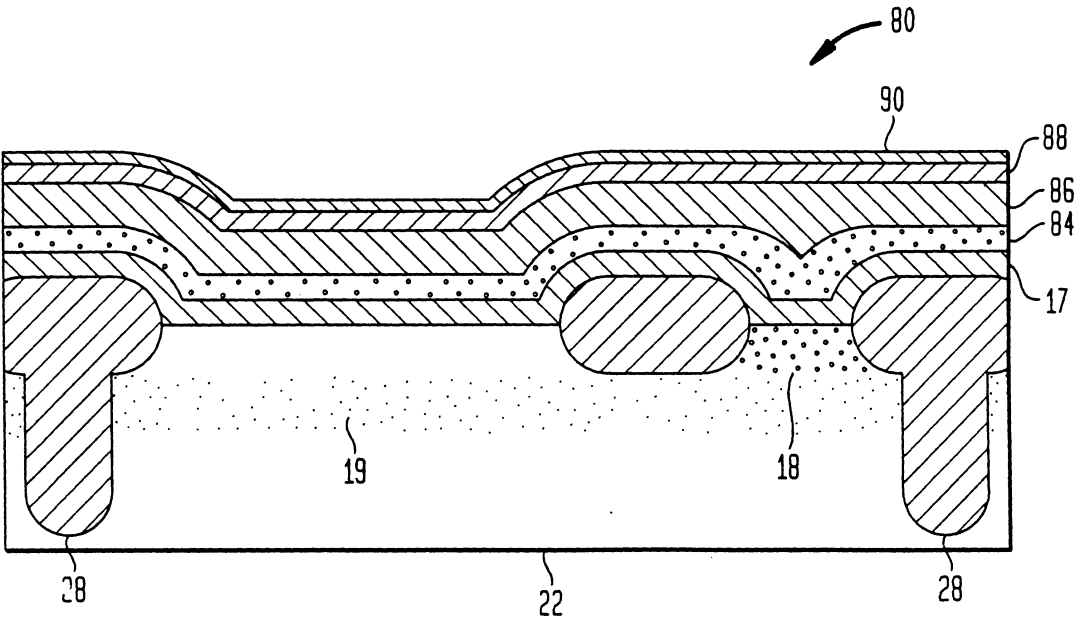


圖 4D

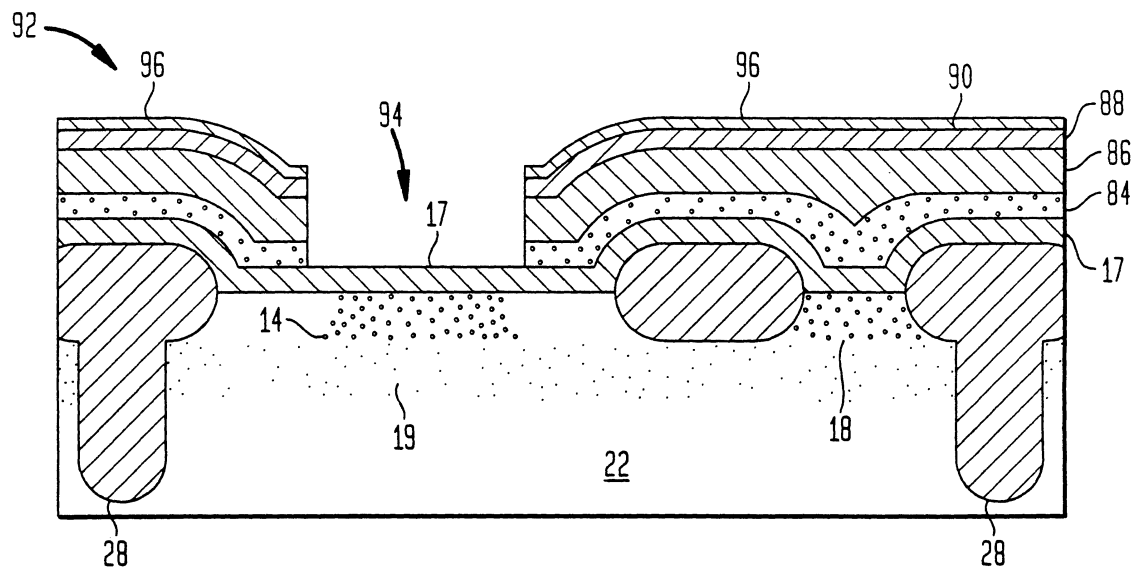


圖 4E

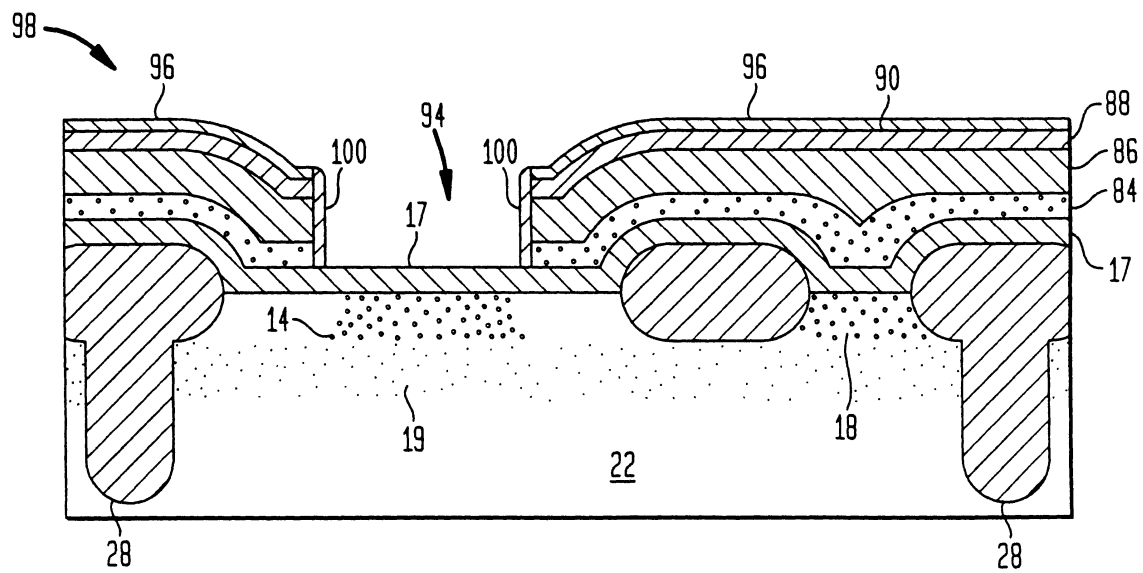


圖 4F

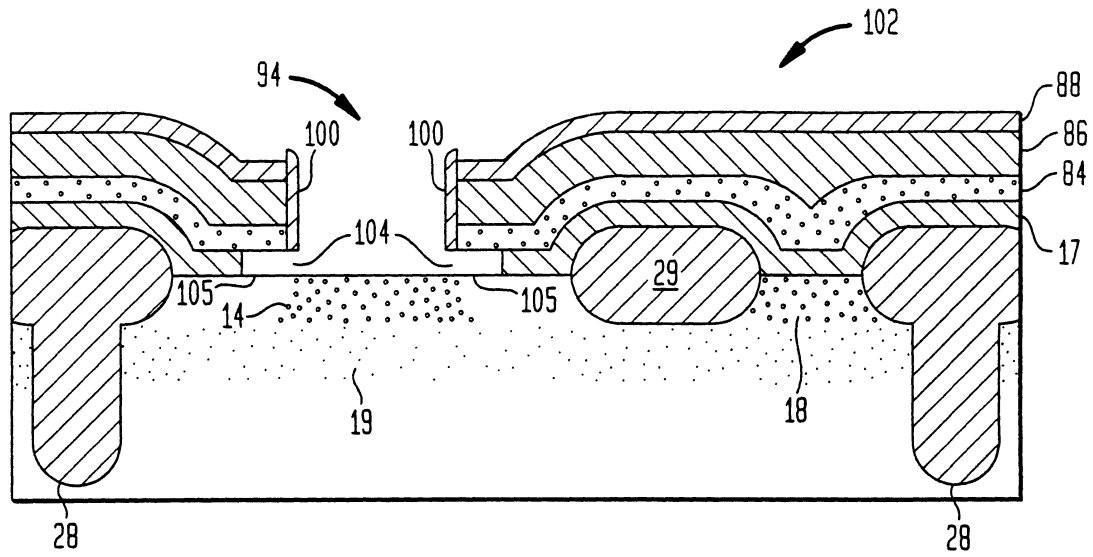


圖 4G

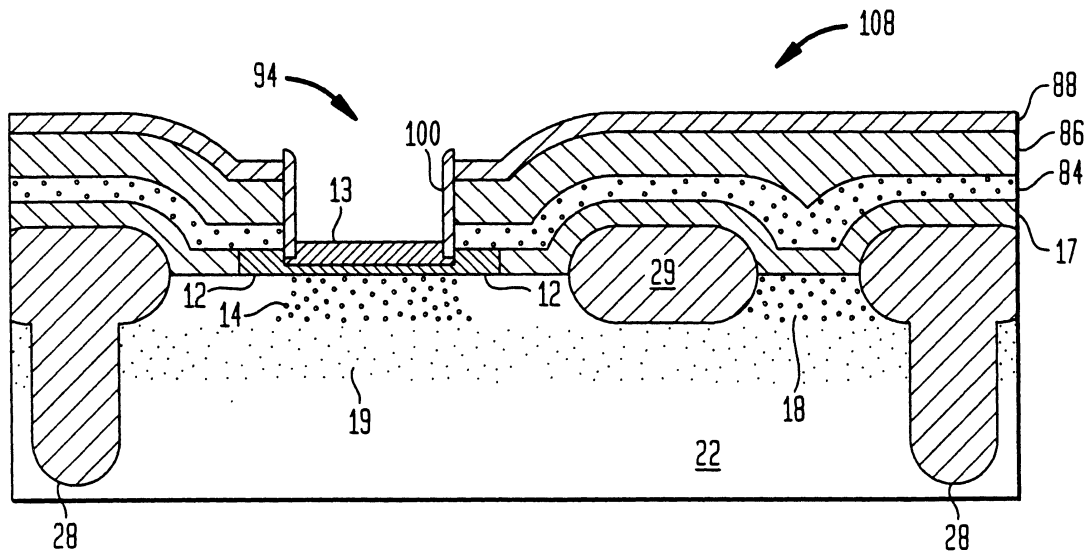


圖 4H

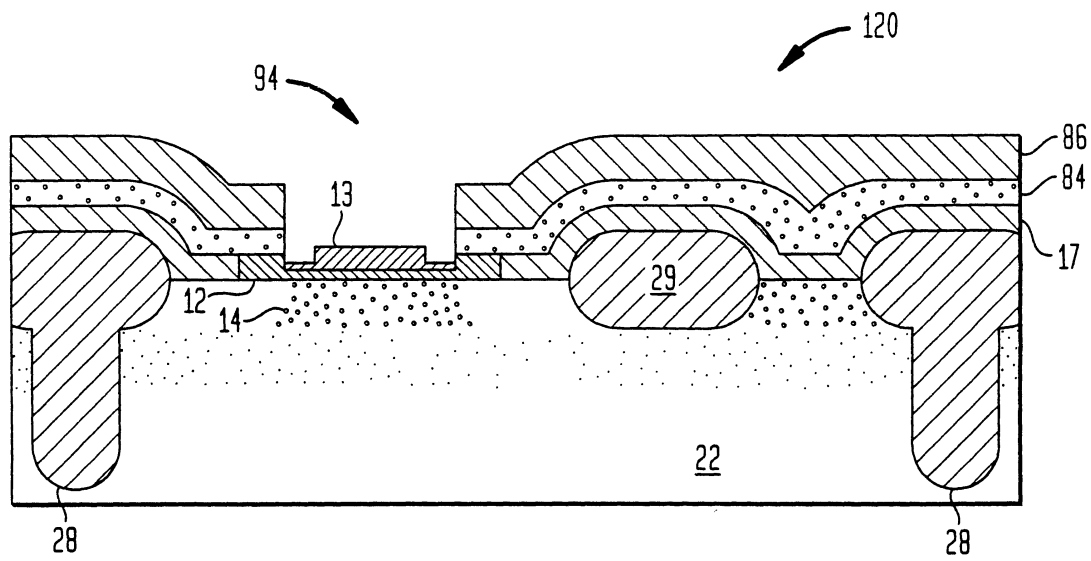


圖 4I

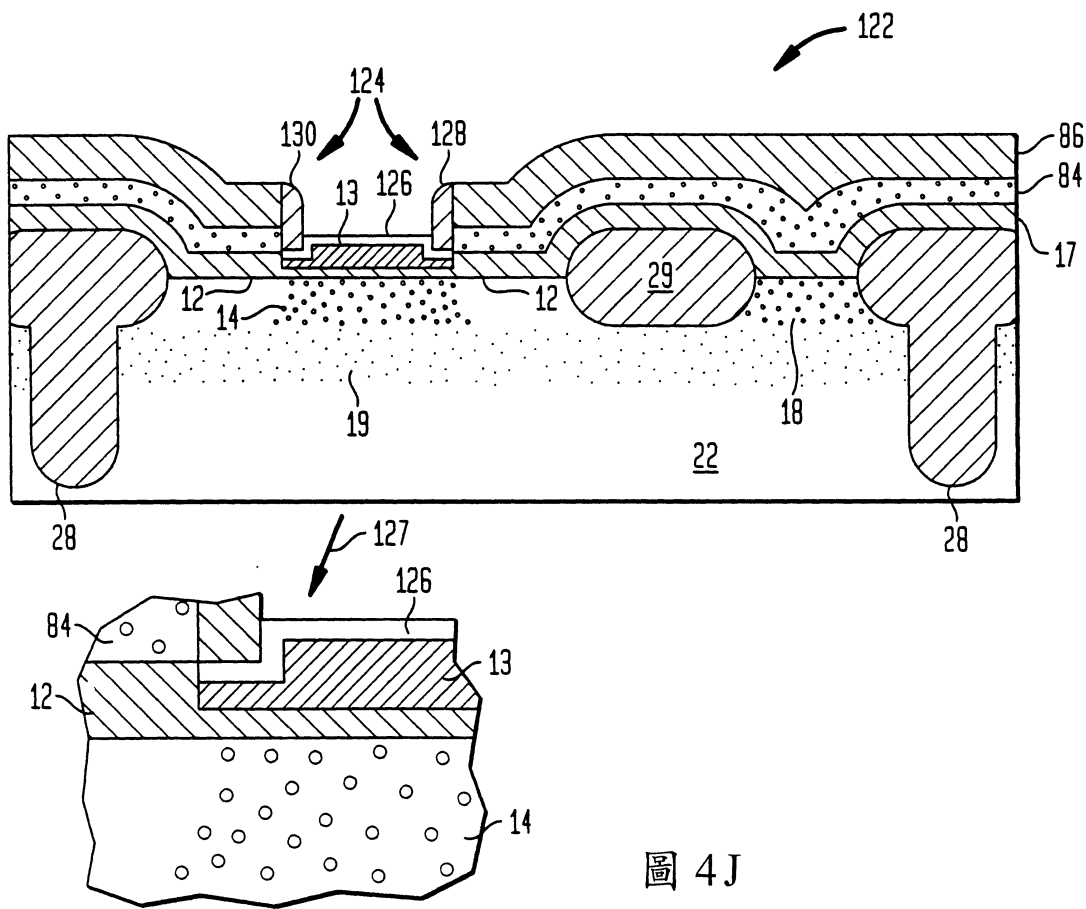


圖 4J

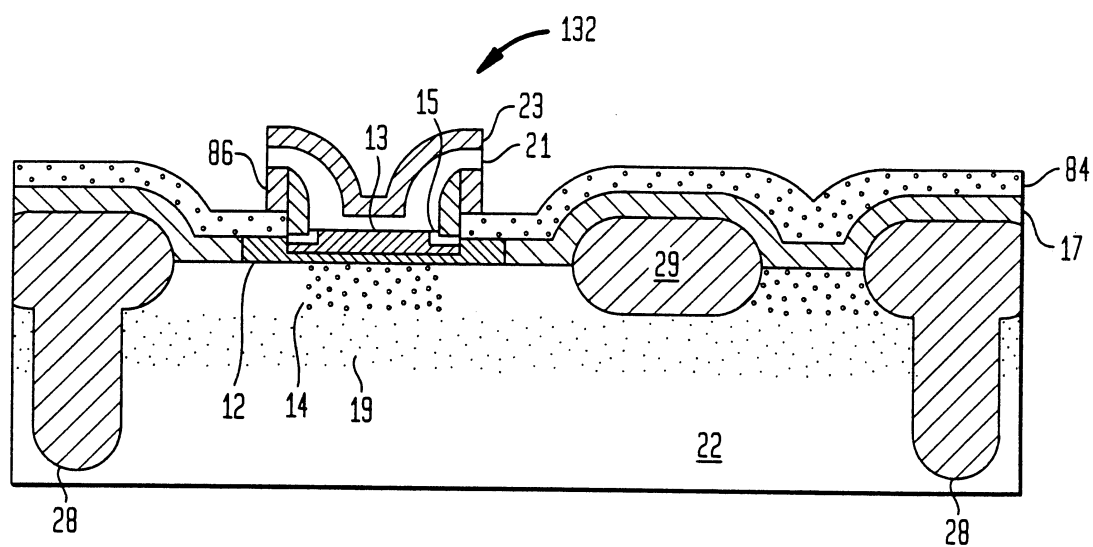


圖 4K