

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】令和6年10月25日(2024.10.25)

【国際公開番号】WO2023/281969
【出願番号】特願2023-533476(P2023-533476)

【国際特許分類】

H 0 1 L 2 1 / 3 3 6 (2 0 0 6 . 0 1)
H 0 1 L 2 1 / 8 2 3 4 (2 0 0 6 . 0 1)

【 F I 】

H 0 1 L 2 9 / 7 8 3 0 1 G
H 0 1 L 2 9 / 7 8 3 0 1 D
H 0 1 L 2 9 / 7 8 3 0 1 C
H 0 1 L 2 7 / 0 6 1 0 2 A

10

【手続補正書】

【提出日】令和6年10月17日(2024.10.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

主面を有するチップと、
前記主面の表層部に形成された第1導電型のチャンネル領域と、
前記チャンネル領域に隣り合うように前記主面の表層部に形成された第2導電型のドリフト領域と、
前記主面の上で前記チャンネル領域および前記ドリフト領域を被覆するゲート絶縁膜と、
前記ゲート絶縁膜を挟んで前記チャンネル領域に対向する第2導電型の第1部分、および
前記ゲート絶縁膜を挟んで前記ドリフト領域に対向し、前記第1部分とpn接合部を形成する第1導電型の第2部分を有するポリシリコンゲートと、を含む、半導体装置。

30

【請求項2】

前記第1部分にゲート電位が付与され、
前記第2部分に前記ゲート電位以外の電位が付与される、請求項1に記載の半導体装置

【請求項3】

前記第2部分には、フローティング電位、回路動作の基準となる基準電位、または、グラウンド電位が付与される、請求項1に記載の半導体装置。

【請求項4】

前記第2部分は、電氣的にフローティング状態に形成されている、請求項1に記載の半導体装置。

40

【請求項5】

前記第1部分は、第1高濃度部、および、前記第1高濃度部よりも低い濃度を有する第1低濃度部を有し、

前記第2部分は、前記第1部分の前記第1低濃度部と前記pn接合部を形成している、請求項1に記載の半導体装置。

【請求項6】

前記第2部分は、第2高濃度部、および、前記第2高濃度部よりも低い濃度を有し、前記第1低濃度部と前記pn接合部を形成する第2低濃度部を有している、請求項5に記載

50

の半導体装置。

【請求項 7】

前記第 1 部分および前記第 2 部分の間の電位差は、前記 p n 接合部の閾値電圧未満である、請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記第 1 部分は、前記ゲート絶縁膜を挟んで前記チャンネル領域および前記ドリフト領域に対向している、請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

【請求項 9】

前記 p n 接合部は、前記ゲート絶縁膜を挟んで前記ドリフト領域に対向している、請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

10

【請求項 10】

前記ポリシリコンゲートの上において前記 p n 接合部を被覆する絶縁膜をさらに含む、請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

【請求項 11】

前記絶縁膜は、前記ポリシリコンゲートの上において前記 p n 接合部以外の部分を露出させる除去部を含む、請求項 10 に記載の半導体装置。

【請求項 12】

前記ポリシリコンゲートにおいて前記除去部から露出した部分を被覆するゲートシリサイドをさらに含む、請求項 11 に記載の半導体装置。

【請求項 13】

前記除去部は、前記第 1 部分を露出させる第 1 除去部、および、前記第 2 部分を露出させる第 2 除去部を含み、

20

前記ゲートシリサイドは、前記第 1 部分を被覆する第 1 ゲートシリサイド、および、前記第 2 部分を被覆する第 2 ゲートシリサイドを含む、請求項 12 に記載の半導体装置。

【請求項 14】

前記主面の上で前記ドリフト領域を被覆するフィールド絶縁膜をさらに含み、

前記ゲート絶縁膜は、前記フィールド絶縁膜の厚さ未満の厚さを有し、前記フィールド絶縁膜に連なっている、請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

【請求項 15】

前記ポリシリコンゲートは、前記ゲート絶縁膜の上から前記フィールド絶縁膜の上に引き出され、前記フィールド絶縁膜を挟んで前記ドリフト領域に対向している、請求項 14 に記載の半導体装置。

30

【請求項 16】

前記第 1 部分は、前記ゲート絶縁膜の上のみに形成され、

前記第 2 部分は、前記ゲート絶縁膜の上および前記フィールド絶縁膜の上に形成されている、請求項 15 に記載の半導体装置。

【請求項 17】

前記主面の表層部に形成された第 2 導電型のソース領域と、

前記ソース領域から間隔を空けて前記主面の表層部に形成された第 2 導電型のドレイン領域と、をさらに含み、

40

前記チャンネル領域は、前記主面の表層部で前記ソース領域および前記ドレイン領域の間において前記ソース領域側の領域に形成され、

前記ドリフト領域は、前記主面の表層部で前記ドレイン領域および前記チャンネル領域の間の領域に形成されている、請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

【請求項 18】

前記主面の表層部に形成された第 1 導電型のボディ領域と、

前記ボディ領域から間隔を空けて前記主面の表層部に形成された第 2 導電型のウェル領域と、をさらに含み、

前記ソース領域は、前記ボディ領域の表層部に形成され、

前記ドレイン領域は、前記ウェル領域の表層部に形成され、

50

前記第 1 部分は、前記ゲート絶縁膜を挟んで前記ボディ領域および前記ソース領域に対向している、請求項 17 に記載の半導体装置。

【請求項 19】

前記主面の一部をデバイス領域として区画するように前記主面に形成された領域分離構造をさらに含み、

前記チャンネル領域および前記ドリフト領域は、前記デバイス領域に形成されている、請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

【請求項 20】

主面を有するチップと、

前記主面の表層部に形成された第 1 導電型のチャンネル領域と、

10

前記チャンネル領域に隣り合うように前記主面の表層部に形成された第 2 導電型のドリフト領域と、

前記主面の上で前記チャンネル領域および前記ドリフト領域を被覆するゲート絶縁膜と、

前記ゲート絶縁膜を挟んで前記チャンネル領域および前記ドリフト領域に対向するように前記ゲート絶縁膜を被覆するポリシリコンゲートと、

前記ポリシリコンゲートのうちの前記チャンネル領域上に位置する部分から前記ポリシリコンゲートのうちの前記ドリフト領域上に位置する部分へのキャリアの移動を制限するように前記ポリシリコンゲートの内部に形成された p n 接合ダイオードと、を含む、半導体装置。

20

30

40

50