



(12) 实用新型专利

(10) 授权公告号 CN 220106540 U

(45) 授权公告日 2023. 11. 28

(21) 申请号 202321370647.4

(22) 申请日 2023.05.31

(73) 专利权人 广州华星光电半导体显示技术有限公司

地址 510700 广东省广州市黄埔区(中新广州知识城)亿创街1号406房之417

(72) 发明人 司帅晨 杨陆

(74) 专利代理机构 深圳紫藤知识产权代理有限公司 44570

专利代理师 何艳

(51) Int. Cl.

H01L 27/12 (2006.01)

(ESM) 同样的发明创造已同日申请发明专利

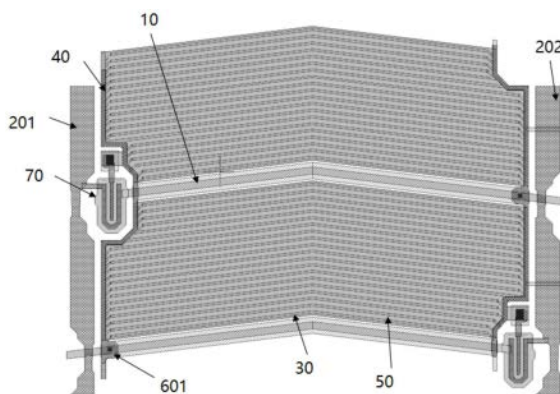
权利要求书1页 说明书5页 附图3页

(54) 实用新型名称

Trigate像素结构、阵列基板及显示面板

(57) 摘要

本发明提供一种trigate像素结构、阵列基板及显示面板,像素结构包括横向平行排列的多条栅极线和纵向平行排列的多条数据线且垂直交叉围成多个子像素区域;多个子像素区域中分别制备有颜色不同的多个子像素,且颜色不同的多个子像素纵向排布,颜色相同的多个子像素横向排布;至少一条电极线与多个子像素区域中的目标子像素区域自身的数据线平行设置,且至少一条电极线设置在所述目标子像素区域和自身对应的位于左侧的数据线之间,或至少一条电极线设置在所述目标子像素区域和自身对应的位于右侧的数据线之间。本申请通过新增电极线,且将电极线与像素结构中的数量较少的数据线平行设置,在保证像素开口率的同时改善显示面板画面的均一性。



1. 一种trigate像素结构,其特征在于,所述像素结构包括横向平行排列的多条栅极线和纵向平行排列的多条数据线,多条栅极线和多条数据线垂直交叉围成多个子像素区域;

所述多个子像素区域包括目标子像素区域,所述目标子像素区域中制备有目标子像素,所述目标子像素区域包括位于目标子像素左侧且纵向排布的第一数据线,以及位于目标子像素右侧且纵向排布的第二数据线;所述像素结构还包括至少一条纵向排布的电极线;

所述至少一条纵向排布的电极线与所述第一数据线平行设置且设置在所述第一数据线与所述目标子像素的左侧之间,或所述至少一条纵向排布的电极线与所述第二数据线平行设置且设置在所述第二数据线与所述目标子像素的右侧之间。

2. 根据权利要求1所述的trigate像素结构,其特征在于,所述像素结构还包括公共电极层,所述公共电极层形成在所述多个子像素区域中,且所述公共电极层通过过孔与所述至少一条纵向排布的电极线电连接。

3. 根据权利要求2所述的trigate像素结构,其特征在于,所述公共电极层和所述至少一条纵向排布的电极线连接至固定且相同的电信号输入端。

4. 根据权利要求2所述的trigate像素结构,其特征在于,所述像素结构还包括多个薄膜晶体管,所述多个薄膜晶体管设置在所述多个子像素区域中,每个子像素区域中均对应设置一个薄膜晶体管,每个子像素区域中的薄膜晶体管分别与对应的子像素区域中的数据线和栅极线连接。

5. 根据权利要求4所述的trigate像素结构,其特征在于,所述像素结构还包括像素电极层,所述像素电极层设置在所述公共电极层下方,且所述像素电极层与所述薄膜晶体管连接。

6. 根据权利要求1所述的trigate像素结构,其特征在于,所述像素结构包括两条纵向排布的电极线且两条电极线平行设置,两条电极线分别位于所述目标子像素区域的左右两侧。

7. 根据权利要求1所述的trigate像素结构,在垂直方向上,所述至少一条纵向排布的电极线与所述多条数据线位于同一层中,且所述至少一条纵向排布的电极线和所述多条数据线相互独立。

8. 根据权利要求1所述的trigate像素结构,其特征在于,所述至少一条纵向排布的电极线的材料与所述多条数据线的材料相同。

9. 一种阵列基板,其特征在于,所述阵列基板包括如权利要求1-8任一项所述的trigate像素结构。

10. 一种显示面板,其特征在于,所述显示面板包括如权利要求9所述的阵列基板,以及与所述阵列基板相对设置的彩膜基板,所述彩膜基板上还设置有遮光单元;

所述多条数据线中包括目标数据线,所述目标数据线的左右两侧分别设置有一条电极线,在水平方向上,所述目标数据线左右两侧的两条电极线之间的最小距离,小于所述遮光单元的宽度。

Trigate像素结构、阵列基板及显示面板

技术领域

[0001] 本发明涉及显示技术领域,具体涉及一种trigate像素结构、阵列基板及显示面板。

背景技术

[0002] 在设计像素结构时,需要保证电压均匀分布在像素结构中以保证显示画面正常显示。在显示面板中,采用三栅像素驱动结构,可以减少数据线的数量并降低驱动成本,从而降低生产成本。但trigate像素驱动结构的栅极线数量大大增加。若采用常规的像素结构设计保证电压均匀分布,则会造成像素结构的开口率下降。

发明内容

[0003] 本发明实施例提供一种trigate像素结构、阵列基板及显示面板,旨在解决现有技术下的trigate像素电压分布不均导致画面显示不均的问题。

[0004] 为解决上述问题,第一方面,本申请提供一种trigate像素结构,所述像素结构包括横向平行排列的多条栅极线和纵向平行排列的多条数据线,多条栅极线和多条数据线垂直交叉围成多个子像素区域;

[0005] 所述多个子像素区域包括目标子像素区域,所述目标子像素区域中制备有目标子像素,所述目标子像素区域包括位于目标子像素左侧且纵向排布的第一数据线,以及位于目标子像素右侧且纵向排布的第二数据线;所述像素结构还包括至少一条纵向排布的电极线;

[0006] 所述至少一条纵向排布的电极线与所述第一数据线平行设置且设置在所述第一数据线与所述目标子像素的左侧之间,或所述至少一条纵向排布的电极线与所述第二数据线平行设置且设置在所述第二数据线与所述目标子像素的右侧之间。

[0007] 在一些可能的实施例中,所述像素结构还包括公共电极层,所述公共电极层形成在所述多个子像素区域中,且所述公共电极层通过过孔与所述至少一条纵向排布的电极线电连接。

[0008] 在一些可能的实施例中,所述公共电极层和所述至少一条纵向排布的电极线连接至固定且相同的电信号输入端。

[0009] 在一些可能的实施例中,所述像素结构还包括多个薄膜晶体管,所述多个薄膜晶体管设置在所述多个子像素区域中,每个子像素区域中均对应设置一个薄膜晶体管,每个子像素区域中的薄膜晶体管分别与对应的子像素区域中的数据线和栅极线连接。

[0010] 在一些可能的实施例中,所述像素结构还包括像素电极层,所述像素电极层设置在所述公共电极层下方,且所述像素电极层与所述薄膜晶体管连接。

[0011] 在一些可能的实施例中,所述像素结构包括两条纵向排布的电极线且两条电极线平行设置,两条电极线分别位于所述目标子像素区域的左右两侧。

[0012] 在一些可能的实施例中,在垂直方向上,所述至少一条纵向排布的电极线与所述

多条数据线位于同一层中,且所述至少一条纵向排布的电极线和所述多条数据线相互独立。

[0013] 在一些可能的实施例中,所述至少一条纵向排布的电极线的材料与所述多条数据线的材料相同。

[0014] 第二方面,本申请实施例还提供一种阵列基板,所述显示设备包括如上任一项所述的trigate像素结构。

[0015] 第三方面,本申请实施例还提供一种显示面板,所述显示面板包括如上所述的阵列基板,以及与所述阵列基板相对设置的彩膜基板,所述彩膜基板上还设置有遮光单元;

[0016] 所述多条数据线中包括目标数据线,所述目标数据线的左右两侧分别设置有一条电极线,在水平方向上,所述目标数据线左右两侧的两条电极线之间的最小距离,小于所述遮光单元的宽度。

[0017] 有益效果:本申请提供一种新的像素结构、阵列基板及显示面板,像素结构包括横向平行排列的多条栅极线和纵向平行排列的多条数据线,多条栅极线和多条数据线垂直交叉围成多个子像素区域;多个子像素区域中分别制备有颜色不同的多个子像素,且颜色不同的多个子像素纵向排布,颜色相同的多个子像素横向排布;还包括至少一条电极线,至少一条电极线与多个子像素区域中的目标子像素区域自身的数据线平行设置,且至少一条电极线设置在所述目标子像素区域和自身对应的位于左侧的数据线之间,或至少一条电极线设置在所述目标子像素区域和自身对应的位于右侧的数据线之间。本申请通过新增电极线,且将电极线与像素结构中的数量较少的数据线平行设置,在保证像素开口率的同时改善显示面板画面的均一性。

附图说明

[0018] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0019] 图1为本申请实施例提供的常规的像素结构示意图;

[0020] 图2为本申请实施例提供的像素结构俯视图;

[0021] 图3为本申请实施例提供的像素结构的截面图;

[0022] 图4为本申请实施例提供的显示面板一实施例俯视图。

具体实施方式

[0023] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0024] 在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描

述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本发明的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0025] 在本申请中,“示例性”一词用来表示“用作例子、例证或说明”。本申请中被描述为“示例性”的任何实施例不一定被解释为比其它实施例更优选或更具优势。为了使本领域任何技术人员能够实现和使用本发明,给出了以下描述。在以下描述中,为了解释的目的而列出了细节。应当明白的是,本领域普通技术人员可以认识到,在不使用这些特定细节的情况下也可以实现本发明。在其它实例中,不会对公知的结构和过程进行详细阐述,以避免不必要的细节使本发明的描述变得晦涩。因此,本发明并非旨在限于所示的实施例,而是与符合本申请所公开的原理和特征的最广范围相一致。

[0026] 本发明实施例提供一种trigate像素结构、阵列基板及显示面板。以下分别进行详细说明。

[0027] 本发明提供的像素结构适用于trigate像素结构,如图1所示为现有的trigate像素结构。在图1中,像素结构包括横向平行排列的多条栅极线和纵向平行排列的多条数据线,而多个栅极线和多条数据线交叉围成多个子像素区域。多个子像素区域中分别制备有子像素,而多个子像素包括颜色相同的多个子像素和颜色不同的多个子像素。而trigate像素结构中,颜色不同的多个子像素纵向排布,颜色相同的多个子像素横向排布。如图1中,颜色不同的红色子像素R,绿色子像素G和蓝色子像素B纵向排布;某一行子像素均为相同的颜色,如红色子像素。

[0028] 如图2所示,为本申请实施例提供的像素结构俯视图。在图2中,像素结构包括横向平行排列的多条栅极线10(gate)和纵向平行排列的多条数据线20(data),且多条栅极线10和多条数据线20垂直交叉围成多个子像素区域30。多个子像素区域中分别制备有子像素;且颜色不同的多个子像素纵向排布,颜色相同的多个子像素横向排布。如图2中,红色子像素和绿色子像素纵向排布。在其他实施例中,也可以包括更多的子像素,图2仅做示例。

[0029] 在图2中,像素结构还包括至少一条纵向排布的电极线40,且至少一条纵向排布的电极线40与数据线20平行设置。具体地,多个子像素区域30中包括一个目标子像素区域,目标子像素区域是由平行相对设置的两条栅极线10,以及相对设置的第一数据线201和第二数据线202围成的,且在目标子像素区域中制备有目标子像素;而第一数据线201纵向排布且位于目标子像素的左侧,第二数据线202纵向排布且位于目标子像素的右侧。而至少一条纵向排布的电极线40与目标子像素区域自身对应的两条数据线201和202平行设置。且至少一条电极线40设置在目标子像素的左侧和第一数据线201之间;或是至少一条电极线40设置在目标子像素的右侧和第二数据线202之间。以下结合像素结构的俯视图和截面图详细说明。

[0030] 如图3所示,为本申请实施例提供的像素结构的截面图。在图2和图3所示的实施例中,像素结构还包括公共电极层50,公共电极层50形成多个子像素区域中;但在垂直方向上,公共电极层50与子像素位于不同层中,即位于不同水平高度上。即图2所示的结构实际上是多个膜层不断堆叠得到的,图1中的公共电极层50同样位于多个子像素区域中且遮挡

住下方的像素电极和子像素。

[0031] 结合图2和图3,相邻两个子像素通过数据线间隔开,子像素、数据线20和公共电极层50三者均位于不同的膜层中。而本申请中新增的至少一条纵向排布的电极线40与数据线20位于同一层中;且在水平方向上,新增的电极线40位于数据线20的左侧或右侧。相较于数据线20来说,新增的电极线40更靠近子像素。在图2中,目标子像素区域中制备有目标子像素,不论新增的至少一条纵向排布的电极线40位于目标子像素的左侧还是右侧,至少一条电极线40与目标子像素之间的最小距离,小于数据线20与目标子像素之间的最小距离。

[0032] 请参考图2和图3,对于本申请中新增的电极线40来说,在垂直方向上,新增的电极线40与数据线20位于同一层中,而公共电极层50位于数据线20上方且通过绝缘层60与数据线20间隔开来。但位于数据线20上方的绝缘层60上还形成有过孔601,公共电极层50通过绝缘层60上的过孔601与新增的至少一条电极线40电连接。因此,公共电极层50和至少一条纵向排布的电极线40连接至同一个电信号的输入端;且该电信号通常为电压固定的电信号。

[0033] 本申请提供的像素结构中还包括多个薄膜晶体管,多个薄膜晶体管对应设置在多个子像素区域中,每个子像素区域中均对应一个薄膜晶体管70;而每个子像素区域中的薄膜晶体管70分别与对应的子像素区域中的数据线 and 栅极线连接。即薄膜晶体管需要与栅极线和数据线连接,以利用数据线 and 栅极线接收外部画面信号。而像素结构中还包括像素电极层,像素电极层设置在公共电极层下方被公共电极层50遮挡,像素电极层同样与薄膜晶体管连接。

[0034] 需要说明的是,本申请提供的像素结构适用于trigate像素结构,trigate像素结构中的栅极线的数量大于数据线的数量;若是将新增的电极线设置为与栅极线平行,则会导致新增的电极线的数量过多而影响开口率。因此本申请中将新增的电极线设置为与数据线平行,避免新增的电极线数量过多而影响开口率。其次,本申请中新增的电极线与数据线位于同一层中,而与公共电极层位于不同层中,但通过设置过孔连接公共电极层和电极线,使得电极线和公共电极层连接至相同的电信号。而电极线和公共电极层连接至相同的电信号,可以保证传输至子像素的电信号不会改变或发生较大衰减,从而保证每个子像素中的电信号相同,从而保证每个子像素对应的电压的均一性。

[0035] 因此,在本申请的另一一些实施例中,像素结构通常包括两条电极线且两条电极线平行设置。请参考图2,两条平行设置的电极线分别位于数据线的左右两侧。请参考图2,对于图1中的第一数据线201来说,位于第一数据线201左侧的子像素对应有一条电极线,而位于第一数据线201右侧的子像素同样对应有一条电极线,因此除了边缘位置处的数据线外,其他数据线的左右两侧均存在一条电极线。且在实际的像素结构中,由于像素结构中还包括薄膜晶体管70,因此新增的电极线40不为直线,而是包括直线部分和位于薄膜晶体管70周围的弯折部分。而电极线40同样需要与薄膜晶体管连接,具体的连接方式可以根据实际需求设定。

[0036] 在上述实施例中,像素结构中包括多条电极线且多条电极线平行设置,参考图2,可以为两条电极线,且两条电极线分别位于目标子像素区域的左右两侧。在其他实施例中,当电极线的数量大于2时,多条电极线的同样分别位于子像素区域的左右两侧,或者说多条数据线的左右两侧均对应设置有两电极线。当然,这种情况需要排除位于边缘位置的子像素区域,或者说排除位于边缘位置的数据线。

[0037] 在本申请实施例中,不论电极线的数量是多少,电极线均与多条数据线位于同一层中,且电极线和多条数据线之间相互独立,彼此之间不存在重叠。且电极线的制备材料与多条数据线的材料也相同。这样可以在制备数据线时,利用相同的材料和工艺同时制备电极线和数据线,无需额外增加制程。且由于电极线和数据线位于同一层中,电极线设置在数据线周围,因此新增的电极线可以在一定程度上屏蔽数据线产生的电场,从而改善垂直串扰问题。

[0038] 本申请实施例还提供一种阵列基板,所述阵列基板包括如上任一项所述的trigate像素结构。阵列基板的具体结构可以参考前述内容,此处不做赘述此处不在赘述。

[0039] 本申请还提供一种显示面板,所述显示面板包括如前所述的阵列基板,即包括如前任一项所述的trigate像素结构。所述显示面板还包括与阵列基板相对设置的彩膜基板,彩膜基板上还设置有遮光单元80(BM)。多条数据线中包括一条目标数据线,所述目标数据线的左右两侧分别设置有一条电极线,在水平方向上,目标数据线左右两侧的两条电极线之间的最小距离,小于遮光单元的宽度。

[0040] 如图4所示,为本申请实施例提供的显示面板一实施例俯视图。在图4中,显示面板中还包括支撑柱90(PS),在垂直方向上,支撑柱90设置在栅极线10上方且与栅极线10的位置对应设置;这样支撑柱90可以遮挡部分栅极线10。而为了进一步遮挡栅极线10和支撑柱90,需要在栅极线上方且与栅极线位置对应处形成遮光单元80。而为了完全遮挡栅极线10和支撑柱90,通常将遮光单元80在水平方向上的宽度,设置为大于栅极线10的宽度;且通常在左右两侧超出栅极线的边缘30um以上。本申请中新增的电极线40与栅极线10平行设置,而由于遮光单元80在水平方向上的宽度超出栅极线10的宽度较多,因此即使增加了电极线,遮光单元80也可以同时遮挡住新增的电极线40和原有的栅极线10。这样即使增加了额外的电极线40也不会增加原有的遮光单元80的宽度,不会增加额外的制程和成本。

[0041] 需要说明的是,上述显示面板实施例中仅描述了上述结构,可以理解的是,除了上述结构之外,本发明实施例显示面板中,还可以根据需要包括任何其他的必要结构,例如缓冲层,层间介质层(ILD)等,具体此处不作限定。

[0042] 在上述实施例中,对各个实施例的描述都各有侧重,某个实施例中未详述的部分,可以参见上文针对其他实施例的详细描述,此处不再赘述。

[0043] 具体实施时,以上各个单元或结构可以作为独立的实体来实现,也可以进行任意组合,作为同一或若干个实体来实现,以上各个单元或结构的具体实施可参见前面的方法实施例,在此不再赘述。

[0044] 以上对本发明实施例所提供的一种trigate像素结构、阵列基板及显示面板进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

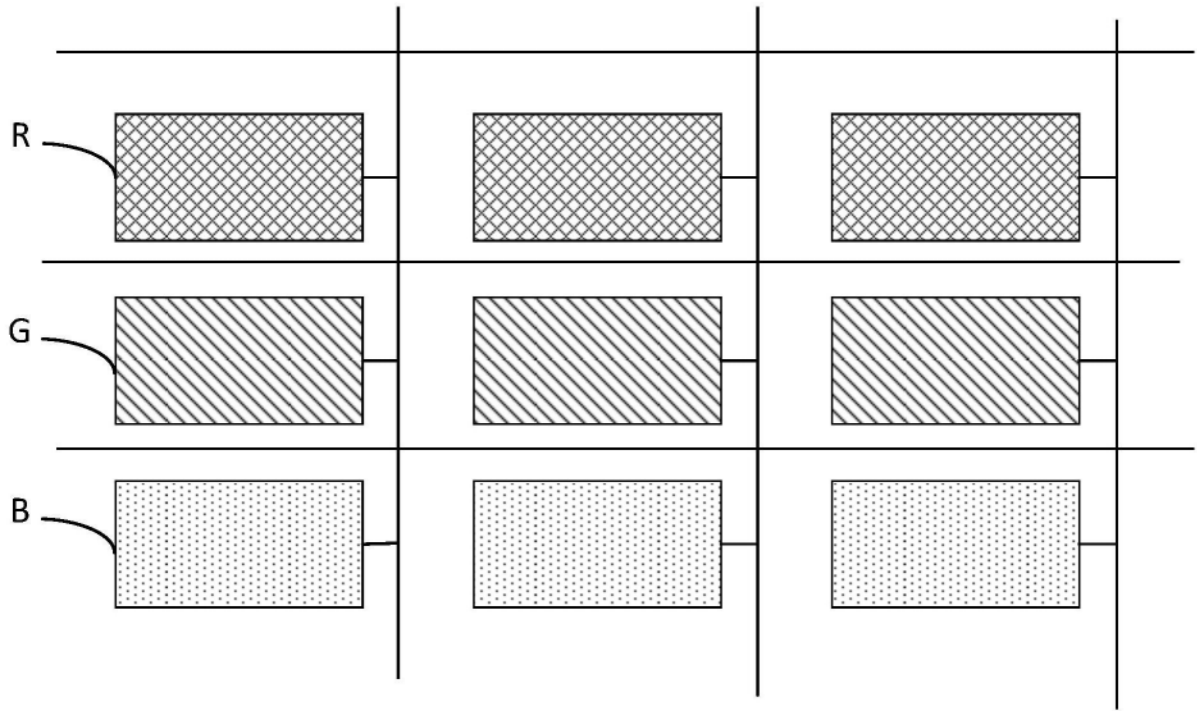


图1

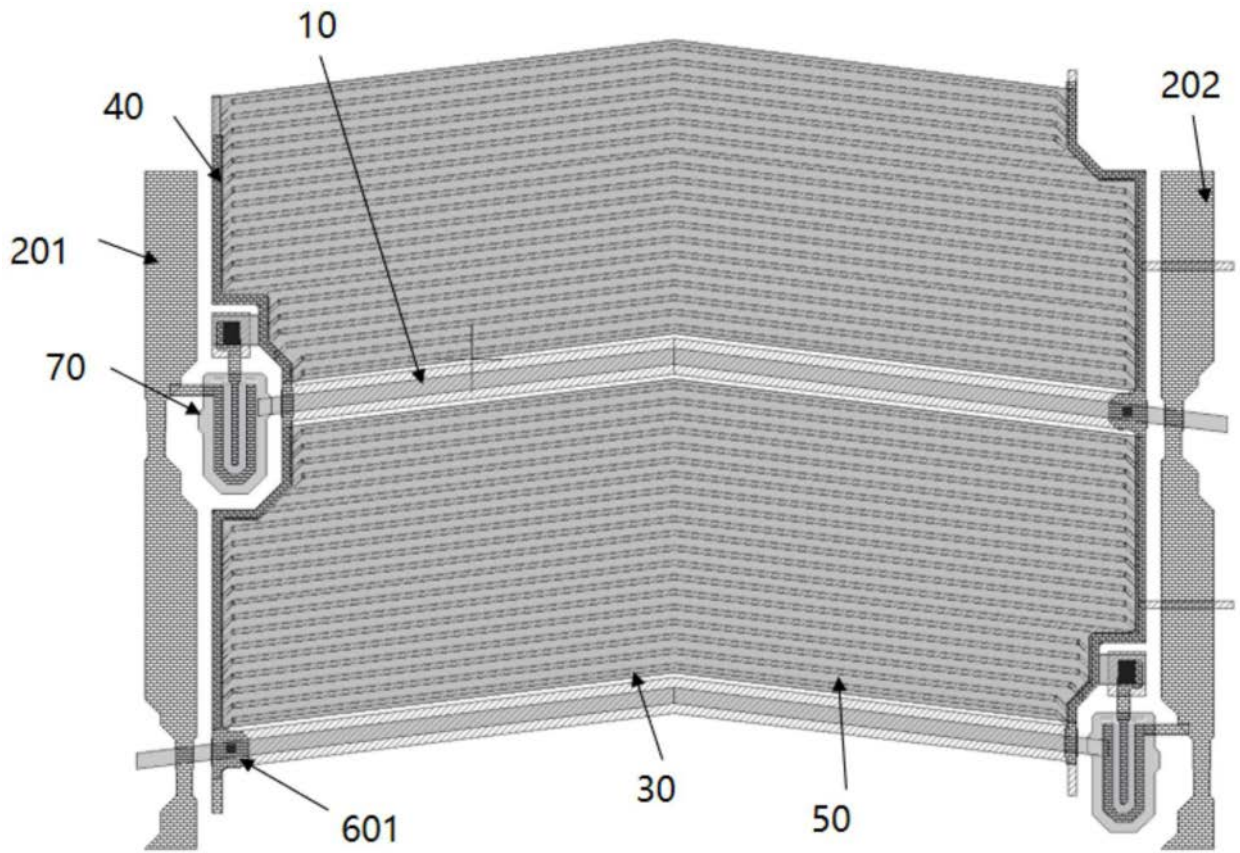


图2

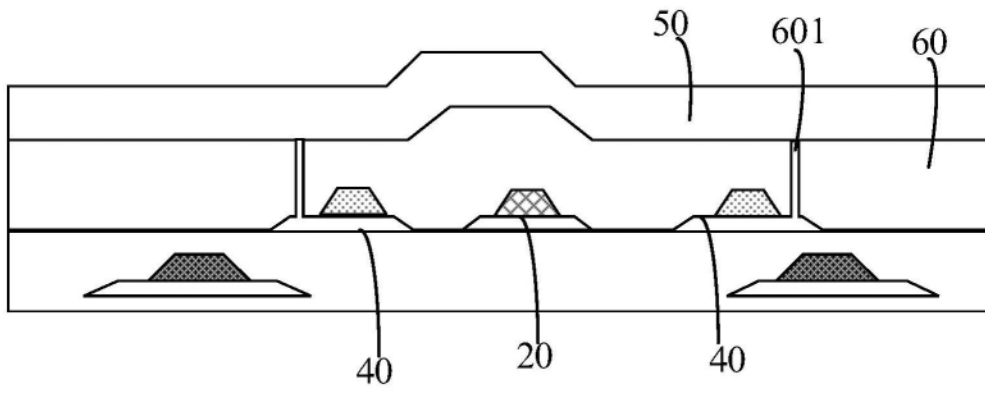


图3

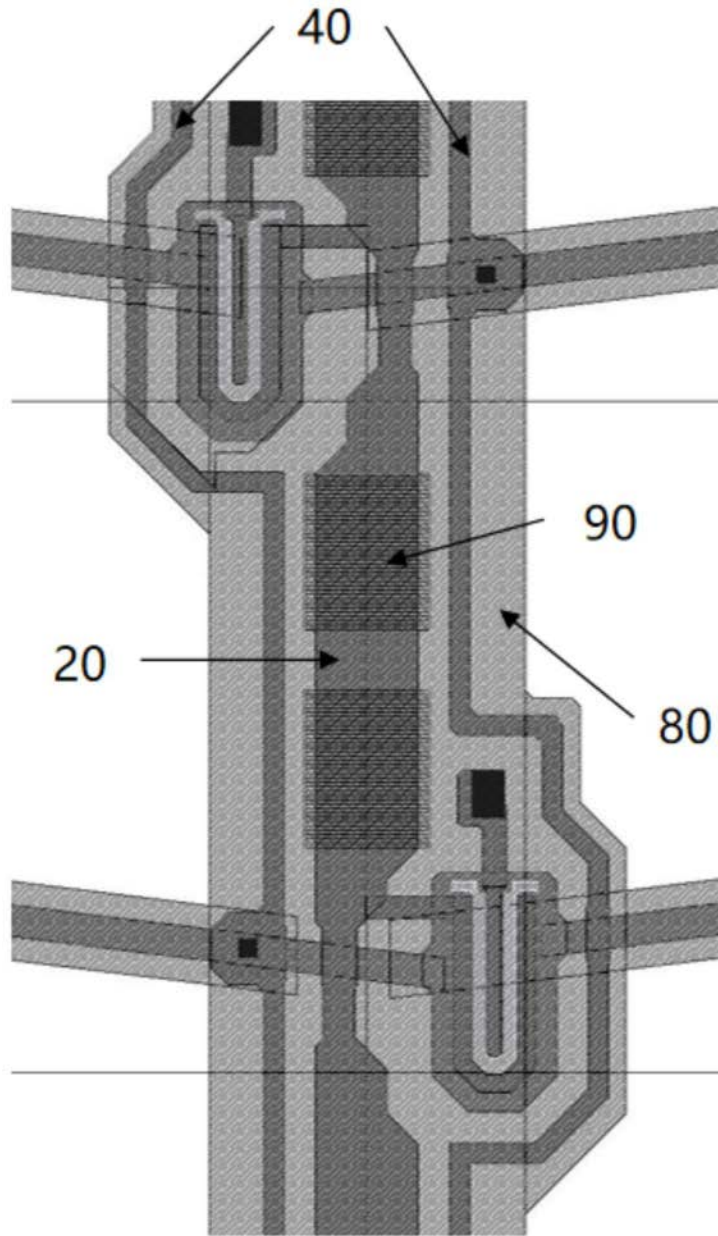


图4