



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년11월01일

(11) 등록번호 10-1914350

(24) 등록일자 2018년10월26일

(51) 국제특허분류(Int. Cl.)  
**G06F 1/32** (2006.01) **G06F 13/16** (2006.01)  
**G06F 13/40** (2006.01)  
(52) CPC특허분류  
**G06F 1/3275** (2013.01)  
**G06F 1/3253** (2013.01)  
(21) 출원번호 10-2016-7008192  
(22) 출원일자(국제) 2014년09월19일  
심사청구일자 2017년04월26일  
(85) 번역문제출일자 2016년03월28일  
(65) 공개번호 10-2016-0055828  
(43) 공개일자 2016년05월18일  
(86) 국제출원번호 PCT/US2014/056659  
(87) 국제공개번호 WO 2015/042469  
국제공개일자 2015년03월26일  
(30) 우선권주장  
14/033,233 2013년09월20일 미국(US)  
(56) 선행기술조사문헌  
WO2012145432 A2\*  
(뒷면에 계속)

(73) 특허권자  
**퀄컴 인코포레이티드**  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
(72) 발명자  
**로 하우-징**  
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775  
**춘 텍스터**  
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775  
(74) 대리인  
**특허법인코리어나**

전체 청구항 수 : 총 13 항

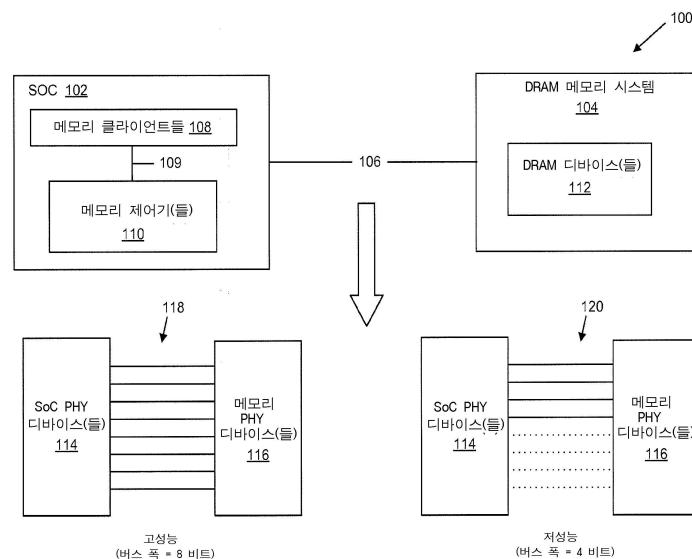
심사관 : 손경완

(54) 발명의 명칭 **동적 메모리 I/O 리사이징을 이용하여 메모리 전력을 절약하기 위한 시스템 및 방법**

## (57) 요약

메모리 시스템에서의 전력 소비를 절약하기 위한 시스템 및 방법이 개시되어 있다. 하나의 이러한 시스템은, DRAM 메모리 시스템 및 시스템 온 칩(SoC)을 포함한다. SoC는 메모리 버스를 통해 DRAM 메모리 시스템에 커플링된다. SoC는 DRAM 메모리 시스템에 액세스하기 위해 하나 이상의 메모리 클라이언트들로부터의 메모리 요청을 처리하는 하나 이상의 메모리 제어기를 포함한다. 하나 이상의 메모리 제어기들은 메모리 버스의 버스 폭을 동적으로 리사이징함으로써 메모리 전력 소비를 선택적으로 절약하도록 구성된다.

## 대표도



(52) CPC특허분류

**G06F 13/1678** (2013.01)

**G06F 13/4018** (2013.01)

*Y02D 10/13* (2018.01)

*Y02D 10/14* (2018.01)

*Y02D 10/151* (2018.01)

(56) 선행기술조사문헌

JP08171530 A

JP2012198685 A

KR1020040091069 A

W02013009442 A2

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

메모리 시스템에서 전력 소비를 절약하기 위한 방법 (200) 으로서,

상기 방법 (200) 은 상기 메모리 시스템에 의해 수행되며, 상기 방법 (200) 은,

시스템 온 칩 (SoC; System on Chip) 상에 상주하는 복수의 메모리 클라이언트들의 각각을 메모리 버스의 전체 폭을 이용하는 고성능 채널 모드 또는 상기 메모리 버스의 전체 폭 미만을 이용하는 저성능 채널 모드에 할당하는 단계;

상기 메모리 버스를 통해 상기 SoC 에 커플링된 동적 랜덤 액세스 메모리 (DRAM; Dynamic Random Access Memory) 메모리 시스템에 액세스하기 위해 상기 시스템 온 칩 (SoC) 상에 상주하는 상기 복수의 메모리 클라이언트들 중 하나로부터 메모리 요청을 수신하는 단계로서, 상기 메모리 요청은 상기 메모리 클라이언트의 성능 채널 모드를 나타내는 채널 폭 리사이징 비트를 포함하는, 상기 메모리 요청을 수신하는 단계 (202);

상기 메모리 클라이언트로부터의 상기 메모리 요청이 상기 저성능 채널 모드에 해당한다고, 상기 메모리 요청에서의 상기 채널 폭 리사이징 비트로부터 결정하는 단계; 및

상기 메모리 요청에 대해 상기 전체 폭 미만으로 상기 메모리 버스 (206) 를 동적으로 리사이징함으로써 상기 저성능 채널 모드에 해당하는 상기 메모리 요청에 대해 메모리 전력 소비를 절약하는 단계를 포함하고,

버스 폭을 동적으로 리사이징하는 단계는 상기 버스 폭을 제 1 채널 폭에서 제 2 채널 폭으로 감소시키는 단계를 포함하고,

상기 버스 폭을 제 1 채널 폭에서 제 2 채널 폭으로 감소시키는 단계는, 상기 SoC 에서의 SoC 물리 계층 디바이스 및 상기 DRAM 메모리 시스템에서의 메모리 물리 계층 디바이스를 디스에이블하는 단계를 포함하는, 메모리 시스템에서 전력 소비를 절약하기 위한 방법.

#### 청구항 2

제 1 항에 있어서,

상기 메모리 요청을 전송하는 상기 메모리 클라이언트는 상기 SoC 상에 상주하는 중앙 처리 장치 (CPU), 그래픽 처리 장치 (GPU), 및 디지털 신호 처리기 (DSP) 중 하나를 포함하는, 메모리 시스템에서 전력 소비를 절약하기 위한 방법.

#### 청구항 3

제 1 항에 있어서,

상기 메모리 버스는 N 비트의 채널을 포함하고, 상기 메모리 버스의 버스 폭을 동적으로 리사이징하는 단계는 상기 N 비트의 채널을 (N-M) 비트의 채널로 감소시키는 단계를 포함하는, 메모리 시스템에서 전력 소비를 절약하기 위한 방법.

#### 청구항 4

제 1 항에 있어서,

상기 메모리 버스는 단일 메모리 채널을 포함하는, 메모리 시스템에서 전력 소비를 절약하기 위한 방법.

#### 청구항 5

제 4 항에 있어서,

버스 폭을 동적으로 리사이징하는 단계는:

상기 단일 메모리 채널에 걸쳐 비트들의 수를 증가시켜 상기 DRAM 메모리 시스템에 의해 정의된 최소 액세스 길

이 (MAL; minimum access length) 를 유지하는 단계를 더 포함하는, 메모리 시스템에서 전력 소비를 절약하기 위한 방법.

#### 청구항 6

삭제

#### 청구항 7

제 1 항에 있어서,

상기 메모리 버스는 n-채널의 버스를 포함하는, 메모리 시스템에서 전력 소비를 절약하기 위한 방법.

#### 청구항 8

메모리 시스템에서 전력 소비를 절약하기 위한 시스템 (100) 으로서,

시스템 온 칩 (SoC) (102) 상에 상주하는 복수의 메모리 (108) 의 각각을 메모리 버스의 전체 폭을 이용하는 고성능 채널 모드 또는 상기 메모리 버스의 전체 폭 미만을 이용하는 저성능 채널 모드에 할당하는 수단;

상기 메모리 버스를 통해 상기 SoC 에 커플링된 동적 랜덤 액세스 메모리 (DRAM) 메모리 시스템 (104) 에 액세스하기 위해 상기 시스템 온 칩 (SoC) 상에 상주하는 상기 복수의 메모리 클라이언트들 중 하나로부터 메모리 요청을 수신하는 수단으로서, 상기 메모리 요청은 상기 메모리 클라이언트의 성능 채널 모드를 나타내는 채널 폭 리사이징 비트를 포함하는, 상기 메모리 요청을 수신하는 수단;

상기 메모리 클라이언트로부터의 상기 메모리 요청이 상기 저성능 채널 모드에 해당한다고, 상기 메모리 요청에서의 상기 채널 폭 리사이징 비트로부터 결정하는 수단; 및

상기 메모리 요청에 대해 상기 전체 폭 미만으로 상기 메모리 버스 (106) 를 동적으로 리사이징함으로써 상기 저성능 채널 모드에 해당하는 상기 메모리 요청에 대해 메모리 전력 소비를 절약하는 수단을 포함하고,

버스 폭을 동적으로 리사이징하는 수단은 상기 버스 폭을 제 1 채널 폭에서 제 2 채널 폭으로 감소시키는 수단을 포함하고,

상기 버스 폭을 제 1 채널 폭에서 제 2 채널 폭으로 감소시키는 수단은, 상기 SoC 에서의 SoC 물리 계층 디바이스 및 상기 DRAM 메모리 시스템에서의 메모리 물리 계층 디바이스를 디스에이블하는 수단을 포함하는, 메모리 시스템에서 전력 소비를 절약하기 위한 시스템.

#### 청구항 9

제 8 항에 있어서,

상기 메모리 요청을 전송하는 상기 메모리 클라이언트는 상기 SoC 상에 상주하는 중앙 처리 장치 (CPU), 그래픽 처리 장치 (GPU), 및 디지털 신호 처리기 (DSP) 중 하나를 포함하는, 메모리 시스템에서 전력 소비를 절약하기 위한 시스템.

#### 청구항 10

제 8 항에 있어서,

상기 메모리 버스는 N 비트의 채널을 포함하고, 상기 메모리 버스의 버스 폭을 동적으로 리사이징하는 수단은 상기 N 비트의 채널을 (N-M) 비트의 채널로 감소시키는 수단을 포함하는, 메모리 시스템에서 전력 소비를 절약하기 위한 시스템.

#### 청구항 11

제 8 항에 있어서,

상기 메모리 버스는 단일 메모리 채널을 포함하는, 메모리 시스템에서 전력 소비를 절약하기 위한 시스템.

#### 청구항 12

제 11 항에 있어서,

버스 폭을 동적으로 리사이징하는 수단은:

상기 단일 메모리 채널에 걸쳐 비트들의 수를 증가시켜 상기 DRAM 메모리 시스템에 의해 정의된 최소 액세스 길이 (MAL; minimum access length) 를 유지하는 수단을 더 포함하는, 메모리 시스템에서 전력 소비를 절약하기 위한 시스템.

### 청구항 13

삭제

### 청구항 14

제 8 항에 있어서,

상기 메모리 버스는 n-채널의 버스를 포함하는, 메모리 시스템에서 전력 소비를 절약하기 위한 시스템.

### 청구항 15

제 1 항 내지 제 5 항 및 제 7 항 중 어느 한 항에 기재된 방법을 메모리 시스템에서 수행하도록 구성된 명령들을 포함하는, 컴퓨터 판독가능 저장 매체에 저장된 컴퓨터 프로그램.

### 청구항 16

삭제

### 청구항 17

삭제

### 청구항 18

삭제

### 청구항 19

삭제

### 청구항 20

삭제

### 청구항 21

삭제

### 청구항 22

삭제

### 청구항 23

삭제

### 청구항 24

삭제

### 청구항 25

삭제

### 청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

**발명의 설명**

**기술 분야**

## 배경 기술

[0001] 컴퓨터 디바이스 (예를 들어, 휴대용 컴퓨팅 디바이스, 태블릿 컴퓨터, 휴대 전화 등) 는 보다 높은 피크 성능 요구를 수용하기 위해 메모리 입력/출력 (I/O) 속도의 증가를 계속해서 요구하고 있다. 최고 성능 요건을 충족하기 위해서는, 보다 빠른 I/O 속도와 보다 폭넓은 메모리 버스를 갖는 컴퓨팅 디바이스를 설계하는 것이 일반적이다. 하지만, 증가된 메모리 속도를 갖는 컴퓨팅 디바이스는 전력 소비 증가를 요구한다. 증가된 전력 소비는 고성능 I/O 이용 사례에 있어서 허용되는 트레이드오프일 수도 있지만, 많은 컴퓨팅 디바이스들의 대부분의 이용 사례는 고성능 I/O를 필요로 하지 않는다. 예를 들어, 고성능 I/O는 오디오 재생, 음성 통화, 비디오 재생 등과 같은 중저 성능 이용 사례에 해로울 수도 있다.

[0002] 메모리 I/O 동작을 "저전력" 모드로 재구성함으로써, 비교적 저성능 I/O 사용의 전력 소비를 줄이기 위한 기존의 솔루션이 있다. 통상적으로, 이것은 메모리 I/O가 보다 낮은 주파수에서 작동된다는 것을 의미한다. 높은 주파수에서 신호 무결성을 위해 사용되는 종단 저항기는 "저전력" 모드동안 디스에이블될 수도 있다. 더욱이, 신호 스윙의 수정도 또한 필요할 수 있다. 이것은 적용가능한 이용 사례 동안 전력 소비의 감소로 도울 수도 있지만, 주파수 스위칭은 구현에 따라 통상적으로  $2\mu s \sim 50\mu s$ 의 바람직하지 않은 대기시간을 도입한다.

## 발명의 내용

### 해결하려는 과제

### 과제의 해결 수단

[0003] 메모리 시스템에서의 전력 소비를 절약하기 위한 시스템 및 방법이 개시되어 있다. 일 실시형태는 메모리 시스템에서의 전력 소비를 절약하기 위한 방법이다. 하나의 이러한 방법은, 메모리 버스를 통해 시스템 온 칩 (SoC) 에 커플링된 동적 랜덤 액세스 메모리 (DRAM) 메모리 시스템에 액세스하기 위해 SoC 상에 상주하는 메모리 클라이언트로부터 메모리 요청을 수신하는 단계; 메모리 클라이언트로부터의 메모리 요청이 메모리 버스의 전체 폭 미만을 이용하는 성능 이용 사례에 해당한다고 결정하는 단계; 및 전체 폭 미만으로 메모리 버스를 동적으로 리사이징함으로써 성능 이용 사례에 해당하는 메모리 요청에 대해 메모리 전력 소비를 절약하는 단계를 포함한다.

[0004] 또 다른 실시형태는 메모리 시스템에서의 전력 소비를 절약하기 위한 시스템이다. 하나의 이러한 시스템은, DRAM 메모리 시스템 및 시스템 온 칩 (SoC) 을 포함한다. SoC는 메모리 버스를 통해 DRAM 메모리 시스템에 커플링된다. SoC는 DRAM 메모리 시스템에 액세스하기 위해 하나 이상의 메모리 클라이언트들로부터의 메모리 요청을 처리하는 하나 이상의 메모리 제어기를 포함한다. 메모리 제어기들은 메모리 버스의 버스 폭을 동적으로 리사이징함으로써 메모리 전력 소비를 선택적으로 절약하도록 구성된다.

### 도면의 간단한 설명

[0005] 도면들에 있어서, 동일한 참조부호들은, 달리 나타내지 않는한 다양한 도면들 전반에 걸쳐 동일한 부분들을 지칭한다. "102A" 또는 "102B" 와 같은 문자 지정을 갖는 참조부호들에 대해, 그 문자 지정은 동일한 도면에 존재하는 2개의 동일한 부분들 또는 엘리먼트들을 구별할 수도 있다. 참조부호들에 대한 문자 지정은, 참조부호가 모든 도면들에 있어서 동일한 참조부호를 갖는 모든 부분들을 포괄하도록 의도될 경우에 생략될 수도 있다.

도 1은 동적 메모리 I/O 리사이징을 이용하여 DRAM 메모리 전력 소비를 절약하기 위한 시스템의 일 실시형태의 블록도이다.

도 2는 DRAM 메모리 전력 소비를 절약하기 위한 도 1의 시스템에서 구현되는 방법의 일 실시형태를 나타낸 흐름도이다.

도 3은 고성능 모드 동안에 도 1의 시스템의 단일 채널 실시형태를 나타낸 블록도이다.

도 4는, 메모리 전력 소비를 절약하기 위해 버스 폭이 동적으로 리사이징되는, 저성능 모드 동안에 도 3의 시스템을 나타낸 블록도이다.

도 5는 고성능 모드에서의 도 3의 시스템의 또 다른 단일 채널 실시형태를 나타낸 블록도이다.

도 6은 저성능 모드에서의 도 5의 시스템을 나타낸다.

도 7은 도 1의 시스템의 이중 채널 실시형태를 나타낸 블록도이다.

도 8은 도 1의 시스템의 또 다른 이중 채널 실시형태를 나타낸 블록도이다.

도 9는 고성능 모드에서의 도 8의 시스템을 나타낸다.

도 10은 저성능 모드에서의 도 8의 시스템을 나타낸다.

도 11은 도 1의 시스템을 통합하는 휴대용 컴퓨팅 디바이스의 실시형태의 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0006] 단어 "예시적인"은 "예, 예증, 또는 예시로서 기능하는"을 의미하도록 본 명세서에서 사용된다. "예시적인" 것으로서 본 명세서에서 설명되는 임의의 양태는 다른 양태들에 비해 반드시 선호되거나 또는 유리한 것으로서 해석되지는 않아야 한다.
- [0007] 이 설명에 있어서, 용어 "애플리케이션"은 또한 오브젝트 코드, 스크립트들, 바이트 코드, 마크업 언어 파일들, 및 패치들과 같은 실행가능 콘텐츠를 갖는 파일들을 포함할 수도 있다. 부가적으로, 본 명세서에서 지칭되는 "애플리케이션"은 또한, 공개될 필요가 있을 수도 있는 문헌들 또는 액세스될 필요가 있는 다른 데이터 파일들과 같이 본질적으로 실행가능하지 않는 파일들을 포함할 수도 있다.
- [0008] 용어 "콘텐츠"는 또한 오브젝트 코드, 스크립트들, 바이트 코드, 마크업 언어 파일들, 및 패치들과 같은 실행가능 콘텐츠를 갖는 파일들을 포함할 수도 있다. 부가적으로, 본 명세서에서 지칭되는 "콘텐츠"는 또한, 공개될 필요가 있을 수도 있는 문헌들 또는 액세스될 필요가 있는 다른 데이터 파일들과 같이 본질적으로 실행가능하지 않는 파일들을 포함할 수도 있다.
- [0009] 본 설명에 있어서 사용되는 바와 같이, 용어들 "컴포넌트", "데이터베이스", "모듈", "시스템" 등은 컴퓨터 관련 엔티티, 즉, 하드웨어, 펌웨어, 하드웨어와 소프트웨어의 조합, 소프트웨어, 또는 실행 중인 소프트웨어를 지칭하는 것으로 의도된다. 예를 들어, 컴포넌트 프로세서 상에서 실행하는 프로세스, 프로세서, 오브젝트, 실행 가능물 (executable), 실행 스레드 (thread of execution), 프로그램, 및/또는 컴퓨터일 수도 있지만, 이에 한정되지 않는다. 예시로서, 컴퓨팅 디바이스 상에서 구동하는 애플리케이션 및 컴퓨팅 디바이스 양자는 컴포넌트일 수도 있다. 하나 이상의 컴포넌트들은 프로세스 및/또는 실행 스레드 내에 상주할 수도 있고, 컴포넌트는 하나의 컴퓨터에 국소화되고/되거나 2 이상의 컴퓨터들 사이에서 분배될 수도 있다. 부가적으로, 이들 컴포넌트들은 다양한 데이터 구조들이 저장된 다양한 컴퓨터 판독가능 매체로부터 실행할 수도 있다. 컴포넌트들은 하나 이상의 데이터 패킷들을 갖는 신호 (예를 들어, 로컬 시스템에서, 분배 시스템에서 및/또는 신호에 의한 다른 시스템들과의 인터넷과 같은 네트워크에 걸쳐 다른 컴포넌트와 상호작용하는 하나의 컴포넌트로부터의 데이터)에 따라서와 같은 로컬 및/또는 원격 프로세스들에 의해 통신할 수도 있다.
- [0010] 본 설명에서, 용어들 "통신 디바이스", "무선 디바이스", "무선 전화기", "무선 통신 디바이스", 및 "무선 핸드셋"은 상호교환가능하게 사용된다. 제 3 세대 ("3G") 무선 기술 및 제 4 세대 ("4G")의 도래로, 더 큰 대역폭 이용가능성은 아주 다양한 무선 능력들을 갖는 더 휴대성 있는 컴퓨팅 디바이스들을 가능하게 하였다. 따라서, 휴대용 컴퓨팅 디바이스는 셀룰러 전화기, 페이지, PDA, 스마트폰, 네비게이션 디바이스, 또는 무선 접속 또는 링크를 갖는 핸드헬드 컴퓨터를 포함할 수도 있다.
- [0011] 도 1은 동적 메모리 입력/출력 (I/O) 리사이징을 이용하여 메모리 전력 소비를 절약하기 위한 시스템 (100)을 나타낸다. 시스템 (100)은 퍼스널 컴퓨터, 워크스테이션, 서버, 휴대용 컴퓨팅 디바이스 (PCD), 예컨대 셀룰러 폰, 휴대형 정보 단말기 (PDA), 휴대 게임 콘솔, 팜탑 컴퓨터, 또는 태블릿 컴퓨터를 포함한 임의의 컴퓨팅 디바이스에서 구현될 수도 있다. 도 1의 실시형태에 도시된 바와 같이, 시스템 (100)은 메모리 버스 (106)를 통해 DRAM 메모리 시스템 (104)에 커플링된 시스템 온 칩 (SoC) (102)을 포함한다. SoC (102)는, DRAM 메모리 시스템 (104)으로부터 메모리 자원을 요청하는 하나 이상의 메모리 클라이언트들 (108)을 포함하여, 다양한 온 칩 컴포넌트를 포함한다. 메모리 클라이언트들 (108)은 하나 이상의 프로세싱 유닛들 (예를 들어, 중앙 처리 장치 (CPU), 그래픽 처리 장치 (GPU), 디지털 신호 프로세서 (DSP), 디스플레이 프로세서 등), 비디오 인코더, 또는 DRAM 메모리 시스템 (104)에 읽기/쓰기 액세스를 요청하는 다른 클라이언트들을 포함할 수도 있다. 메모리 클라이언트들 (108)은 SoC 버스 (109)를 통해 하나 이상의 메모리 제어기



(110)에 접속된다.

[0012] 메모리 제어기(들)(110)는 DRAM 메모리 시스템(104)에 대한 읽기/쓰기 요청을 수신 및 처리하도록 구성된다. 메모리 데이터는, 전용 메모리 채널을 통해 각각의 DRAM 디바이스(들)(112)에 접속되는, 하나 이상의 메모리 제어기(들)(110) 사이에서 분배될 수도 있다. DRAM 디바이스(112), 메모리 제어기(110), 및 메모리 채널의 임의의 개수가 임의의 바람직한 유형, 사이즈, 및 구성의 메모리(예를 들어, 더블 데이터 레이트(DDR) 메모리)를 갖는 시스템(100)에서 사용될 수도 있다는 것을 이해해야 한다.

[0013] 도 1에 도시된 바와 같이, 시스템(100)은 적합한 이용 사례에 대해 2가지 다른 채널 모드를 제공하도록 선택적으로 구성된다: (1) 고성능 채널 모드(118); 및 (2) 저성능 채널 모드(120). 고성능 이용 사례는 메모리 버스(106)의 전체 폭을 사용하여 고성능 채널 모드로 처리될 수도 있다. 도 1의 예에서, 메모리 버스(106)의 전체 폭은 8 비트를 포함할 수도 있다. 각 비트는 별도의 핀, 접속, 또는 다른 물리 계층 컴포넌트를 포함할 수도 있다. 고성능이 요구되지 않는 사례(예를 들면, 오디오 재생, 휴대 전화기 상의 음성 호출, 비디오 재생 등) 및 적절한 성능이 메모리 버스(106)의 전체 폭 미만을 통해 제공될 수도 있는 사례의 다양한 이용 사례가 있을 수도 있음을 이해해야 한다. 비교적 저성능의 이용 사례(또는 전력 절약이 성능에 비해 바람직한 다른 상황)의 경우, 메모리 버스(106)의 폭을 동적으로 리사이징함으로써 메모리 전력이 절약될 수도 있다. 이와 관련하여, 저성능 이용 사례는, 메모리 전력의 감소를 산출하면서 메모리 버스(106)의 전체 폭 미만으로 적합한 성능이 제공될 수도 있는 임의의 상황을 포함할 수도 있음을 이해해야 한다. 예를 들어, 8 비트의 메모리 버스(106)는 저성능 채널 모드(120) 동안 4 비트의 메모리 버스(106)로 리사이징될 수도 있다. 도 1의 실시형태에 예시된 바와 같이, 채널 폭은 8핀 접속 중 4개를, 또는 메모리 버스(106)를 포함하는(점선으로 도시된) 다른 물리 계층 컴포넌트를 디스에이블하여 2배만큼 감소될 수도 있다.

[0014] 도 2는 동적 메모리 I/O 리사이징을 이용하여 메모리 전력을 절약하기 위해 시스템(100)에 의해 구현된 방법(200)의 실시형태를 도시한다. 블록(202)에서, DRAM 메모리 시스템(104)에 액세스하기 위해 메모리 클라이언트(108)로부터 메모리 요청을 수신한다. 결정 블록(204)에서, 시스템(100)은, 메모리 요청을 메모리 버스(106)의 전체 폭을 사용하여 고성능 채널 모드(118)로 처리해야 하는지 또는 메모리 버스의 전체 폭 미만을 사용하여 저성능 채널 모드(120)로 처리해야 하는지를 결정한다. 메모리 클라이언트(108)가 전력 또는 성능 선호도를 요청할 수도 있음을 이해해야 한다. 예를 들어, 일 실시형태에서, 채널 폭 리사이징 비트(들)는 제거될 읽기/쓰기 지령에 포함될 수도 있으며, 이는 부가적인 신호 핀에 대한 필요성을 제거할 수도 있다. 전력 또는 성능 선호도는 시스템(100)에 의해 검증될 수도 있다. 다른 실시형태에서, 메모리 클라이언트(108)는 예측 또는 계산된 성능 요건에 기초하여 고성능 채널 모드(118) 또는 저성능 채널 모드(120)에 할당될 수도 있다. 시스템(100)이 고성능 이용 사례를 결정하면, 블록(210)에서, 메모리 데이터는 전체 버스 폭을 사용하여 DRAM 메모리 시스템(104)에 제공될 수도 있다. 고성능이 요구되지 않거나 전력 절약이 성능보다 선호된다고 시스템(100)이 결정하면, 블록(206)에서, 메모리 버스(106)를 동적으로 리사이징하여 메모리 전력을 절약할 수도 있다. 블록(208)에서, 메모리 데이터는 리사이징된 버스 폭을 통해 DRAM 메모리 시스템(104)에 제공될 수도 있다.

[0015] 동적 메모리 I/O 리사이징은 단일 채널 메모리 시스템 또는 멀티 채널 메모리 시스템에서 구현될 수도 있다는 것을 이해해야 한다. 도 3-6은 동적 메모리 I/O 리사이징의 단일 채널 구현의 다양한 실시형태를 도시한다.

[0016] 도 3 및 4는, DRAM 메모리 시스템(104)이 LPDDR2 메모리 디바이스를 포함하고 메모리 버스(106)가 32 비트의 버스를 포함하는 예를 도시한다. 당해 분야에 공지된 바와 같이, DRAM 메모리 트랜잭션은 클럭(302)에 기초하여 메모리 버스(106)에 걸쳐 다수의 비트로 구성된다. 비트 수("버스트 길이")는 고정될 수도 있고 및 DRAM 디바이스의 유형에 좌우될 수도 있다. 예를 들어, DDR 유형의 디바이스는 2의 버스트 길이를 가지며, DDR2 유형의 디바이스는 4의 버스트 길이를 가지며, DDR3 유형의 디바이스는 8의 버스트 길이를 갖는 등이다. 버스 폭과 비트의 수의 조합은 최소 액세스 길이(MAL; minimum access length)로 정의된다. 도 3 및 4의 예에서 32 비트 폭 LPDDR2는, 각 비트(304, 306, 308 및 310)가 4 바이트를 포함하는 16 바이트의 MAL 사이즈(4 비트 × 32 비트 = 128 비트 = 16 바이트)를 갖는다. DRAM 메모리 시스템(104)은, 메모리 버스(106)를 통해 비트의 입력 스트림을 수신하고 그것을 MAL 사이즈의 레지스터(예를 들면, 메모리의 I/O 레지스터(312))에 배치하며, 그것을 이후 DRAM 메모리 코어 어레이(314)에 로딩하는, 내부 논리 구조를 포함한다.

[0017] 도 3은, 전체 32 비트 버스 폭이 사용되는 고성능 채널 모드에서의 예시적인 시스템(100)의 동작을 도시한다. 도 4는, 32 비트의 채널 폭이 16 비트의 채널 폭으로 2배만큼 동적으로 리사이징되는, 저성능 채널 모드의

동작을 나타낸다. 16 바이트의 미리정의된 MAL 사이즈를 버스 폭의 절반으로 유지하기 위해, Soc (102) 는 비트 수를 배가시키도록 구성된다. 도 4에 도시된 바와 같이, 각 비트 (402, 404, 406, 408, 410, 412, 414 및 416) 는 고성능 채널 모드에서 사용되는 4 바이트 대신에 2 바이트로 구성된다. DRAM 메모리 시스템 (104) 은, 8개의 2 바이트 비트의 입력 스트림을 수신하고, 그것을 동일한 16 바이트, MAL 사이즈의 메모리 I/O 레지스터 (312) 에 배치한다. 메모리 I/O 레지스터 (312) 는 이후, DRAM 내부 구성을 재구성하거나 또는 저 성능 채널 모드에서 이용할 수 있는 이용가능한 메모리 공간의 양을 감소시킬 필요없이 고성능 채널 모드에서와 동일한 방법으로 메모리 코어 어레이 (314) 로 로딩된다.

[0018] 도 5 및 6은 동적 메모리 I/O 리사이징의 단일 채널 구현의 또 다른 실시형태를 도시한다. 도 5는 고성능 모드에서의 시스템 (100) 을 나타낸다. 도 6은 저성능 모드에서의 시스템 (100) 을 나타낸다. SoC (102) 는 SoC 물리 계층 디바이스 (114) 의 쌍 (SoC PHY\_U 및 SoC PHY\_L) 과 각 메모리 물리 계층 디바이스 (116) (Mem PHY\_U 및 Mem PHY\_L) 사이에서 DRAM 메모리 시스템 (104) 으로의 메모리 요청을 처리하기 위한 메모리 제어기 (110) 를 포함한다. DRAM 메모리 시스템 (104) 은 DRAM 메모리 I/O 레지스터 (312) 및 메모리 코어 레지스터 (314) 를 포함한다.

[0019] 도 5를 참조하면, SoC 물리 계층 디바이스 (114) 및 메모리 물리 계층 디바이스 (116) 는 메모리 버스 (106) 로 비트를 제공하고 메모리 버스 (106) 로부터 대응하는 비트를 제공하기 위한 라인 드라이버를 포함한다. SoC PHY\_U 및 메모리 PHY\_U 는 라인 드라이버들 ( $IO[m-1]$ ,  $IO[m-2]$  ...  $IO[m/2]$ ) 을 포함하고, 여기서  $m$  = 채널 폭이다. SoC PHY\_L 및 메모리 PHY\_L 은 라인 드라이버들 ( $IO[m/2]$  ...  $IO[1]$  ...  $IO[0]$ ) 을 포함한다. 도 5에 더욱 나타내는 바와 같이, 메모리 버스 (106) 는  $n$  비트를 포함하는 단일 메모리 채널을 포함하고, 여기서  $n$  = 비트 수,  $B$  = 단일의  $m$  비트의 비트, 그리고  $b$  = 비트 ( $B$ ) 내의 개별 비트이다. 메모리 I/O 레지스터 (312) 는 인입 데이터를 수신 및 저장하고, 인입 데이터는 메모리 코어 레지스터 (314) 로 로딩된다.

[0020] 도 6에 도시된 바와 같이, 저성능 채널 모드에서, 채널 폭은  $m$  에서  $m/2$  로 감소되며, SoC PHY\_U 및 메모리 PHY\_U는 원하는 전력 절감을 획득하기 위해 디스에이블된다. 미리정의된 MAL 사이즈를 버스 폭의 절반 ( $m/2$ ) 으로 유지하기 위해, Soc (102) 는 비트 수를 배가 ( $2n$ ) 시키도록 구성된다. 메모리 I/O 레지스터 (312) 는 비트 수의 절반을 수신 및 저장하고, 이를 메모리 코어 레지스터 (314) 로 로딩한다.

[0021] 도 7은 동적 메모리 I/O 리사이징의 이중 채널 구현의 실시형태를 도시한다. SoC (102) 및 DRAM 메모리 시스템 (104) 은 2개의 메모리 채널 (702 및 704) (Ch 0 및 Ch 1) 을 포함할 수도 있다. (도 7의 상부 도면에 도시된) 고성능 이용 사례에서, 양 채널 (702 및 704) 은 SoC:Ch0 에서 DRAM:Ch0 로 진행하는 데이터의 16 비트 및 SoC:Ch1 에서 DRAM:Ch1 0 으로 진행하는 데이터의 16 비트로 활성화된다.

[0022] 비교적 저성능의 이용 사례가 요구되는 경우, 시스템 (100) 은 예를 들어 메모리 채널 중 하나를 디스에이블시킴으로써 메모리 채널 폭의 사이즈를 동적으로 재구성할 수도 있다. 도 7의 하부 도면에 도시된 바와 같이, 메모리 채널 (704) 은 원하는 전력 절감을 달성하기 위해 디스에이블될 수도 있다. 활성화 메모리 채널 (702) 은 16 비트를 포함하며, 그 데이터는 멀티플렉서(들)(706) 에 의해 DRAM:Ch0 와 DRAM:Ch1 사이에서 다중화된다. 멀티플렉서(들) (706) 는 데이터 경로의 다양한 지점에 (예를 들어, DRAM 내측 또는 외측의, 메모리 I/O 레지스터(들) (312) 이전 또는 이후에) 배치될 수 있음을 이해해야 한다.

[0023] 도 8 내지 도 10은 동적 메모리 I/O 리사이징의 이중 채널 구현의 또 다른 실시형태를 나타내며, 이는 도 5 및 6에서의 동일한 참조 부호 주석을 따르며,  $m$  = 채널 폭,  $n$  = 비트 수, 그리고  $B$  = 단일  $m$  비트의 비트이다. 도 8에 예시된 바와 같이, SoC (102) 는 2개의 메모리 제어기 (110a 및 110b) 를 포함한다. 메모리 제어기 (110a) 는 SoC PHY\_A 와 메모리 PHY\_A 사이의 DRAM 메모리 시스템 (104) 으로 메모리 요청을 처리하기 위한 메모리 채널 (702) 에 대응한다. 메모리 제어기 (110b) 는 SoC PHY\_B 와 메모리 PHY\_B 사이의 DRAM 메모리 시스템 (104) 으로 메모리 요청을 처리하기 위한 메모리 채널 (704) 에 대응한다. 고성능 모드의 동작에서 (도 8 및 9), 메모리 PHY\_A 로부터의 메모리 데이터는 메모리 I/O 레지스터 (312a) 에서 수신 및 저장된다. 메모리 PHY\_B 로부터의 메모리 데이터는 메모리 I/O 레지스터 (312b) 에서 수신 및 저장된다.

[0024] 도 8-10에 더욱 도시된 바와 같이, SoC 물리 계층 디바이스 (114a 및 114b) 및 메모리 물리 계층 디바이스 (116a 및 116b) 는 복수의 라인 드라이버 ( $IO[k]$ ) 를 포함할 수도 있으며, 여기서  $m$  = 채널 폭,  $0 \leq k \leq m-1$  이다. 도 8을 참조하면, 메모리 PHY\_A 라인 드라이버 ( $IO[k]$ ) 및 메모리 PHY\_B 라인 드라이버 ( $IO[k]$ ) 는, 어느 데이터가 메모리 I/O 레지스터 (312b) 에 제공되는지를 (MODE\_SEL 통해) 제어하기 위한 멀티플렉서 (802) 로의 입력을 포함할 수도 있다. 저성능 모드의 동작에서 (도 10), 메모리 채널 (704) 은 메모리 버스 폭을 반감시키고 원하는 전력 절감을 획득하기 위해 디스에이블될 수도 있다. 멀티플렉서 (802) 는 메모리 PHY\_A

라인 드라이버 (IO[m-1])로부터 메모리 I/O 레지스터 (312a) 또는 메모리 I/O 레지스터 (312b) 중 어느 하나로 데이터를 선택적으로 제공할 수도 있다. 다른 메모리 PHY\_A 및 메모리 PHY\_B 라인 드라이버 IO[k]는 유사하게 다중화될 수도 있음을 이해해야 한다.

- [0025] 도 5-10에 도시된 실시형태는, SoC (102)로부터의 데이터가 DRAM 메모리 시스템 (104)에 기록될 수 있다는 메모리 쓰기 동작을 구현한다는 것을 이해해야 한다. 당업자는, 상술된 방법이 역방향으로 적용될 수도 있고, 그리고 DRAM 메모리 시스템 (104)으로부터의 데이터가 SoC (102)로 리턴되는 메모리 읽기 동작 동안 전력 절감이 얻어질 수도 있다는 것을 이해할 것이다.
- [0026] 상기 언급된 바와 같이, 시스템 (100)은 임의의 바람직한 컴퓨터 시스템에 통합될 수도 있다. 도 11은 예시적인 휴대용 컴퓨팅 디바이스(PCD; 1000)에 통합된 시스템 (100)을 도시한다. 시스템 (100)의 소정 컴포넌트들이 SoC (322) (도 12) 상에 포함될 수도 있는 한편, 다른 컴포넌트들(예를 들어, DRAM 메모리 시스템 (104))이 SoC (322)에 커플링된 외부 컴포넌트들을 포함할 수도 있음을 쉽게 이해할 것이다. SoC (322)는 멀티코어 CPU (1102)를 포함할 수도 있다. 멀티코어 CPU (1102)는 제 0 코어 (410), 제 1 코어 (412), 및 제 N 코어 (414)를 포함할 수도 있다. 코어들 중 하나는, 예를 들어, CPU를 포함하는 다른 것들 중 하나 이상과 그래픽 프로세싱 유닛 (GPU)을 포함할 수도 있다.
- [0027] 디스플레이 제어기 (328) 및 터치스크린 제어기 (330)는 CPU (1202)에 커플링될 수도 있다. 궁극적으로, 온 칩 시스템 (322)의 외부에 있는 터치스크린 디스플레이 (1106)는 디스플레이 제어기 (1106) 및 터치스크린 제어기 (330)에 커플링될 수도 있다.
- [0028] 도 11은 비디오 인코더 (334), 예컨대 PAL (phase alternating line) 인코더, SECAM (sequential color a memoire) 인코더, 또는 NTSC (national television system(s) committee) 인코더가 멀티코어 CPU (1102)에 커플링된다는 것을 추가로 도시한다. 추가로, 비디오 증폭기 (336)가 비디오 인코더 (334) 및 터치스크린 디스플레이 (1106)에 커플링된다. 또한, 비디오 포트 (338)가 비디오 증폭기 (336)에 커플링된다. 도 11에 도시된 바와 같이, 범용 직렬 버스 ("USB") 제어기 (340)가 멀티코어 CPU (1102)에 커플링된다. 또한, USB 포트 (342)는 USB 제어기 (340)에 커플링된다. 메모리 (1104) 및 가입자 아이덴티티 모듈 (SIM) 카드 (346)는 또한 멀티코어 CPU (1102)에 커플링될 수도 있다. 메모리 (1104)는 (도 1에 도시된 바와 같이) SoC (322)에 커플링되거나 또는 SoC (322) 상에 상주할 수 있다. 메모리 (1104)는 상술한 바와 같이 DRAM 메모리 시스템 (104) (도 1)을 포함할 수도 있다.
- [0029] 또, 도 11에 도시된 바와 같이, 디지털 카메라 (348)는 멀티코어 CPU (1102)에 커플링될 수도 있다. 예시적인 양태에서, 디지털 카메라 (348)는 전하 결합 소자 (CCD) 카메라 또는 상보적 금속 산화물 반도체 (CMOS) 카메라이다.
- [0030] 도 11에 추가로 도시된 바와 같이, 스테레오 오디오 코더-디코더 (코덱; 350)가 멀티코어 CPU (1102)에 커플링될 수도 있다. 또한, 오디오 증폭기 (352)가 스테레오 오디오 코덱 (350)에 커플링될 수도 있다. 예시적인 양태에 있어서, 제 1 스테레오 스피커 (354) 및 제 2 스테레오 스피커 (356)가 오디오 증폭기 (352)에 커플링된다. 도 11은, 마이크로폰 증폭기 (358)가 또한 스테레오 오디오 코덱 (350)에 커플링될 수도 있다는 것을 도시한다. 부가적으로, 마이크로폰 (360)이 마이크로폰 증폭기 (358)에 커플링될 수도 있다. 특정 양태에서, 주파수 변조 (FM) 라디오 튜너 (362)가 스테레오 오디오 코덱 (350)에 커플링될 수도 있다. 또한, FM 안테나 (364)가 FM 라디오 튜너 (362)에 커플링된다. 추가로, 스테레오 헤드폰들 (366)이 스테레오 오디오 코덱 (350)에 커플링될 수도 있다.
- [0031] 도 11은 무선 주파수 (RF) 트랜시버 (368)가 멀티코어 CPU (402A)에 커플링될 수도 있음을 추가로 도시한다. RF 스위치 (370)가 RF 트랜시버 (368) 및 RF 안테나 (372)에 커플링될 수도 있다. 도 11에 도시된 바와 같이, 키패드 (204)가 멀티코어 CPU (1102)에 커플링될 수도 있다. 또한, 마이크로폰을 갖는 모노 헤드셋 (376)이 멀티코어 CPU (1102)에 커플링될 수도 있다. 추가로, 바이브레이터 디바이스 (378)가 멀티코어 CPU (1202)에 커플링될 수도 있다.
- [0032] 도 11은 또한, 전원 (380)이 온 칩 시스템 (322)에 커플링될 수도 있다는 것을 도시한다. 특정 양태에서, 전원 (380)은 전력을 요구하는 PCD (1100)의 다양한 컴포넌트들에 전력을 제공하는 직류 (DC) 전원이다. 추가로, 특정 양태에 있어서, 전원은, AC 전력 소스에 접속되는 교류 (AC)-DC 변압기로부터 도출되는 DC 전원 또는 재충전식 DC 배터리이다.
- [0033] 도 11은, PCD (1100)가 또한 데이터 네트워크, 예컨대 로컬 영역 네트워크, 개인 영역 네트워크, 또는 임의의

다른 네트워크를 액세스하는데 사용될 수도 있는 네트워크 카드 (388) 를 포함할 수도 있다는 것을 추가로 표시한다. 네트워크 카드 (388) 는 블루투스 네트워크 카드, WiFi 네트워크 카드, 개인 영역 네트워크 (PAN) 카드, 개인 영역 네트워크 초저전력 기술 (PeANUT) 네트워크 카드, 또는 당업계에 잘 알려진 임의의 다른 네트워크 카드일 수도 있다. 추가로, 네트워크 카드 (388) 는 칩 내에 통합될 수도 있고, 즉 네트워크 카드 (388) 는 칩 내의 완전 솔루션일 수도 있고, 별개의 네트워크 카드 (388) 가 아닐 수도 있다.

[0034] 도 11에 도시된 바와 같이, 터치스크린 디스플레이 (1106), 비디오 포트 (338), USB 포트 (342), 카메라 (348), 제 1 스테레오 스피커 (354), 제 2 스테레오 스피커 (356), 마이크로폰 (360), FM 안테나 (364), 스테레오 헤드폰들 (366), RF 스위치 (370), RF 안테나 (372), 키패드 (374), 모노 헤드셋 (376), 바이브레이터 (378), 및 전원 (380) 은 온 칩 시스템 (322) 외부에 있을 수도 있다.

[0035] 본원에서 기재된 방법 단계들 중 하나 이상은, 전술된 모듈들과 같은 컴퓨터 프로그램 명령들로서 메모리에 저장될 수도 있음을 이해해야 한다. 이들 명령들은, 본원에 기재된 방법들을 수행하기 위해 상응하는 모듈과 조합하여 또는 협력하여 임의의 적합한 프로세서에 의해 실행될 수도 있다.

[0036] 본 명세서에 설명된 프로세스들 또는 프로세스 플로우들에서의 소정 단계들은 자연스럽게, 본 발명이 설명된 바와 같이 기능하도록 다른 것들보다 선행한다. 하지만, 본 발명은, 그러한 순서 또는 시퀀스가 본 발명의 기능을 변경하지 않는다면, 설명된 단계들의 순서로 한정되지 않는다. 즉, 일부 단계들은 본 발명의 범위 및 사상으로부터 이탈함없이 다른 단계들 이전에, 그 이후에 또는 그와 병렬로 (실질적으로 동시에) 수행될 수도 있음이 이해된다. 일부 경우들에 있어서, 소정 단계들은 본 발명으로부터 이탈함없이 생략되거나 또는 수행되지 않을 수도 있다. 추가로, "그 이후", "그 후", "다음" 등과 같은 단어들은 단계들의 순서를 한정하도록 의도되지 않는다. 이들 단어들은 단순히, 예시적인 방법의 설명을 통해 독자를 가이드하도록 사용된다.

[0037] 부가적으로, 프로그래밍에 있어서의 당업자는, 예를 들어, 본 명세서에 있어서의 플로우 차트들 및 관련 설명에 기초하여 어려움없이, 개시된 발명을 구현하기 위해 컴퓨터 코드를 기입하거나 적절한 하드웨어 및/또는 회로들을 식별할 수 있다.

[0038] 따라서, 프로그램 코드 명령들 또는 상세한 하드웨어 디바이스들의 특정 세트의 개시는 본 발명을 제조 및 이용하는 방법의 적절한 이해에 필수적인 것으로 고려되지 않는다. 청구된 컴퓨터 구현 프로세스들의 본 발명의 기능은, 다양한 프로세스 플로우들을 예시할 수도 있는 도면들과 함께 상기 설명에서 보다 상세히 설명된다.

[0039] 하나 이상의 예시적인 양태들에서, 기재된 기능들은 하드웨어, 소프트웨어, 펌웨어 또는 이들의 임의의 조합으로 구현될 수도 있다. 소프트웨어로 구현되면, 기능들은 하나 이상의 명령들 또는 코드로서 컴퓨터 판독가능 매체 상에 저장되거나 또는 송신될 수도 있다. 컴퓨터 판독가능 매체들은 한 장소에서 다른 장소로 컴퓨터 프로그램의 전송을 가능하게 하는 임의의 매체를 포함하여 컴퓨터 저장 매체들 및 통신 매체들의 양자를 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체일 수도 있다. 비제한적인 예로써, 이러한 컴퓨터 판독 가능한 매체는 RAM, ROM, EEPROM, NAND 플래시, NOR 플래시, M-RAM, P-RAM, R-RAM, CD-ROM 또는 다른 광학 디스크 스토리지, 자기 디스크 스토리지 또는 다른 자기 스토리지 디바이스들, 또는 소망되는 프로그램 코드를 명령들 또는 데이터 구조들의 형태로 이송 또는 저장하기 위해 사용될 수 있으며 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다.

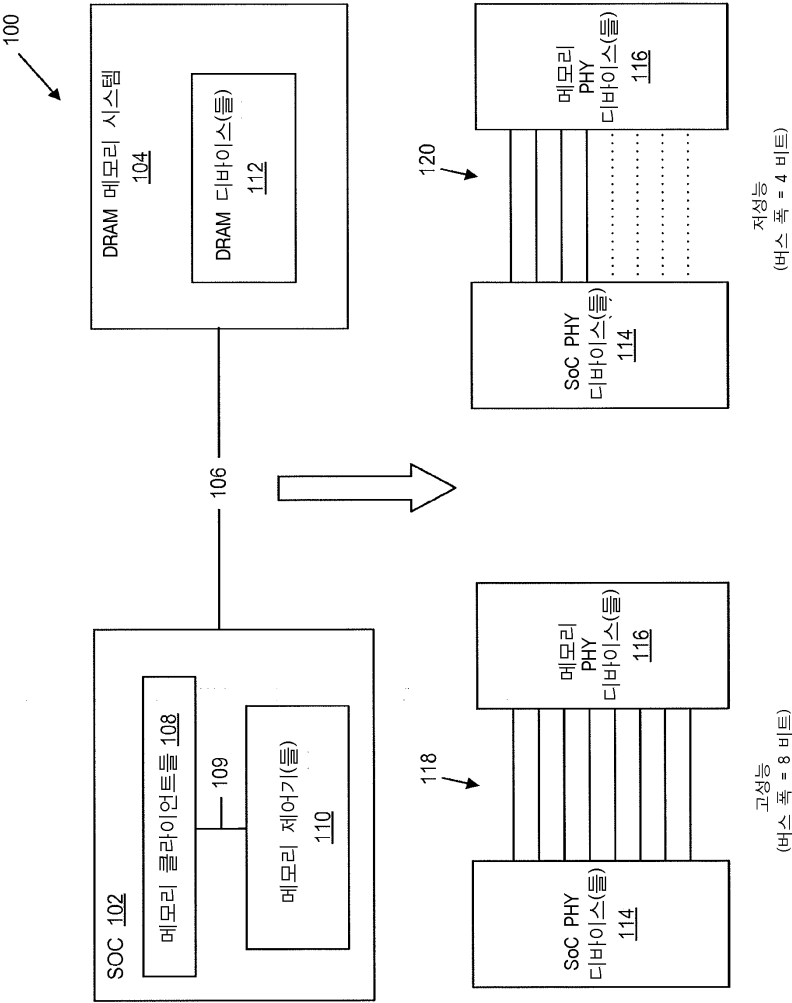
[0040] 또한, 임의의 접속은 컴퓨터 판독 가능한 매체로 적절히 칭해진다. 예를 들어, 동축 케이블, 광섬유 케이블, 꼬임쌍선, 디지털 가입자 라인 ("DSL"), 또는 적외선, 무선, 및 마이크로파와 같은 무선 기술들을 이용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 소프트웨어가 송신된다면, 동축 케이블, 광섬유 케이블, 꼬임쌍선, DSL, 또는 적외선, 무선, 및 마이크로파와 같은 무선 기술들은 매체의 정의에 포함된다.

[0041] 본 명세서에서 사용된 바와 같은 디스크 (disk) 및 디스크 (disc) 는 콤팩트 디스크 ("CD"), 레이저 디스크, 광학 디스크, 디지털 다기능 디스크 ("DVD"), 플로피 디스크 및 블루레이 디스크를 포함하며, 여기서 디스크 (disk) 는 보통 데이터를 자기적으로 재생하지만 디스크 (disc) 는 레이저를 이용하여 데이터를 광학적으로 재생한다. 위의 조합들도 또한 컴퓨터 판독가능 매체들의 범위 내에 포함되어야 한다.

[0042] 대안의 실시형태들은 본 발명의 사상 및 범위로 부터 벗어나지 않고도 본 발명이 속하는 분야의 당업자에게 명백하게 될 것이다. 따라서, 선택된 양태들이 상세히 도시 및 설명되었지만, 다양한 치환물들 및 변경물들이 다음의 청구항들에 의해 정의되는 바와 같은 본 발명의 사상 및 범위로 부터 벗어나지 않으면서 그 안에서 행해질 수도 있음이 이해될 것이다.

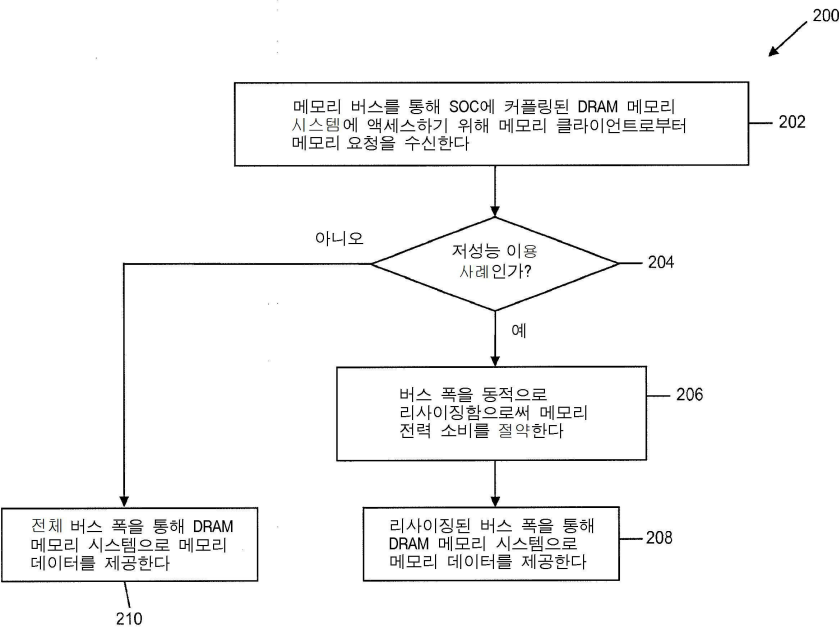
도면

도면1

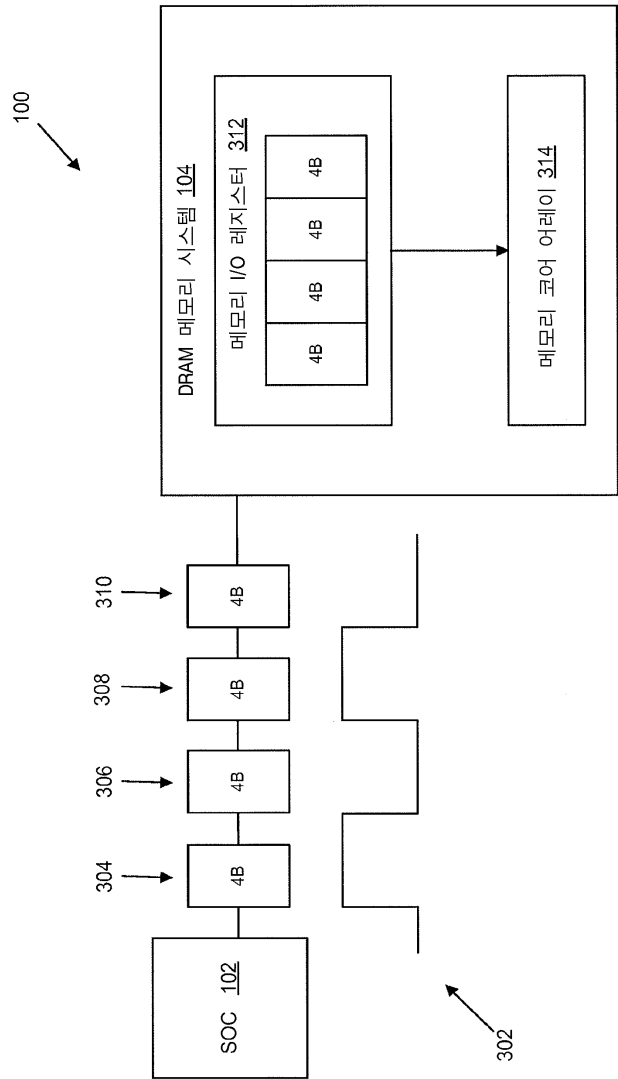




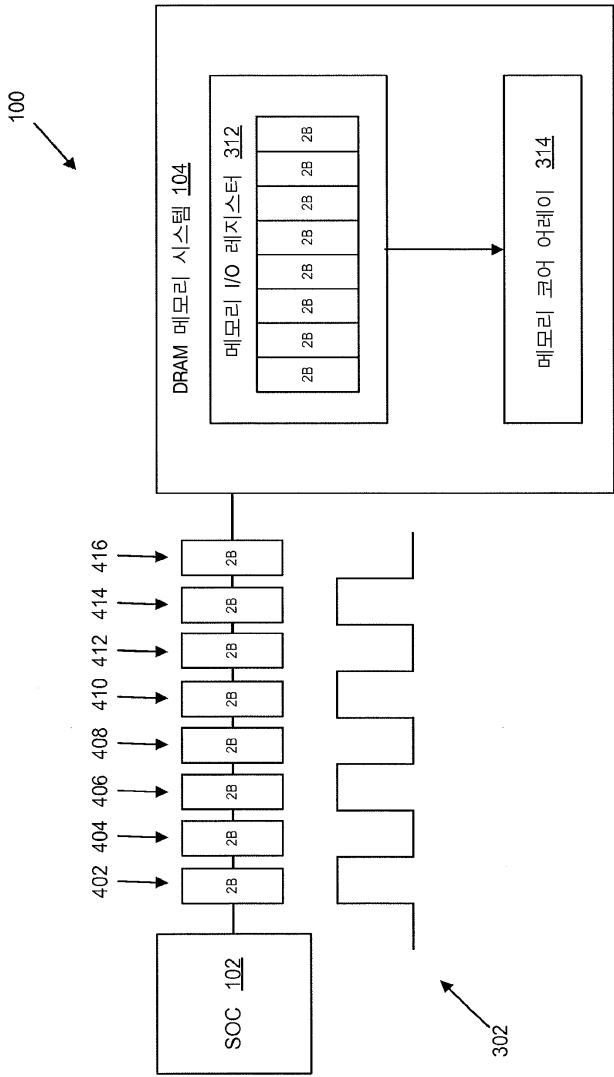
도면2



도면3

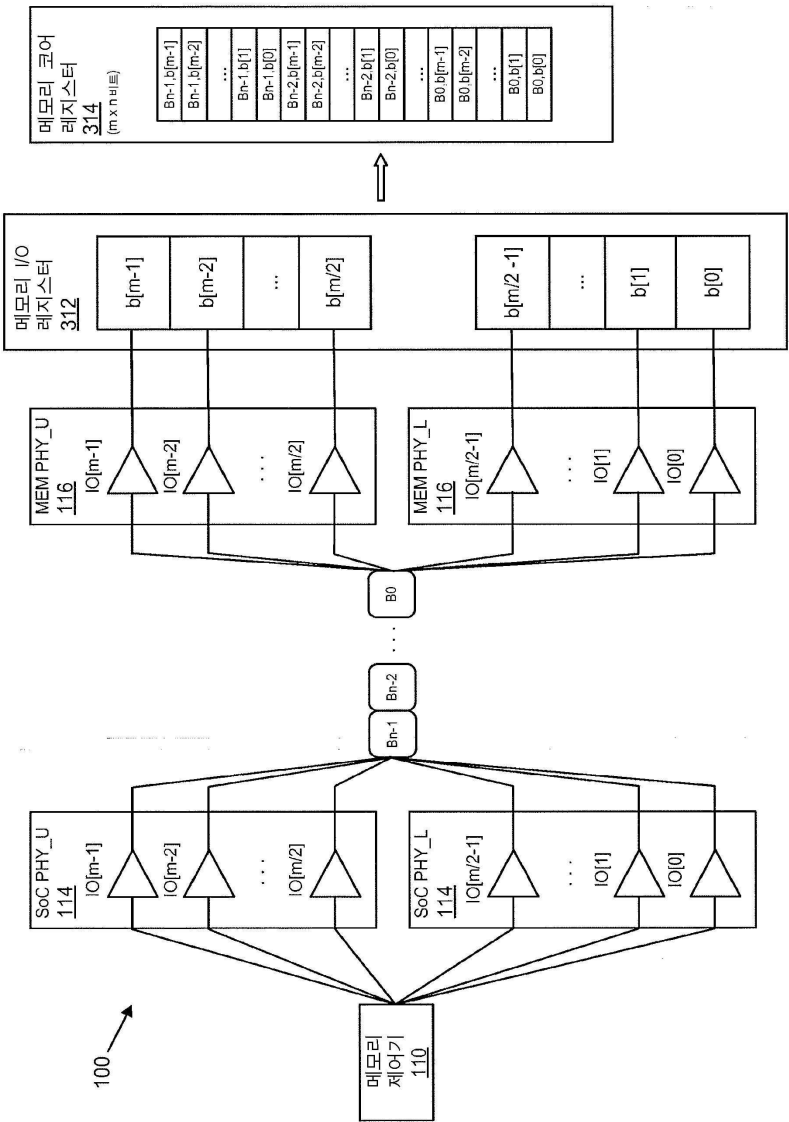


도면4

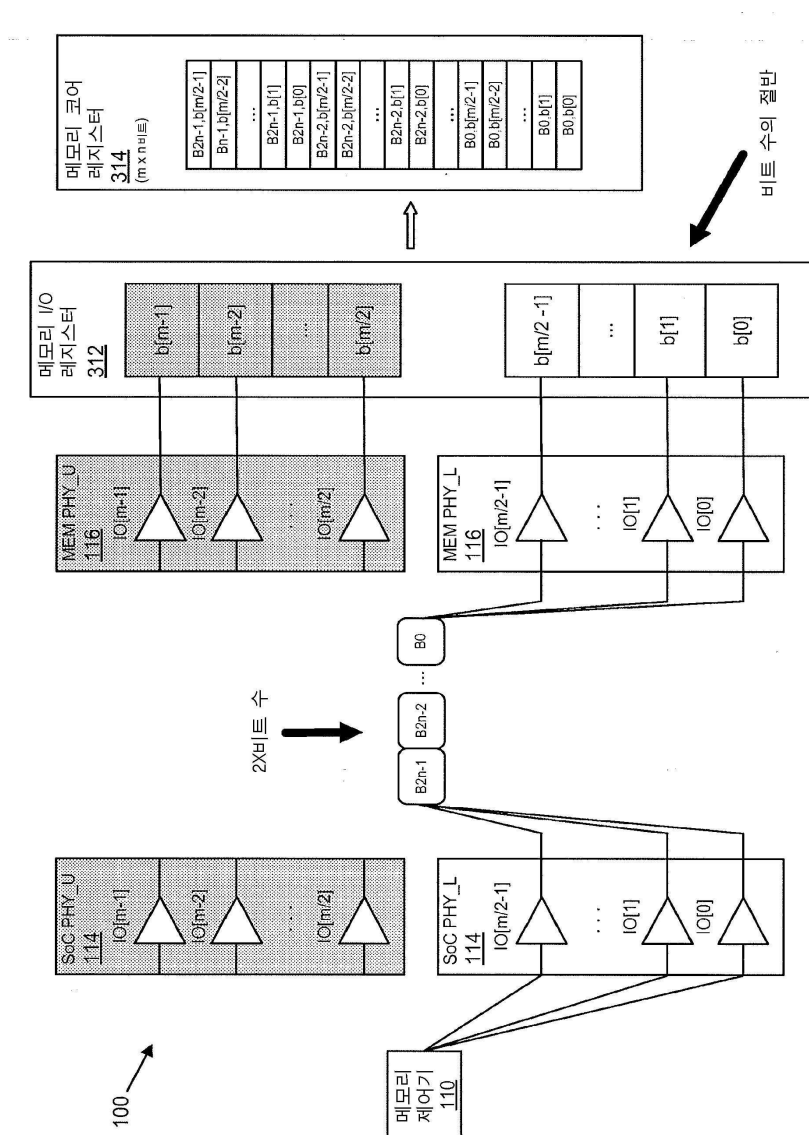




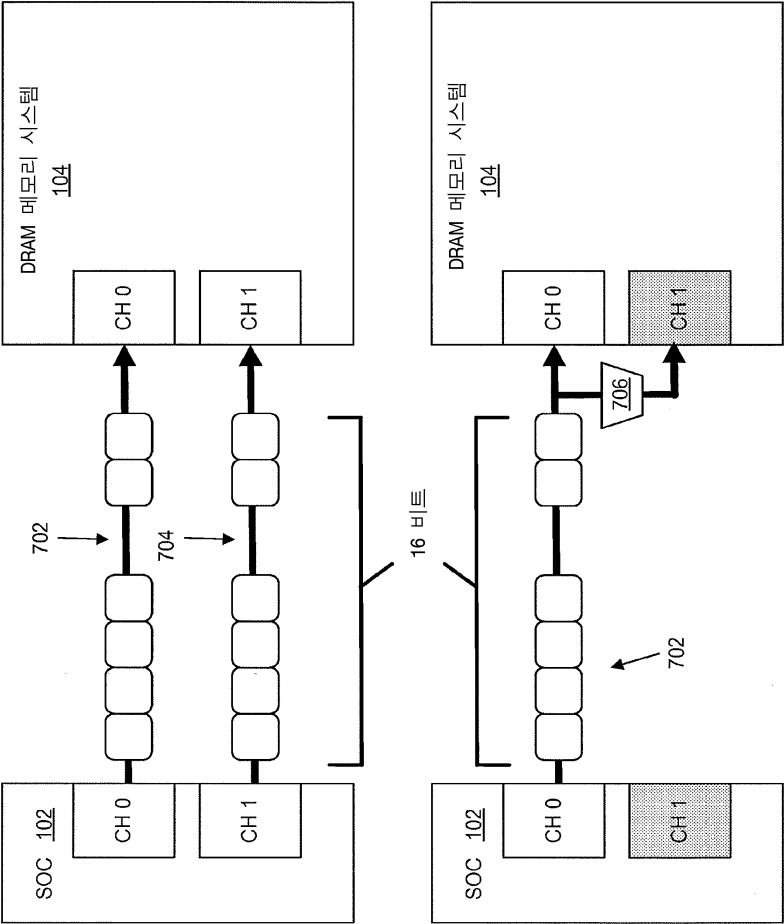
도면5



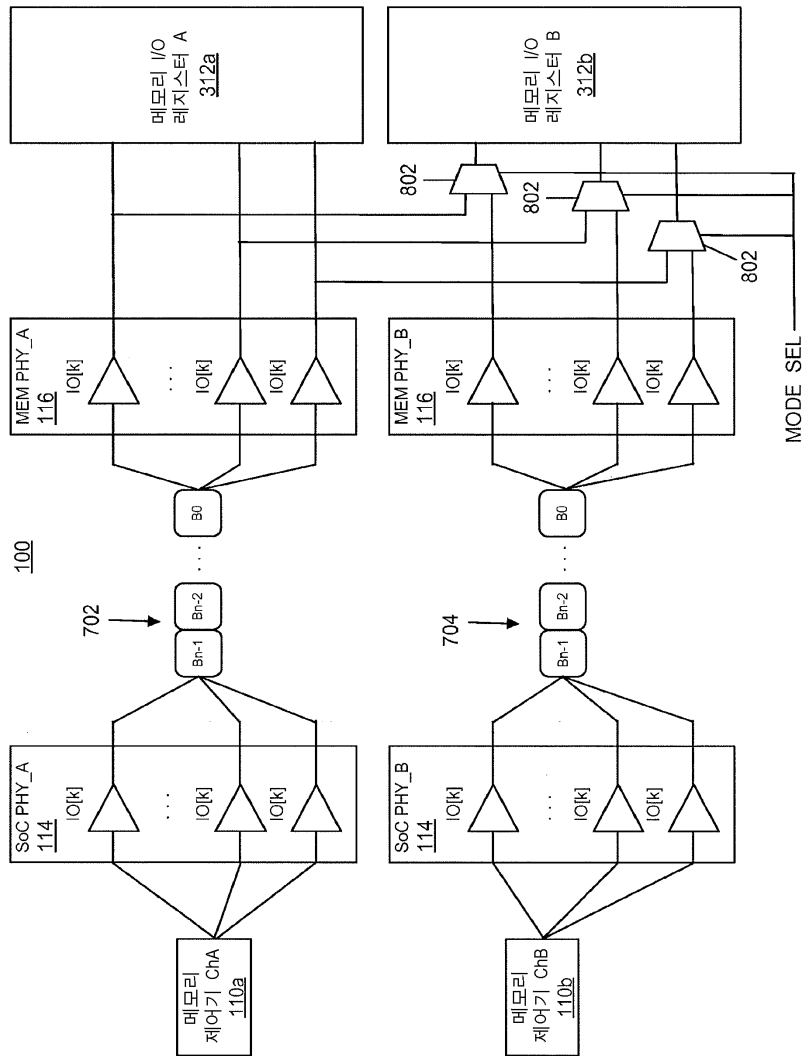
도면6



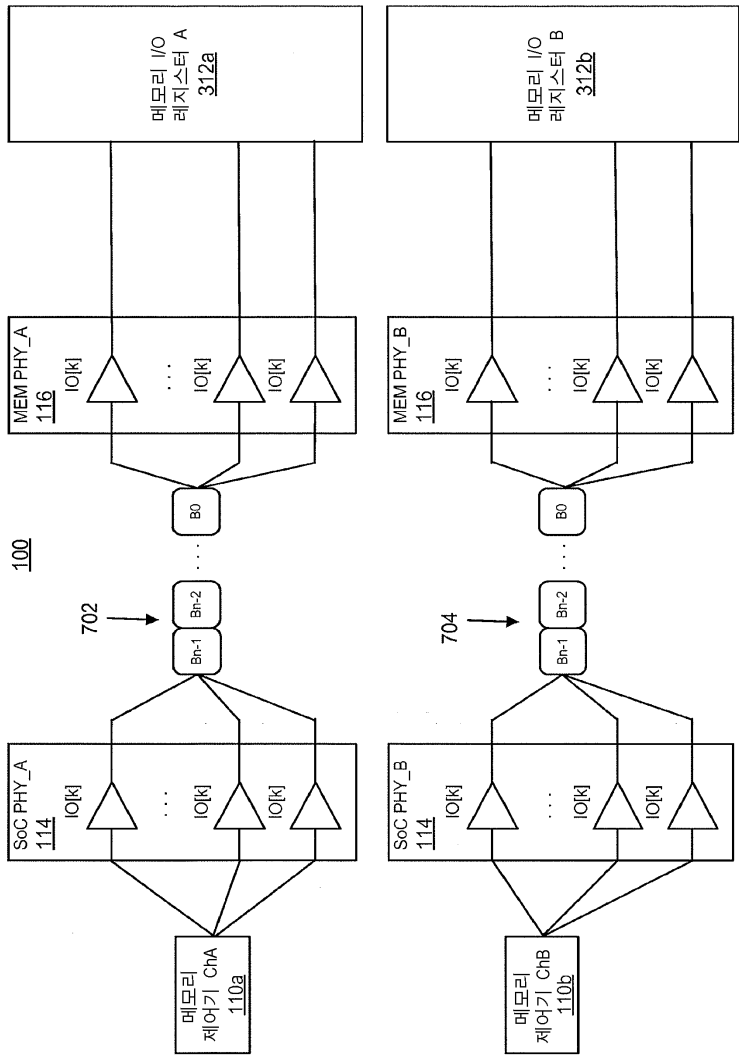
도면7



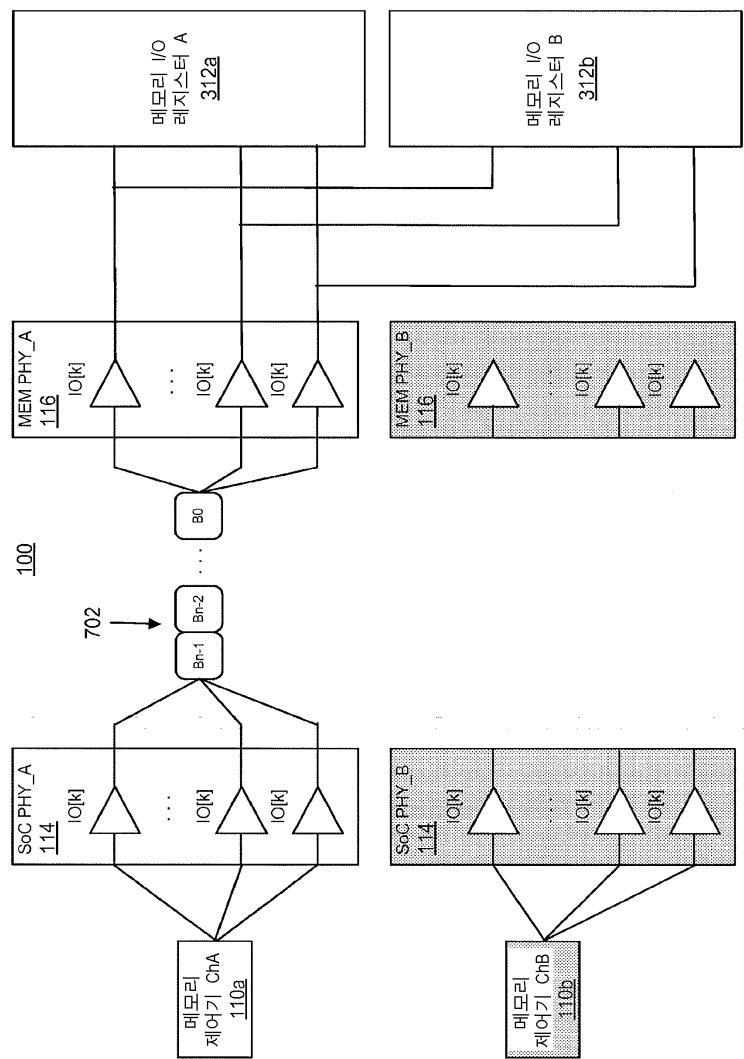
도면8



도면9



도면10



도면11

