

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年2月1日(2018.2.1)

【公開番号】特開2016-122683(P2016-122683A)

【公開日】平成28年7月7日(2016.7.7)

【年通号数】公開・登録公報2016-040

【出願番号】特願2014-260230(P2014-260230)

【国際特許分類】

H 01 L 29/786 (2006.01)

H 01 L 21/336 (2006.01)

G 02 F 1/1368 (2006.01)

G 09 F 9/30 (2006.01)

【F I】

H 01 L 29/78 6 1 6 T

H 01 L 29/78 6 1 8 B

H 01 L 29/78 6 1 2 D

H 01 L 29/78 6 1 2 C

H 01 L 29/78 6 1 9 A

H 01 L 29/78 6 1 6 V

H 01 L 29/78 6 1 6 K

G 02 F 1/1368

G 09 F 9/30 3 3 8

【手続補正書】

【提出日】平成29年12月12日(2017.12.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上に形成された薄膜トランジスタと、

前記薄膜トランジスタのゲート電極に接続されたゲート配線と、

前記薄膜トランジスタのドレイン電極に接続された画素電極と、

前記薄膜トランジスタのソース電極に接続されたソース配線と、

を備え、

前記薄膜トランジスタは、

前記基板上に形成された前記ゲート電極と、

前記ゲート電極を覆うように形成された第1の絶縁膜と、

前記第1の絶縁膜上の前記ゲート電極と重なる位置に形成された酸化物半導体から成るチャネル層と、

前記チャネル層上に形成された第2の絶縁膜と、

前記第2の絶縁膜を覆うように形成された第3の絶縁膜と、

前記第3の絶縁膜上に形成されたソース電極、ドレイン電極とを備え、

前記ソース電極および前記ドレイン電極は、それぞれ前記第2の絶縁膜および前記第3の絶縁膜を貫通するコンタクトホールを通して、前記チャネル層に接続しており、

前記ソース配線の下には、前記チャネル層と同層において当該チャネル層と離間して設けられた酸化物半導体膜、および、前記第2の絶縁膜と同層において当該第2の絶縁膜と

離間して設けられた絶縁膜が配置されている  
ことを特徴とする薄膜トランジスタ基板。

【請求項 2】

前記ソース電極および前記ドレイン電極は、前記画素電極と同層の透明導電膜を用いて形成されている

請求項 1 に記載の薄膜トランジスタ基板。

【請求項 3】

前記ソース配線は、前記第 2 の絶縁膜と同層の絶縁膜上に形成されており、

前記ソース電極は、前記第 3 の絶縁膜を貫通するコンタクトホールを通して、前記ソース配線に接続している

請求項 1 または請求項 2 に記載の薄膜トランジスタ基板。

【請求項 4】

前記ソース配線の幅は、その下の前記酸化物半導体膜および前記第 2 の絶縁膜と同層の絶縁膜の幅よりも狭い

請求項 1 から請求項 3 のいずれか一項に記載の薄膜トランジスタ基板。

【請求項 5】

前記ゲート電極と同層の導電膜で形成された共通配線と、

前記画素電極を覆うように形成された第 4 の絶縁膜と、

前記第 4 の絶縁膜上の前記画素電極と重なる位置に形成された共通電極とを備え、

前記共通電極は、前記第 1 の絶縁膜および前記第 3 の絶縁膜および第 4 の絶縁膜を貫通するコンタクトホールを通して前記共通配線に接続している

請求項 1 から請求項 4 のいずれか一項に記載の薄膜トランジスタ基板。

【請求項 6】

薄膜トランジスタ基板の製造方法であって、

第 1 の導電膜より形成されたゲート電極を覆うように第 1 の絶縁膜からなるゲート絶縁膜が形成された基板を用意する工程と、

前記基板の前記ゲート絶縁膜上に、半導体膜、第 2 の絶縁膜および第 2 の導電膜をこの順に積層した積層膜を形成する工程と、

薄膜トランジスタのチャネル層の形成領域である第 1 領域およびソース配線の形成領域である第 2 領域の前記積層膜の上に、フォトレジストパターンを形成する工程と、

前記フォトレジストパターンにより前記半導体膜をパターニングし、前記ゲート絶縁膜上に前記チャネル層を形成するとともに、前記第 2 領域の前記積層膜をパターニングし、前記第 2 の導電膜よりなる前記ソース配線と、前記ソース配線の下に配置され前記第 2 の絶縁膜および前記半導体膜よりなる積層パターンとを形成する工程と、

前記チャネル層に接続されるソース電極およびドレイン電極と、前記ドレイン電極に接続される画素電極とを形成する工程と、

を備える

ことを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 7】

前記フォトレジストパターンを形成する工程は、

ハーフ露光を用いて、前記第 2 領域の方が前記第 1 領域よりも厚いフォトレジストパターンを形成する工程、

を含み、

前記チャネル層、前記ソース配線および前記積層パターンを形成する工程は、

前記フォトレジストパターンをマスクにするエッチングにより、前記積層膜をパターニングする工程と、

前記フォトレジストパターンを薄膜化して前記第 1 領域の前記フォトレジストパターンを除去し、前記第 2 領域に残存する前記フォトレジストパターンをマスクにするエッチングにより前記第 2 の導電膜をパターニングして前記ソース配線を形成する工程と、

を含む、

請求項 6 に記載の薄膜トランジスタ基板の製造方法。

【請求項 8】

前記ゲート電極の形成と同時に、基板上に前記第1の導電膜を用いて共通配線を形成する工程と、

前記ソース電極および前記ドレイン電極の形成と同時に前記画素電極を形成する工程と、

前記画素電極を覆うように第3の絶縁膜を形成する工程と、

前記第1の絶縁膜および前記第3の絶縁膜を貫通して前記共通配線に達するコンタクトホールを形成する工程と、

前記第3の絶縁膜の上に、前記コンタクトホールを通して前記共通配線に接続し、スリットを有する共通電極を、前記画素電極と重なる位置に形成する工程と、  
をさらに備える

請求項 6 または請求項 7 に記載の薄膜トランジスタ基板の製造方法。

【請求項 9】

前記画素電極および前記共通電極は、透明導電膜である  
請求項 8 に記載の薄膜トランジスタ基板の製造方法。

【請求項 10】

薄膜トランジスタ基板の製造方法であって、  
第1の導電膜より形成されたゲート電極を覆うように第1の絶縁膜からなるゲート絶縁膜が形成された基板を用意する工程と、

前記基板の前記ゲート絶縁膜上に、半導体膜、第2の絶縁膜および第2の導電膜をこの順に積層して形成する工程と、

前記半導体膜をパターニングし、前記ゲート絶縁膜上にチャネル層を形成する工程と、  
前記チャネル層に接続されるソース電極およびドレイン電極と、前記ドレイン電極に接続される画素電極とを形成する工程と、  
を含む、

薄膜トランジスタ基板の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

本発明に係る薄膜トランジスタ基板は、基板上に形成された薄膜トランジスタと、薄膜トランジスタのゲート電極に接続されたゲート配線と、前記薄膜トランジスタのドレイン電極に接続された画素電極と、薄膜トランジスタのソース電極に接続されたソース配線と、を備え、前記薄膜トランジスタは、前記基板上に形成された前記ゲート電極と、前記ゲート電極を覆うように形成された第1の絶縁膜と、前記第1の絶縁膜上の前記ゲート電極と重なる位置に形成された酸化物半導体から成るチャネル層と、前記チャネル層上に形成された第2の絶縁膜と、前記第2の絶縁膜を覆うように形成された第3の絶縁膜と、前記第3の絶縁膜上に形成されたソース電極、ドレイン電極とを備え、前記ソース電極および前記ドレイン電極は、それぞれ前記第2の絶縁膜および前記第3の絶縁膜を貫通するコンタクトホールを通して、前記チャネル層に接続してあり、前記ソース配線の下には、前記チャネル層と同層において当該チャネル層と離間して設けられた酸化物半導体膜、および、前記第2の絶縁膜と同層において当該第2の絶縁膜と離間して設けられた絶縁膜が配置されている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

## 【補正の内容】

## 【0059】

液晶表示パネルの組み立ての際は、完成したTFT基板の表面に配向膜やスペーサを形成する。配向膜は、液晶を配列させるための膜であり、ポリイミド等で構成される。また、別途作製したカラーフィルタや配向膜を備えた対向基板を、本実施の形態のTFT基板と貼り合わせる。このときスペーサによってTFT基板と対向基板との間に隙間が形成され、その隙間に液晶層を形成して封止することによって、TNモードの液晶表示パネルが形成される。最後に、液晶表示パネルの外側に偏光板、位相差板およびバックライトユニット等を配設することによって液晶表示装置が完成する。