

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04B 1/00 (2006.01)

H04L 25/02 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200510053534.1

[45] 授权公告日 2008年4月9日

[11] 授权公告号 CN 100380819C

[22] 申请日 2005.3.8

[21] 申请号 200510053534.1

[30] 优先权

[32] 2004.3.9 [33] JP [31] 2004-066064

[73] 专利权人 精工爱普生株式会社

地址 日本东京

[72] 发明人 本田裕康

[56] 参考文献

US6609167B1 2003.8.19

CN1363892A 2002.8.14

CN1258153A 2000.6.28

US2003/0006981A1 2003.1.9

CN1067477C 2001.6.20

审查员 冯玉学

[74] 专利代理机构 北京康信知识产权代理有限责  
任公司

代理人 余刚

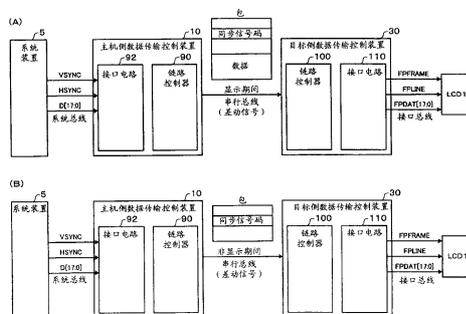
权利要求书4页 说明书32页 附图14页

[54] 发明名称

数据传输控制装置及电子设备

[57] 摘要

本发明公开了一种用简单处理再生同步信号的数据传输控制装置和包含该装置的电子设备。该数据传输控制装置(30)包括:链路控制器(100),用于分析通过串行总线从主机侧数据传输控制装置(10)接收到的包;接口电路(110),用于产生接口信号,并将产生的接口信号输出到接口总线。从主机侧数据传输控制装置(10)通过串行总线传输的包,包括用于设置同步信号码的同步信号码域;接口电路(110)基于设置在包的所述同步信号码,产生包括在接口信号的同步信号 FPPFRAME、FP-LINE。



1. 一种用于控制数据传输的数据传输控制装置,通过串行总线与主机侧数据传输控制装置连接,通过接口总线与一个或多个装置连接,其特征在于包括:

链路控制器,用于分析通过串行总线从主机侧数据传输控制装置接收到的包;以及

接口电路,用于产生接口信号,并将产生的接口信号输出到接口总线;

从所述主机侧数据传输控制装置通过串行总线传输的包包括同步信号码域,所述同步信号码域用于设置同步信号码;

所述链路控制器对所述同步信号码进行分析,所述同步信号码设定在从主机侧数据传输控制装置传输的包的所述同步信号码域中;

所述接口电路基于所述链路控制器对所述同步信号码的分析结果产生包括在接口信号中的同步信号,且输出到所述一个或多个装置中。

2. 根据权利要求1所述的数据传输控制装置,其特征在于:

通过接口总线连接的所述一个或多个装置是显示面板;

所述链路控制器,在所述显示面板的显示期间从主机侧数据传输控制装置接收数据域中设置有数据的显示期间包;在所述显示面板的非显示期间从主机侧数据传输控制装置接收数据域中未设置数据的非显示期间包。

3. 根据权利要求1或2所述的数据传输控制装置,其特征在于:

通过接口总线连接的所述一个或多个装置是显示面板;

所述链路控制器, 当从主机侧数据传输控制装置接收到数据域中设置有数据的所述显示面板的显示周期包时, 向所述接口电路输出含有设置在包中的所述同步信号码的包头和设置在包中的数据; 当从主机侧数据传输控制装置接收到数据域中未设置数据的所述显示面板的非显示周期包时, 向所述接口电路输出含有设置在包中的所述同步信号码的包头。

4. 一种用于控制数据传输的数据传输控制装置, 通过系统总线与系统装置连接, 通过串行总线与目标侧数据传输控制装置连接, 其特征在于包括:

接口电路, 用于执行所述用于控制数据传输的数据传输控制装置和系统装置之间的接口处理, 所述系统装置是外部装置; 以及

链路控制器, 用于产生通过串行总线传送给目标侧数据传输控制装置的包;

所述接口电路从所述系统装置接收同步信号,

所述链路控制器, 将与从所述系统装置接收的同步信号相应的同步信号码设置在包的同步信号码域, 并将设置有所述同步信号码的包发送到目标侧数据传输控制装置。

5. 根据权利要求 4 所述的数据传输控制装置, 其特征在于:

所述目标侧数据传输控制装置通过接口总线与显示面板连接;

所述链路控制器, 在所述显示面板的显示期间产生在所述同步信号码域设置同步信号码、数据域中设置有数据的显示期间包; 在所述显示面板的非显示期间产生在同步信号码域设置同步信号码、数据域中未设置数据的非显示期间包。

6. 根据权利要求4或5所述的数据传输控制装置，其特征在于，所述接口电路包括：

第一边缘检测器，用于检测来自所述系统装置的垂直同步信号的边缘，并输出第一边缘检测信号；

第二边缘检测器，用于检测来自所述系统装置的水平同步信号的边缘，并输出第二边缘检测信号；以及

采集电路，基于给定的时钟信号对所述第一边缘检测信号和第二边缘检测信号进行采集处理，确定设置在包中的所述同步信号码。

7. 根据权利要求6所述的数据传输控制装置，其特征在于，

所述采集电路包括计数器，所述计数器基于所述第一边缘检测信号和第二边缘检测信号进行计数处理，所述采集电路基于所述计数器的计数结果判断显示期间和非显示期间。

8. 一种电子设备，其特征在于包括：

目标侧数据传输控制装置；

主机侧数据传输控制装置，通过串行总线与所述目标侧数据传输控制装置连接；以及

一个或者多个装置，通过接口总线与所述目标侧数据传输控制装置连接，

其中，所述目标侧数据传输控制装置包括：

链路控制器，用于分析通过串行总线从所述主机侧数据传输控制装置接收到的包；以及

接口电路，用于产生接口信号，并将产生的接口信号输出到接口总线；

从所述主机侧数据传输控制装置通过串行总线传输的包

包括同步信号码域，所述同步信号码域用于设置同步信号码；

所述链路控制器对所述同步信号码进行分析，所述同步信号码设定在从主机侧数据传输控制装置传输的包的所述同步信号码域中；

所述接口电路基于所述链路控制器对所述同步信号码的分析结果产生同步信号且输出到所述一个或多个装置中，所述同步信号被包括在接口信号中。

9. 一种电子设备，其特征在于包括：

主机侧数据传输控制装置，通过系统总线与系统装置连接，通过串行总线与目标侧数据传输控制装置连接；

目标侧数据传输装置，通过串行总线与所述主机侧数据传输控制装置连接；以及

一个或者多个装置，通过接口总线与所述目标侧数据传输控制装置连接，

其中，所述主机侧数据传输控制装置包括：

接口电路，用于进行所述主机侧数据传输控制装置和系统装置的接口处理，所述系统装置是所述主机侧数据传输控制装置的外部装置；

链路控制器，用于产生通过串行总线发送到所述目标侧数据传输控制装置的包；

所述接口电路从所述系统装置接收同步信号，

所述链路控制器，将与从所述系统装置接收的同步信号相应的同步信号码设置在包的同步信号码域，并将设置有所述同步信号码的包发送到目标侧数据传输控制装置。

## 数据传输控制装置及电子设备

### 技术领域

本发明涉及一种数据传输控制装置及电子设备。

### 背景技术

近年来，以降低 EMI 噪声等为目的的接口，如 LVDS（低压差分信号传输技术：Low Voltage Differential Signaling）等的高速串行传输接口已经被引起关注。在该高速串行传输中，发送电路利用差分信号（Differential Signals）发送串行化了的数据，接收电路将差分信号差动放大，从而实现数据传输。DVI（数字显示接口：Digital Visual Interface）等的接口作为这种高速串行接口已被众所周知。

普通手机包括：第一设备区，设有输入电话号码与字符的按钮；第二设备区，设有主 LCD（液晶显示器：Liquid Crystal Display）、子 LCD、或者相机；以及连接区，比如连接第一设备区与第二设备区的铰链等。这种情况下，通过使用了差分信号的串行传输方式，进行第一设备区的第一基板与第二设备区的第二基板之间的数据传输，可减少通过连接区的配线的数量，达到较好效果。

然而，当采用串行传输方式进行这种连接区的数据传输时，最好能尽量减少进行串行传输控制的主机侧数据传输控制装置以及目标侧数据传输控制装置的功耗。另外也最好能尽量减少通过串行总线传输的数据量。而且，最好还能尽量减少访问主机侧数据传输

控制装置，并进行各种设定的系统装置（CPU、显示控制器等）的处理负荷。

另外，当系统装置向主机侧数据传输控制装置输出 RGB 接口的同步信号的时候，需要目标侧数据传输控制装置用简单的处理再生该同步信号，输出到与接口总线连接的装置。

专利文献 1：日本特开 2001-222249 号公报

## 发明内容

鉴于上述技术问题，本发明的目的在于提供一种对同步信号进行简单处理就可以再生的数据传输控制装置及包括该数据传输控制装置的电子设备。

本发明涉及一种用于控制数据传输的数据传输控制装置，通过串行总线与主机侧数据传输控制装置连接，通过接口总线与一个或多个装置连接，其包括：链路控制器，用于分析通过串行总线从主机侧数据传输控制装置接收到的包；以及接口电路，用于产生接口信号，并将产生的接口信号输出到接口总线；从所述主机侧数据传输控制装置通过串行总线传输的包，包括用于设置同步信号码的同步信号码域；所述链路控制器对所述同步信号进行分析，所述同步信号设定在从主机侧数据传输控制装置传输的包的所述同步信号码域中；所述接口电路基于所述链路控制器对所述同步信号码的分析结果，产生包括在接口信号的同步信号，且输出到所述一个或多个装置中。

根据本发明，在包的同步信号码域设置同步信号的包，通过串行总线从主机侧数据传输控制装置传输。并且，基于设置在该包中的同步信号码产生被包括在接口信号的同步信号。这样，只需在包中设置同步信号码，就可以生成同步信号，用简单的处理再生同步信号。

在本发明中，所述链路控制器，在显示期间从主机侧数据传输控制装置接收数据域中设置有数据的显示期间包；在非显示期间从主机侧数据传输控制装置接收数据域中未设置数据的非显示期间包。

这样，在非显示期间，数据域中未设置数据的数据量少的包，通过串行总线传输，提高数据传输的效率。

在本发明中，所述链路控制器，当从主机侧数据传输控制装置接收到数据域中设置有数据的显示周期包时，向所述接口电路输出含有设置在包中的所述同步信号码的包头和设置在包中的数据；当从主机侧数据传输控制装置接收到数据域中未设置数据的非显示周期包时，向所述接口电路输出含有设置在包中的所述同步信号码的包头。

本发明涉及一种用于控制数据传输的数据传输控制装置，通过系统总线与系统装置连接，通过串行总线与目标侧数据传输控制装置连接，其包括：接口电路，用于执行所述用于控制数据传输的数据传输控制装置和系统装置之间的接口处理，所述系统装置是外部装置；以及链路控制器，用于产生通过串行总线传送给目标侧数据传输控制装置的包；所述接口电路从所述系统装置接收同步信号，所述链路控制器，将与从所述系统装置接收的同步信号相应的同步信号码设置在包的同步信号码域，并将设置有所述同步信号码的包发送到目标侧数据传输控制装置。

根据本发明，接收来自系统装置的同步信号，在包的同步信号码域设置对应于该同步信号的同步信号码域。并且，该包通过串行总线被传输至目标侧数据传输控制装置。这样，目标侧数据传输控制装置基于包括在包的同步信号码，产生包括在接口信号的同步信号，用简单的处理再生同步信号。

在本发明中，所述链路控制器，在显示期间产生在所述同步信号码域设置同步信号码、数据域中设置有数据的显示期间包；在非

显示期间产生在同步信号域设置同步信号码、数据域中未设置数据的非显示期间包。

这样，在非显示期间，数据域中未设置数据的数据量少的包，通过串行总线传输，提高数据传输的效率。

在本发明中，所述接口电路包括：第一边缘检测器，用于检测来自所述系统装置的垂直同步信号的边缘，并输出第一边缘检测信号；第二边缘检测器，用于检测来自所述系统装置的水平同步信号的边缘，并输出第二边缘检测信号；采集电路，基于给定的时钟信号对所述第一边缘检测信号和第二边缘检测信号进行采集处理，确定设置在包的所述同步信号码。

这样，由于可以基于频率不太高的时钟信号进行采集处理，因此可以实现数据传输控制装置的低耗电。

在本发明中，所述采集电路包括计数器，所述计数器基于所述第一边缘检测信号和第二边缘检测信号进行计数处理，所述采集电路基于所述计数器的计数结果判断显示期间和非显示期间。

这样，可以用简单的处理对显示期间和非显示期间进行判断。

本发明涉及一种电子设备，其包括：上述任何一项中所述的目标侧数据传输控制装置；主机侧数据传输控制装置，通过串行总线与所述目标侧数据传输控制装置连接；以及一个或者多个装置，通过接口总线与所述目标侧数据传输控制装置连接。

本发明涉及一种电子设备，其包括：上述任何一项中所述的主机侧数据传输控制装置；目标侧数据传输控制装置，通过串行总线与所述主机侧数据传输控制装置连接；以及一个或者多个装置，通过接口总线与所述目标侧数据传输控制装置连接。

## 附图说明

图 1 是主机侧、目标侧的数据传输控制装置的构成例。

图 2 是 RGB 接口信号示意图。

图 3A 和 3B 是本实施形式的方法图。

图 4A 和 4B 是 RGB 接口信号的信号波形图。

图 5 是定时信息示意图。

图 6A 和 6B 是包的格式图。

图 7 是同步信号码示意图。

图 8 是利用同步信号码产生同步信号的方法图。

图 9 是反映本发明处理过程的流程图。

图 10 是主机侧收发器以及目标侧收发器图。

图 11 是主机侧链路控制器和接口电路图。

图 12 是目标侧链路控制器和接口电路图。

图 13A、13B 是主机侧 RGB 接口电路以及目标侧 RGB 接口电路图。

图 14 是电子设备图。

## 具体实施方式

下面，详细说明本发明的优选实施例。并且，下面描述的实施例并不是对权利要求所保护范围的不当限定，在实施例中所描述的结构并不都是本发明解决技术问题所必须的。

## 1. 数据传输控制装置的构成例

图 1 是主机侧传输控制装置 10 和目标侧传输控制装置 30 的构成例的示意图。在本实施方式中，所说的系统总线和接口总线之间的桥接功能通过使用这些主机侧传输控制装置 10 和目标侧传输控制装置 30 来实现。数据传输控制装置 10 和 30 不限于图 1 所示的结构，可省略图 1 中的某些电路模块，或者改变电路模块之间的连接方式，或者增加不同于图 1 的其他电路模块。例如，主机侧传输数据传输控制装置 10 可以省去收发器 20，目标侧传输控制装置 30 可省去收发器 40。

主机 (TX) 端数据传输控制器 10 和目标 (RX) 端数据传输控制器 30 通过差动信号 (differential signals) 的串行总线传输包。具体地说，通过电流驱动 (或者电压驱动) 串行总线的差动信号线 (differential signal lines) 进行包的发送接收。

主机侧数据传输控制装置 10 包括接口电路 92，该接口电路 92 用于完成该数据传输装置 10 与 CPU、显示控制器等的系统装置 5 之间的接口处理工作。而且，连接系统装置 5 与接口电路 92 的系统总线包括用于传输芯片选择信号 CS1 和 CS2 的信号线。系统总线还包括用于传输 HSYNC/RD、VSYNC/WR、CLK/A0 和 D[17:0] 的信号的信号线。这些信号线作为 RGB 接口总线或者 MPU (Micro Processor Unit) 接口总线使用。

这些信号线作为 RGB 接口总线使用时，信号 HSYNC/RD、VSYNC/WR、CLK/A0 和 D[17:0] 分别用作水平同步信号、垂直同步信号、时钟信号和数据信号。比如，D[17:0] 中的 D[5:0]、D[11:6] 和 D[17:12] 分别用作 R (红)、G (绿)、B (蓝) 数据信号。另一方面，这些信号线作为 MPU 接口总线使用时，HSYNC/RD、

VS<sub>SYNC</sub>/WR、CLK/A0 和 D[17:0]分别用作读信号、写信号、地址 0 信号（指令/参数识别信号）和数据信号。

系统总线包括用于传输 SCS、SR/W、SA0、SIO、和 SCK 的信号的信号线。这些信号用作串行接口信号。具体地说，SCS、SR/W、SA0、SIO、和 SCK 分别用作串行接口的芯片选择信号、读/写信号、地址 0 信号、数据信号和时钟信号。再者，在 5 针的串行接口中，这些信号 SCS、SR/W、SA0、SIO、SCK 全部被使用。另一方面，在 4 针的串行接口中，不使用 SR/W，在 3 针的串行接口中，不使用 SR/W 与 SA0。

信号 ITN 是自主机侧数据传输控制装置 10 向系统装置 5 的中断信号。端子 CNF[2:0]用于决定系统装置 5 和主机侧数据传输控制装置 10 之间的接口类型。根据 CNF[2:0]的设定，将系统装置 5 和主机侧数据传输装置 10 之间的接口设置为 RGB 接口和 80 MPU 接口，也可设置为 RGB 接口和 68 MPU 接口，可仅设置为 80 MPU 接口，也可仅设置为 68 MPU 接口，或者仅设置为串行接口。

主机侧数据传输控制装置 10 包括进行链路层处理的链路控制器 90（链路层电路）。该链路控制器 90 产生通过串行总线（LVDS）传输到目标侧数据传输控制装置 30 的包（请求包、流包等），并进行将生成的包发送的处理。具体地说，链路控制器 90 启动发送事务处理，并指示收发器 20 发送生成的包。

主机侧数据传输控制装置 10 包括执行物理层处理等的收发器 20（PHY）。该收发器 20 将由链路控制器 90 指示的包通过串行总线向目标侧数据传输控制装置 30 发送。收发器 20 也接收来自目标侧数据传输控制器 30 的包。这种情况下，链路控制器 90 分析接收到的包，进行链路层（事务处理层）的处理。

主机侧数据传输控制装置 10 包括内部寄存器 250。该内部寄存器 250 包括诸如端口访问寄存器、配置寄存器、LVDS 寄存器、中断控制寄存器和目标 (RX) 端寄存器等。系统装置 5 通过系统总线向内部寄存器 250 写入地址 (命令) 或数据 (参数), 或者从内部寄存器 250 中读取读数据、状态信息等。另外内部寄存器 250 中的目标侧寄存器的内容被传输到目标侧数据传输控制装置 30 的内部寄存器 350。即, 目标侧的内部寄存器 350 变为主机侧的内部寄存器 250 的子设备 (影子寄存器)。

目标侧数据传输控制装置 30 包括执行物理层处理等的收发器 40 (PHY)。通过串行总线, 该收发器 40 接收来自主机侧数据传输控制装置 10 的包。该收发器 40 还向主机侧数据传输控制装置 10 发送包。这种情况下, 链路控制器 100 生成要发送的包, 并指示发送生成的包。

目标侧数据传输控制装置 30 包括链路控制器 100 (链路层电路)。该链路控制器 100 进行链路层 (事务处理层) 的处理, 接收来自主机侧数据传输控制装置 10 的包, 分析接收到的包。信号 TGINT 是从目标侧传输控制器 30 至主机侧数据传输控制装置 10 的中断信号。

目标侧数据传输控制装置 30 包括接口电路 110, 该接口电路 110 进行该数据传输控制装置 30 和 LCD1、LCD2、通用装置 GD (这些装置 GD 广义上为第一 ~ 第 N 装置) 等之间的接口处理。该接口电路 110 产生各种接口信号 (第一 ~ 第 N 接口信号), 将产生的接口信号输出至接口总线。具体地讲, 该接口电路 110 包括 RGB 接口电路 310、MPU 接口电路 320、串行接口电路 330 (这些接口电路广义上为第一 ~ 第 N 接口电路)。而且, RGB 接口电路 310、MPU 接口电路 320 和串行接口电路 330 分别产生和输出 RGB 接口信号、

MPU 接口信号和串行接口信号。LCD1 和 LCD2 是显示面板和驱动显示面板的显示驱动器的总称。

接口总线包括传输 FPCS1、FPCS2、FPCS3、VCIN1、VCIN2、WAIT 等信号的信号线，以及 RGB/MPU、SERIAL 和 I2C（内部集成电路：Inter Integrated Circuit）等的总线。FPCS1、FPCS2 和 FPCS3 是芯片选择信号。VCIN1 和 VCIN2 是标识已经写完一帧的信号，WAIT 是等待请求信号。RGB/MPU 总线是 RGB 或者 MPU 的接口总线。该 RGB/MPU 总线与系统装置端一样，包括水平同步信号（读信号）、垂直同步信号（写信号）、时钟信号、地址 0 信号和数据信号等。此外，SERIAL 总线是串行接口总线，包括串行传输的读/写信号、地址 0 信号、数据信号、时钟信号等。此外，I2C 总线是利用两条信号线（时钟信号和数据信号）完成比较近距离串行传输的总线。

目标侧数据传输控制装置 30 包括内部寄存器 350。该内部寄存器 350 存储用于规定从接口电路 110 输出的接口信号的信号形式（输出格式）的接口信息等。具体地讲，内部寄存器 350 存储定时信息等，该定时信息用于特别指定接口信号的信号电平发生变化的定时。这种情况下，在主机侧的内部寄存器 250 中存储的信息中目标侧所需要的信息通过串行总线（差动信号线）被传输到目标侧上，并写入目标侧的内部寄存器 350。

以下为简化说明，重点表述主机侧数据传输控制装置 10 向目标侧数据传输控制装置 30 发送包时的本实施例的配置和动作情况，同时，目标侧数据传输控制装置 30 向主机侧数据传输控制装置 10 发送包时的配置和动作情况，与上面相同。

## 2. 基于同步信号码生成同步信号

在本实施方式中，在从主机侧通过差动信号（也可以是单端传输）的串行总线向目标侧传输的包，设置同步信号码域。并且，基于设置在该同步信号码域的同步信号码，目标侧接口电路产生同步信号输出到接口总线。

例如在图2中，示出了系统装置5输出的接口信号的例子。在图2中，VSYNC是垂直同步信号、HSYNC是水平同步信号。另外，D[17:0]是数据信号（RGB数据信号、像素数据信号）。

如图3所示，主机侧接口电路92从系统装置5（CPU、显示控制器等）接收图2所示的同步信号VSYNC、HSYNC。并且，从系统装置5也接收数据信号D[17:0]。

从系统装置5接收VSYNC、HSYNC的主机侧接口电路92，进行VSYNC、HSYNC的检测处理。并且，主机侧的链路控制器90基于该检测结果，将对应于从系统装置5接收的VSYNC、HSYNC的同步信号码如图3（A）所示设置在包（包头）的同步信号码域。例如，当检测出VSYNC的时候，将表示VSYNC被检测出的同步信号码设置在包中。当检测出HSYNC的时候，将表示HSYNC被检测出的同步信号码设置在包中。另外，当检测出VSYNC、HSYNC的时候，将表示VSYNC、HSYNC被检测出的同步信号码设置在包中。在存在数据信号D[17:0]的显示期间中，在包的数据域设置对应于D[17:0]的数据。之后，将产生的包通过差动信号的串行总线发送到目标侧数据传输控制装置30。

目标侧的链路控制器100分析从主机侧接收的包，检测设置在包中的同步信号码。当设置在包中的同步信号码被检测出的时候，目标侧的接口电路110基于检测出的同步信号码，产生同步信号

FPFRAME、FPLINE，并输出到接口总线。FPFRAME、FPLINE 分别相当于垂直同步信号、水平同步信号。目标侧的接口电路 110，将对应于设置在包的数据域的数据的数据信号 FPDAT[17:0]输出到接口总线。如上所述，利用包括在包中的同步信号码产生同步信号，可以用简单处理再生同步信号。

另外，在本实施方式中，如图 3 (A) 所示，在显示期间，主机侧的链路控制器 90 产生在同步信号码域设置同步信号码、数据域中设置有数据的显示期间包。另一方面，如图 3 (B) 所示，主机侧的链路控制器 90 在非显示期间产生在同步信号码域设置同步信号码、数据域中未设置数据的非显示期间包。

并且，目标侧的链路控制器 100 在图 3 (A) 的显示期间，从主机侧传输控制装置 10 接收数据域中设置有数据的显示期间包。另一方面，在图 3 (B) 的非显示期间，从主机侧传输控制装置 10 接收数据域在未设置数据的非显示期间包。

这样，在非显示期间，可以减少通过串行总线传输的数据量，提高数据传输效率。

### 3. 基于定时信息生成接口信号

在本实施例中，目标 (RX) 接口电路 110 依照事先设置的定时信息自动产生接口信号 (接口控制信号和数据信号)。具体地说，在目标侧内部寄存器 350 中设定用于特别指定接口信号的信号电平的变定时的定时信息。接口电路 110 从内部寄存器 350 中读出该定时信息。接口电路 110 产生以按照定时信息的定时进行信号电平变化的接口信号，并输出接口信号。具体地说，例如，RGB 接口电路 310 产生按照该定时信息的接口信号。

内部寄存器 350 的定时信息，通过串行总线 (LVDS)，根据接收到的来自主机侧数据传输装置 10 的包被设定。也就是说，作为数据传输的起始设置，系统装置 5 在主机侧的内部寄存器 250 中设置接口信号的定时信息。利用内部寄存器 250 所包含的寄存传输开始寄存器，系统装置 5 命令寄存器传输开始。于是，写入到内部寄存器 250 的接口信号的定时信息通过串行总线从主机侧数据传输控制装置 10 包传输到目标侧传输控制装置 30。具体地说，例如，在包的数据域上设置定时信息，并被进行包传输。而且，传输的定时信息写入到目标侧的寄存器 350 上。

上述初始设置完成后，系统装置 5 写入数据 (命令、参数) 至内部寄存器 250 的端口写寄存器。于是，通过串行总线，主机侧数据传输控制装置 10 发送数据域中含有数据的包至目标侧传输控制装置 30。依照设置在内部寄存器 350 的定时信息的所指明的时限，接口电路 110 接口信号至接口总线，该接口信号包括包中设有数据的信号。具体地说，通过 RGB 总线，构成接口信号的接口控制信号 (水平同步信号，垂直同步信号等) 和数据信号输出至 LCD1 的 RGB 端口。这样，LCD1 能够根据 RGB 数据执行显示操作。

例如普通的手机包括：第一设备区 (第一单元)，设有输入电话号码或者字符的按钮；第二设备区 (第二单元)，设有主显示器、子显示器、或者相机；以及用来连接第一设备区和第二设备区的连接区 (铰接区)。这种情况下，在第一设备区中设置系统装置 5，在第二设备区中设置作为主显示器的 LCD1 和作为子显示器的 LCD2。

不过，按照以前的做法，图 2 所示的垂直同步信号 VSYNC、水平同步信号 HSYNC，以及数据信号 D[17:0]等，由系统装置 5 直接输出到 LCD1 上。因此，通过第一设备区与第二设备区之间连接区的配线数目大大增加，连接区的设计变得困难。另外，也可能产生 EMI 噪声。

关于此问题，在本发明的实施例中，通过串行总线，定时信息和数据从主机侧传输至目标侧。因此，根据本实施例，通过将串行总线的配线区设置在第一设备区与第二设备区的连接区上，从而能够减少通过该连接区的配线线数，使连接区的设计变得容易。除此之外，也可有效降低 EMI 噪声的发生。

作为诸如比较例可以使用下面的方法。值得注意的是，在高频（比如，两倍于像素时钟的频率）采样时钟信号下，主机侧数据传输控制装置 10 从图 2 所示的系统装置 5 采集到接口信号 VSYNC、HSYNC 和 D[17:0]，并且把采集到的结果信息通过串行总线发送至目标侧数据传输控制装置 30。而且，通过使目标侧数据传输控制装置 30 重新产生采集结果信息，将与系统装置 5 输出的图 2 所示的信号 VSYNC、HSYNC 和 D[17:0]相同的接口信号输出到 LCD1。

但是，按照比较例的方法，由于主机侧数据传输控制装置 10 的采样时钟信号频率提高，功耗也变大。除此之外，由于串行总线的传输数据数量（通信量）的提高，不能实现有效的数据传输。

关于上述问题，在本实施例中，定时信息的传输先于数据的传输，根据该定时信息，接口电路 110（RGB 接口电路 310）自动产生接口信号。这样，主机侧数据传输控制装置 10 无需在高频采样时钟信号下从系统装置 5 采集接口信号 VSYNC、HSYNC 和 D[17:0]，由此，可有效降低功耗。除此之外，即使不从主机侧向目标侧逐次地传输接口信息所涉及的细节信息，也能产生信号电平以适当定时发生变化的接口信号。因此，通过串行总线的传输数据数量可降低，为此，可实现有效的数据传输。

#### 4. 接口信号的信号波形

图 4 (A) 和 4 (B) 表示了由接口电路 110 的 RGB 接口电路 310 产生的 RGB 接口信号的信号波形实例。图 4 (A) 和 4 (B) 中, FPFAME 是垂直同步信号, FPLINE 是水平同步信号, FPDAT[17:0] 是 RGB 数据信号, FPDRDY 是数据准备信号, FPSHIFT 是时钟信号 (像素时钟信号)。这些信号是 RGB 总线接口信号。

如图 4 (A) 所示, 当信号 FPFAME 处在激活状态, 信号 FPLINE 只激活预设次数时, 从无显示期间 (前边缘) 转移到显示期间, 首行 (第一扫描线) 的数据信号 FPDAT[17:0] 输出。而且, 当所有行的数据信号输出后, 显示期间转移到无显示期间 (后边缘)。

图 4 (B) 是将一行数据信号传输的状态放大的信号波形图。例如, 信号 FPDRDY 激活后, 一行成分的数据信号 FPDATA[17:0] 的各位与时钟信号 FPSHIFT 的诸如上升沿同步输出。

根据本实施例, 图 4 (A) 中  $t_1=VT$ ,  $t_2=VPW$ ,  $t_3=VDPS$  和  $t_4=VDP$  作为定时信息, 设置在目标侧的内部寄存器 350 中。图 4 (B) 中  $t_2=HT$ 、 $t_3=HPW$ 、 $t_4=HDPS$  和  $t_5=HDP$  作为定时信息设置在内部寄存器 350 中。

图 5 所示, HT (水平总和: Horizontal Total) 是水平同步期间的长度。HDP (水平显示期间: Horizontal Display Period) 是水平同步期间上显示期间长度。HDPS (水平显示期间开始点: Horizontal Display Period Start position) 是水平同步期间中显示期间的开始位置。HPW (水平脉冲宽度: Horizontal Pulse Width) 是水平同步信号的脉冲宽度。VT (垂直总和: Vertical Total) 是垂直同步期间长度。VDP (垂直显示期间: Vertical Display Period) 是垂直同步期间中显示期间长度。VDPS (垂直显示期间开始点: Vertical Display Period

Start position) 是垂直同步期间中显示期间的开始点。VPW (垂直脉冲宽度: Vertical Pulse Width) 是垂直同步信号的脉冲宽度。

本实施例中, 这些定时信息 (HT、HDP、HDPS、HPW、VT、VDP、VDPS 和 VPW) 在初始化时由系统装置 5 写入主机侧的内部寄存器 250 中。其后, 这些定时信息通过串行总线发送到目标侧, 写入到目标侧的内部寄存器 350。利用这种定时信息, 容易自动生成图 4 (A) 和 4 (B) 表示的 RGB 接口信号。在此, 将定时信息 HT、HDP、HDPS、HPW、VT、VDP、VDPS 和 VPW 作为可以任意值设定的定时信息, 不需要全部存储于内部寄存器 350 中, 可以将其中的一部分设为固定值。例如, 定时信息 HPW 和 VPW 可以被设为固定值, 且可以不必作为定时信息存储于内置寄存器 350 中。

## 5. 包结构

图 6 (A) 和 6 (B) 示出了通过串行总线 (LVDS) 传输的包的格式实例。每个包的域构成和域配置不限于图 6 (A) 和 6 (B) 所示的例子, 可以有各种变形例。

图 6 (A) 所示的请求包 (写请求包或者读请求包) 是请求写入或者读出数据 (参数) 的包。该写请求包包括应答请求、包类型、标签、重试、地址长度、数据长度、地址 (命令)、连续、地址自动刷新、刷新次数、端口号、数据 (参数) 和 CRC (循环冗余码校验: Cyclic Redundancy Check) 的域。读请求包不包括数据域。

这里, 应答请求域是用于通知是否进行基于应答包的信息交换。包类型域是通知包的类型的域。本实施例中, 包类型包括写请求包、读请求包、响应包、应答包、连续包等。标签是用于表示当前事务是否进行重试的域。地址大小域是用于通知设置在包地址域中的地址的大小的域。数据长度域是用于通知写数据和读数据的长

度的域。地址（命令）域是用于通知数据存取目的地（读目的地或者写目的地）的地址的域。地址自动刷新域是用于设定地址自动刷新的模式的域，刷新次数域是用于设定地址自动刷新的数目的域。端口号码域是用于设定端口号码的域。数据（参数）域是用于设定由包传输的数据的域。CRC 域是用于对包包头和包数据进行错误校验的域。

图 6 (B) 的连续包是用于进行数据（参数）连续传输的包。该连续传输是指发送方和接收方保持同步的同时进行高速和连续的数据传输。该连续包包括包类型、标签、数据长度、地址（命令）、同步信号码、端口号码、数据（参数）和 CRC 的域。

## 6. 同步信号码

图 7 表示了设置在包的同步信号域中的同步信号码的实例。

“0”（VS=0、HS=0）同步信号码表示包不包括同步信号。也就是说，由于同步信号（垂直同步信号和水平同步信号）不在主机侧被检测，因此不需要在目标侧输出同步信号。“1”（VS=1、HS=0）同步信号码表示包包括垂直同步信号。也就是说，由于垂直同步信号已经在主机侧被检测，需要在目标侧输出垂直同步信号。“2”（VS=0、HS=1）同步信号码表示包包括水平同步信号。也就是说，由于水平同步信号已经在主机侧检测，需要在目标侧输出水平同步信号。“3”（VS=1、HS=1）同步信号码表示包包括垂直同步信号和水平同步信号。也就是说，由于垂直同步信号和水平同步信号已经在主机侧被检测，需要在目标侧输出垂直同步信号和水平同步信号。

如图 6 (B) 所示，在本实施例中，通过串行总线（LVDS）从主机侧数据传输控制装置 10 传输的包含有用于设置同步信号码的同步信号码域。而且，在本实施例中，接口电路 110（RGB 接口

电路 310) 根据包中设置的同步信号码而产生同步信号(垂直同步信号、水平同步信号)。具体地说, 根据内部寄存器 350(定时信息寄存器)上设置的定时信息(HT、HDP、HDPS、HPW、VT、VDP、VDPS 和 VPW)和包中设置的同步信号码, 产生同步信号。

例如, 假设系统装置 5 输出如图 2 所示的 RGB 接口信号 VSYNC、HSYNC、和 D[17:0]到主机侧数据传输控制装置 10。这种情况下, 主机侧数据传输控制装置 10 检测输入的垂直同步信号 VSYNC 和水平同步信号 HSYNC。当诸如检测到垂直同步信号 VSYNC 时, 如图 7 所示。主机侧数据控制装置 10 产生同步信号码设置为 VS=1、HS=0 的包, 并发送生成包到目标侧传输控制装置 30。同样, 当检测到水平同步信号 HSYNC 时, 主机侧数据控制装置 10 产生同步信号码设置为 VS=0、HS=1 的包, 并发送生成包到目标侧传输控制装置 30。而且, 当垂直同步信号 VSYNC 和水平同步信号 HSYNC 两个都检测到时, 主机侧数据控制装置 10 产生同步信号码设置为 VS=1、HS=1 的包, 并发送生成包到目标侧传输控制装置 30。

并且, 目标侧数据传输控制装置 30 的链路控制器 100 分析从主机侧数据传输控制装置 10 接收到的包中携带的同步信号码。根据包中含有的同步信号码, 如图 8 所示, 接口电路 110 的 RGB 接口电路 310 产生的信号 FPFRAME 和 FPLINE。这些信号 FPFRAME 和 FPLINE 对应于图 2 所示的垂直同步信号 VSYNC 和水平同步信号 HSYNC。

具体地说, 由图 8 中 A1 和 A2 接收的包 PK1、PK2、PK12 和 PK13 携带的同步信号码为 VS=1、HS=1。因此, 这种情况下, 如 A3 和 A4 所示, 将信号 FPFRAME 和 FPLINE 共同激活并输出。由 A5 接收到的包 PK3~PK11 携带的同步信号码为 VS=0、HS=1。因

此, 这种情况下, 如 A6 所示, 每当 A6 接收到包, 信号 FPLINE 才被激活并输出。

在本实施例中, 信号 FPFRAME、FPLINE 和 FPDAT 的信号电平的精确变化定时可根据设置在内部寄存器 350 的定时信息 (HT、HDP、HDPS、HPW、VT、VDP、VDPS 和 VPW) 进行调整。也就是说, 由主机侧数据传输控制装置 10 仅接收通知哪个同步信号发生了变化的信息 (同步信号码), 并按照数据传输前传输来的定时信息微整使同步信号或者数据信号发生改变的实际定时。

当目标侧数据传输控制装置 30 接收到诸如 VS=1 和 HS=1 的包 PK1 时, 如图 8 由 B1 所示, 将信号 FPFRAME 激活 (低电平) 后, 并经过预定期间 (图 3 (B) 中  $t_1$ ) 后, 如 B2 所示, 将信号 FPLINE 激活 (低电平)。其后, 当经过定时信息 HPW (图 4 (B) 中  $t_2$ ) 时, 如 B3 所示, 将信号 FPLINE 设为非激活 (高电平)。

接着, 目标侧数据传输控制装置 30 接收到 VS=1 和 HS=1 的包 PK2, 经过定时信息 HT 的期间 (图 4 (B) 中  $t_2$ ) 时, 如 B4 所示, 将信号 FPLINE 激活。其后, 当经过定时信息 HPW 的期间时, 如 B5 所示, 将信号 FPLINE 设为非激活。

接着, 当目标侧数据传输控制装置 30 接收到 VS=0 和 HS=1 的包 PK3, 从 B1 的定时经过定时信息 VPW 的期间 (图 4 (A) 中  $t_2$ ) 时, 如 B6 所示, 将信号 FPFRAME 设为非激活 (高电平)。当定时信息 VDPS 的期间 (图 4 (A) 中  $t_3$ ) 从 B2 的定时中经过时, 如 B7 所示, 将信号 FPLINE 激活。接着, 当定时信息 HPW 的期间 (图 4 (A) 中  $t_3$ ) 从 B7 的定时中经过时, 如 B8 所示, 将信号 FPLINE 设为非激活。而且, 当定时信息 HDPS 的期间 (图 4 (B) 中  $t_4$ ) 从 B7 的定时中经过时, 如 B9 所示, 开始首行数据信号 FPDAT 的输出。

如上所述，在本实施例中，在数据传输以前，定时信息从主机侧传输到目标侧，并且设置在内部寄存器 350 中。其后，包含同步信号码的包从主机侧传输到目标侧。于是，目标侧的接口电路 110，根据设置在内部寄存器 350 的定时信息微调输出定时的同时，该接口电路 110 输出由同步信号码指示输出的同步信号到接口总线。这样，在主机侧，通过高频的时钟信号从系统装置 5 采集接口信号不是必须，由此，功耗可降低。此外，由于通过串行总线从主机侧到目标侧的数据传输数量可降低，从而可实现有效数据传输。

## 7. 非显示期间包

在本实施例中，如图 8 所示，即使在非显示期间 VNDP 中，含有同步信号码的包必须从主机侧传输到目标侧，。然而，数据信号 FPDAT 可只在显示期间被输出，而不需要在非显示期间 VNDP 输出。

因此，本实施例中，在显示期间 VDP 中，数据域中设置有数据的显示期间的包（连续包）由主机侧传输至目标侧，另一方面。在非显示期间 VNDP 中，数据域中未设置数据的非显示期间的包由主机侧传输至目标侧。具体地说，主机侧数据传输控制装置 10 的链路控制器 90，在显示期间 VDP 中，产生同步信号码设置在同步信号码域和数据设置在数据域的显示期间包，并输出该包到目标侧数据传输控制装置 30。另一方面，链路控制器 90，在非显示期间 VNDP 中，产生同步信号码设置在同步信号码域和数据不设置在数据域的非显示期间包，并输出该包到目标侧数据传输控制装置 30。

在显示期间 VDP 中，目标侧数据传输控制装置 30 的链路控制器 100 接收到来自主机侧数据传输控制装置 10 的数据设置在数据域的显示期间包。另一方面，在非显示期间 VNDP 中，链路控制器 100 接收到来自主机侧数据传输控制装置 10 的数据不设置在数据域

的非显示期间包。具体地说，当该链路控制器 **100** 接收到来自主机侧数据传输控制装置 **10** 的数据设置在数据域的显示期间包时，将含有包中设置的同步信号码的包头和包中设置的数据，输出到接口电路 **110** (RGB 接口电路 **310**)。另一方面，当链路控制器 **100** 接收到来自主机侧数据传输控制装置 **10** 的无数据设置在数据域的非显示期间包时，链路控制器 **100** 只将含有包中设置的同步信号码的包头，输出到接口电路 **110**，而不输出数据。

这样，在非显示期间 VNDP 中，无数据设置在数据域的包可以通过串行总线从主机侧传输到目标侧。而且，由于这种无数据设置在数据域的包的位数(字节数)少，所以能够提高非显示期间 VNDP 中的通过串行总线的数据传输效率。因此，如图 8 所示，即使在非显示期间，采用传输含有同步信号码的包的方式，也可尽量减少使数据传输效率降低的情况。

## 8. 处理的具体描述

通过图 9 的流程图，详细地描述本实施例的处理过程。首先，系统装置 **5** 和主机侧数据传输控制装置 **10** 之间接口由图 1 的 CNF 端子[2:0]确定(步骤 S1)。其次，系统装置 **5** 访问主机侧的内部寄存器 **250**，并设置目标侧接口电路 **110** 的接口信号的信号类型(步骤 S2)。而且，通过串行总线，系统装置 **5** 将主机侧的内部寄存器 **250** 的信息中的目标侧所需的信息(接口信息和定时信息)传输至目标侧的内部寄存器 **350**(步骤 S3)。

接着，系统装置 **5** 访问主机侧的内部寄存器 **250**，设置作为数据发送目的地的端口号码(步骤 S4)。而且，系统装置 **5** 写入数据至主机侧的内部寄存器 **250**(步骤 S5)。于是，主机侧的链路控制器 **90** 产生含有其数据的包(步骤 S6)，通过串行总线将包从主机侧发送至目标侧(步骤 S7)。

接着，目标侧的链路控制器 **100** 分析接收到的包（步骤 S8）。目标侧的接口电路 **110** 产生按照在目标侧的内部寄存器 **350** 上设置的接口信息（定时信息）的接口信号（数据信号、接口控制信号），并输出接口信号到由端口号码选定的端口上（步骤 S9）。

如上所述，在本实施例中，用于规定由目标侧接口电路 **110** 输出的接口信号的信号类型的接口信息（狭义上是指用于特定接口信号的信号电平变化的定时的定时信息），由系统装置 **5** 设置在主机侧的内部寄存器 **250** 上。例如，主机侧的链路控制器 **90** 产生含有在主机侧的内部寄存器 **250** 上设置的接口信息（定时信息）的包，并且通过差动信号的串行总线将生成包发送至目标侧数据传输控制装置 **30**。具体地说，当系统装置 **5** 命令内部寄存器 **250** 所包含的寄存传输开始寄存器开始传输时，链路控制器 **90** 产生含有接口信息（定时信息）的包并且发送（命令传输）生成的包。然后，含有接口信息（定时信息）的包发送后，主机侧链路控制器 **90** 产生数据设置在数据域的包，并且将生成的包发送至目标侧传输控制装置 **30**。这样，能有效地产生利用接口信息（定时信息）的接口信号。

## 9. 根据差动信号的串行传输方法

下面参考图 **10**，描述本实施例的串行传输方法以及收发器 **20** 和 **40**。

在图 **10** 中，**DTO+** 和 **DTO-** 表示从主机侧（数据传输控制装置 **10**）输出到目标侧（数据传输控制装置 **30**）的数据（OUT 数据）。**CLK+** 和 **CLK-** 表示主机侧提供给目标侧的时钟信号。主机侧与时钟信号 **CLK+/-** 的边缘（例如，上升沿。也可以是下降沿）同步输出数据 **DTO+/-**。因此，目标侧可利用时钟信号 **CLK+/-** 采集和摄取数据 **DTO+/-**。而且，在图 **10** 中，目标侧根据主机侧提供的时钟信号 **CLK+/-** 进行操作。也就是说，时钟信号 **CLK+/-** 成为目标侧的系

统时钟信号。因此，PLL（Phase Locked Loop）12（广义上是指时钟信号生成电路）设置在主机侧，而不设置目标侧。

DTI+ 和 DTI-表示从目标侧输出到主机侧的数据（IN 数据）。STB+ 和 STB-表示从目标侧提供到主机侧的选通脉冲（广义上是指时钟信号）。目标侧根据主机侧提供的时钟信号 CLK+/-产生 STB+/-，并且输出产生的 STB+/-。而且，目标侧与 STB+/-的边缘（例如是上升沿。也可以是下降沿）同步输出数据 DTI+/-。因此，利用 STB+/-，主机侧可采集和摄取数据 DTI+/-。

将 DTO+/-、CLK+/-、DTI+/-和 STB+/-中的每一个通过发送电路（驱动电路）电流驱动与这些中的每一个相对应的差动信号线（Differential Signal Line）来发送。而且，为了实现高速传输，可以设置两对或者更多对的 DTO+/-和 DTI+/-各差动信号线。

主机侧收发器 20 包括：OUT 传输（广义上是指数据传输）、时钟传输发送电路 22 和 24、IN 传输（广义上是指数据传输）、以及选通脉冲传输（广义是指时钟信号传输）的接收电路 26 和 28。目标侧收发器 40 包括：OUT 传输和时钟传输接收电路 42 和 44、以及 IN 传输和选通脉冲传输发送电路 46 和 48。而且，其结构也可以不包括这些电路模块。

OUT 传输和时钟传输的发送电路 22 和 24，通过电流驱动 DTO+/-和 CLK+/-的差动信号线分别发送 DTO+/-和 CLK+/-。OUT 传输和时钟传输的接收电路 42 和 44，提供根据流经 DTO+/-和 CLK+/-差动信号线的电流进行电流·电压的变换，并将上述不同的电流·电压变换得到的差动电压信号（第一和第二电压信号）进行比较处理（差动放大处理），从而接收数据 DTO+/-和时钟信号 CLK+/-。

通过电流驱动 DTI+/-和 STB+/-的差动信号线，IN 传输和时钟传输的发送电路 46 和 48 分别发送 DTI+/-和 STB+/-。IN 传输和选通脉冲传输的接收电路 26 和 28,通过根据 DTI+/-和 STB+/-的差动信号线上流动的电流情况进行电流/电压的变换，并将上述不同的电流·电压变换得到的差动电压信号（第一和第二电压信号）进行比较处理（差动放大处理），从而接收 DTI+/-和 STB+/-。

除图 10 所示的电路模块以外，发送器 20 和 40 可包括：并行/串行变换电路、串行/并行变换电路、代码（例如 8 位/10 位代码）的编码电路、代码的解码电路、代码的加法电路和错误信号产生电路，分频电路等。而且，也可以使这些电路的一部分包含在链路控制器 90 和 100 中。

#### 10. 链路控制器和接口电路的构成例

图 11 和 12 表示主机侧链路控制器 90、接口电路 92、目标侧链路控制器 100、接口电路 110 的构成例。而且，本实施例中的链路控制器和接口电路不限于图 11 和 12 所示配置。图 11 和 12 所示的电路模块的某些组成部分可省略，或者电路模块之间的连接状态可改变，或者可增加不同于图 11 和 12 所示电路模块的其他电路模块。

图 11 表示主机侧链路控制器 90 和接口电路 92 的构成例。主机侧链路控制器 90 包括：事务控制器 200、包产生 & 分析电路 202。而且可以省略其中的一部分。

事务控制器 200 进行数据传输的事务处理层所涉及的处理。具体地说，事务处理控制器 200 控制诸如请求包、连续包、应答包等的包传输，并控制由多个包结构的事务。

包产生 & 分析电路 202 负责由事务处理控制器 200 指示传输的包的生成，以及分析从目标侧接收到的包。具体地说，该包产生 & 分析电路 202 从接口电路 92 接收包头上的信息和数据信息，并且将包头和数据结合组成包。包产生 & 分析电路 202 把从目标侧接收到的包分成包头和数据，并分析接收到的包。

包产生 & 分析电路 202 包括：RGB 弹性缓冲器 204、包缓冲器 206 和多路复用器 208（多路输出选择器）。从接口电路 92 接收到的 RGB 接口信号的信息输出到作为 FIFO 发挥功能的 RGB 弹性缓冲器 204，并通过多路复用器 208 传输到发送器 20。从接口电路 92 接收到的包信息（包头信息、数据信息）被输入到作为 FIFO 发挥功能的包缓冲器 206，并通过多路复用器 208 传输到发送器 20。从发送器 20 接收到的包信息通过多路复用器 208 和包缓冲器 206 传输到接口电路 92。

接口电路 92 包括：RGB 接口电路 210、MPU 接口电路 220、串行接口电路 230、多路复用器（多路输出选择器）232，写 & 读 FIFO 240、以及传输控制器 242 和 244。这些电路模块中某些可省略。这里，该 RGB 接口电路 210、MPU 接口电路 220 和串行接口电路 230 是用于分别与系统装置 5 之间进行 RGB、MPU 和串行接口处理的电路。

通过端子 CNF[2:0]选择 RGB 接口时，RGB 接口电路 210 即可工作。从系统装置 5 接收到的 RGB 接口信号如水平同步信号 HSYNC、垂直同步信号 VSYNC、时钟信号 CLK 和 RGB 数据信号 D[17:0]等通过多路复用器 232 输出到 RGB 接口电路 210。而且，RGB 数据被暂时存储在作为 FIFO 发挥功能的弹性缓冲器 212。信号检测器 214 执行水平同步信号或者垂直同步信号的边缘检测处理或者进行边缘检测信号和 RGB 数据信号的采集处理。

通过端子 CNF[2:0]选择 MPU 接口时, MPU 接口电路 220 即可工作。而且, 从系统装置 5 的 MPU 接口信号如读信号 RD、写信号 WR、地址 0 信号 A0、和数据信号 D[17:0]等通过多路复用器 232 输入到 MPU 接口电路 220。在进行读操作时, 来自 MPU 接口电路 220 的读数据信号作为数据信号 D[17:0]通过多路复用器 232 输出到系统总线。

通过端子 CNF[2:0]选择串行接口时, 串行接口电路 230 即可工作。从系统装置 5 接收到的串行接口信号如芯片选择信号 SCS、读/写信号 SR/W、地址 0 信号 SA0、数据信号 SIO 和时钟信号 SCK 等输入到串行接口电路 230。在进行读操作时, 来自串行接口电路 230 的读数据信号作为 SIO 输出到系统总线。

通过 MPU 接口电路 220 或者串行接口电路 230, 系统装置 5 访问内部寄存器 250, 并且在该内部寄存器 250 上设置各种信息。通过传输控制器 242 和 244, 存储于写 & 读 FIFO 240 和内部寄存器 250 的信息传输到链路控制器 90。例如, 通过传输控制器 244, 存储于主机侧内部寄存器 250 的接口信息 (定时信息) 传输到链路控制器 90, 并发送到目标侧。从链路控制器 90 接收到的信息, 通过传输控制器 242 和 244, 写入写 & 读 FIFO 240 和内部寄存器 250。

图 12 表示目标侧链路控制器 100 和接口电路 110。该链路控制器 100 的构成例。链路控制器 100 包括事务处理控制器 300 和包产生 & 分析电路 302。这些电路的某些可省略。

该事务处理控制器 300 执行数据传输的事务层所涉及的处理。该包产生 & 分析电路 302 执行由该事务处理控制器 300 指示传输的包的产生处理, 以及分析从主机侧接收到的包的处理。具体地说, 该包产生 & 分析电路 302 从接口电路 110 接收包头信息和数据信

息，并通过将包头和数据结合组成包。另外，将从主机侧接收的包分为包头和数据，并分析接收到的包。

包产生 & 分析电路 **302** 包括：RGB 弹性缓冲器 **304**、接收包缓冲器 **306**、发送包缓冲器 **307** 和多路复用器 **308**（多路选择输出器）。通过多路复用器 **308** 从收发器 **40** 接收到的包的信息中的 RGB 接口信号的信息输入到作为 FIFO 发挥功能的 RGB 弹性缓冲器 **304**，并传输到接口电路 **110**（RGB 接口电路 **310**）。通过多路复用器 **308** 从收发器 **40** 接收到的包的信息输入到作为 FIFO 发挥功能的包缓冲器 **306**，并传输到接口电路 **110**。从接口电路 **110** 接收到的包的信息输入到包缓冲器 **307**，并通过多路复用器 **308** 传输到收发器 **40**。

接口电路 **110** 包括：RGB 接口电路 **310**、MPU 接口电路 **320**、串行接口电路 **330**、内部寄存器接口电路 **340**、以及多路复用器 **342** 和 **344**（多路选择输出器）。这些中的某些可省略。

RGB 接口电路 **310**、MPU 接口电路 **320** 和串行接口电路 **330** 是用于分别在连接到接口总线的装置 LCD1、LCD2 和 GD 之间进行 RGB、MPU 和串行接口处理的电路。内部寄存器接口电路 **340** 是用于将从主机侧传输来的信息（接口信息和定时信息）写入到内部寄存器 **350** 的电路。

从链路控制器 **100** 接收到的 RGB 接口信号上的信息（RGB 数据、同步信号码）输入到 RGB 接口电路 **310**。而且，RGB 数据暂时存储于其功能相当于一个先进先出（FIFO）的弹性缓冲器 **312**。RGB 接口信号如垂直同步信号、水平同步信号、就绪信号、时钟信号和数据信号由信号发生器 **314** 产生，并通过多路复用器 **342** 作为信号 FPPFRAME、FPLINE、FPDRDY、FPSHIFT、和 FPDAT[17:0] 输出。

从链路控制器 **100** 接收到的 MPU 接口信号的信息(MPU 数据) 输入到 MPU 接口电路 **320**。MPU 接口信号如写(读)信号、数据信号和地址 0 信号等由信号发生器 **322** 产生,并通过多路复用器 **342** 作为信号 FPFAME (FPLINE)、FPDAT[17:0]和 FPA0 输出。芯片选择信号 FPCS 等由 CS 发生器 **324** 产生。通过多路复用器 **342** 和 MPU 接口电路 **320**, 来自与接口总线相连接的装置的读数据信号被传输到链路控制器 **100**。

从链路控制器 **100** 接收到的串行接口信号的信息(串行数据) 输入到串行接口总线 **330**。串行接口信号如地址 0 信号、读/写信号、数据信号和时钟信号等由信号发生器 **332** 产生,并通过多路复用器 **344** 和 **342** 作为信号 FPA0、FPR/W、FPSIO 和 FPSCK 输出。I2C 接口电路 **334** 产生 I2C 的接口信号,并输出。从主机侧通过的 SERIAL 总线信号,通过多路复用器 **344** 和 **342** 作为信号 FPA0、FPR/W、FPSIO 和 FPSCK 输出到接口总线。

通过内部寄存器接口电路 **340**, 来自链路控制器 **100** 的目标侧的寄存器的信息(接口信息和定时信息)传输并写入内部寄存器 **350**。

## 11. 主机侧和目标侧 RGB 接口电路的构成例

下面,参照图 13A,说明图 11 所示的主机侧的 RGB 接口电路 **210**(信号检测器 **214**)的配置实例。如图 13A 所示,RGB 接口电路 **210** 包括边缘检测器 **400** 和 **410**、以及采集电路 **420**。

边缘检测器 **400** 检测来自系统装置 **5** 的水平同步信号 HSYNC 的边缘,并输出边缘检测信号 HDET。边缘检测器 **410** 检测到来自系统装置 **5** 的垂直同步信号 VSYNC 边缘,并输出边缘检测信号

VDET。这种情况下，根据内部寄存器 250 的设置决定检测上升沿还是下降沿。

根据时钟信号 CLK，采集电路 420 执行边缘检测信号 HDET 和 VDET、以及数据信号 D[17:0]的采集处理。这里，CLK 是从系统装置 5 传输来的时钟信号，是用于采集 RGB 数据的各像素数据的像素时钟信号。这样，在本实施例中，由于采集是基于频率不那么高的像素时钟信号 CLK 进行的，所以主机侧数据传输控制装置 10 的功耗可降低。

通过执行采集边缘检测信号 HDET 和 VDET 处理过程，采集电路 420 决定设置在包中的水平同步信号码（见图 7）。当检测到如垂直同步信号的边缘检测信号 VDET 时，同步信号码设置为“1”（VS=1，HS=0）。当检测到水平同步信号的边缘检测信号 HDET 时，同步信号码设置为“2”（VS=0，HS=1）。当检测到垂直同步信号的边缘检测信号 VDET 以及水平同步信号的边缘检测信号 HDET 两个时，同步信号码设置为“3”（VS=1，HS=1）。这样同步信号码可设置在传输到目标侧的包的同步信号码域上。

采集电路 420 包括 VDP/VNDP 检测计数器 422，该 VDP/VNDP 检测计数器 422 根据边缘检测信号 HDET 和 VDET 执行计数过程。而且，根据该计数器 422 的计数结果，采集电路 420 执行显示期间 VDP 和非显示期间 VNDP 的判断（辨别）处理。

例如，把显示期间 VDP 从非显示期间 VNDP 区别开的信息设置在内部寄存器 250。具体地说，显示期间 VDP 的起始点信息、显示期间 VDP 的长度信息、水平扫描期间的长度信息等，设置在内部寄存器 250。以图 2 为例，显示期间 VDP 的起始点信息设置为“3”，显示期间 VDP 的长度信息设置为“6”，以及水平扫描期间的长度信息设置为“11”。而且，当检测到垂直同步信号 VSYNC，并边缘

检测信号 VDET 激活时，计数器 422 清零，并且记录边缘检测信号 HDET 的发生次数。当计数器 422 记录到边缘信号 HDET 的发生次数为“3”（显示期间 VDP 的起始点信息）时，采集电路 420 判断非显示期间 VNDP 已经变换为显示期间 VDP。当边缘检测信号 HDET 的发生次数为“9”时，即成为“3”（显示期间 VDP 起始点信息）和“6”（显示期间 VDP 长度信息）之和时，采集电路 420 判断显示期间 VDP 已经变换为非显示期间 VNDP。

链路控制器 90 从采集电路 420 接收 VDP/VNDP 的判断信息。当判断该期间是非显示期间 VNDP 时，如图 8 所示，链路控制器 90 产生非显示期间包，并且输出产生的包到目标侧，该非显示期间包中同步信号码设置在同步信息码域中以及无数据设置在数据域中。当判断该期间是显示期间 VDP，链路控制器 90 产生显示期间包，并且输出产生的包到目标侧，该显示期间包中同步信号码设置在同步信息码域中以及数据设置在数据域中。这样可提高主机侧与目标侧之间串行传输的效率。

参照图 13B，描述图 12 所示的目标侧的 RGB 接口电路 310（信号检测器 314）的配置实例。如图 13B 所示，该 RGB 接口电路 310 包括定时发生器 430 和 440。定时发生器 430 包括像素计数器 432，定时发生器 440 包括像素计数器 442 和水平（行）计数器 444。

该定时发生器 430 从链路控制器 110 接收 RGB 数据上的信息，从内部寄存器 350 接收定时信息（HDPS、HDP 等）。根据像素计数器 432 的计数值，如图 3B 所示，定时发生器 430 产生并输出与作为像素时钟信号的 FPSHIFT 同步的数据信号 FPDAT[17:0]。

定时发生器 440 从链路控制器 100 接收含有同步信号码的包头信息，从内部寄存器 350 接收定时信息（VT、VPW、VDPS、VDP、HT 和 HPW 等）。而且，根据像素计数器 442 的计数值和水平（行）

计数器 **444** 的计数值, 所确定的 (时限), 定时发生器 **440** 产生和输出如图 4 (A) 和图 4 (B) 所示的定时的垂直同步信号 **FPFRAME** 以及水平同步信号 **FPLINE**。

如上所述, 在本实施例中, 由于 RGB 接口信号的定时按照内部寄存器 **350** 的定时信息进行微调, 所以可降低功耗, 提高数据传输效率。

## 12. 电子设备

图 14 表示本实施例的电子设备的构成的例子。该电子设备包括本实施例中说明的数据传输控制装置 **502**、**512**、**514**、**520**、**530**。另外, 包括基带设备 **500** (广义上说为通信装置)、应用设备 **510** (广义上说为处理器)、照相机 **540** (广义上说为摄像装置)、或 LCD **550** (广义上说为显示装置)。换言之, 图 14 的电子设备包括: 目标侧数据传输控制装置 **520**、**530**, 通过串行总线连接于目标侧数据传输控制装置 **520**、**530** 的主机侧数据传输控制装置 **514**, 通过接口总线连接于目标侧数据传输控制装置 **520**、**530** 的一个或多个装置 **540**、**550**。另外, 也可省略这些中的部分。利用该构成可实现具有照相功能与 LCD (Liquid Crystal Display) 显示功能的手机等。但是, 本实施例的电子设备不局限于手机, 也可适用于数码相机、PDA、电子笔记本、电子词典、或携带型信息终端等各种电子设备。

如图 14 所示, 在设于基带设备 **500** 上的主机侧数据传输控制装置 **502** 与设于应用设备 **510** (图形设备) 上的目标侧数据传输控制装置 **512** 之间, 进行本实施例说明的串行传输。另外, 在设于应用设备 **510** 上的主机侧数据传输控制装置 **514** 与包括有照相机接口电路 **522** 的数据传输控制装置 **520**、包括有 LCD 接口电路 **532** 的数据传输控制装置 **530** 之间, 也进行本实施例中说明的串行传输。

根据图 14 的构成，与先前电子设备相比可降低 EMI 噪音。另外，通过实现数据传输控制装置的小型化、省电化，可以降低电子设备的耗电量。另外，当电子设备为手机时，通过手机的连接部分（铰链部分）的信号线可以为串行信号线，由此可使组装更加容易。

另外，本发明不限于上述实施例，还可以进行各种变形。例如，在说明书或附图中的记载中作为广义、同义用语（一个或多个装置、第 1～第 N 接口电路、接口信息等）引用的用语（LCD1、LCD2、GD、RGB、MPU、串行接口电路，定时信息等），在说明书或附图中的其他记载中，也可置换为广义、同义用语。

另外，数据传输控制装置、电子设备的构成及动作也不局限于本实施例说明的构成及限定，还可以进行各种变形。例如，在本实施例中对接口电路包括 RGB 接口电路、MPU 接口电路、串行接口电路的情况进行了说明。但是，接口电路也可不包括 RGB 接口电路与串行接口电路。另外，目标侧数据传输控制装置的部分或全部可组装到连接于接口总线的装置（LCD1、LCD2 等）上。另外，主机侧数据传输控制装置部分或全部也可以组装到系统装置上。

## 符号说明

**5** 系统装置

**20** 收发器

**40** 收发器

**92** 接口电路

**110** 接口电路

**310** RGB 接口电路

**330** 串行接口电路

**10** 主机侧数据传输控制装置

**30** 目标侧数据传输控制装置

**90** 链路控制器

**100** 链路控制器

**250** 内部寄存器

**320** MPU 接口电路

**350** 内部寄存器

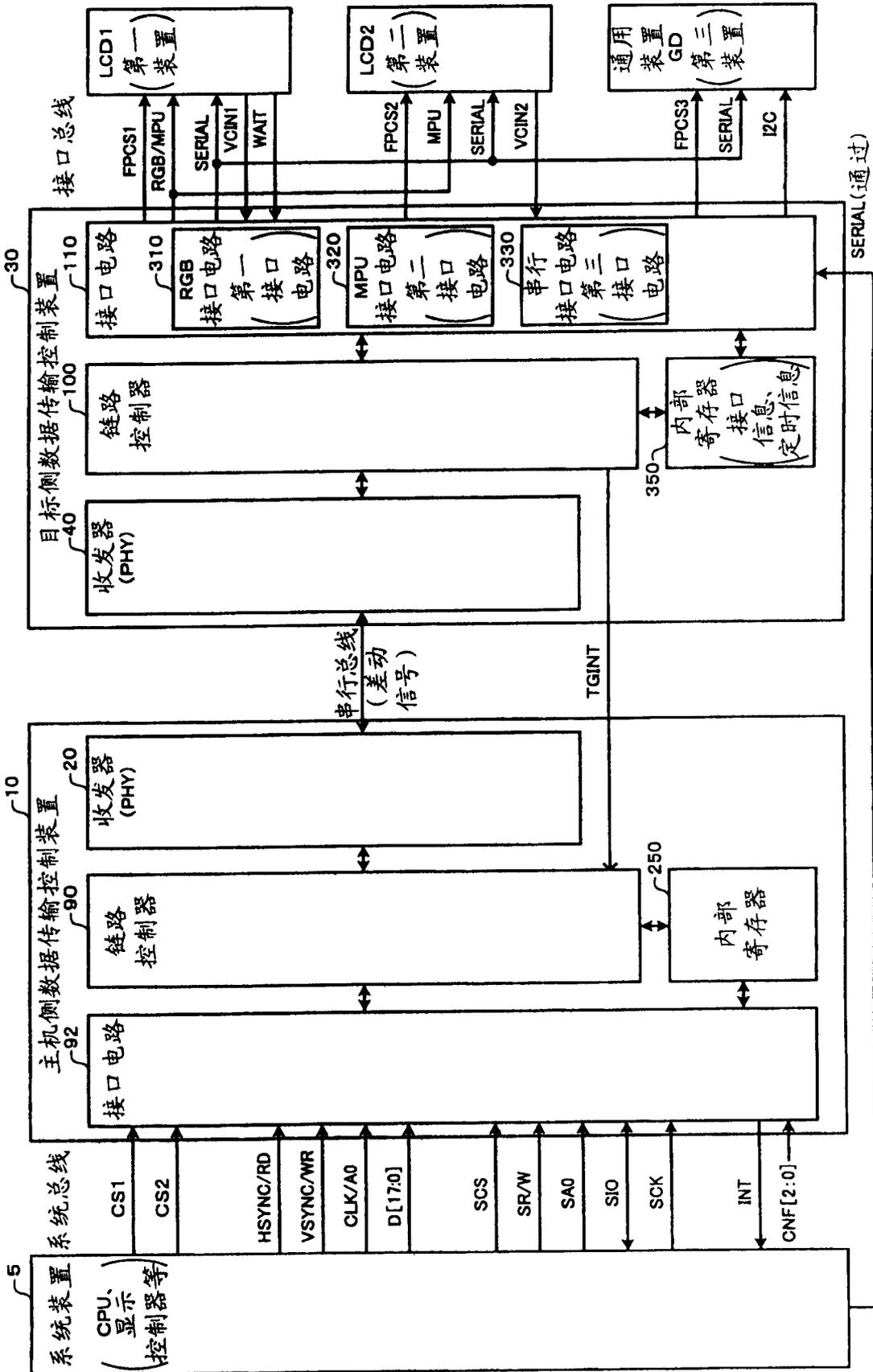


图 1

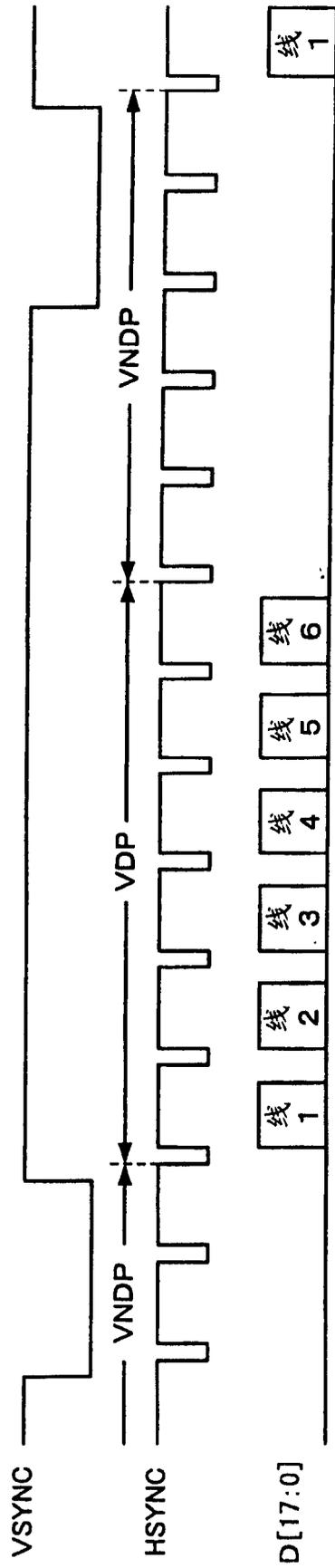


图 2

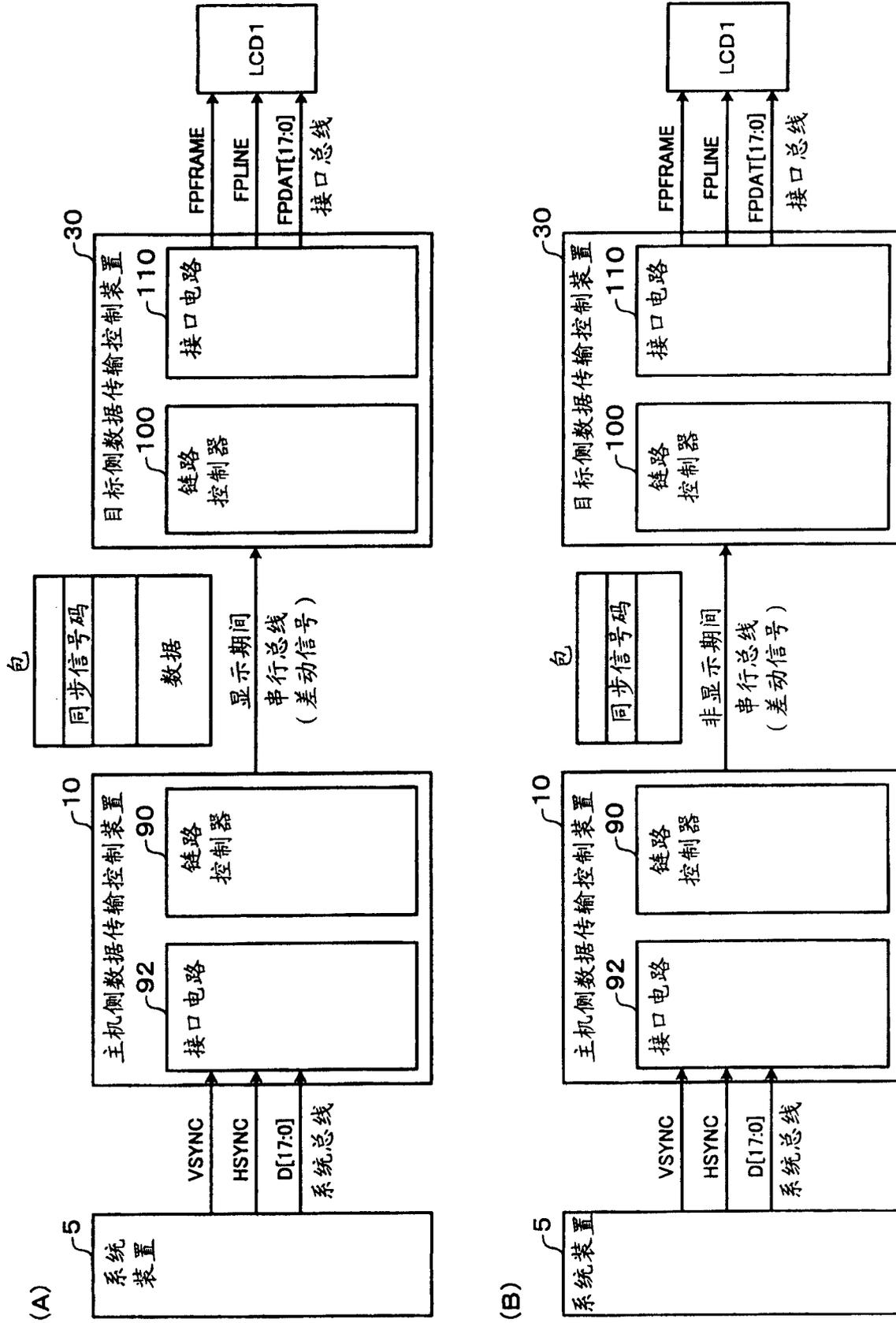


图 3

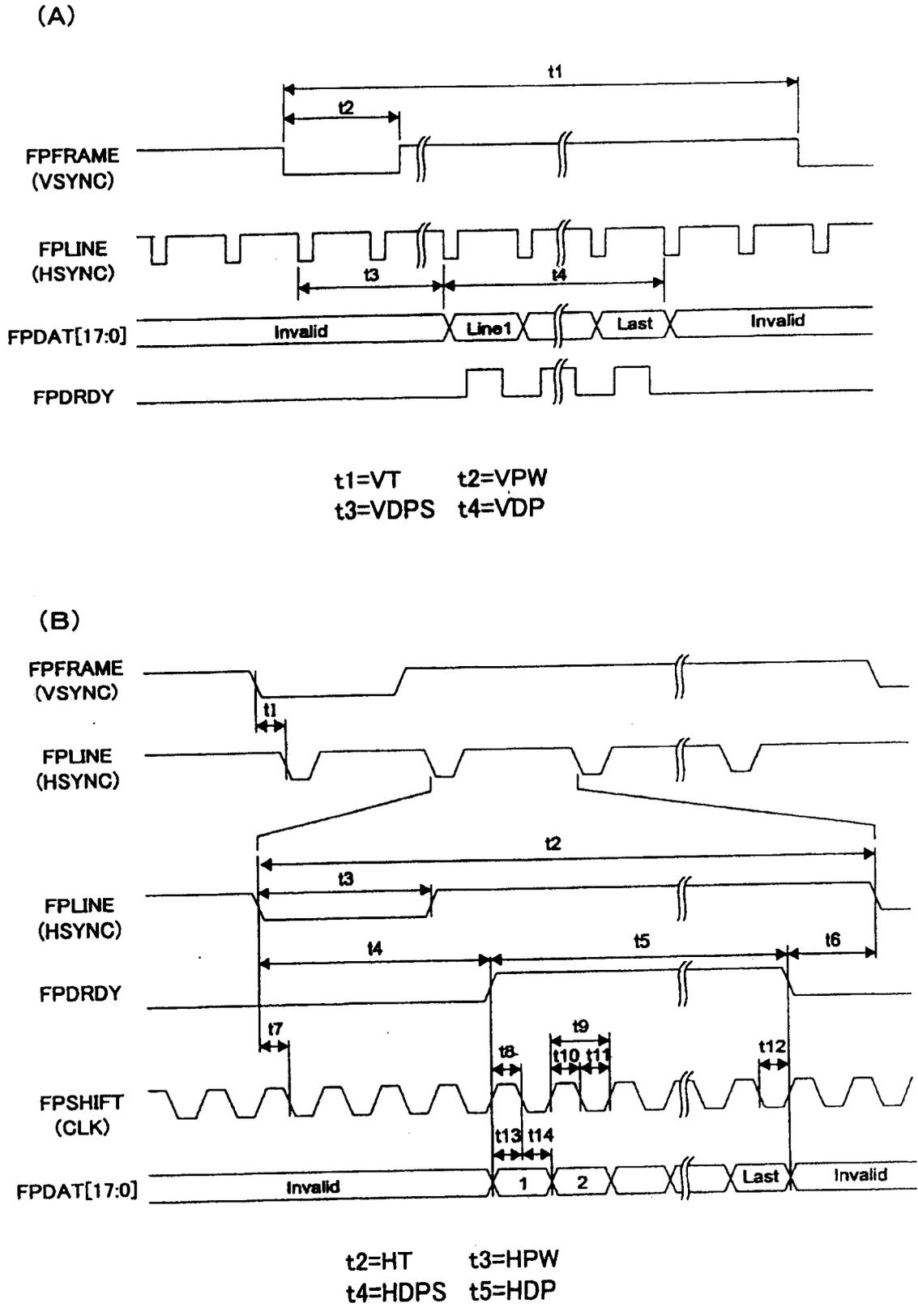


图 4

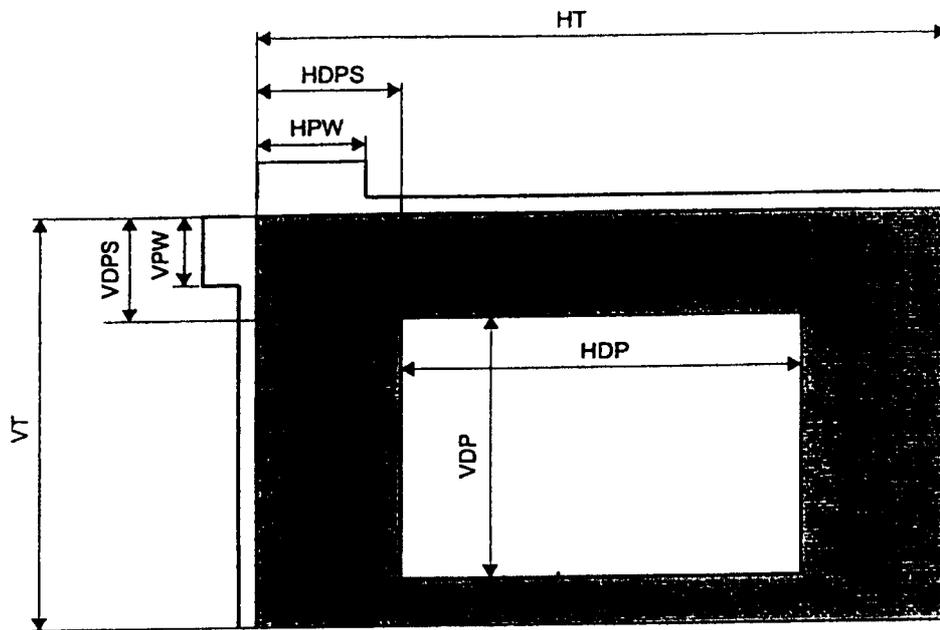


图 5

(A) 请求包

Bit	7	6	5	4	3	2	1	0	
	应答请求		包类型			标签			
	重试		地址大小			-			
	数据长度0								
	数据长度1								
	地址 / 命令								
	连续	地址 自动刷新	刷新次数						
			端口号码						
	数据 / 参数								
	CRC0								
	CRC1								

(B) 流包

Bit	7	6	5	4	3	2	1	0
	包类型			标签				
	-			-				
	数据长度0							
	数据长度1							
	地址 / 命令							
	同步信号码		端口号码					
	数据 / 参数							
	CRC0							
	CRC1							

图 6

同步信号码	内容
0 (VS=0, HS=0)	不包括同步信号
1 (VS=1, HS=0)	包括垂直同步信号
2 (VS=0, HS=1)	包括水平同步信号
3 (VS=1, HS=1)	既包括垂直同步信号 又包括水平同步信号

图 7

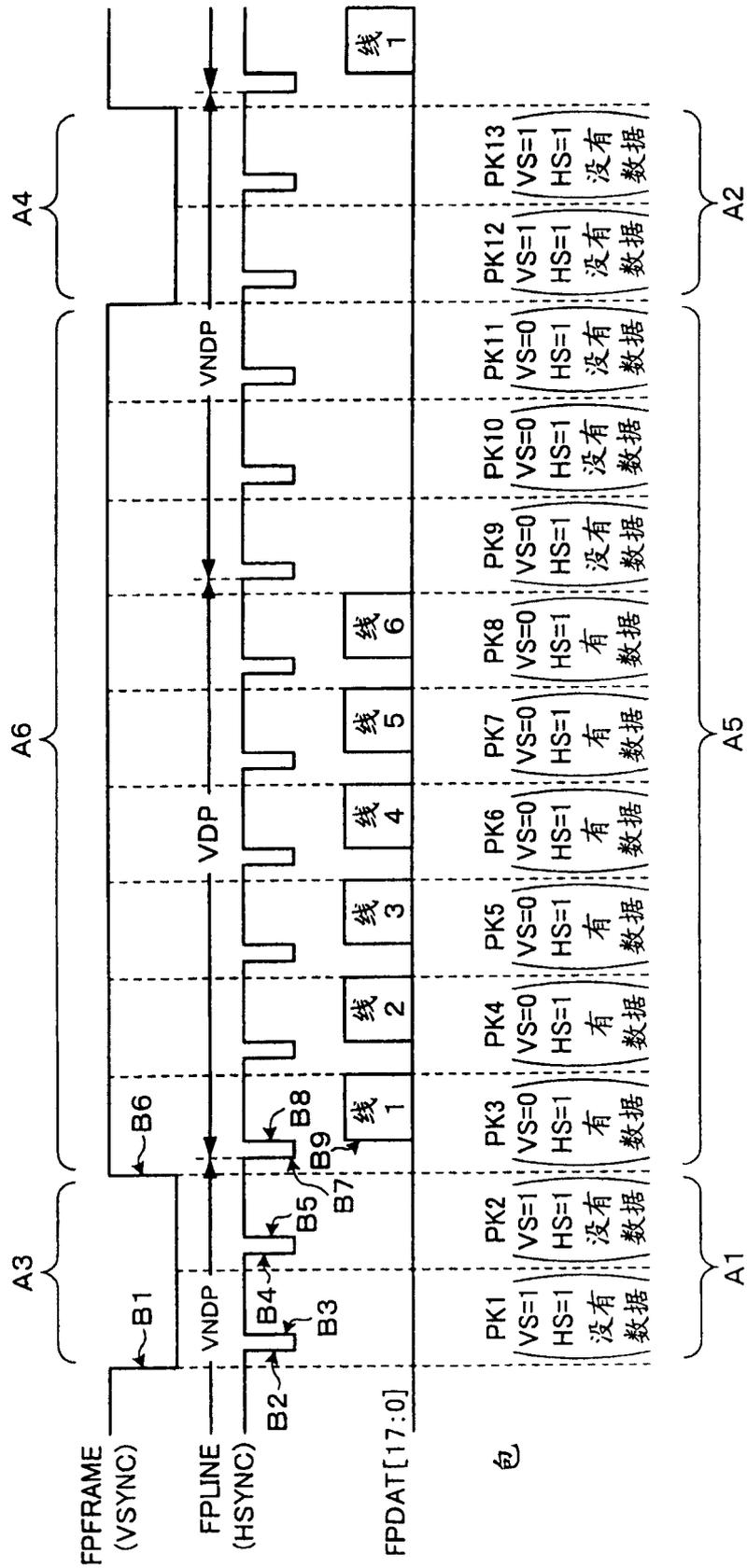


图 8

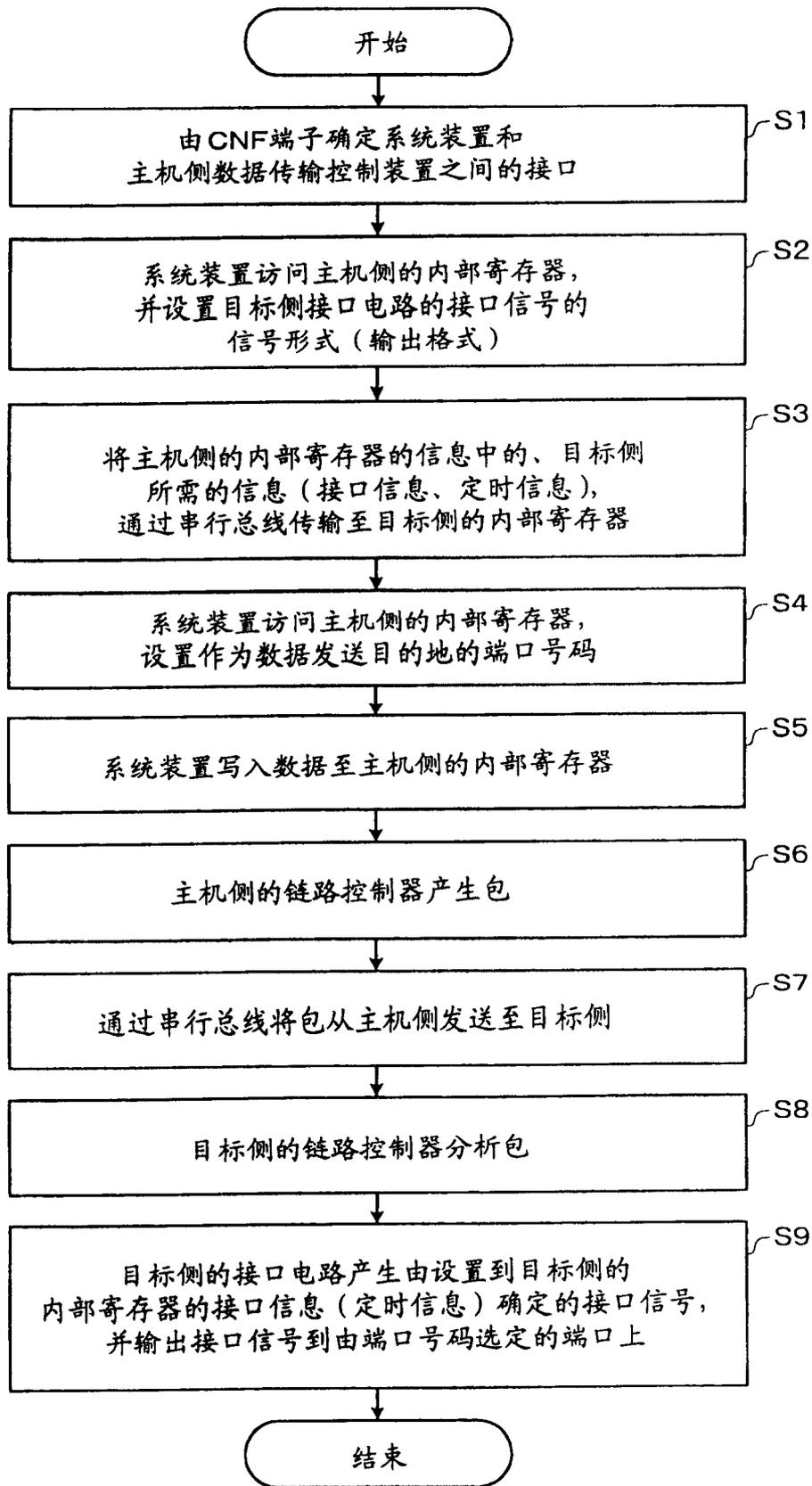


图 9

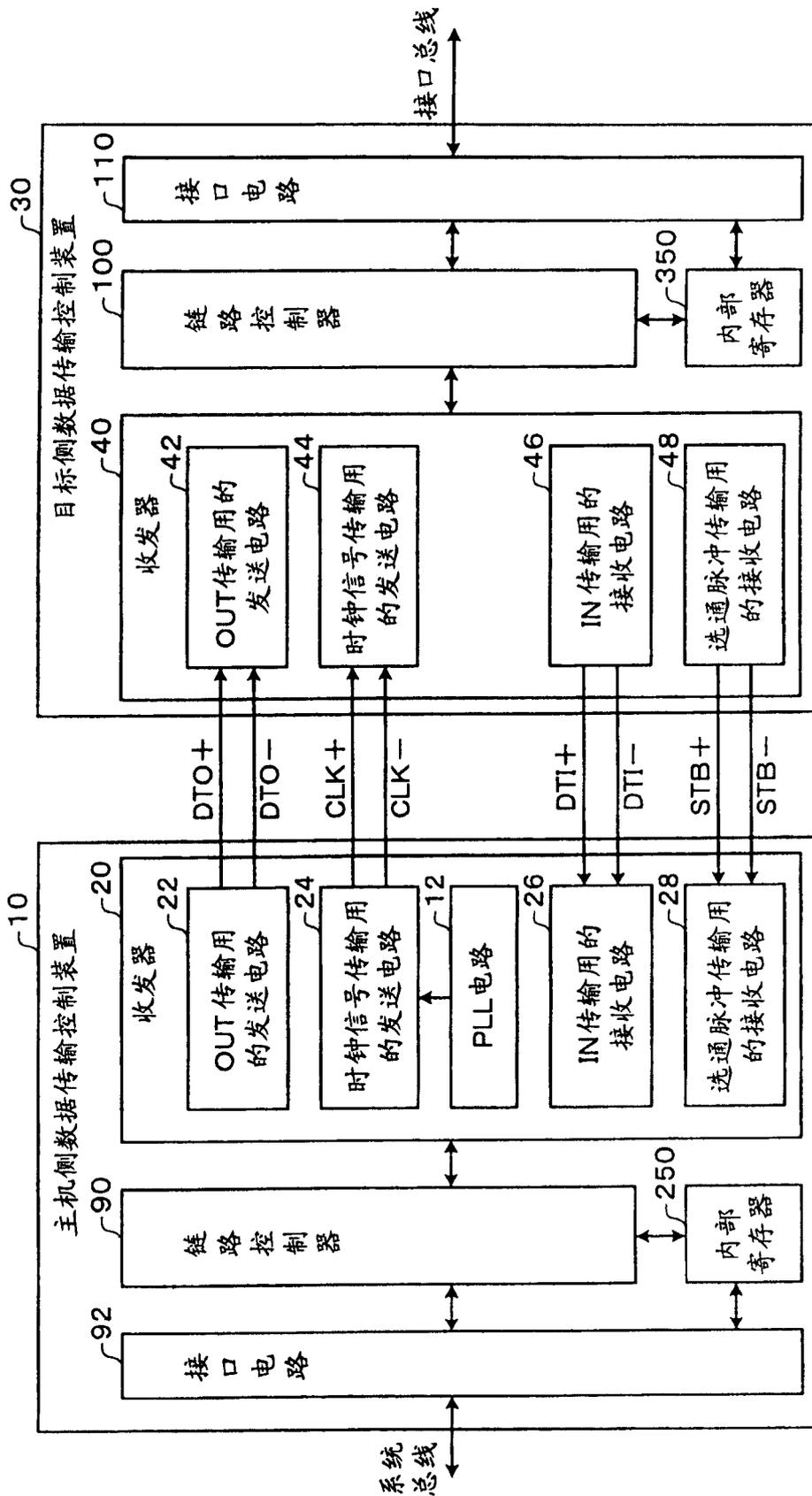


图 10

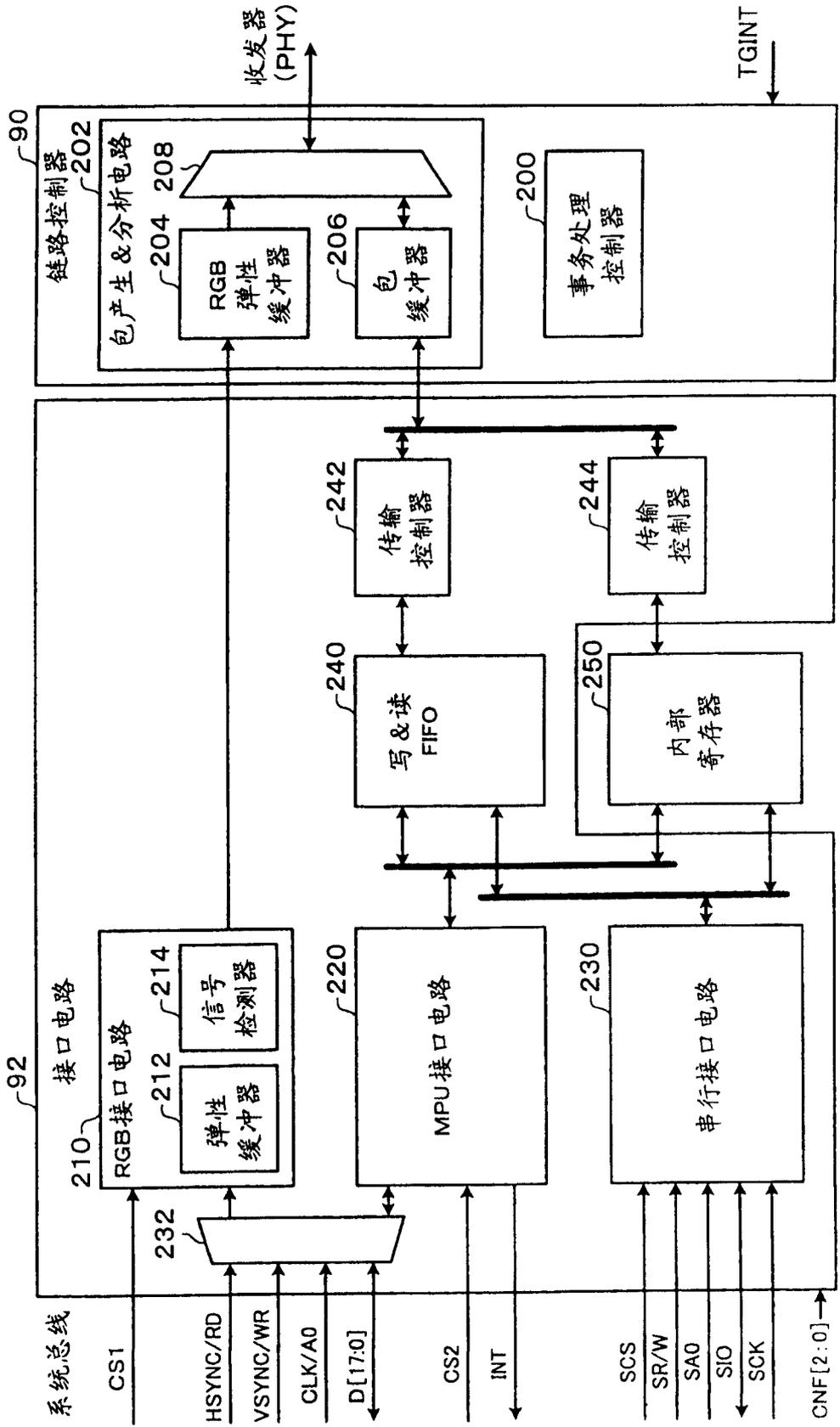


图 11

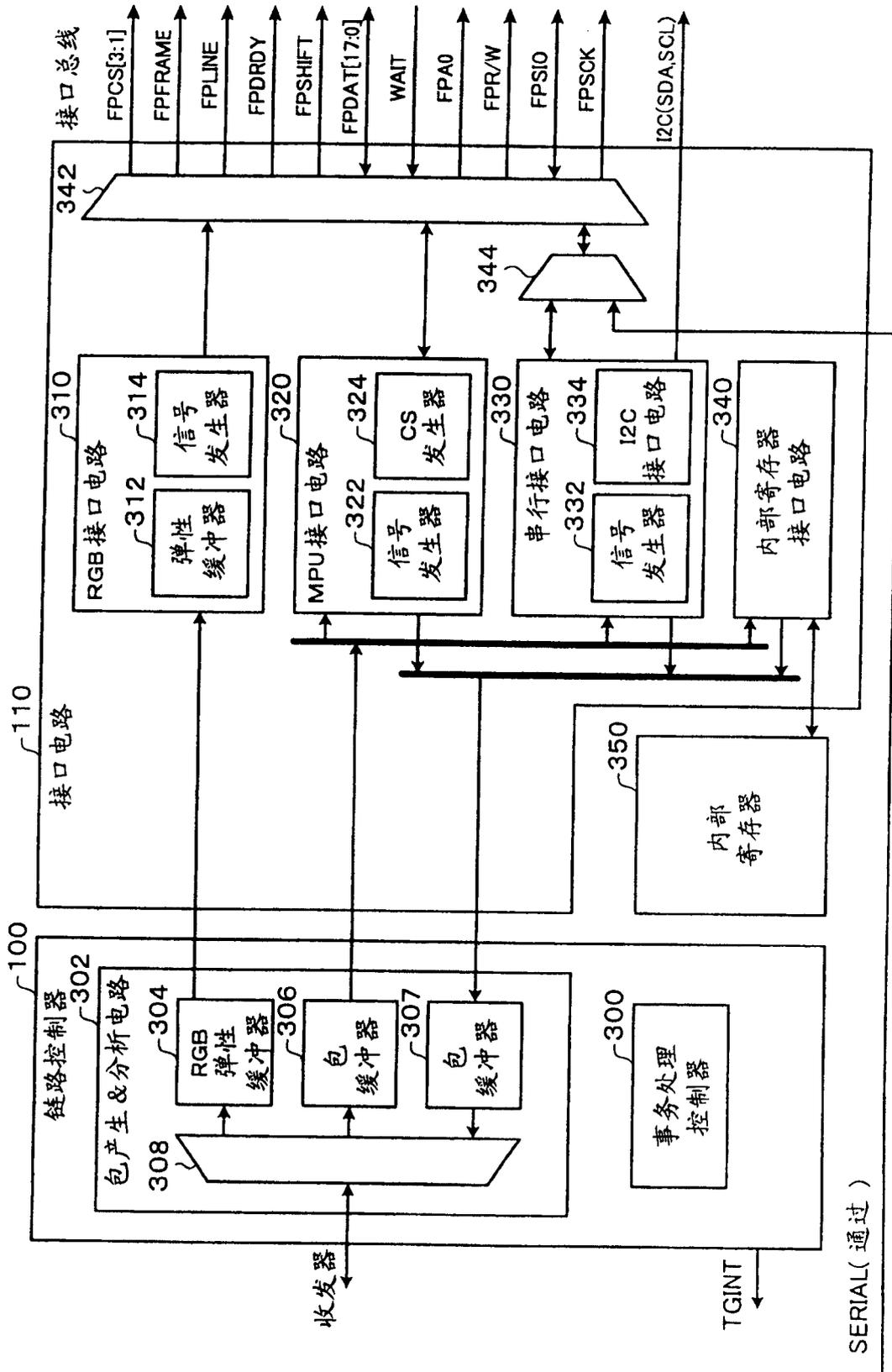


图 12

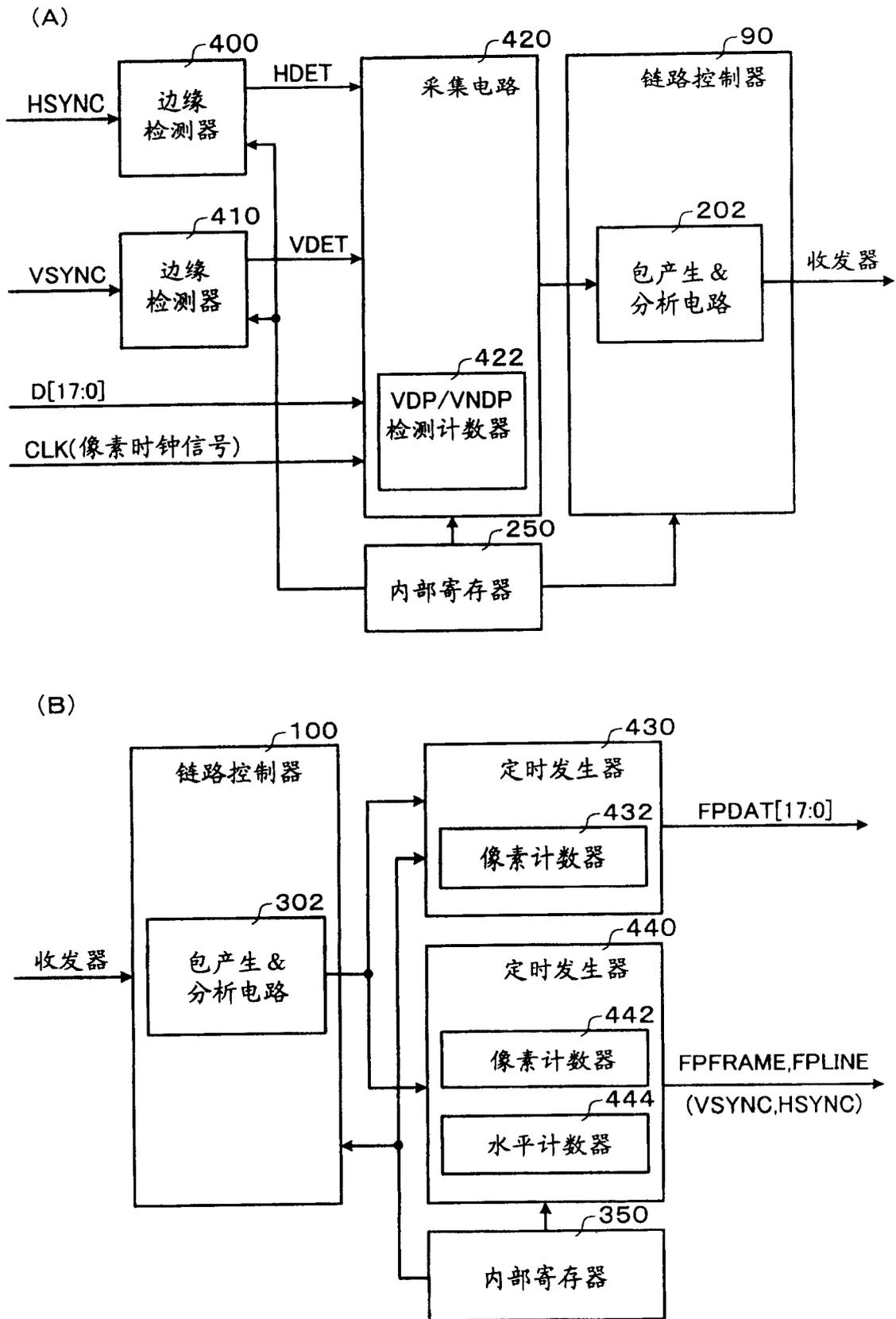


图 13

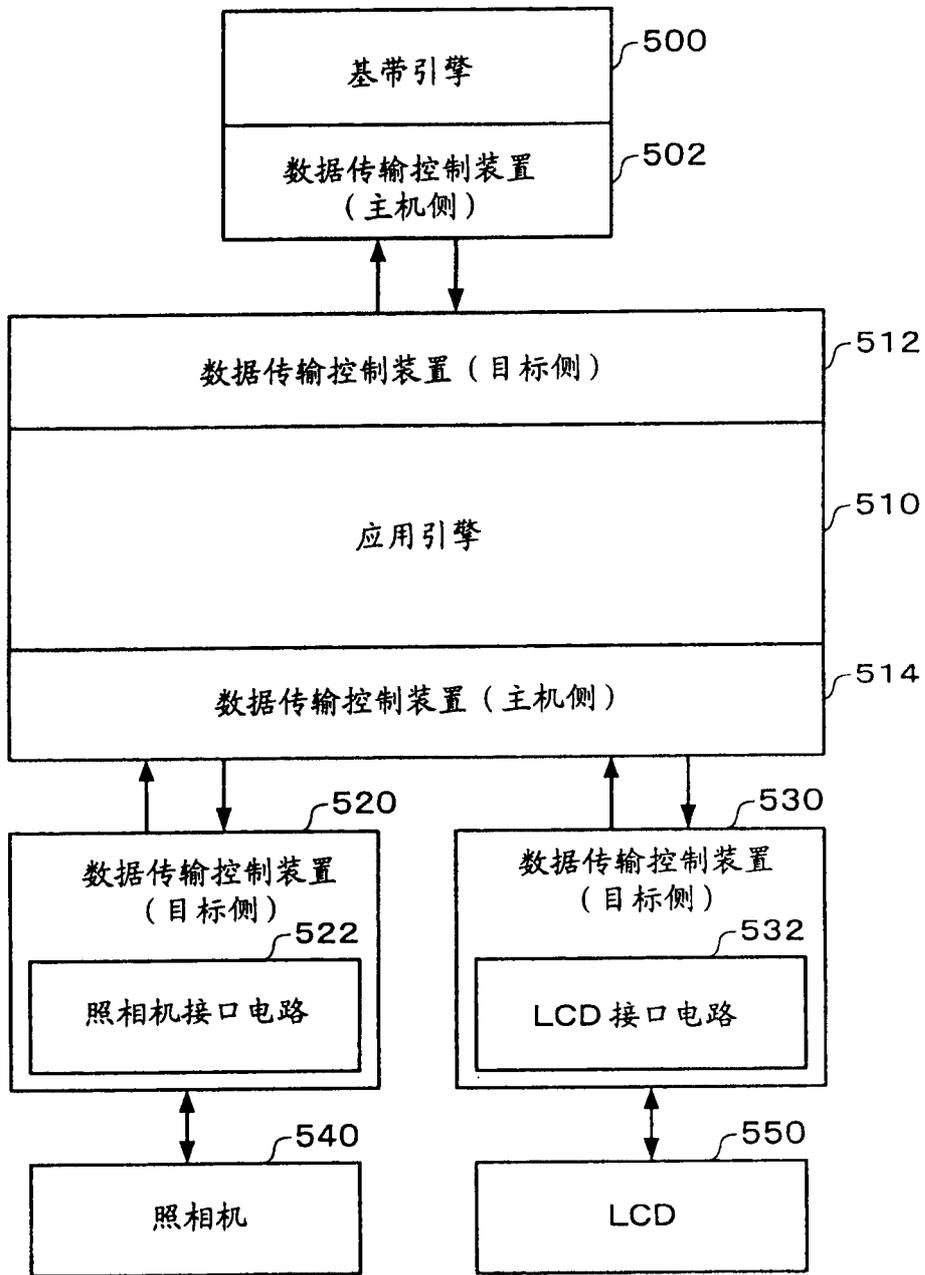


图 14