

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第3区分  
 【発行日】平成23年6月30日(2011.6.30)

【公開番号】特開2010-141901(P2010-141901A)  
 【公開日】平成22年6月24日(2010.6.24)  
 【年通号数】公開・登録公報2010-025  
 【出願番号】特願2010-1545(P2010-1545)  
 【国際特許分類】

H 0 3 K 19/173 (2006.01)

H 0 1 L 21/82 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 3 K 19/173 1 0 1

H 0 1 L 21/82 A

H 0 1 L 21/82 S

H 0 1 L 27/04 M

【手続補正書】

【提出日】平成23年5月16日(2011.5.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の패드と、

第2の패드と、

該第1の패드に結合された第1の入力と該第2の패드に結合された第2の入力とを有する差動入力バッファと、

該第1の패드に結合された入力を有するシングル・エンド入力バッファと、

該差動入力バッファの出力に結合された入力を有する第1のレジスタと、

該第2の패드に結合された出力を有するシングル・エンド出力バッファと、

該シングル・エンド出力バッファの入力に結合された出力を有する第2のレジスタと、

該第2のレジスタの入力に結合された出力を有するパラレル・ツー・シリアル・コンバータと

を備え、

該第1の패드は、該第2の패드とは異なり、該第1のレジスタと該第2のレジスタとは、ダブル・データ・レート・レジスタであり、該パラレル・ツー・シリアル・コンバータは、低速クロックでデータを受け取り、該低速クロックおよび高速クロックから選択可能なクロックでデータを出力する、集積回路。

【請求項2】

前記シングル・エンド入力バッファの出力に結合された入力を有する第3のレジスタをさらに備え、

該第3のレジスタは、ダブル・データ・レート・レジスタである、請求項1に記載の集積回路。

【請求項3】

前記第1のレジスタは、

前記差動入力バッファの出力に結合された入力を有する第 1 のフリップ・フロップと、  
該差動入力バッファの出力に結合された入力を有する第 2 のフリップ・フロップと、  
該第 1 のフリップ・フロップの出力に結合された入力を有する第 3 のフリップ・フロップと

を備えた、請求項 1 に記載の集積回路。

【請求項 4】

前記第 1 のレジスタは、

前記差動入力バッファの出力に結合された入力を有する第 1 のフリップ・フロップと、  
該差動入力バッファの出力に結合された入力を有する第 2 のフリップ・フロップと、  
該第 1 のフリップ・フロップの出力に結合された入力を有する第 1 のラッチと

を備えた、請求項 1 に記載の集積回路。

【請求項 5】

前記第 1 のレジスタの出力に結合された入力を有するシリアル・ツー・パラレル・コンバータをさらに備えた、請求項 3 に記載の集積回路。

【請求項 6】

前記第 2 のパッドに結合された第 2 のシングル・エンド入力バッファをさらに備えた、請求項 5 に記載の集積回路。

【請求項 7】

前記差動入力バッファは、LVDS 信号を受け取る、請求項 5 に記載の集積回路。

【請求項 8】

前記第 1 のパッドに結合された第 1 の出力と前記第 2 のパッドに結合された第 2 の出力とを有する差動出力バッファをさらに備えた、請求項 5 に記載の集積回路。

【請求項 9】

前記差動入力バッファは、LVDS 信号を受け取り、前記差動出力バッファは、LVDS 信号を提供する、請求項 8 に記載の集積回路。

【請求項 10】

第 1 のパッドと、

第 2 のパッドと、

該第 1 のパッドに結合された第 1 の入力と該第 2 のパッドに結合された第 2 の入力とを有する差動入力バッファと、

該第 1 のパッドに結合された出力を有する第 1 の出力バッファと、

該第 2 のパッドに結合された出力を有する第 2 の出力バッファと、

該第 1 の出力バッファの入力に結合された出力を有する第 1 のレジスタと、

該第 2 の出力バッファの入力に結合された出力を有する第 2 のレジスタと、

該第 1 の出力バッファをイネーブルし、ディスエーブルするように結合された出力を有する第 1 のトライステートレジスタと、

該第 2 の出力バッファをイネーブルし、ディスエーブルするように結合された出力を有する第 2 のトライステートレジスタと

を備え、

該第 1 のトライステートレジスタは、

第 1 のクロック信号を受け取る入力を有する第 1 のフリップ・フロップと、

該第 1 のクロック信号の連続する立ち上がりエッジおよび立ち下りエッジ上で該第 1 の出力バッファがイネーブルされ、ディスエーブルされ得るように、該第 1 のフリップ・フロップの出力に結合された入力と該第 1 の出力バッファをイネーブルし、ディスエーブルするように結合された出力とを有する第 2 のフリップ・フロップと

を備え、

該第 2 のトライステートレジスタは、

第 2 のクロック信号を受け取る入力を有する第 3 のフリップ・フロップと、

該第 2 のクロック信号の連続する立ち上がりエッジおよび立ち下りエッジ上で該第 2 の出力バッファがイネーブルされ、ディスエーブルされ得るように、該第 3 のフリップ・フ

ロップの出力に結合された入力と該第 2 の出力バッファをイネーブルし、ディスエーブルするように結合された出力とを有する第 4 のフリップ・フロップと

を備え、

該第 1 のレジスタと該第 2 のレジスタとは、ダブル・データ・レート・レジスタである集積回路。

【請求項 1 1】

前記第 1 のレジスタは、

第 1 のフリップ・フロップと、

第 2 のフリップ・フロップと、

該第 1 のフリップ・フロップの出力に結合された第 1 の入力と、該第 2 のフリップ・フロップの出力に結合された第 2 の入力と、前記第 1 の出力バッファの入力に結合された出力とを有する第 1 のマルチプレクサと

を備え、

前記第 2 のレジスタは、

第 3 のフリップ・フロップと、

第 4 のフリップ・フロップと、

該第 3 のフリップ・フロップの出力に結合された第 1 の入力と、該第 4 のフリップ・フロップの出力に結合された第 2 の入力と、前記第 2 の出力バッファの入力に結合された出力とを有する第 2 のマルチプレクサと

を備えた、請求項 1 0 に記載の集積回路。

【請求項 1 2】

前記第 1 のパッドに結合されたシングル・エンド入力バッファをさらに備えた、請求項 1 1 に記載の集積回路。

【請求項 1 3】

前記差動入力バッファは、L V D S 信号を受け取る、請求項 1 2 に記載の集積回路。

【請求項 1 4】

第 1 のパッドと、

第 2 のパッドと、

該第 1 のパッドに結合された第 1 の入力と該第 2 のパッドに結合された第 2 の入力とを有する差動入力バッファと、

該第 1 のパッドに結合された入力を有するシングル・エンド入力バッファと、

該第 1 のパッドに結合された出力を有する第 1 の出力バッファと、

該第 2 のパッドに結合された出力を有する第 2 の出力バッファと、

該第 1 の出力バッファの入力に結合された出力を有する第 1 のレジスタと、

該第 2 の出力バッファの入力に結合された出力を有する第 2 のレジスタと、

該差動入力バッファの出力に結合された入力を有するシリアル・ツー・パラレル・コンバータと

を備え、

該第 1 のレジスタと該第 2 のレジスタとは、ダブル・データ・レート・レジスタであり、該シリアル・ツー・パラレル・コンバータは、低速クロックおよび高速クロックから選択可能なクロックでデータを受け取り、該低速クロックでデータを出力する、集積回路。

【請求項 1 5】

前記第 1 のレジスタは、

第 1 のフリップ・フロップと、

第 2 のフリップ・フロップと、

該第 1 のフリップ・フロップの出力に結合された第 1 の入力と、該第 2 のフリップ・フロップの出力に結合された第 2 の入力と、前記第 1 の出力バッファの入力に結合された出力とを有する第 1 のマルチプレクサと

を備え、

前記第 2 のレジスタは、

第 3 のフリップ・フロップと、  
第 4 のフリップ・フロップと、  
該第 3 のフリップ・フロップの出力に結合された第 1 の入力と、該第 4 のフリップ・フ  
ロップの出力に結合された第 2 の入力と、前記第 2 の出力バッファの入力に結合された出  
力とを有する第 2 のマルチプレクサと  
を備えた、請求項 1 4 に記載の集積回路。

【請求項 1 6】

前記差動入力バッファは、L V D S 信号を受け取る、請求項 1 5 に記載の集積回路。

【請求項 1 7】

第 1 のパッドと、  
第 2 のパッドと、  
該第 1 のパッドに結合された第 1 の入力と該第 2 のパッドに結合された第 2 の入力とを  
有する差動入力バッファと、  
該第 1 のパッドに結合された入力を有するシングル・エンド入力バッファと、  
該第 1 のパッドに結合された出力を有する第 1 の出力バッファと、  
該第 2 のパッドに結合された出力を有する第 2 の出力バッファと、  
該差動入力バッファの出力に結合された入力を有する第 1 のレジスタと、  
該第 1 の出力バッファの入力に結合された出力を有する第 2 のレジスタと、  
該第 2 の出力バッファの入力に結合された出力を有する第 3 のレジスタと  
を備え、  
該第 1 のレジスタと該第 2 のレジスタと該第 3 のレジスタとは、ダブル・データ・レ  
ート・レジスタであり、  
該第 1 のレジスタは、  
該差動入力バッファの出力に結合された入力を有する第 1 のフリップ・フロップと、  
該差動入力バッファの出力に結合された入力を有する第 2 のフリップ・フロップと、  
該第 1 のフリップ・フロップの出力に結合された入力を有する第 3 のフリップ・フロ  
ップと、  
該第 1 の出力バッファをイネーブルし、ディスエーブルするように結合された出力を有  
する第 1 のトライステートレジスタと、  
該第 2 の出力バッファをイネーブルし、ディスエーブルするように結合された出力を有  
する第 2 のトライステートレジスタと  
を備え、  
該第 1 のトライステートレジスタは、  
第 1 のクロック信号を受け取る入力を有する第 4 のフリップ・フロップと、  
該第 1 のクロック信号の連続する立ち上がりエッジおよび立ち下りエッジ上で該第 1 の  
出力バッファがイネーブルされ、ディスエーブルされ得るように、該第 4 のフリップ・フ  
ロップの出力に結合された入力と該第 1 の出力バッファをイネーブルし、ディスエーブル  
するように結合された出力とを有する第 5 のフリップ・フロップと  
を備え、  
該第 2 のトライステートレジスタは、  
第 2 のクロック信号を受け取る入力を有する第 6 のフリップ・フロップと、  
該第 2 のクロック信号の連続する立ち上がりエッジおよび立ち下りエッジ上で該第 2 の  
出力バッファがイネーブルされ、ディスエーブルされ得るように、該第 6 のフリップ・フ  
ロップの出力に結合された入力と該第 2 の出力バッファをイネーブルし、ディスエーブル  
するように結合された出力とを有する第 7 のフリップ・フロップと  
を備えた、集積回路。

【請求項 1 8】

前記第 2 のレジスタは、  
第 1 のフリップ・フロップと、  
第 2 のフリップ・フロップと、

該第 1 のフリップ・フロップの出力に結合された第 1 の入力と、該第 2 のフリップ・フロップの出力に結合された第 2 の入力と、前記第 1 の出力バッファの入力に結合された出力とを有する第 1 のマルチプレクサと

を備え、

前記第 3 のレジスタは、

第 3 のフリップ・フロップと、

第 4 のフリップ・フロップと、

該第 3 のフリップ・フロップの出力に結合された第 1 の入力と、該第 4 のフリップ・フロップの出力に結合された第 2 の入力と、前記第 2 の出力バッファの入力に結合された出力とを有する第 2 のマルチプレクサと

を備えた、請求項 17 に記載の集積回路。

【請求項 19】

前記差動入力バッファは、LVDS 信号を受け取る、請求項 17 に記載の集積回路。

【請求項 20】

前記差動入力バッファが活性状態である場合には、前記シングル・エンド入力バッファと前記シングル・エンド出力バッファとは、非活性状態である、請求項 1 に記載の集積回路。

【請求項 21】

前記シングル・エンド出力バッファをイネーブルし、ディスエーブルするように結合された出力を有するトライステートレジスタ

をさらに備え、

該トライステートレジスタは、

第 1 のフリップ・フロップと、

該第 1 のフリップ・フロップの出力に結合された入力と該シングル・エンド出力バッファをイネーブルし、ディスエーブルするように結合された出力とを有する第 2 のフリップ・フロップと

を備えた、請求項 1 に記載の集積回路。

【請求項 22】

前記第 1 の出力バッファをイネーブルし、ディスエーブルするように結合された出力を有する第 1 のトライステートレジスタと、

前記第 2 の出力バッファをイネーブルし、ディスエーブルするように結合された出力を有する第 2 のトライステートレジスタと

をさらに備え、

該第 1 のトライステートレジスタは、

第 1 のフリップ・フロップと、

該第 1 のフリップ・フロップの出力に結合された入力と該第 1 の出力バッファをイネーブルし、ディスエーブルするように結合された出力とを有する第 2 のフリップ・フロップと

を備え、

該第 2 のトライステートレジスタは、

第 3 のフリップ・フロップと、

該第 3 のフリップ・フロップの出力に結合された入力と該第 2 の出力バッファをイネーブルし、ディスエーブルするように結合された出力とを有する第 4 のフリップ・フロップと

を備えた、請求項 14 に記載の集積回路。