

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international



(43) Date de la publication internationale
8 octobre 2009 (08.10.2009)

PCT

(10) Numéro de publication internationale
WO 2009/121943 A1

- (51) Classification internationale des brevets : **G06F 7/50** (2006.01)
- (21) Numéro de la demande internationale : PCT/EP2009/053976
- (22) Date de dépôt international : 2 avril 2009 (02.04.2009)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité : 0852189 2 avril 2008 (02.04.2008) FR
- (71) Déposant (pour tous les États désignés sauf US) : **SARL DANIEL TORNO** [FR/FR]; 39, rue Alexandre Dumas, F-45100 Orleans (FR).
- (72) Inventeur; et
- (75) Inventeur/Déposant (pour US seulement) : **TORNO, Daniel** [FR/FR]; 39, rue Alexandre Dumas, F-45100 Orleans (FR).
- (74) Mandataire : **GUENE, Patrick**; Technopôle Atalante, 16B rue de Jouanet, F-35703 Rennes Cedex 7 (FR).
- (81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR),

[Suite sur la page suivante]

(54) Title : METHOD OF ADDITION WITH MULTIPLE OPERANDS, CORRESPONDING ADDER AND COMPUTER PROGRAM PRODUCT

(54) Titre : PROCEDE D'ADDITION A OPERANDES MULTIPLES, ADDITIONNEUR ET PRODUIT PROGRAMME D'ORDINATEUR CORRESPONDANTS

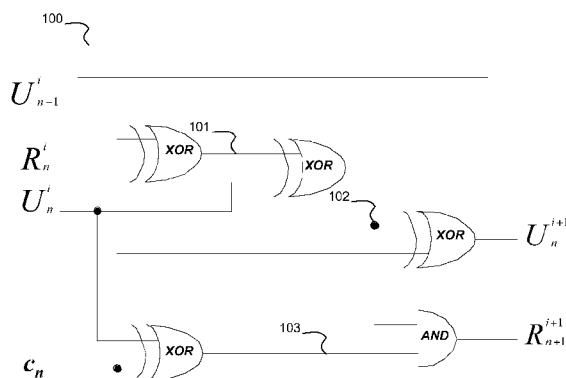


Figure 1

(57) Abstract : There is proposed a method of adding binary numbers, each of N bits, based on an accumulation mechanism which, for each iteration of index $i + 1$ with $i > 0$, makes it possible to generate an estimation signal U^{i+1} on N bits and a correction signal R^{i+1} on N bits, on the basis of a binary input number c, of an estimation signal U^i and of a correction signal R^i on N bits emanating from a previous iteration i. Stated otherwise, the estimation signal U^i and the correction signal R^i represent a sum of at least two binary numbers in redundant form, the estimation signal U^{i+1} and the correction signal R^{i+1} representing, in redundant form, the sum of said at least two binary numbers in redundant form and of the binary number c. In other words, such a method makes it possible to sum a further binary number with a result represented in a redundant binary form of the type "U/R", this result resulting from an initialization or a previous summation, and then to generate a result also in a redundant binary form of the type "U/R". More precisely, the present invention makes it possible to carry out this summation as many times as there are binary numbers to be added.

(57) Abrégé :

[Suite sur la page suivante]



WO 2009/121943 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). **Publiée :**

— avec rapport de recherche internationale (Art. 21(3))

Il est proposé un procédé d'addition de nombres binaires, de N bits chacun, basé sur un mécanisme d'accumulation qui, pour chaque itération d'indice $i+1$ avec $i > 0$, permet de générer un signal d'estimation U^{i+1} sur N bits et un signal de correction R^{i+1} sur N bits, à partir d'un nombre binaire d'entrée c, d'un signal d'estimation U^i et d'un signal de correction R^i sur N bits issus d'une itération précédente i. Autrement dit, le signal d'estimation U^i et le signal de correction R^i représentent une somme d'au moins deux nombres binaires en forme redondante, le signal d'estimation U^{i+1} et le signal de correction R^{i+1} représentant, en forme redondante, la somme desdites au moins deux nombres binaires en forme redondante et du nombre binaire c. En d'autres termes, un tel procédé permet de sommer un nombre binaire supplémentaire à un résultat représenté sous une forme binaire redondante de type « U/R », ce résultat résultant d'une initialisation ou d'une sommation précédente, puis de générer un résultat également sous une forme binaire redondante de type « U/R ». Plus précisément, la présente invention permet de réaliser cette sommation autant de fois qu'il y a de nombres binaires à additionner.

Procédé d'addition à opérandes multiples, additionneur et produit programme d'ordinateur correspondants.

1. DOMAINE DE L'INVENTION

5 Le domaine de l'invention est celui des circuits et systèmes de traitement numérique de l'information et plus particulièrement, des calculateurs de traitement numérique de signal réalisant l'addition de nombres binaires.

L'invention a de nombreuses applications, telles que par exemple dans les microprocesseurs, les processeurs numériques du signal ou DSP (pour « Digital Signal Processor » en anglais), les circuits intégrés spécifiques de traitement numérique de données ou ASIC (pour « Application Specific Integrated Circuit » en anglais), les blocs de base des circuits intégrés ou VLSI (pour « Very Large Scale Integration » en anglais), 10 ou encore au sein des réseaux neuronaux, des calculateurs optiques ou quantiques.

Plus précisément, l'invention concerne une technique d'addition à multiples opérandes permettant de fournir un résultat sous une forme binaire redondante.

15 L'invention s'applique notamment, mais non exclusivement, en traitement numérique de signal pour la sommation et/ou l'accumulation de résultats dans le cadre de la réalisation de filtres numériques, par exemple.

L'addition binaire étant la plus utilisée des opérations arithmétiques, l'invention peut s'appliquer plus généralement dans tout circuit, système ou dispositif demandant 20 une sommation de plusieurs opérandes.

2. ARRIÈRE-PLAN TECHNOLOGIQUE

Les additionneurs sont des opérateurs extrêmement fréquents et indispensables non seulement dans les unités arithmétiques des microprocesseur et processeur de traitement de signal numérique, mais également dans tous les circuits logiques.

25 Cependant, les additionneurs se révèlent être souvent les opérateurs critiques d'un système de traitement numérique, notamment lors de certaines mises en application, tant du point de vue de leur vitesse d'exécution que du point de vue de leur conception et de leur testabilité.

30 En effet, l'élaboration d'algorithmes de complexité croissante au sein des calculateurs rend, de nos jours, l'architecture des opérateurs de plus en plus difficile à

mettre en œuvre et des problèmes notamment de compacité apparaissent. Un choix entre complexité et vitesse d'exécution doit donc être généralement effectué.

Le problème technique de la vitesse de calculs concernant les opérations d'addition de nombres binaires est un problème connu de l'Homme du Métier et plusieurs techniques ont déjà été proposées pour y répondre.

Dans une première technique courante, l'additionneur binaire, plus couramment nommé additionneur à propagation retenue ou RCA (pour « Ripple Carry Adder » en anglais), permet au moyen d'une mise en cascade de plusieurs additionneurs complets (ou « Full Adder » en anglais) à 1 bit de propager la retenue d'additionneur en additionneur.

L'inconvénient de cette première technique courante est la lenteur des calculs qu'elle met en œuvre. En effet, le temps de calcul dépend directement du temps nécessaire à la propagation de la retenue de module d'additionneur en module d'additionneur. Ainsi, cette méthode ne peut être choisie que pour des opérations d'addition ne dépassant pas quelques bits.

Une deuxième technique connue, tenant compte du fait que le calcul des retenues doit être accéléré, est un calcul par anticipation de retenue effectuée avec un additionneur, dit à retenue anticipée ou CLA (pour « Carry Lookahead Adder » en anglais). Un tel additionneur facilite notamment le calcul des retenues au moyen d'un circuit extérieur.

Cependant, ce type d'additionneur standard présente l'inconvénient de fournir un temps de propagation encore trop important notamment pour des applications comprenant de complexes algorithmes et nécessitant un calcul rapide.

Afin d'éviter la propagation des retenues et ainsi améliorer le temps d'exécution des calculs, une autre technique traditionnellement employée consiste en une addition de nombres binaires sous forme redondante, à l'aide d'une structure d'additionneur dite à sauvegarde de retenue (ou « carry save adder » en anglais). Ces additionneurs standards utilisent des expressions redondantes qui permettent d'effectuer des additions de façon parallèles, et donc sans propagation de retenues.

À titre d'exemple, les documents de brevet américain US 6578063B1 (IBM) et US 6567835B1 (INTRINSITY) proposent deux architectures d'additionneur de nombres

binaires de type « carry save ». Ces deux architectures permettent d'effectuer l'addition de cinq nombres binaires et d'en fournir le résultat sous forme d'une somme et d'une retenue. La méthode classique citée dans ces documents consiste à utiliser notamment une représentation redondante de chacun des nombres binaires additionnés.

5 Cependant, l'implantation standard « Carry Save » décrite nécessite un nombre de portes logiques et d'étages de traitement numérique intermédiaires importants. L'architecture et l'implantation des dispositifs logiques n'étant pas optimisée, cette méthode implique un temps de propagation encore important.

10 Une technique connue, telle que décrite dans la demande internationale WO2007122319 (TORNO), consiste, au moyen d'une représentation binaire redondante de type « U/R » des résultats intermédiaires de calcul, à effectuer plusieurs estimations des valeurs de bit de la somme de deux nombres binaires et à corriger successivement ces estimations à l'aide d'un signal de correction. Le nombre de portes logiques et d'étages de traitement numérique intermédiaires de ce type d'additionneur s'en trouve
15 ainsi diminué.

 Cette méthode, basée sur une représentation de type « U/R », n'est malheureusement aujourd'hui applicable que pour l'addition de deux nombres binaires. En conséquence, si l'on souhaite additionner plus de deux nombres binaires, il faut appliquer cette méthode sur deux nombres, puis (autant de fois que nécessaire) sur le
20 résultat d'une addition précédente et d'un nouveau nombre binaire. Cette solution n'est pas optimale.

3. OBJECTIFS DE L'INVENTION

 L'invention, dans au moins un mode de réalisation, a notamment pour objectif de pallier ces différents inconvénients de l'état de la technique.

25 Plus précisément, dans au moins un mode de réalisation de l'invention, un objectif est de fournir une technique d'addition de nombres binaires à l'aide d'une représentation binaire redondante de type « U/R » (permettant ainsi d'éviter la propagation des retenues sur des résultats intermédiaires de calcul), offrant de meilleures performances que la technique connue précitée décrite dans la demande international
30 WO2007122319.

Au moins un mode de réalisation de l'invention a également pour objectif de fournir une telle technique qui permet de sommer plus de deux nombres binaires.

5 Au moins un mode de réalisation de l'invention a également pour objectif de fournir une telle technique permettant de réduire le temps d'exécution de l'addition de multiples nombres binaires. Plus précisément, un objectif est de réduire le temps de propagation.

10 Un autre objectif d'au moins un mode de réalisation de l'invention est de fournir une telle technique permettant de réduire le nombre de portes logiques nécessaire à l'additionneur de façon à gagner en compacité et à diminuer sa consommation en énergie.

Un objectif complémentaire d'au moins un mode de réalisation de l'invention est de fournir une telle technique qui apporte une meilleure testabilité du fait notamment d'une implantation particulière de portes « OU Exclusif » (« EXOR » en anglais) et « ET » (« AND » en anglais).

15 Un objectif complémentaire d'au moins un mode de réalisation de l'invention est de fournir une telle technique qui facilite la mise en œuvre d'une fiabilisation des calculs par contrôle de parité.

Un objectif complémentaire d'au moins un mode de réalisation de l'invention est de fournir une telle technique qui soit simple à mettre en œuvre et peu coûteuse.

20 **4. EXPOSÉ DE L'INVENTION**

Dans un mode de réalisation particulier de l'invention, il est proposé un procédé d'addition permettant d'additionner une pluralité de nombres binaires d'entrée, de N bits chacun. Le procédé comprend au moins une itération, d'indice $i+1$ avec $i \geq 0$, d'une étape d'accumulation permettant de générer un signal d'estimation U^{i+1} sur N bits et un premier R^{i+1} ou second H^{i+1} signal de correction sur N bits,

* selon les équations suivantes :

$$\begin{cases} U_n^{i+1} = U_n^i \oplus R_n^i \oplus U_{n-1}^i \oplus c_n \\ R_{n+1}^{i+1} = (U_n^i \oplus R_n^i \oplus U_{n-1}^i) \cdot (U_n^i \oplus c_n) \end{cases}$$

* ou selon les équations suivantes :

$$\begin{cases} U_n^{i+1} = U_n^i \oplus H_n^i \oplus c_n \\ H_{n+1}^{i+1} = (U_n^i \oplus H_n^i) \cdot (\overline{U_n^i \oplus c_n}) \oplus c_n \end{cases}$$

avec :

- 5 U_n^{i+1} : une valeur du bit de rang n dudit signal d'estimation U^{i+1} , avec $0 \leq n \leq N-1$, obtenue lors de ladite itération d'indice $i+1$;
- 5 U_n^i : une valeur du bit de rang n d'un signal d'estimation U^i , obtenue lors d'une itération précédente d'indice i si $i > 0$, ou une valeur d'initialisation déterminée U_n^0 du bit de rang n d'un signal d'estimation U^i si $i = 0$;
- 10 U_{n-1}^i : une valeur du bit de rang $n-1$ dudit signal d'estimation U^i , obtenue lors d'une itération précédente d'indice i si $n > 0$ et si $i > 0$,
ou une valeur d'initialisation déterminée U_{n-1}^0 du bit de rang $n-1$ dudit signal d'estimation U^i si $n > 0$ et si $i = 0$,
ou une valeur d'initialisation prédéterminée d'un bit fictif de rang $n-1$ dudit signal d'estimation U^i si $n = 0$;
- 15 R_n^i : une valeur du bit de rang n d'un premier signal de correction R^i , obtenue lors d'une itération précédente d'indice i si $n > 0$,
ou une valeur d'initialisation prédéterminée du bit de rang n dudit premier signal de correction R^i si $n = 0$;
- 20 R_{n+1}^{i+1} : une valeur du bit de rang $n+1$ dudit premier signal de correction R^{i+1} , obtenue lors ladite itération d'indice $i+1$;
- 20 H_n^i : une valeur du bit de rang n d'un second signal de correction H^i , obtenue lors d'une itération précédente d'indice i ;
- H_{n+1}^{i+1} : une valeur du bit de rang $n+1$ dudit second signal de correction H^{i+1} , obtenue lors ladite itération d'indice $i+1$;
- 25 c_n : une valeur du bit de rang n d'un nombre binaire d'entrée C compris dans ladite pluralité de nombres binaires d'entrée et pris en compte dans ladite addition lors de ladite itération d'indice $i+1$ de ladite étape d'accumulation.

30 Le principe général de l'invention consiste donc à sommer un nombre binaire supplémentaire à un résultat représenté sous une forme binaire redondante de type « U/R » (ce résultat résultant d'une initialisation ou d'une sommation précédente), puis de générer un résultat également sous une forme binaire redondante de type « U/R ».

Plus précisément, un tel procédé permet de réaliser cette sommation autant de fois qu'il y a de nombres binaires à additionner. On parle alors d'étapes d'accumulation de résultats intermédiaires de calcul.

5 Plus précisément, à chaque étape d'accumulation, un signal d'estimation U et un signal de correction R sont générés sur N bits sous forme d'une représentation binaire redondante.

De cette façon, un tel procédé permet de sommer un nombre binaire standard supplémentaire tout en évitant la propagation des retenues.

10 De façon avantageuse, l'itération d'indice 1 de ladite étape d'accumulation est remplacée par une étape d'initialisation permettant de générer un signal d'estimation U^1 sur N bits et un premier R^1 ou second H^1 signal de correction sur N bits,

* selon les équations suivantes, avec $0 \leq n \leq N-1$:

$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ R_{n+1}^1 = \overline{(a_n \oplus b_n)}(b_n \oplus c_n) \end{cases}$$

* ou selon les équations suivantes, avec $0 \leq n \leq N-1$:

15
$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ H_{n+1}^1 = \overline{(a_n \oplus b_n)}(b_n \oplus c_n) \oplus c_n \end{cases}$$

avec :

a_n : une valeur du bit de rang n d'un nombre binaire d'entrée A compris dans ladite pluralité de nombres binaires d'entrée et pris en compte dans ladite addition lors de ladite étape d'initialisation ;

20 b_n : une valeur du bit de rang n d'un nombre binaire d'entrée B compris dans ladite pluralité de nombres binaires d'entrée et pris en compte dans ladite addition lors de ladite étape d'initialisation ;

c_n : une valeur du bit de rang n d'un nombre binaire d'entrée C compris dans ladite pluralité de nombres binaires d'entrée et pris en compte dans ladite addition lors de ladite étape d'initialisation.

25

De cette manière, il est possible d'additionner initialement trois nombres binaires et de générer un signal d'estimation U et un signal de correction R de première itération.

Préférentiellement, le procédé d'addition comprend les étapes suivantes :

- sélection d'un premier nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée ;
- obtention de valeurs d'initialisation prédéterminées pour :
 - * chacun des N bits d'un signal d'estimation U^0 ,
 - 5 * chacun des N bits d'un signal de correction R^0 ,
 - * un bit fictif de rang -1 dudit signal d'estimation U^0 ;
- itération d'indice 1 de ladite étape d'accumulation avec, comme signaux d'entrée, ledit premier nombre binaire d'entrée et lesdites valeurs d'initialisation prédéterminées, permettant de générer un signal d'estimation U^1 sur N bits et un premier R^1 signal de correction sur N bits ;
- 10 - tant que ladite pluralité de nombres binaires d'entrée n'ont pas été pris en compte dans ladite addition :
 - * sélection d'un nouveau nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée et non déjà sélectionné ;
 - 15 * itération d'indice $i+1$, avec $i > 0$, de ladite étape d'accumulation avec, comme signaux d'entrée, ledit nouveau nombre binaire d'entrée, les signaux U^i et R^i générés lors de l'itération d'indice i de ladite étape d'accumulation, une valeur d'initialisation prédéterminée U^{i-1} d'un bit fictif de rang -1 dudit signal d'estimation U^i , et une valeur d'initialisation prédéterminée R^i_0 du bit de rang 0 dudit premier signal de correction R^i .
 - 20

Ainsi, l'invention permet de réaliser séquentiellement la somme d'un ensemble de nombres binaires, comme c'est le cas par exemple pour les filtres numériques.

Selon une autre variante de réalisation, le procédé d'addition comprend les étapes suivantes :

- 25 - sélection d'un premier nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée ;
- obtention de valeurs d'initialisation prédéterminées pour :
 - * chacun des N bits d'un signal d'estimation U^0 ,
 - * chacun des N bits d'un signal de correction H^0 ,
- 30 - itération d'indice 1 de ladite étape d'accumulation avec, comme signaux d'entrée, ledit premier nombre binaire d'entrée et lesdites valeurs d'initialisation

prédéterminées, permettant de générer un signal d'estimation U^1 sur N bits et un second H^1 signal de correction sur N bits ;

- tant que ladite pluralité de nombres binaires d'entrée n'ont pas été pris en compte dans ladite addition :

5 * sélection d'un nouveau nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée et non déjà sélectionné ;

* itération d'indice $i+1$, avec $i > 0$, de ladite étape d'accumulation avec, comme signaux d'entrée, ledit nouveau nombre binaire d'entrée, les signaux U^i et H^i générés lors de l'itération d'indice i de ladite étape d'accumulation, et une valeur d'initialisation prédéterminée R^0 du bit de rang 0 dudit premier signal de correction R^i .

10

Dans un autre mode de réalisation avantageux de l'invention, il est proposé un dispositif d'addition permettant d'additionner une pluralité de nombres binaires d'entrée, de N bits chacun. Un tel dispositif comprend au moins un bloc d'accumulation permettant, à chaque fois qu'il est activé, d'effectuer une itération, d'indice $i+1$ avec $i \geq 0$, d'un mécanisme d'accumulation, chaque bloc d'accumulation comprenant :

15

* des premiers moyens d'estimation, permettant de générer un signal d'estimation U^{i+1} sur N bits, et des premiers moyens de correction, permettant de générer un premier signal de correction R^{i+1} sur N bits, lesdits premiers moyens d'estimation et lesdits premiers moyens de correction comprenant des moyens de mise en œuvre des équations suivantes :

20

$$\begin{cases} U_n^{i+1} = U_n^i \oplus R_n^i \oplus U_{n-1}^i \oplus c_n \\ R_{n+1}^{i+1} = (U_n^i \oplus R_n^i \oplus U_{n-1}^i) \cdot (U_n^i \oplus c_n) \end{cases}$$

* ou des seconds moyens d'estimation, permettant de générer un signal d'estimation U^{i+1} sur N bits, et des seconds moyens de correction, permettant de générer un second signal de correction H^{i+1} sur N bits, lesdits seconds moyens d'estimation et lesdits seconds moyens de correction comprenant des moyens de mise en œuvre des équations suivantes :

25

$$\begin{cases} U_n^{i+1} = U_n^i \oplus H_n^i \oplus c_n \\ H_{n+1}^{i+1} = (U_n^i \oplus H_n^i) \cdot (\overline{U_n^i \oplus c_n}) \oplus c_n \end{cases}$$

avec :

U_n^{i+1} : une valeur du bit de rang n dudit signal d'estimation U^{i+1} , avec $0 \leq n \leq N-1$, obtenue lors de ladite itération d'indice $i+1$;

5 U_n^i : une valeur du bit de rang n d'un signal d'estimation U^i , obtenue lors d'une itération précédente d'indice i si $i > 0$, ou une valeur d'initialisation déterminée U_n^0 du bit de rang n d'un signal d'estimation U^i si $i = 0$;

10 U_{n-1}^i : une valeur du bit de rang n-1 dudit signal d'estimation U^i , obtenue lors d'une itération précédente d'indice i si $n > 0$ et si $i > 0$, ou une valeur d'initialisation déterminée U_{n-1}^0 du bit de rang n-1 dudit signal d'estimation U^i si $n > 0$ et si $i = 0$, ou une valeur d'initialisation prédéterminée d'un bit fictif de rang n-1 dudit signal d'estimation U^i si $n = 0$;

15 R_n^i : une valeur du bit de rang n d'un premier signal de correction R^i , obtenue lors d'une itération précédente d'indice i si $n > 0$, ou une valeur d'initialisation prédéterminée du bit de rang n dudit premier signal de correction R^i si $n = 0$;

R_{n+1}^{i+1} : une valeur du bit de rang n+1 dudit premier signal de correction R^{i+1} , obtenue lors ladite itération d'indice $i+1$;

20 H_n^i : une valeur du bit de rang n d'un second signal de correction H^i , obtenue lors d'une itération précédente d'indice i ;

H_{n+1}^{i+1} : une valeur du bit de rang n+1 dudit second signal de correction H^{i+1} , obtenue lors ladite itération d'indice $i+1$;

25 c_n : une valeur du bit de rang n d'un nombre binaire d'entrée C compris dans ladite pluralité de nombres binaires d'entrée et pris en compte dans ladite addition lors de ladite itération d'indice $i+1$.

Ainsi, l'additionneur peut recevoir un nombre binaire supplémentaire au niveau de chaque bloc d'accumulation en sus des signaux d'estimation et de correction issus du bloc d'accumulation situé en amont.

30 De façon avantageuse, le bloc d'accumulation comprend, pour chaque bit n, un sous-bloc d'accumulation lui-même comprenant :

- une première porte logique XOR recevant ladite valeur U_{n-1}^i du bit de rang n-1 et d'indice i et ladite valeur R_n^i du bit de rang n et d'indice i, et générant un premier signal intermédiaire ;
- une deuxième porte logique XOR recevant ledit premier signal intermédiaire et ladite valeur U_n^i du bit de rang n et d'indice i, et générant un deuxième signal intermédiaire ;
- une troisième porte logique XOR recevant ledit deuxième signal intermédiaire et ladite valeur du bit de rang n d'un nombre binaire d'entrée C, et générant ladite valeur U_n^{i+1} du bit de rang n dudit signal d'estimation U^{i+1} pour l'itération d'indice i+1 ;
- une quatrième porte logique XOR recevant ladite valeur U_n^i du bit de rang n et d'indice i et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C, et générant un troisième signal intermédiaire ; et
- une porte logique AND recevant ledit troisième signal intermédiaire et ledit deuxième signal intermédiaire, et générant ladite valeur R_{n+1}^{i+1} du bit de rang n+1 dudit premier signal de correction R^{i+1} pour l'itération d'indice i+1.

Ainsi, l'architecture du bloc d'accumulation permet un temps de propagation plus court et facilite la testabilité.

Selon une variante, le bloc d'accumulation comprend, pour chaque bit n, un sous-bloc d'accumulation lui-même comprenant :

- une première porte logique XOR recevant ladite valeur U_{n-1}^i du bit de rang n-1 et d'indice i et ladite valeur H_n^i du bit de rang n et d'indice i, et générant un premier signal intermédiaire ;
- une deuxième porte logique XOR recevant ledit premier signal intermédiaire et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C, et générant ladite valeur U_n^{i+1} du bit de rang n dudit signal d'estimation U^{i+1} pour l'itération d'indice i+1 ;
- une porte logique XNOR recevant ladite valeur U_{n-1}^i du bit de rang n-1 et d'indice i et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et générant un deuxième signal intermédiaire ;

- une porte logique AND recevant ledit premier signal intermédiaire et ledit deuxième signal intermédiaire et générant un troisième signal intermédiaire ; et
- une troisième porte logique XOR recevant ledit troisième signal intermédiaire et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et générant ladite valeur H^{i+1}_{n+1} du bit de rang $n+1$ dudit second signal de correction H^{i+1} pour l'itération d'indice $i+1$.

5

De façon avantageuse, le dispositif d'addition comprend un bloc d'initialisation comprenant :

10

- * des troisièmes moyens d'estimation, permettant de générer un signal d'estimation U^1 sur N bits, et des troisièmes moyens de correction, permettant de générer un troisième signal de correction R^1 sur N bits, lesdits troisièmes moyens d'estimation et lesdits troisièmes moyens de correction comprenant des moyens de mise en œuvre des équations suivantes, avec $0 \leq n \leq N-1$:

$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ R_{n+1}^1 = \overline{(a_n \oplus b_n)(b_n \oplus c_n)} \end{cases}$$

15

- * ou des quatrièmes moyens d'estimation, permettant de générer un signal d'estimation U^1 sur N bits, et des quatrièmes moyens de correction, permettant de générer un quatrième signal de correction H^1 sur N bits, lesdits quatrièmes moyens d'estimation et lesdits quatrièmes moyens de correction comprenant des moyens de mise en œuvre des équations suivantes, avec $0 \leq n \leq N-1$:

20

$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ H_{n+1}^1 = \overline{(a_n \oplus b_n)(b_n \oplus c_n)} \oplus c_n \end{cases}$$

avec :

- a_n : une valeur du bit de rang n d'un nombre binaire d'entrée A compris dans ladite pluralité de nombres binaires d'entrée et pris en compte par ledit bloc d'initialisation ;
- b_n : une valeur du bit de rang n d'un nombre binaire d'entrée B compris dans ladite pluralité de nombres binaires d'entrée et pris en compte par ledit bloc d'initialisation ;

25

c_n : une valeur du bit de rang n d'un nombre binaire d'entrée C compris dans ladite pluralité de nombres binaires d'entrée et pris en compte par ledit bloc d'initialisation ;

5 le bloc d'initialisation remplaçant le bloc d'accumulation permettant d'effectuer l'itération d'indice 1.

De cette manière, le bloc d'initialisation permet d'additionner directement trois nombres binaires en entrée.

De façon préférentielle, le bloc d'initialisation comprend, pour chaque bit n , un sous-bloc d'initialisation lui-même comprenant :

- 10 - une première porte logique XNOR recevant ladite valeur a_n du bit de rang n d'un nombre binaire d'entrée A et ladite valeur b_n du bit de rang n d'un nombre binaire d'entrée B et générant un premier signal intermédiaire ;
- une porte logique XOR recevant ledit premier signal intermédiaire et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et
- 15 générant ladite valeur U_n^1 du bit de rang n dudit signal d'estimation U^1 pour l'itération d'indice 1 ;
- une seconde porte logique XNOR recevant ladite valeur b_n du bit de rang n d'un nombre binaire d'entrée B et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et générant un deuxième signal intermédiaire ; et
- 20 - une porte logique AND recevant lesdits premier et deuxième signaux intermédiaires et générant ladite valeur R_{n+1}^1 du bit de rang $n+1$ dudit signal de correction R^1 pour l'itération d'indice 1.

Selon une variante, le bloc d'initialisation comprend, pour chaque bit n , un sous-bloc d'initialisation lui-même comprenant :

- 25 - une porte logique XNOR recevant ladite valeur a_n du bit de rang n d'un nombre binaire d'entrée A et ladite valeur b_n du bit de rang n d'un nombre binaire d'entrée B et générant un premier signal intermédiaire ;
- une première porte logique XOR recevant ledit premier signal intermédiaire et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et
- 30 générant ladite valeur U_n^1 du bit de rang n dudit signal d'estimation U^1 pour l'itération d'indice 1 ;

- une deuxième porte logique XOR recevant ladite valeur b_n du bit de rang n d'un nombre binaire d'entrée B et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et générant un deuxième signal intermédiaire ;
- une porte logique AND recevant lesdits premier et deuxième signaux intermédiaires et générant un troisième signal intermédiaire ; et
- une troisième porte logique XOR recevant ledit troisième signal intermédiaire et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et générant ladite valeur H^1_{n+1} du bit de rang $n+1$ dudit second signal de correction H^1 pour l'itération d'indice 1.

10 Selon une caractéristique avantageuse, le dispositif comprend :

- des premiers moyens de sélection, permettant de sélectionner un premier nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée ;
- des moyens d'obtention de valeurs d'initialisation prédéterminées pour :
 - * chacun des N bits d'un signal d'estimation U^0 ,
 - * chacun des N bits d'un signal de correction R^0 ,
 - * un bit fictif de rang -1 dudit signal d'estimation U^0 ;
- des premiers moyens d'activation, permettant d'activer ledit bloc d'accumulation afin qu'il effectue l'itération d'indice 1 dudit mécanisme d'accumulation avec, comme signaux d'entrée, ledit premier nombre binaire d'entrée et lesdites valeurs d'initialisation prédéterminées, permettant de générer un signal d'estimation U^1 sur N bits et un premier R^1 signal de correction sur N bits ;
- des seconds moyens d'activation, permettant d'activer les moyens suivants, tant que ladite pluralité de nombres binaires d'entrée n'ont pas été pris en compte dans ladite addition :
 - * des seconds moyens sélection, permettant de sélectionner un nouveau nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée et non déjà sélectionné ;
 - * ledit bloc d'accumulation afin qu'il effectue une itération d'indice $i+1$, avec $i > 0$, dudit mécanisme d'accumulation avec, comme signaux d'entrée, ledit nouveau nombre binaire d'entrée, les signaux U^i et R^i générés lors de l'itération d'indice i dudit mécanisme d'accumulation, une valeur

30

d'initialisation prédéterminée U^{i-1} d'un bit fictif de rang -1 dudit signal d'estimation U^i , et une valeur d'initialisation prédéterminée R^i_0 du bit de rang 0 dudit premier signal de correction R^i .

Ainsi, un seul bloc d'accumulation est suffisant.

- 5 Selon une variante de réalisation, le dispositif d'addition comprend :
- des premiers moyens de sélection, permettant de sélectionner un premier nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée ;
 - des moyens d'obtention de valeurs d'initialisation prédéterminées pour :
 - * chacun des N bits d'un signal d'estimation U^0 ,
 - 10 * chacun des N bits d'un signal de correction H^0 ,
 - des premiers moyens d'activation, permettant d'activer ledit bloc d'accumulation afin qu'il effectue l'itération d'indice 1 dudit mécanisme d'accumulation avec, comme signaux d'entrée, ledit premier nombre binaire d'entrée et lesdites valeurs d'initialisation prédéterminées, permettant de générer un signal
15 d'estimation U^1 sur N bits et un second H^1 signal de correction sur N bits ;
 - des seconds moyens d'activation, permettant d'activer les moyens suivants, tant que ladite pluralité de nombres binaires d'entrée n'ont pas été pris en compte dans ladite addition :
 - * des seconds moyens sélection, permettant de sélectionner un nouveau
20 nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée et non déjà sélectionné ;
 - * ledit bloc d'accumulation afin qu'il effectue une itération d'indice $i+1$, avec $i > 0$, dudit mécanisme d'accumulation avec, comme signaux d'entrée, ledit nouveau nombre binaire d'entrée, les signaux U^i et H^i générés lors de
25 l'itération d'indice i dudit mécanisme d'accumulation, et une valeur d'initialisation prédéterminée R^i_0 du bit de rang 0 dudit premier signal de correction R^i .

Dans un autre mode de réalisation, l'invention concerne un produit programme d'ordinateur, téléchargeable depuis un réseau de communication et/ou enregistré sur un
30 support lisible par ordinateur et/ou exécutable par un processeur, comprenant des

instructions de code de programme pour la mise en œuvre du procédé de décodage tel que décrit précédemment.

5. LISTE DES FIGURES

D'autres caractéristiques et avantages de modes de réalisation de l'invention apparaîtront à la lecture de la description suivante, donnée à titre d'exemple indicatif et non limitatif (tous les modes de réalisation de l'invention ne sont pas limités aux caractéristiques et avantages des modes de réalisation décrits ci-après), et des dessins annexés, dans lesquels :

- 5 - la figure 1 illustre une architecture logique d'un module d'accumulation sous forme U/R selon un mode de réalisation particulier de l'invention ;
- la figure 2 illustre une architecture logique d'un module d'initialisation sous forme U/R selon un premier mode de réalisation de l'invention ;
- la figure 3 illustre une architecture logique d'un module d'initialisation sous forme U/R selon un second mode de réalisation de l'invention ;
- 15 - la figure 4 illustre un exemple d'un dispositif d'initialisation sous forme U/R sur 16 bits selon un mode de réalisation particulier du procédé de l'invention, comprenant 16 modules d'initialisation tels qu'illustrés à la figure 2 ou 3 ;
- la figure 5 illustre un exemple d'un dispositif d'accumulation sous forme U/R sur 16 bits selon un mode de réalisation particulier du procédé de l'invention, comprenant 16 modules d'accumulation tels qu'illustrés à la figure 1 ;
- 20 - la figure 6 présente une variante de réalisation, sous forme U/H, du module d'accumulation sous forme U/R illustré à la figure 1 selon l'invention ;
- la figure 7 illustre une architecture logique d'un module d'initialisation sous forme U/H selon un premier mode de réalisation de l'invention ;
- 25 - la figure 8 illustre une architecture logique d'un module d'initialisation sous forme U/H selon un second mode de réalisation de l'invention ;
- la figure 9 représente un schéma fonctionnel d'un additionneur multi-opérandes en parallèle selon un mode de réalisation particulier du procédé selon l'invention ;
- 30 - la figure 10 représente un schéma fonctionnel d'un additionneur multi-opérandes séquentiel selon un mode de réalisation particulier du procédé selon l'invention ;

- la figure 11 illustre un exemple de calcul numérique d'une sommation à sept opérandes, effectuée par l'additionneur de la figure 9.

6. DESCRIPTION DÉTAILLÉE

5 Sur toutes les figures du présent document, les éléments et étapes identiques sont désignés par une même référence numérique.

On présente maintenant, en relation avec la **figure 1**, une architecture logique d'un module d'accumulation sous forme U/R, selon un mode de réalisation particulier de l'invention, mettant en œuvre l'étape d'accumulation du procédé selon l'invention.

10 Plus particulièrement, le module d'accumulation 100 permet d'additionner, pour un rang n de bit donné, un résultat exprimé sous une forme binaire redondante « U^i/R^i » issu d'une itération d'indice i ($i \geq 0$) et un nombre binaire standard, noté C, et d'en fournir de nouveau un résultat binaire sous forme redondante « U^{i+1}/R^{i+1} » obtenu pour une itération d'indice i+1. Le mécanisme d'accumulation mis en place par le module 100 permet de générer les valeurs binaires U^{i+1}_n et R^{i+1}_{n+1} correspondant respectivement
15 à la valeur du bit de rang n du signal d'estimation U^{i+1} et à la valeur du bit de rang n+1 du signal de correction R^{i+1}_n , avec $0 \leq n \leq N-1$.

Dans ce mode de réalisation particulier, le module d'accumulation 100 est constitué d'une première porte logique de type « OU Exclusif », également nommée porte « XOR », apte à recevoir en entrée une valeur U^{i}_{n-1} , dite valeur du bit de rang n-1
20 du signal d'estimation U^i , obtenue lors d'une itération précédente d'indice i, et une valeur R^i_n , dite valeur du bit de rang n d'un signal de correction R^i , obtenue lors d'une itération précédente d'indice i. Cette première porte « XOR » génère en sortie un signal numérique intermédiaire 101.

Une deuxième porte « XOR » reçoit à son tour le signal numérique intermédiaire 101 et une valeur U^i_n , dite valeur du bit de rang n d'un signal d'estimation U^i obtenue
25 lors d'une itération précédente d'indice i et génère en sortie un autre signal numérique intermédiaire 102. Une troisième porte « XOR » reçoit le signal numérique intermédiaire 102 et c_n une valeur du bit de rang n d'un nombre binaire d'entrée C supplémentaire à additionner et délivre en sortie une valeur U^{i+1}_n dite valeur du bit de
30 rang n dudit signal d'estimation U^{i+1} obtenue lors d'une itération d'indice i+1.

Une troisième porte « XOR » permet de recevoir en entrée également la valeur U_{n-1}^i et la valeur du bit du nombre binaire supplémentaire C et délivre en sortie un signal numérique intermédiaire 103. Une porte logique de type « ET », également appelée porte « AND », reçoit les deux signaux intermédiaires 102 et 103, et délivre en sortie
 5 une valeur R_{n+1}^{i+1} dite valeur du bit de rang n+1 du signal de correction R^{i+1} , obtenue lors d'une itération d'indice i+1.

De cette façon, la valeur R_{n+1}^{i+1} du bit de rang n+1 du signal de correction R^{i+1} d'indice i+1 est élaboré à l'aide de la dernière estimation du bit de rang n U_n^i , du dernier bit de correction de rang n R_n^i , de la dernière estimation du bit de rang n-1 U_{n-1}^i et de la
 10 valeur c_n de bit de rang n du nombre binaire supplémentaire C.

Il est important de noter que, dans le cas où le bit considéré correspond au bit de rang n = 0, le bit U_{n-1}^i est considéré comme un bit fictif du signal d'estimation U^i , et le bit R_n^i , comme un bit d'initialisation prédéterminée du bit du signal de correction R^i . En outre, si l'étape d'accumulation correspondant à une itération d'indice 0, alors le bit U_{n-1}^0
 15 correspond également à une valeur d'initialisation déterminée (avec n > 0) et le bit U_n^0 à une valeur d'initialisation déterminée du signal d'estimation U^i .

Par conséquent, les signaux d'estimation U^{i+1} sur N bits et de correction R^{i+1} sur N bits sont déterminés à partir des équations génériques (1) suivantes, avec $0 \leq n \leq N-1$:

$$20 \quad \begin{cases} U_n^{i+1} = U_n^i \oplus R_n^i \oplus U_{n-1}^i \oplus c_n \\ R_{n+1}^{i+1} = (U_n^i \oplus R_n^i \oplus U_{n-1}^i) \cdot (U_n^i \oplus c_n) \end{cases} \quad (1)$$

avec :

- U_n^{i+1} : une valeur du bit de rang n du signal d'estimation U^{i+1} , obtenue lors de ladite itération d'indice i+1 ;
- U_n^i : une valeur du bit de rang n d'un signal d'estimation U^i , obtenue lors d'une
 25 itération précédente d'indice i si i > 0, ou une valeur d'initialisation déterminée U_n^0 du bit de rang n d'un signal d'estimation U^i si i = 0 ;
- U_{n-1}^i : une valeur du bit de rang n-1 du signal d'estimation U^i , obtenue lors d'une itération précédente d'indice i si n > 0 et si i > 0,

ou une valeur d'initialisation déterminée U_{n-1}^0 du bit de rang n-1 du signal d'estimation U^i si $n > 0$ et si $i = 0$,

ou une valeur d'initialisation prédéterminée d'un bit fictif de rang n-1 du signal d'estimation U^i si $n = 0$;

5 R_n^i : une valeur du bit de rang n d'un premier signal de correction R^i , obtenue lors d'une itération précédente d'indice i si $n > 0$,

ou une valeur d'initialisation prédéterminée du bit de rang n du signal de correction R^i si $n = 0$;

10 R_{n+1}^{i+1} : une valeur du bit de rang n+1 du signal de correction R^{i+1} , obtenue lors la itération d'indice i+1 ;

c_n : une valeur du bit de rang n d'un nombre binaire d'entrée C compris dans ladite pluralité de nombres binaires d'entrée et pris en compte dans ladite addition lors de l'itération d'indice i+1 de l'étape d'accumulation.

15 Il est clair que d'autres architectures logiques (différentes de celle de la figure 1) peuvent aisément être envisagées par l'homme du métier pour la mise en œuvre des équations génériques (1), tout en restant dans le cadre de la présente invention.

On présente maintenant, en relation avec la **figure 2**, illustre une architecture logique d'un module d'initialisation sous forme U/R selon un premier mode de réalisation de l'invention.

20 Plus précisément, le module d'initialisation 200 met en œuvre l'étape d'initialisation du procédé selon l'invention. En effet, il permet d'additionner trois nombres binaires standards A, B, et C et de générer un signal d'estimation U^1 sur N bits et un R^1 signal de correction sur N bits correspondant à une itération de rang 1. De manière classique, ces trois nombres binaires sont également exprimés sur N bits et
25 définis tels que :

$$\begin{cases} A = a_{N-1} \cdot 2^{N-1} + \dots + a_n \cdot 2^n + \dots + a_1 \cdot 2^1 + a_0 \cdot 2^0 \\ B = b_{N-1} \cdot 2^{N-1} + \dots + b_n \cdot 2^n + \dots + b_1 \cdot 2^1 + b_0 \cdot 2^0 \\ C = c_{N-1} \cdot 2^{N-1} + \dots + c_n \cdot 2^n + \dots + c_1 \cdot 2^1 + c_0 \cdot 2^0 \end{cases} \quad (2)$$

avec :

a_n , b_n et c_n les valeurs de bit de rang n des nombres binaires d'entrées A, B et C pris en compte dans l'étape d'initialisation, n variant de 0 à N-1.

Le module comprend un premier sous-module 201, appelé module de pré-calcul, et un second sous-module 202, appelé module d'accumulation initial. Plus précisément, le module de pré-calcul 201, tel que décrit dans le document de brevet international WO2007122319 (TORNO), présente une première porte logique de type « NON OU Exclusif », encore appelée porte « XNOR », apte à recevoir les valeurs de bit d'entrées a_{n-1} , b_n et générant en sortie une valeur de correction initiale R_n^0 du bit de rang n . Deux portes logiques de type « Inverseur », notée « INV » prenant en entrée la valeur de bit a_{n-1} et b_n fournissent respectivement en sortie une valeur d'estimation initiale U_{n-1}^0 du bit de rang $n-1$ et une valeur d'estimation initiale U_n^0 du bit de rang n .

5

10

Dans ce mode de réalisation particulier, le module de pré-calcul 201 est situé en amont du module d'accumulation initial. Ce dernier, tel que décrit en relation avec la figure 1, permet d'ajouter la valeur du bit de rang n d'un nombre binaire supplémentaire (c_n) aux valeurs U_{n-1}^i , R_n^i et U_n^i . Dans ce cas précis l'itération étant d'indice 0, les valeurs en entrée du module 202 sont donc U_{n-1}^0 , R_n^0 et U_n^0 . Le principe et l'architecture du module 202 étant identique au module d'accumulation 100 de la figure 1, les valeurs obtenues en sortie du module d'initialisation sont donc incrémentées d'un indice de valeur 1.

15

Au final, le module d'initialisation 200 génère les valeurs d'estimation U_n^1 et de correction R_{n+1}^1 respectivement de bit de rang n et $n+1$, définies par les équations (3) suivantes :

20

$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ R_{n+1}^1 = \overline{(a_n \oplus b_n)(b_n \oplus c_n)} \end{cases} \quad (3)$$

avec $0 \leq n \leq N-1$.

En outre, le sous-module de pré-calcul permet de mettre en œuvre les égalités suivantes :

25

$$U_n^0 = \overline{a_n} \quad ;$$

$$U_{n-1}^0 = \overline{a_{n-1}} \quad ;$$

$$R_n^0 = \overline{a_{n-1} \oplus b_n}.$$

En substituant les valeurs de bit obtenues par le sous-module de pré-calcul dans les équations génériques (1) en relation avec la figure 1, on obtient les équations suivantes :

$$\begin{cases} U_n^1 = \overline{a_n} \oplus (\overline{a_{n-1}} \oplus b_n) \oplus \overline{a_{n-1}} \oplus c_n \\ R_{n+1}^1 = (\overline{a_n} \oplus (\overline{a_{n-1}} \oplus b_n) \oplus \overline{a_{n-1}}) \cdot (\overline{a_n} \oplus c_n) \end{cases}$$

5 Puis, en posant l'égalité $(\overline{a_n} \oplus b_n) \cdot (\overline{a_n} \oplus c_n) = (\overline{a_n} \oplus b_n) \cdot (\overline{b_n} \oplus c_n)$, les équations précitées sont simplifiées, à savoir :

$$\begin{cases} U_n^1 = \overline{a_n} \oplus b_n \oplus c_n \\ R_{n+1}^1 = (\overline{a_n} \oplus b_n) \cdot (\overline{a_n} \oplus c_n) \end{cases}$$

Ainsi, on note que la valeur de bit a_{n-1} ne fait plus partie de l'équation précitée. Par conséquent, après simplifications, on obtient les équations (3) élaborées
10 précédemment en relation avec la figure 2 :

$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ R_{n+1}^1 = (\overline{a_n \oplus b_n}) (\overline{b_n \oplus c_n}) \end{cases} \quad (3)$$

U_{-1}^1 la valeur de bit de rang n-1 pour n=0 du signal d'estimation est arbitrairement donné égal à 1 car on considère qu'il est issu de l'équation :
15 $U_{-1}^1 = \overline{a_{-1}} \oplus b_{-1} \oplus c_{-1}$ avec : $a_{-1} = 0$, $b_{-1} = 0$, $c_{-1} = 0$. Ce cas restant vrai quelle que soit l'itération du procédé.

De même R_0^1 la valeur de bit de rang n pour n=0 du signal de correction est arbitrairement donné égal à 1 car on considère qu'il est issu de l'équation :
20 $R_0^1 = (\overline{a_{-1}} \oplus b_{-1}) \cdot (\overline{b_{-1}} \oplus c_{-1})$ avec : $a_{-1} = 0$, $b_{-1} = 0$, $c_{-1} = 0$. Ce cas restant vrai quelle que soit l'itération du procédé.

On présente maintenant, en relation avec la **figure 3**, une variante de réalisation du module d'initialisation illustré à la figure 2 selon l'invention. Cette variante permet notamment de mettre en œuvre l'étape d'initialisation du procédé de façon optimal.

Plus particulièrement, le module d'initialisation 300 illustré sur cette figure réalise une addition de trois valeurs de bit a_n , b_n et c_n issus de trois nombres binaires d'entrée quelconques A, B, C et génère en sortie une valeur U_n^1 dite valeur du bit de rang n du signal d'estimation U^1 obtenu lors de l'itération 1, et une valeur R_{n+1}^1 dite valeur du bit de rang n+1 du signal de correction R^1 obtenu lors de l'itération 1.

Une première porte logique de type « XNOR » reçoit les valeurs de bit de rang n des nombres binaires d'entrée a_n et b_n et génère en sortie un signal numérique intermédiaire 301. Une porte logique de type « OU Exclusif », également appelée « XOR » reçoit, quant à elle, le signal intermédiaire 301 ainsi que la valeur du bit de rang n du troisième nombre binaire c_n et délivre la valeur U_n^1 de rang n.

Une seconde porte logique de type « XNOR » reçoit les valeurs de bit de rang n b_n et c_n et génère en sortie un deuxième signal numérique intermédiaire 302. La porte « AND » reçoit, quant à elle, les deux signaux numériques intermédiaires respectivement 301 et 302 de façon à fournir la valeur R_{n+1}^1 de rang n+1.

Il est clair que cette variante permet également de mettre en œuvre l'étape d'initialisation également selon les équations (3) précitées.

En outre, Il est évident que d'autres architectures logiques (différentes de celle de la figure 2 ou de la figure 3) peuvent aisément être envisagées par l'homme du métier pour la mise en œuvre des équations (3), tout en restant dans le cadre de la présente invention.

On trouvera en annexe 1 une explication sous forme d'équations du passage de l'art antérieur au module d'initialisation sous forme « U/R » et en annexe 2 une explication sous forme d'équations du passage du module d'initialisation sous forme « U/R » au module d'accumulation sous forme « U/R ».

On illustre maintenant, en relation avec la **figure 4**, un exemple d'un dispositif d'initialisation 400 permettant de traiter trois nombres binaires exprimés sur 16 bits.

Plus précisément, il s'agit de réaliser une addition de trois nombres binaires standards A, B, et C définis sur 16 bits chacun ($N = 16$). Pour ce faire, seize modules d'initialisation 401 à 416, tels que décrits ci-dessus en relation avec la figure 2 ou la figure 3, sont assemblés en parallèles de façon à constituer un dispositif 400 pour exécuter l'étape d'initialisation sur 16 bits. Pour chaque bit de rang n, un module

d'initialisation 401 à 416 reçoit les valeurs de bits de rang n de chacun des trois nombres binaires a_n , b_n , c_n , avec n compris entre 0 et 15. Il délivre en sortie les valeurs d'estimation U_n^1 et de correction R_{n+1}^1 respectivement de bit de rang n et n+1 selon les équations (3) définies à la figure 2, et exprimées sur 16 bits dans cet exemple.

5 Dans ce mode de réalisation particulier, il convient de noter que, pour le bit de rang $n = 0$, la valeur d'initialisation prédéterminée correspondant au signal de correction R^1 est initialisée à 1 car celle-ci n'est pas générée par le fait que les modules ne génèrent une valeur de correction pour un rang n+1.

10 On illustre maintenant, en relation avec la **figure 5**, un exemple d'un dispositif d'accumulation 500, selon le mode de réalisation illustrée à la figure 1, permettant de traiter des nombres binaires exprimés sur 16 bits, et plus particulièrement permettant de traiter un nombre binaire supplémentaire.

15 Il s'agit de réaliser une addition d'un nombre binaire standard supplémentaire C de 16 bits avec les signaux d'estimation U^i et de correction R^i , obtenus précédemment pour une itération d'indice i quelconque, également exprimés sur 16 bits. Pour ce faire, seize modules d'accumulation 501 à 516, tels que décrits ci-dessus en relation avec la figure 1 sont assemblés en parallèles de façon à constituer le dispositif 500 pour exécuter la phase d'accumulation sur 16 bits pour une itération i donnée. Chaque module d'accumulation 501 à 516 (c'est-à-dire pour chaque rang n) reçoit en entrée, la valeur du bit de rang n c_n , la valeur du bit de rang n du signal d'estimation U^i , la valeur du bit de rang n du signal de correction R^i ainsi que la valeur du bit de rang précédent n-1 du signal d'estimation U^i , n étant également compris entre 0 et 15. Chaque module d'accumulation délivre en sortie les valeurs d'estimation U_{n+1}^{i+1} et de correction R_{n+1}^{i+1} respectivement de bit de rang n et n+1, conformément aux équations (1) précitées en relation avec la figure 1, et exprimées sur 16 bits dans cette illustration.

20

25

On se rapporte à présent à la **figure 6** qui décrit une variante de réalisation du module d'accumulation illustré à la figure 1 selon l'invention mettant également en œuvre l'étape d'accumulation du procédé selon l'invention.

30 En effet, au lieu de calculer les valeurs d'estimation U_{n+1}^{i+1} et de correction R_{n+1}^{i+1} , on peut considérer uniquement U_{n+1}^{i+1} et une variable intermédiaire, notée H_{n+1}^{i+1} , définie telle que : $H_{n+1}^i = R_{n+1}^i \oplus U_n^i$

En partant des équations (3) de la figure 3 permettant la somme de trois nombres binaires A, B, et C, à savoir :

$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ R_{n+1}^1 = \overline{(a_n \oplus b_n)(b_n \oplus c_n)} \end{cases} \quad (3)$$

on obtient les équations suivantes, à l'aide de l'égalité $H_{n+1}^1 = R_{n+1}^1 \oplus U_n^1$:

$$5 \quad \begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ H_{n+1}^1 = \overline{(a_n \oplus b_n)(b_n \oplus c_n)} \oplus \overline{a_n \oplus b_n \oplus c_n} \end{cases}$$

et après simplification :

$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ H_{n+1}^1 = \overline{(a_n \oplus b_n)(b_n \oplus c_n)} \oplus c_n \end{cases}$$

Les équations (1) pour une itération d'indice 1 par exemple, à savoir :

$$10 \quad \begin{cases} U_n^1 = U_n^0 \oplus R_n^0 \oplus U_{n-1}^0 \oplus c_n \\ R_{n+1}^1 = (U_n^0 \oplus R_n^0 \oplus U_{n-1}^0) \cdot (U_n^0 \oplus c_n) \end{cases}$$

deviennent alors les équations suivantes :

$$\begin{cases} U_n^1 = U_n^0 \oplus R_n^0 \oplus U_{n-1}^0 \oplus c_n \\ H_{n+1}^1 = (U_n^0 \oplus R_n^0 \oplus U_{n-1}^0) \cdot (U_n^0 \oplus c_n) \oplus U_n^0 \oplus R_n^0 \oplus U_{n-1}^0 \oplus c_n \\ U_n^1 = U_n^0 \oplus R_n^0 \oplus U_{n-1}^0 \oplus c_n \\ H_{n+1}^1 = (U_n^0 \oplus R_n^0 \oplus U_{n-1}^0) \cdot \overline{(U_n^0 \oplus c_n)} \oplus c_n \end{cases} \quad (4)$$

15 Ainsi, pour une itération d'indice i quelconque, on obtient les équations génériques (5) suivantes :

$$\begin{cases} U_n^{i+1} = U_n^i \oplus H_n^i \oplus c_n \\ H_{n+1}^{i+1} = (U_n^i \oplus H_n^i) \cdot \overline{(U_n^i \oplus c_n)} \oplus c_n \end{cases} \quad (5)$$

20 Cette variante de module d'accumulation 600 permet, sur le même principe que le module d'accumulation de la figure 1 et pour un rang de bit n donné, d'ajouter aux signaux d'estimation U^i et de correction H^i , issus d'une itération i, un nombre binaire standard C et de fournir de nouveau un résultat sous forme binaire redondante, à savoir un signal d'estimation U^{i+1} et de correction H^{i+1} d'itération d'indice i+1.

Selon cette variante d'architecture du module d'accumulation, il est possible de générer en sortie du module 600 une valeur du bit de rang n du signal d'estimation U^{i+1} et une valeur du bit de rang n+1 du signal de correction H^{i+1} à partir des valeurs suivantes, obtenues lors d'une itération précédente d'indice i de l'étape d'accumulation :

5 U_{n-1}^i une valeur du bit de rang n-1 d'un signal d'estimation U^i , H_n^i une valeur du bit de rang n du signal de correction H^i et c_n la valeur du bit de rang n d'un nombre binaire standard C.

10 Plus précisément, les valeurs U_{n-1}^i et H_n^i , issues de l'itération précédente i, sont reçues par une première porte logique de type « OU Exclusif », aussi nommée porte « XOR », fournissant un signal numérique intermédiaire 601. Une deuxième porte « XOR » reçoit à son tour le signal numérique intermédiaire 601 et la valeur de bit c_n du nombre binaire supplémentaire C et génère en sortie la valeur U_n^{i+1} , dite valeur du bit de rang n du signal d'estimation U^{i+1} , obtenue lors d'une itération d'indice i+1.

15 Les valeurs U_{n-1}^i et c_n sont reçues en entrée par une porte « XNOR » et délivre en sortie un signal numérique intermédiaire 602. Une porte logique de type « AND » réceptionne ensuite les deux signaux intermédiaires 601 et 602 et pour délivrer un signal numérique intermédiaire 603. Enfin, la troisième porte « XOR » reçoit le signal intermédiaire 603 et la valeur c_n du nombre binaire C et délivre la valeur H_{n+1}^{i+1} , dite valeur du bit de rang n+1 du signal de correction H^{i+1} , obtenue lors ladite itération

20 d'indice i+1.

Par conséquent, les bits estimés U_n^{i+1} et les bits corrigés H_{n+1}^{i+1} obtenus lors d'une itération d'indice i+1 sont déterminés à partir des équations génériques suivantes (5) :

$$\begin{cases} U_n^{i+1} = U_n^i \oplus H_n^i \oplus c_n \\ H_{n+1}^{i+1} = (U_n^i \oplus H_n^i) \cdot (\overline{U_n^i \oplus c_n}) \oplus c_n \end{cases} \quad (5)$$

25 avec :

U_n^{i+1} : une valeur du bit de rang n dudit signal d'estimation U^{i+1} , avec $0 \leq n \leq N-1$, obtenue lors d'une itération d'indice i+1 ;

U_n^i : une valeur du bit de rang n d'un signal d'estimation U^i , obtenue lors d'une itération précédente d'indice i si $i > 0$, ou une valeur d'initialisation déterminée U_n^0 du bit de rang n d'un signal d'estimation U^i si $i = 0$;

5 U_{n-1}^i : une valeur du bit de rang n-1 dudit signal d'estimation U^i , obtenue lors d'une itération précédente d'indice i si $n > 0$ et si $i > 0$,
ou une valeur d'initialisation déterminée U_{n-1}^0 du bit de rang n-1 dudit signal d'estimation U^i si $n > 0$ et si $i = 0$,
ou une valeur d'initialisation prédéterminée d'un bit fictif de rang n-1 dudit signal d'estimation U^i si $n = 0$;

10 H_n^i : une valeur du bit de rang n d'un second signal de correction H^i , obtenue lors de l'itération précédente d'indice i ;

H_{n+1}^{i+1} : une valeur du bit de rang n+1 dudit second signal de correction H^{i+1} , obtenue lors l'itération d'indice i+1 ;

15 c_n : une valeur du bit de rang n d'un nombre binaire d'entrée C compris dans ladite pluralité de nombres binaires d'entrée et pris en compte dans la addition lors de l'itération d'indice i+1 de l'étape d'accumulation.

Il est clair que d'autres architectures logiques (différentes de celle de la figure 6) peuvent aisément être envisagées par l'homme du métier pour la mise en œuvre des équations génériques (5), tout en restant dans le cadre de la présente invention.

20 On présente à présent, en relation avec la **figure 7**, une architecture logique d'un module d'initialisation 700 susceptible d'être mis en œuvre par la variante de réalisation de la figure 6 d'un module d'initialisation selon un mode de réalisation particulier mettant en œuvre l'étape d'initialisation du procédé selon l'invention.

25 Le module d'initialisation 700 comprend dans un premier sous-module 701, appelé module de pré-calcul, et un second sous-module 702, appelé module d'accumulation initial. Plus précisément, le module de pré-calcul 701 présente, à la différence du module d'initialisation 200 de la figure 2, une seule porte logique de type « INV » apte à recevoir la valeur de bit de rang n d'entrées a_n et générant en sortie une valeur initiale de bit de rang n U_n^0 . En effet, en reprenant les équations (4) et en posant
30 les égalités suivantes pour le module de pré-calcul 701, à savoir :

$$H_n^0 = R_n^0 \oplus U_{n-1}^0 \quad \text{avec} \quad U_{n-1}^0 = \overline{a_{n-1}} \quad \text{et} \quad R_n^0 = \overline{a_{n-1} \oplus b_n},$$

les équations du module de pré-calcul peuvent être simplifiées :

$$H_n^0 = b_n \text{ et } U_n^0 = \overline{a_n}.$$

Dans cette architecture, le module de pré-calcul 701 est situé en amont du module d'accumulation initial 702. Ce dernier, tel que décrit à la figure 6, permet d'ajouter la valeur du bit de rang n d'un nombre binaire supplémentaire noté c_n aux valeurs de bit d'estimation U_{n-1}^i et de correction H_n^i respectivement de rang n-1 et n. L'itération étant d'indice 0, les valeurs en entrée du module 702 sont donc U_{n-1}^0 et H_n^0 .

En outre, le principe et l'architecture du module 702 étant identique au module d'accumulation 600 de la figure 6, les valeurs obtenues en sortie du module d'initialisation sont donc incrémentées d'un indice de valeur 1. On obtient ainsi les valeurs d'estimation U_n^1 et de correction H_{n+1}^1 respectivement de bit de rang n et n+1 définies par les équations suivantes :

$$\begin{cases} U_n^1 = U_n^0 \oplus R_n^0 \oplus U_{n-1}^0 \oplus c_n \\ H_{n+1}^1 = (U_n^0 \oplus R_n^0 \oplus U_{n-1}^0) \cdot (\overline{U_n^0 \oplus c_n}) \oplus c_n \end{cases}$$

En conséquence, le module 700 permet de mettre en œuvre les équations (6) suivantes :

$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ H_{n+1}^1 = (\overline{a_n \oplus b_n})(b_n \oplus c_n) \oplus c_n \end{cases} \quad (6)$$

Il est clair que d'autres architectures logiques (différentes de celle de la figure 7) peuvent aisément être envisagées par l'homme du métier pour la mise en œuvre des équations (6), tout en restant dans le cadre de la présente invention.

On se rapporte à présent à la **figure 8** qui décrit une variante de réalisation du module d'initialisation illustré à la figure 7. Cette variante est considérée comme permettant de mettre en oeuvre l'étape d'initialisation du procédé de façon optimale.

Plus particulièrement, le module d'initialisation 800 illustré sur cette figure réalise une addition de trois valeurs de bit a_n , b_n et c_n issus de trois nombres binaires d'entrée quelconques A, B, C. Il génère en sortie une valeur U_n^1 dite valeur du bit de rang n du signal d'estimation U^1 obtenu lors de l'itération 1, et une valeur R_{n+1}^1 dite

valeur du bit de rang $n+1$ du signal de correction R^1 obtenu également lors de l'itération 1.

Pour ce faire, une première porte logique de type « XNOR » reçoit les valeurs de bit de rang n des nombres binaires d'entrée a_n et b_n et génère en sortie un signal numérique intermédiaire 801. Une porte logique de type « XOR » reçoit, quant à elle, le signal intermédiaire 801 ainsi que la valeur du bit de rang n du troisième nombre binaire c_n et délivre la valeur du bit de rang n U_n^1 de façon identique au module d'initialisation 300 de la figure 3.

En outre, une seconde porte logique de type « XOR » reçoit les valeurs de bit de rang n b_n et c_n et génère en sortie un deuxième signal numérique intermédiaire 802. La porte « AND » reçoit, quant à elle, les deux signaux numériques intermédiaires respectivement 801 et 802 et génère un troisième signal intermédiaire 803. Ce dernier est utilisé avec la valeur c_n au moyen d'une troisième porte « XOR » de façon à fournir la valeur H_{n+1}^1 de rang $n+1$.

On présente à présent, en relation avec la **figure 9**, un schéma fonctionnel d'un additionneur multi-opérandes en parallèle selon un mode de réalisation particulier conforme à l'invention. Plus précisément, cet additionneur réalise l'addition de sept nombres binaires notés E1 à E7, chaque nombre binaire étant exprimé sur 16 bits.

Dans ce mode de réalisation particulier, on présente un premier étage de calcul, constitué du dispositif d'initialisation 400, tel que décrit précédemment en relation avec la figure 3, qui calcule la somme de trois nombres binaires E1, E2 et E3 et permet de fournir en sortie les deux signaux d'estimation U_{0-15}^1 et de correction R_{1-15}^1 , d'itération $i=1$, représentés sous une forme redondante de type « U/R ».

Un deuxième étage de calcul constitué du dispositif d'accumulation 500, tel que décrit précédemment en relation avec la figure 5, reçoit en entrée les signaux d'estimation U_{0-15}^1 et de correction R_{1-15}^1 issus du dispositif 400 précédent ($i=1$) et un nombre binaire supplémentaire E4 sur 16 bits. Ce deuxième étage génère en sortie deux signaux d'estimation U_{0-15}^2 et de correction R_{1-15}^2 , d'itération d'indice 2 et également représentés sous une forme redondante de type « U/R ». De la même manière, trois autres étages 500 sont ajoutés afin de pouvoir sommer à chaque étage de calcul (c'est-à-dire à chaque itération d'indice i), un des trois nombres binaires supplémentaires

restants, à savoir E5 (pour l'itération d'indice 3), E6 (pour l'itération d'indice 4) et E7 (pour l'itération d'indice 5).

Au final, les derniers signaux d'estimation U_{0-15}^5 et de correction R_{1-15}^5 issus dernier étage (itération d'indice 5) sont reçus par un additionneur 901 de type « Carry-Look-Ahead » ou « Ripple-Carry » adapté de façon à obtenir, à partir de signaux représentés sous une forme binaire redondante de type « U/R », le résultat final S_{0-15} en forme binaire standard des sept nombres binaires additionnés. Le détail de calcul de cette somme finale est décrit dans le brevet international WO2007122319 (TORNO).

Il est à noter que les valeurs R_{0}^i et U_{-1}^i sont les valeurs d'initialisation prédéterminée du bit de rang $n = 0$ du signal de correction et valeurs d'initialisation déterminée qui sont, dans ce cas précis, égaux à 1. En effet, chaque module générant un signal de correction R_{n+1}^i de rang $n+1$ pour une itération d'indice i , le signal de correction de rang $n = 0$ d'itération i n'est donc pas existant. Il en est de même avec le bit fictif U_{-1}^i .

En outre, il est à noter que les valeurs de bit de rang 16, notée R_{16}^i , ne sont pas utilisées dans ce mode de réalisation particulier. En effet, la dynamique d'expression sur 16 bits est suffisante pour que l'accumulation des sept nombres binaires puisse s'effectuer sans retenue de dépassement (ou « overflow » en anglais).

On présente désormais, en relation avec la **figure 10**, un schéma fonctionnel d'un additionneur multi-opérandes séquentiel selon un mode de réalisation particulier conforme à l'invention. Plus particulièrement, cet additionneur réalise l'addition de sept nombres binaires notés E1 à E7, de 16 bits chacun. Il peut être utilisé notamment dans le cadre du filtrage numérique, par exemple.

Dans ce mode de réalisation particulier, un seul dispositif d'accumulation 500 (tel que décrit à la figure 5) est nécessaire et un registre 1020 stocke tous les résultats intermédiaires de l'accumulation. Le calcul s'effectue donc de manière séquentielle pour i itérations, i variant de 1 jusqu'à 7.

Dans un premier temps, le registre 1030 contenant les signaux U_{0-15}^0 et de correction R_{1-15}^0 est initialisé afin que chaque valeur de bit n U_{0-15}^0 et R_{1-15}^0 ait la valeur 1, ainsi que U_{-1}^0 et R_0^0 .

Dans un second temps, la commande de sélection du multiplexeur 1010 sélectionne le nombre binaire d'entrée E1 et un calcul d'itération d'indice 1 ($i+1$ avec $i = 0$) est alors effectué. Le dispositif d'accumulation 500, constitué de 16 modules d'accumulation, additionne les entrées U^1_{0-15} , R^1_{1-16} sur 16 bits et E1 pour générer les valeurs U^1_{0-15} et R^1_{1-16} . Les valeurs précédemment obtenues sont ensuite présentées à l'entrée du registre 32 bits et mémorisées par l'action de l'horloge. Puis, la commande de sélection du multiplexeur sélectionne l'entrée suivante E2.

Il est à noter que les valeurs U^1_{-1} et R^1_0 sont toujours égales à 1 quelle que soit l'étape de calcul d'accumulation, en d'autres termes quelle que soit la valeur d'itération i .

Les actions de l'étape précédente sont ensuite répétées pour i allant 2 à 7 afin de pouvoir additionner toutes les entrées E2 à E7 aux résultats intermédiaires U^1_{0-15} et R^1_{1-16} à U^6_{0-15} et R^6_{1-16} pour obtenir les résultats intermédiaires U^2_{0-15} et R^2_{1-16} à U^7_{0-15} et R^7_{1-16} .

Finalement, un calcul final est effectué au moyen d'un additionneur. Le résultat intermédiaire U^7_{0-15} et R^7_{1-15} correspondant à la dernière itération ($i=7$) est présenté à l'entrée d'un additionneur 901 de type « Carry-Look-Ahead » ou de type « Ripple-Carry » sur 16 bits adapté pour prendre en entrée une forme binaire redondante « U/R » tels que décrits dans le brevet international WO2007122319 (TORNO). Les bits U^7_{-1} et R^7_0 sont initialisés à 1. L'additionneur 901 permet ainsi de déterminer le résultat final sous forme binaire standard de la somme des sept nombres binaires E1 à E7.

Il est à noter que les valeurs de bit de rang 16, notée R^i_{16} , ne sont également pas utilisées dans ce mode de réalisation particulier. En effet, la dynamique d'expression sur 16 bits est suffisante pour que l'accumulation des sept nombres binaires puisse s'effectuer sans retenue de dépassement (ou « overflow » en anglais).

La **figure 11** illustre un exemple d'un calcul numérique d'une sommation de sept nombres binaires, effectué par l'additionneur multi-opérandes de la figure 9. Chaque ligne de calcul est exprimée sur 16 bits de données et chaque signal d'estimation U et de correction R est illustré pour chacune des itérations du procédé conformément à l'invention.

Le résultat binaire final S est également présenté sur 16 bits de données, ce dernier ayant été obtenu sous forme binaire standard.

5 On notera que l'invention ne se limite pas à une implantation purement matérielle mais qu'elle peut aussi être mise en œuvre sous la forme d'une séquence d'instructions d'un programme informatique ou toute forme mixant une partie matérielle et une partie logicielle. Dans le cas où l'invention est implantée partiellement ou totalement sous forme logicielle, la séquence d'instructions correspondante pourra être stockée dans un moyen de stockage amovible (tel que par exemple une disquette, un CD-ROM ou un DVD-ROM) ou non, ce moyen de stockage étant lisible partiellement
10 ou totalement par un ordinateur ou un microprocesseur.

Annexe 1 : Passage de l'art antérieur au module d'initialisation sous forme « U/R »

Soient A,B et C les trois nombres, exprimés sur N bits, que l'on souhaite additionner :

$$5 \quad \begin{cases} A = a_{N-1} \cdot 2^{N-1} + \dots + a_n \cdot 2^n + \dots + a_1 \cdot 2^1 + a_0 \cdot 2^0 \\ B = b_{N-1} \cdot 2^{N-1} + \dots + b_n \cdot 2^n + \dots + b_1 \cdot 2^1 + b_0 \cdot 2^0 \\ C = c_{N-1} \cdot 2^{N-1} + \dots + c_n \cdot 2^n + \dots + c_1 \cdot 2^1 + c_0 \cdot 2^0 \end{cases}$$

De façon classique, il est possible d'effectuer dans un premier temps une somme de ces trois nombres binaires et obtenir un résultat de la forme standard « Carry-Save » au moyen d'un réseau d'additionneurs de type « full-adder ». Ce réseau d'additionneurs permet de générer en sortie une somme partielle, et une retenue partielle, telles que :

$$10 \quad \begin{cases} S_n = a_n \oplus b_n \oplus c_n \\ Cy_{n+1} = a_n \cdot b_n \oplus c_n \cdot (a_n \oplus b_n) \end{cases}$$

avec :

S_n la somme partielle en n, et

Cy_{n+1} la retenue partielle en (n+1).

15 De manière non évidente, pour obtenir une représentation dans la forme « U/R », on considère la somme partielle et la retenue partielle comme 2 nombres binaires à additionner et on utilise la méthode dite d'estimation initiale décrite dans le document WO2007122319.

De cette façon, on obtient les nombres U et R suivants :

$$20 \quad \begin{cases} U_n = \overline{S_n} \\ R_{n+1} = \overline{Cy_{n+1} \oplus S_n} \end{cases}$$

En substituant les valeurs de S_n et Cy_{n+1} par leurs expressions en a_n, b_n, c_n , on obtient :

$$\begin{cases} U_n = \overline{a_n \oplus b_n \oplus c_n} \\ R_{n+1} = \overline{a_n \cdot b_n \oplus c_n \cdot (a_n \oplus b_n) \oplus a_n \oplus b_n \oplus c_n} \end{cases}$$

Après développement, on obtient les deux expressions suivantes :

$$\begin{cases} U_n = \overline{a_n \oplus b_n \oplus c_n} \\ R_{n+1} = (a_n \oplus \overline{b_n}) \cdot b_n \oplus \overline{c_n} \cdot (a_n \oplus b_n) \oplus \overline{c_n} \end{cases}$$

et après factorisation, on obtient les équations suivantes (3) mises en œuvre par le mécanisme de la présente invention, à savoir :

$$5 \quad \begin{cases} U_n = \overline{a_n \oplus b_n \oplus c_n} \\ R_{n+1} = (\overline{a_n \oplus b_n}) \cdot (\overline{b_n \oplus c_n}) \end{cases} \quad (3)$$

Annexe 2 : Passage du module d'initialisation sous forme « U/R » au module d'accumulation sous forme « U/R »

En partant des mêmes équations que précédemment, il est possible de construire un module d'accumulation permettant de recevoir en entrées un signal d'estimation U, un signal de correction R et un nombre binaire standard c. Le détail des calculs permettant de déterminer le résultat sous forme redondante « U/R » sont exposés ci-après.

À partir des équations (3) précitées, on peut construire à partir des nombres binaires A et B, par exemple, une forme initiale exprimée de la façon suivante :

$$10 \quad \left\{ \begin{array}{l} U_n^0 = \overline{a_n} \\ R_{n+1}^0 = a_n \oplus b_{n+1} \end{array} \right. \text{ et } \left\{ \begin{array}{l} U_{n-1}^0 = \overline{a_{n-1}} \\ R_n^0 = a_{n-1} \oplus b_n \end{array} \right.$$

On peut alors déduire les valeurs a_n et b_n , à savoir :

$$\left\{ \begin{array}{l} a_n = \overline{U_n^0} \\ b_n = R_n^0 \oplus U_{n-1}^0 \end{array} \right.$$

15 Puis, en substituant les valeurs de a_n et b_n dans le système d'équations (1), on obtient l'expression suivante :

$$\left\{ \begin{array}{l} U_n^1 = \overline{U_n^0} \oplus (R_n^0 \oplus U_{n-1}^0) \oplus \overline{c_n} \\ R_{n+1}^1 = \left(\overline{U_n^0} \oplus (R_n^0 \oplus U_{n-1}^0) \right) \cdot \left((R_n^0 \oplus U_{n-1}^0) \oplus \overline{c_n} \right) \end{array} \right.$$

Après développement et simplification, on obtient les deux expressions suivantes :

$$\left\{ \begin{array}{l} U_n^1 = U_n^0 \oplus R_n^0 \oplus U_{n-1}^0 \oplus c_n \\ R_{n+1}^1 = (U_n^0 \oplus R_n^0 \oplus U_{n-1}^0) \cdot (U_n^0 \oplus c_n) \end{array} \right.$$

20 Si on généralise le calcul non plus à l'indice 1 mais à l'indice $i+1$, on obtient en conséquence, pour un indice $i+1$ quelconque, les équations génériques (1) suivantes :

$$\begin{cases} U_n^{i+1} = U_n^i \oplus R_n^i \oplus U_{n-1}^i \oplus c_n \\ R_{n+1}^{i+1} = (U_n^i \oplus R_n^i \oplus U_{n-1}^i) \cdot (U_n^i \oplus c_n) \end{cases} \quad (1)$$

REVENDICATIONS

1. Procédé d'addition permettant d'additionner une pluralité de nombres binaires d'entrée, de N bits chacun, caractérisé en ce qu'il comprend au moins une itération, d'indice $i+1$ avec $i \geq 0$, d'une étape d'accumulation permettant de générer un signal d'estimation U^{i+1} sur N bits et un premier R^{i+1} ou second H^{i+1} signal de correction sur N bits,

* selon les équations suivantes :

$$\begin{cases} U_n^{i+1} = U_n^i \oplus R_n^i \oplus U_{n-1}^i \oplus c_n \\ R_{n+1}^{i+1} = (U_n^i \oplus R_n^i \oplus U_{n-1}^i) \cdot (U_n^i \oplus c_n) \end{cases}$$

* ou selon les équations suivantes :

$$\begin{cases} U_n^{i+1} = U_n^i \oplus H_n^i \oplus c_n \\ H_{n+1}^{i+1} = (U_n^i \oplus H_n^i) \cdot (\overline{U_n^i \oplus c_n}) \oplus c_n \end{cases}$$

avec :

U_n^{i+1} : une valeur du bit de rang n dudit signal d'estimation U^{i+1} , avec $0 \leq n \leq N-1$, obtenue lors de ladite itération d'indice $i+1$;

U_n^i : une valeur du bit de rang n d'un signal d'estimation U^i , obtenue lors d'une itération précédente d'indice i si $i > 0$, ou une valeur d'initialisation déterminée U_n^0 du bit de rang n d'un signal d'estimation U^i si $i = 0$;

U_{n-1}^i : une valeur du bit de rang $n-1$ dudit signal d'estimation U^i , obtenue lors d'une itération précédente d'indice i si $n > 0$ et si $i > 0$,

ou une valeur d'initialisation déterminée U_{n-1}^0 du bit de rang $n-1$ dudit signal d'estimation U^i si $n > 0$ et si $i = 0$,

ou une valeur d'initialisation prédéterminée d'un bit fictif de rang $n-1$ dudit signal d'estimation U^i si $n = 0$;

R_n^i : une valeur du bit de rang n d'un premier signal de correction R^i , obtenue lors d'une itération précédente d'indice i si $n > 0$,

ou une valeur d'initialisation prédéterminée du bit de rang n dudit premier signal de correction R^i si $n = 0$;

R_{n+1}^{i+1} : une valeur du bit de rang $n+1$ dudit premier signal de correction R^{i+1} , obtenue lors ladite itération d'indice $i+1$;

H_n^i : une valeur du bit de rang n d'un second signal de correction H^i , obtenue lors d'une itération précédente d'indice i ;

H_{n+1}^{i+1} : une valeur du bit de rang n+1 dudit second signal de correction H^{i+1} , obtenue lors ladite itération d'indice i+1 ;

5 c_n : une valeur du bit de rang n d'un nombre binaire d'entrée C compris dans ladite pluralité de nombres binaires d'entrée et pris en compte dans ladite addition lors de ladite itération d'indice i+1 de ladite étape d'accumulation,

le signal d'estimation U^i et le premier signal de correction R^i ou le second signal de correction H^i représentant une somme d'au moins deux nombres binaires en forme redondante, le signal d'estimation U^{i+1} et le premier signal de correction R^{i+1} ou le second signal de correction H^{i+1} représentant la somme desdites au moins deux nombres binaires en forme redondante et du nombre binaire c.

10

2. Procédé selon la revendication 1, caractérisé en ce que l'itération d'indice 1 de ladite étape d'accumulation est remplacée par une étape d'initialisation permettant de

15 générer un signal d'estimation U^1 sur N bits et un premier R^1 ou second H^1 signal de correction sur N bits,

* selon les équations suivantes, avec $0 \leq n \leq N-1$:

$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ R_{n+1}^1 = \overline{(a_n \oplus b_n)(b_n \oplus c_n)} \end{cases}$$

* ou selon les équations suivantes, avec $0 \leq n \leq N-1$:

20

$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ H_{n+1}^1 = \overline{(a_n \oplus b_n)(b_n \oplus c_n)} \oplus c_n \end{cases}$$

avec :

a_n : une valeur du bit de rang n d'un nombre binaire d'entrée A compris dans ladite pluralité de nombres binaires d'entrée et pris en compte dans ladite addition lors de ladite étape d'initialisation ;

25 b_n : une valeur du bit de rang n d'un nombre binaire d'entrée B compris dans ladite pluralité de nombres binaires d'entrée et pris en compte dans ladite addition lors de ladite étape d'initialisation ;

c_n : une valeur du bit de rang n d'un nombre binaire d'entrée C compris dans ladite pluralité de nombres binaires d'entrée et pris en compte dans ladite addition lors de ladite étape d'initialisation.

3. Procédé selon la revendication 1, caractérisé en ce qu'il comprend les étapes suivantes :

5

- sélection d'un premier nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée ;

- obtention de valeurs d'initialisation prédéterminées pour :

10

* chacun des N bits d'un signal d'estimation U^0 ,

* chacun des N bits d'un signal de correction R^0 ,

* un bit fictif de rang -1 dudit signal d'estimation U^0 ;

- itération d'indice 1 de ladite étape d'accumulation avec, comme signaux d'entrée, ledit premier nombre binaire d'entrée et lesdites valeurs d'initialisation prédéterminées, permettant de générer un signal d'estimation U^1 sur N bits et un premier R^1 signal de correction sur N bits ;

15

- tant que ladite pluralité de nombres binaires d'entrée n'ont pas été pris en compte dans ladite addition :

* sélection d'un nouveau nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée et non déjà sélectionné ;

20

* itération d'indice $i+1$, avec $i > 0$, de ladite étape d'accumulation avec, comme signaux d'entrée, ledit nouveau nombre binaire d'entrée, les signaux U^i et R^i générés lors de l'itération d'indice i de ladite étape d'accumulation, une valeur d'initialisation prédéterminée U_{-1}^i d'un bit fictif de rang -1 dudit signal d'estimation U^i , et une valeur d'initialisation prédéterminée R_0^i du bit de rang 0 dudit premier signal de correction R^i .

25

4. Procédé selon la revendication 1, caractérisé en ce qu'il comprend les étapes suivantes :

- sélection d'un premier nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée ;

30

- obtention de valeurs d'initialisation prédéterminées pour :

* chacun des N bits d'un signal d'estimation U^0 ,

- * chacun des N bits d'un signal de correction H^0 ,
- itération d'indice 1 de ladite étape d'accumulation avec, comme signaux d'entrée, ledit premier nombre binaire d'entrée et lesdites valeurs d'initialisation prédéterminées, permettant de générer un signal d'estimation U^1 sur N bits et un second H^1 signal de correction sur N bits ;
- tant que ladite pluralité de nombres binaires d'entrée n'ont pas été pris en compte dans ladite addition :
 - * sélection d'un nouveau nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée et non déjà sélectionné ;
 - * itération d'indice $i+1$, avec $i > 0$, de ladite étape d'accumulation avec, comme signaux d'entrée, ledit nouveau nombre binaire d'entrée, les signaux U^i et H^i générés lors de l'itération d'indice i de ladite étape d'accumulation, et une valeur d'initialisation prédéterminée R_0^i du bit de rang 0 dudit premier signal de correction R^i .

5

10

15

5. Dispositif d'addition permettant d'additionner une pluralité de nombres binaires d'entrée, de N bits chacun, caractérisé en ce qu'il comprend au moins un bloc d'accumulation permettant, à chaque fois qu'il est activé, d'effectuer une itération, d'indice $i+1$ avec $i \geq 0$, d'un mécanisme d'accumulation, chaque bloc d'accumulation comprenant :

20

- * des premiers moyens d'estimation, permettant de générer un signal d'estimation U^{i+1} sur N bits, et des premiers moyens de correction, permettant de générer un premier signal de correction R^{i+1} sur N bits, lesdits premiers moyens d'estimation et lesdits premiers moyens de correction comprenant des moyens de mise en œuvre des équations suivantes :

25

$$\begin{cases} U_n^{i+1} = U_n^i \oplus R_n^i \oplus U_{n-1}^i \oplus c_n \\ R_{n+1}^{i+1} = (U_n^i \oplus R_n^i \oplus U_{n-1}^i) \cdot (U_n^i \oplus c_n) \end{cases}$$

- * ou des seconds moyens d'estimation, permettant de générer un signal d'estimation U^{i+1} sur N bits, et des seconds moyens de correction, permettant de générer un second signal de correction H^{i+1} sur N bits, lesdits seconds moyens d'estimation et lesdits seconds moyens de correction comprenant des moyens de mise en œuvre des équations suivantes :

30

$$\begin{cases} U_n^{i+1} = U_n^i \oplus H_n^i \oplus c_n \\ H_{n+1}^{i+1} = (U_n^i \oplus H_n^i) \cdot (\overline{U_n^i \oplus c_n}) \oplus c_n \end{cases}$$

avec :

- U_n^{i+1} : une valeur du bit de rang n dudit signal d'estimation U^{i+1} , avec $0 \leq n \leq N-1$, obtenue lors de ladite itération d'indice $i+1$;
- 5 U_n^i : une valeur du bit de rang n d'un signal d'estimation U^i , obtenue lors d'une itération précédente d'indice i si $i > 0$, ou une valeur d'initialisation déterminée U_n^0 du bit de rang n d'un signal d'estimation U^i si $i = 0$;
- U_{n-1}^i : une valeur du bit de rang $n-1$ dudit signal d'estimation U^i , obtenue lors d'une itération précédente d'indice i si $n > 0$ et si $i > 0$,
- 10 ou une valeur d'initialisation déterminée U_{n-1}^0 du bit de rang $n-1$ dudit signal d'estimation U^i si $n > 0$ et si $i = 0$,
- ou une valeur d'initialisation prédéterminée d'un bit fictif de rang $n-1$ dudit signal d'estimation U^i si $n = 0$;
- R_n^i : une valeur du bit de rang n d'un premier signal de correction R^i , obtenue lors
- 15 d'une itération précédente d'indice i si $n > 0$,
- ou une valeur d'initialisation prédéterminée du bit de rang n dudit premier signal de correction R^i si $n = 0$;
- R_{n+1}^{i+1} : une valeur du bit de rang $n+1$ dudit premier signal de correction R^{i+1} , obtenue lors ladite itération d'indice $i+1$;
- 20 H_n^i : une valeur du bit de rang n d'un second signal de correction H^i , obtenue lors d'une itération précédente d'indice i ;
- H_{n+1}^{i+1} : une valeur du bit de rang $n+1$ dudit second signal de correction H^{i+1} , obtenue lors ladite itération d'indice $i+1$;
- c_n : une valeur du bit de rang n d'un nombre binaire d'entrée C compris dans ladite
- 25 pluralité de nombres binaires d'entrée et pris en compte dans ladite addition lors de ladite itération d'indice $i+1$.

le signal d'estimation U^i et le premier signal de correction R^i ou le second signal de correction H^i représentant une somme d'au moins deux nombres binaires en forme redondante, le signal d'estimation U^{i+1} et le premier signal de correction R^{i+1} ou le

second signal de correction H^{i+1} représentant la somme desdites au moins deux nombres binaires en forme redondante et du nombre binaire c .

6. Dispositif selon la revendication 5, caractérisé en ce que ledit bloc d'accumulation comprend, pour chaque bit n , un sous-bloc d'accumulation lui-même comprenant :

5

- une première porte logique XOR recevant ladite valeur U_{n-1}^i du bit de rang $n-1$ et d'indice i et ladite valeur R_n^i du bit de rang n et d'indice i , et générant un premier signal intermédiaire ;

10

- une deuxième porte logique XOR recevant ledit premier signal intermédiaire et ladite valeur U_n^i du bit de rang n et d'indice i , et générant un deuxième signal intermédiaire ;

15

- une troisième porte logique XOR recevant ledit deuxième signal intermédiaire et ladite valeur du bit de rang n d'un nombre binaire d'entrée C , et générant ladite valeur U_n^{i+1} du bit de rang n dudit signal d'estimation U^{i+1} pour l'itération d'indice $i+1$;

20

- une quatrième porte logique XOR recevant ladite valeur U_n^i du bit de rang n et d'indice i et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C , et générant un troisième signal intermédiaire ; et

- une porte logique AND recevant ledit troisième signal intermédiaire et ledit deuxième signal intermédiaire, et générant ladite valeur R_{n+1}^{i+1} du bit de rang $n+1$ dudit premier signal de correction R^{i+1} pour l'itération d'indice $i+1$.

7. Dispositif selon la revendication 5, caractérisé en ce que ledit bloc d'accumulation comprend, pour chaque bit n , un sous-bloc d'accumulation lui-même comprenant :

25

- une première porte logique XOR recevant ladite valeur U_{n-1}^i du bit de rang $n-1$ et d'indice i et ladite valeur H_n^i du bit de rang n et d'indice i , et générant un premier signal intermédiaire ;

30

- une deuxième porte logique XOR recevant ledit premier signal intermédiaire et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C , et générant ladite valeur U_n^{i+1} du bit de rang n dudit signal d'estimation U^{i+1} pour l'itération d'indice $i+1$;

- une porte logique XNOR recevant ladite valeur U_{n-1}^i du bit de rang n-1 et d'indice i et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et générant un deuxième signal intermédiaire ;
- une porte logique AND recevant ledit premier signal intermédiaire et ledit deuxième signal intermédiaire et générant un troisième signal intermédiaire ; et
- une troisième porte logique XOR recevant ledit troisième signal intermédiaire et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et générant ladite valeur H_{n+1}^{i+1} du bit de rang n+1 dudit second signal de correction H^{i+1} pour l'itération d'indice i+1.

8. Dispositif selon la revendication 5, caractérisé en ce qu'il comprend un bloc d'initialisation comprenant :

* des troisièmes moyens d'estimation, permettant de générer un signal d'estimation U^1 sur N bits, et des troisièmes moyens de correction, permettant de générer un troisième signal de correction R^1 sur N bits, lesdits troisièmes moyens d'estimation et lesdits troisièmes moyens de correction comprenant des moyens de mise en œuvre des équations suivantes, avec $0 \leq n \leq N-1$:

$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ R_{n+1}^1 = \overline{(a_n \oplus b_n)(b_n \oplus c_n)} \end{cases}$$

* ou des quatrièmes moyens d'estimation, permettant de générer un signal d'estimation U^1 sur N bits, et des quatrièmes moyens de correction, permettant de générer un quatrième signal de correction H^1 sur N bits, lesdits quatrièmes moyens d'estimation et lesdits quatrièmes moyens de correction comprenant des moyens de mise en œuvre des équations suivantes, avec $0 \leq n \leq N-1$:

$$\begin{cases} U_n^1 = \overline{a_n \oplus b_n \oplus c_n} \\ H_{n+1}^1 = \overline{(a_n \oplus b_n)(b_n \oplus c_n)} \oplus c_n \end{cases}$$

avec :

a_n : une valeur du bit de rang n d'un nombre binaire d'entrée A compris dans ladite pluralité de nombres binaires d'entrée et pris en compte par ledit bloc d'initialisation ;

b_n : une valeur du bit de rang n d'un nombre binaire d'entrée B compris dans ladite pluralité de nombres binaires d'entrée et pris en compte par ledit bloc d'initialisation ;

5 c_n : une valeur du bit de rang n d'un nombre binaire d'entrée C compris dans ladite pluralité de nombres binaires d'entrée et pris en compte par ledit bloc d'initialisation ;

et en ce que ledit bloc d'initialisation remplace le bloc d'accumulation permettant d'effectuer l'itération d'indice 1.

10 **9.** Dispositif selon la revendication 8, caractérisé en ce que ledit bloc d'initialisation comprend, pour chaque bit n , un sous-bloc d'initialisation lui-même comprenant :

- une première porte logique XNOR recevant ladite valeur a_n du bit de rang n d'un nombre binaire d'entrée A et ladite valeur b_n du bit de rang n d'un nombre binaire d'entrée B et générant un premier signal intermédiaire ;

15 - une porte logique XOR recevant ledit premier signal intermédiaire et ladite valeur ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et générant ladite valeur U_n^1 du bit de rang n dudit signal d'estimation U^1 pour l'itération d'indice 1 ;

- une seconde porte logique XNOR recevant ladite valeur b_n du bit de rang n d'un nombre binaire d'entrée B et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et générant un deuxième signal intermédiaire ; et

20 - une porte logique AND recevant lesdits premier et deuxième signaux intermédiaires et générant ladite valeur R_{n+1}^1 du bit de rang $n+1$ dudit signal de correction R^1 pour l'itération d'indice 1.

25 **10.** Dispositif selon la revendication 8, caractérisé en ce que ledit bloc d'initialisation comprend, pour chaque bit n , un sous-bloc d'initialisation lui-même comprenant :

- une porte logique XNOR recevant ladite valeur a_n du bit de rang n d'un nombre binaire d'entrée A et ladite valeur b_n du bit de rang n d'un nombre binaire d'entrée B et générant un premier signal intermédiaire ;

30 - une première porte logique XOR recevant ledit premier signal intermédiaire et ladite valeur ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et

généralant ladite valeur U_n^1 du bit de rang n dudit signal d'estimation U^1 pour l'itération d'indice 1 ;

- une deuxième porte logique XOR recevant ladite valeur b_n du bit de rang n d'un nombre binaire d'entrée B et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et généralant un deuxième signal intermédiaire ;
- une porte logique AND recevant lesdits premier et deuxième signaux intermédiaires et généralant un troisième signal intermédiaire ; et
- une troisième porte logique XOR recevant ledit troisième signal intermédiaire et ladite valeur c_n du bit de rang n d'un nombre binaire d'entrée C et généralant ladite valeur H_{n+1}^1 du bit de rang $n+1$ dudit second signal de correction H^1 pour l'itération d'indice 1.

11. Dispositif selon la revendication 5, caractérisé en ce qu'il comprend :

- des premiers moyens de sélection, permettant de sélectionner un premier nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée ;
- des moyens d'obtention de valeurs d'initialisation prédéterminées pour :
 - * chacun des N bits d'un signal d'estimation U^0 ,
 - * chacun des N bits d'un signal de correction R^0 ,
 - * un bit fictif de rang -1 dudit signal d'estimation U^0 ;
- des premiers moyens d'activation, permettant d'activer ledit bloc d'accumulation afin qu'il effectue l'itération d'indice 1 dudit mécanisme d'accumulation avec, comme signaux d'entrée, ledit premier nombre binaire d'entrée et lesdites valeurs d'initialisation prédéterminées, permettant de généraler un signal d'estimation U^1 sur N bits et un premier R^1 signal de correction sur N bits ;
- des seconds moyens d'activation, permettant d'activer les moyens suivants, tant que ladite pluralité de nombres binaires d'entrée n'ont pas été pris en compte dans ladite addition :
 - * des seconds moyens sélection, permettant de sélectionner un nouveau nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée et non déjà sélectionné ;
 - * ledit bloc d'accumulation afin qu'il effectue une itération d'indice $i+1$, avec $i > 0$, dudit mécanisme d'accumulation avec, comme signaux d'entrée, ledit

nouveau nombre binaire d'entrée, les signaux U^i et R^i générés lors de l'itération d'indice i dudit mécanisme d'accumulation, une valeur d'initialisation prédéterminée U^{i-1} d'un bit fictif de rang -1 dudit signal d'estimation U^i , et une valeur d'initialisation prédéterminée R^i_0 du bit de rang 0 dudit premier signal de correction R^i .

5

12. Dispositif selon la revendication 5, caractérisé en ce qu'il comprend :

- des premiers moyens de sélection, permettant de sélectionner un premier nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée ;

- des moyens d'obtention de valeurs d'initialisation prédéterminées pour :

10

* chacun des N bits d'un signal d'estimation U^0 ,

* chacun des N bits d'un signal de correction H^0 ,

- des premiers moyens d'activation, permettant d'activer ledit bloc d'accumulation afin qu'il effectue l'itération d'indice 1 dudit mécanisme d'accumulation avec, comme signaux d'entrée, ledit premier nombre binaire d'entrée et lesdites valeurs d'initialisation prédéterminées, permettant de générer un signal d'estimation U^1 sur N bits et un second H^1 signal de correction sur N bits ;

15

- des seconds moyens d'activation, permettant d'activer les moyens suivants, tant que ladite pluralité de nombres binaires d'entrée n'ont pas été pris en compte dans ladite addition :

20

* des seconds moyens sélection, permettant de sélectionner un nouveau nombre binaire d'entrée compris dans ladite pluralité de nombres binaires d'entrée et non déjà sélectionné ;

* ledit bloc d'accumulation afin qu'il effectue une itération d'indice $i+1$, avec $i > 0$, dudit mécanisme d'accumulation avec, comme signaux d'entrée, ledit nouveau nombre binaire d'entrée, les signaux U^i et H^i générés lors de l'itération d'indice i dudit mécanisme d'accumulation, et une valeur d'initialisation prédéterminée R^i_0 du bit de rang 0 dudit premier signal de correction R^i .

25

13. Produit programme d'ordinateur téléchargeable depuis un réseau de communication et/ou enregistré sur un support lisible par ordinateur et/ou exécutable par un processeur, caractérisé en ce qu'il comprend des instructions de code de programme

30

pour la mise en oeuvre du procédé selon au moins une des revendications 1 à 4, lorsque ledit programme est exécuté sur un ordinateur.

14. Medium de stockage lisible par ordinateur, stockant un programme d'ordinateur comprenant un jeu d'instructions exécutables par un ordinateur pour mettre en oeuvre le procédé selon au moins une des revendications 1 à 4.

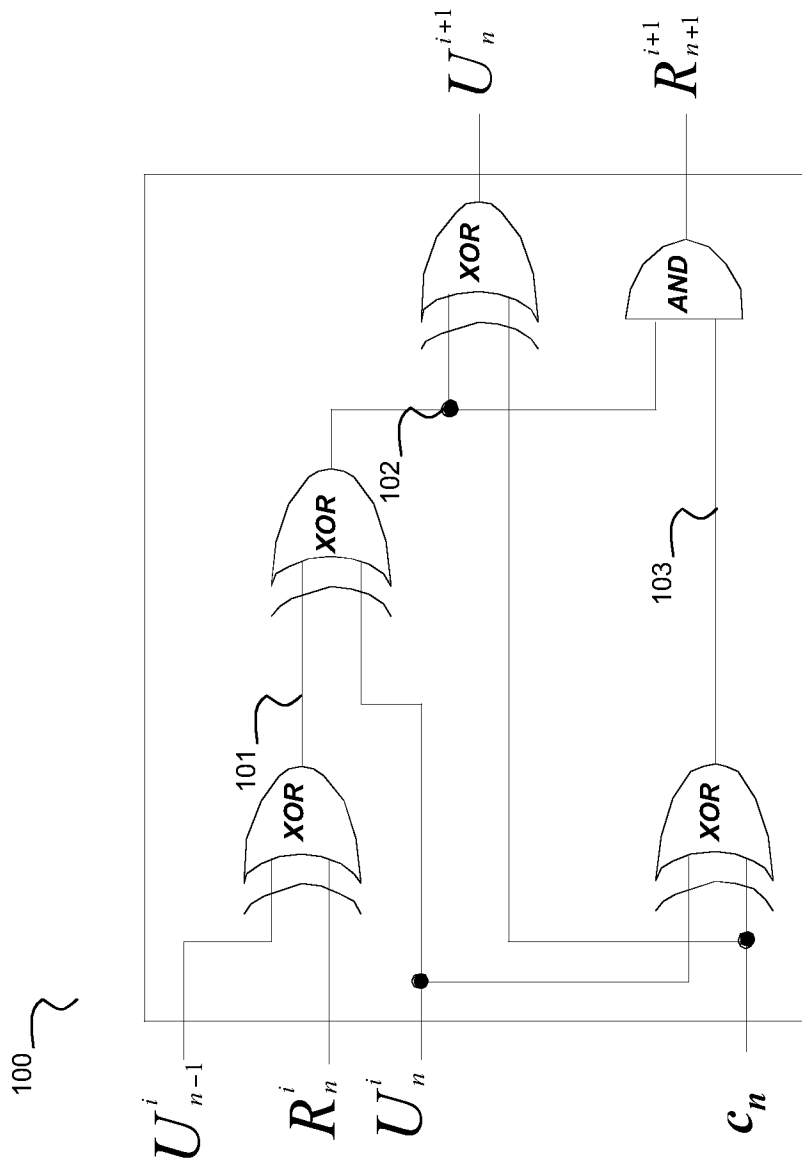


Figure 1

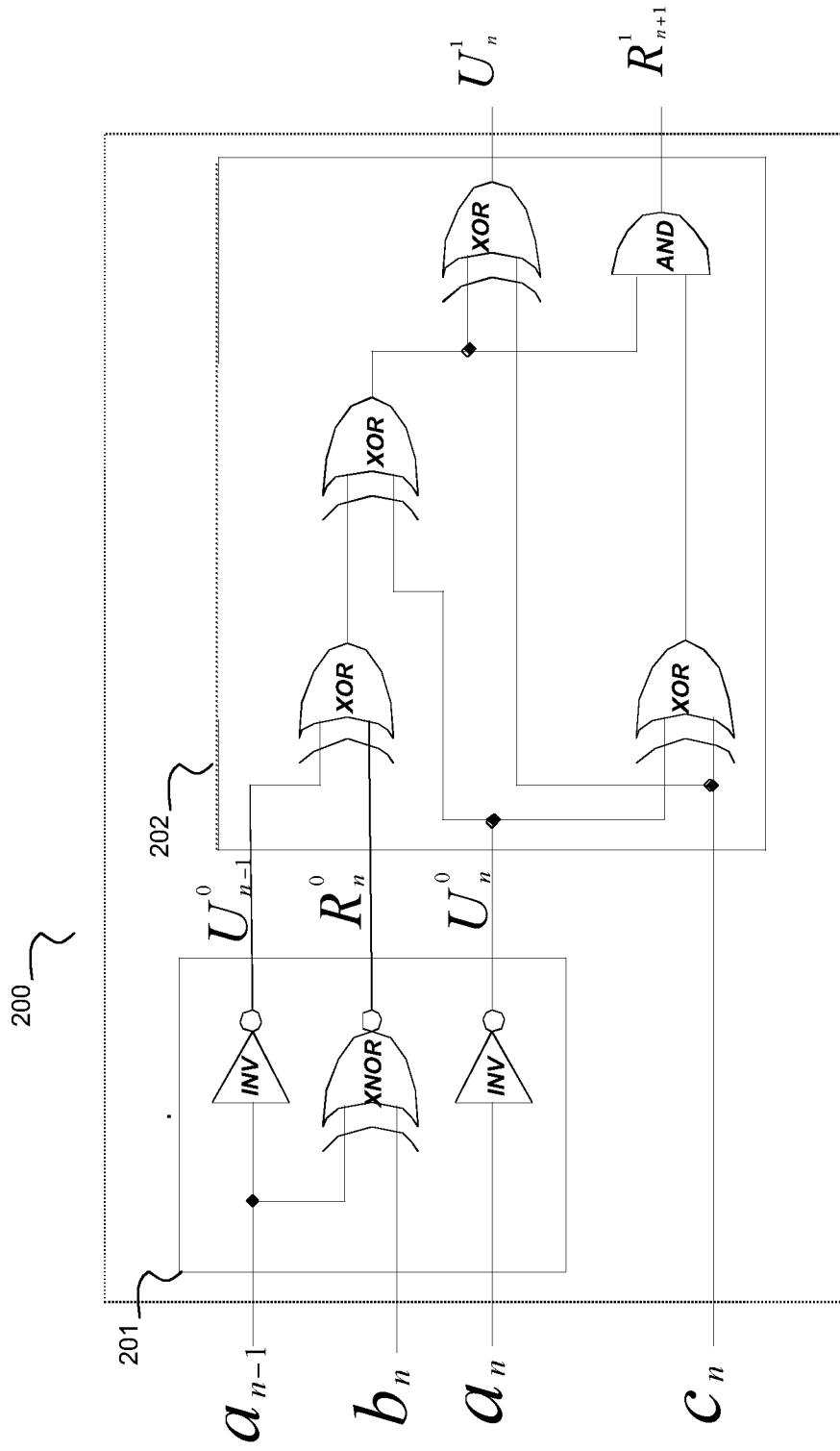


Figure 2

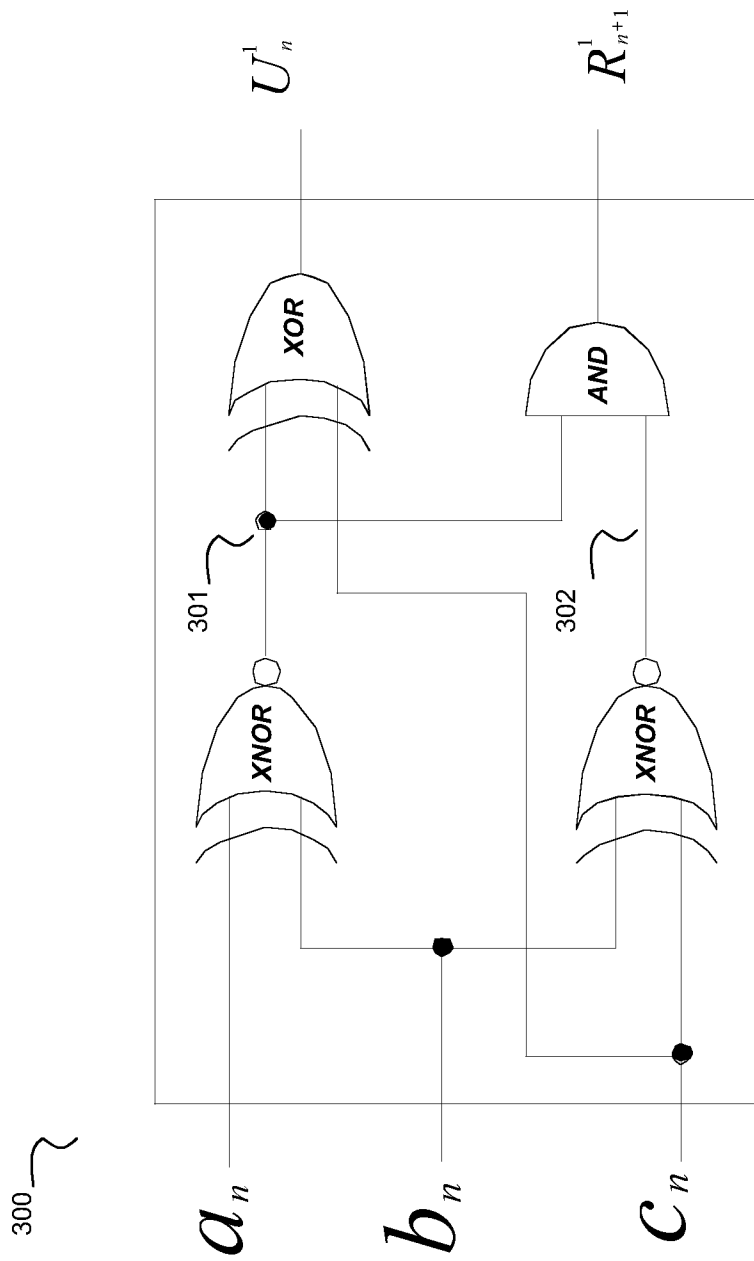


Figure 3

4/11

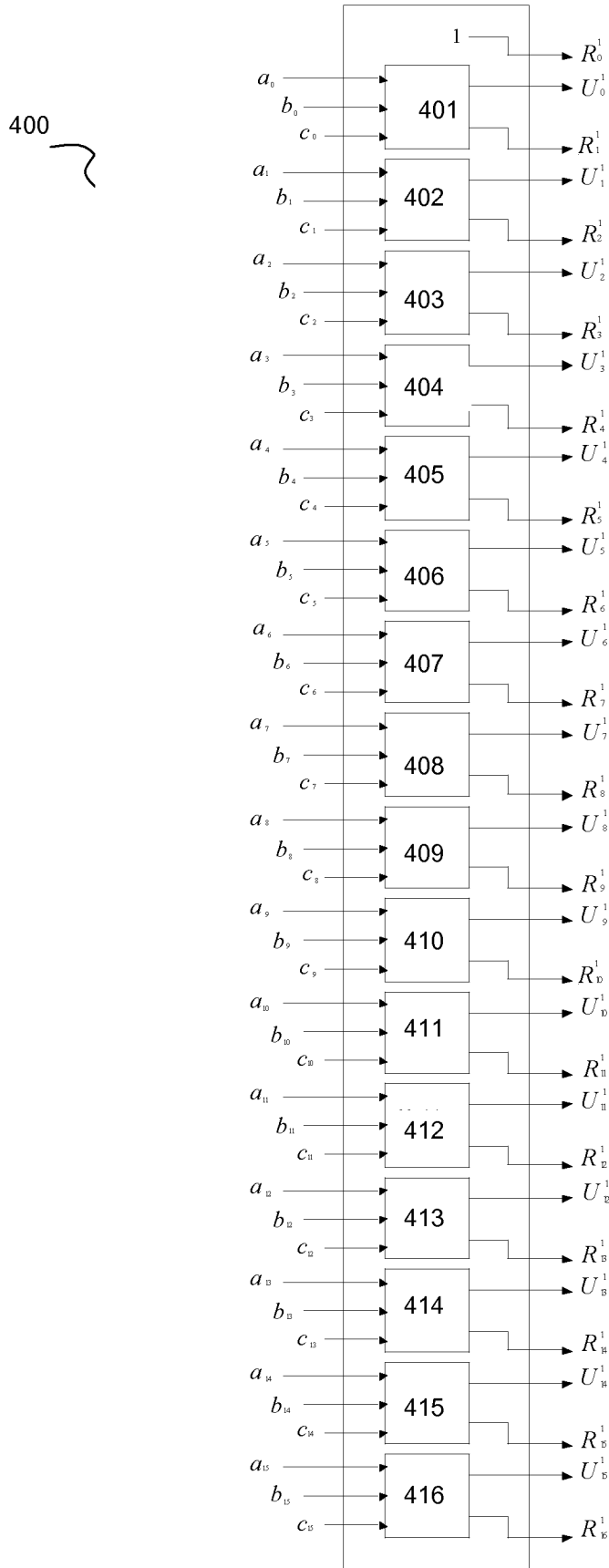


Figure 4

5/11

500

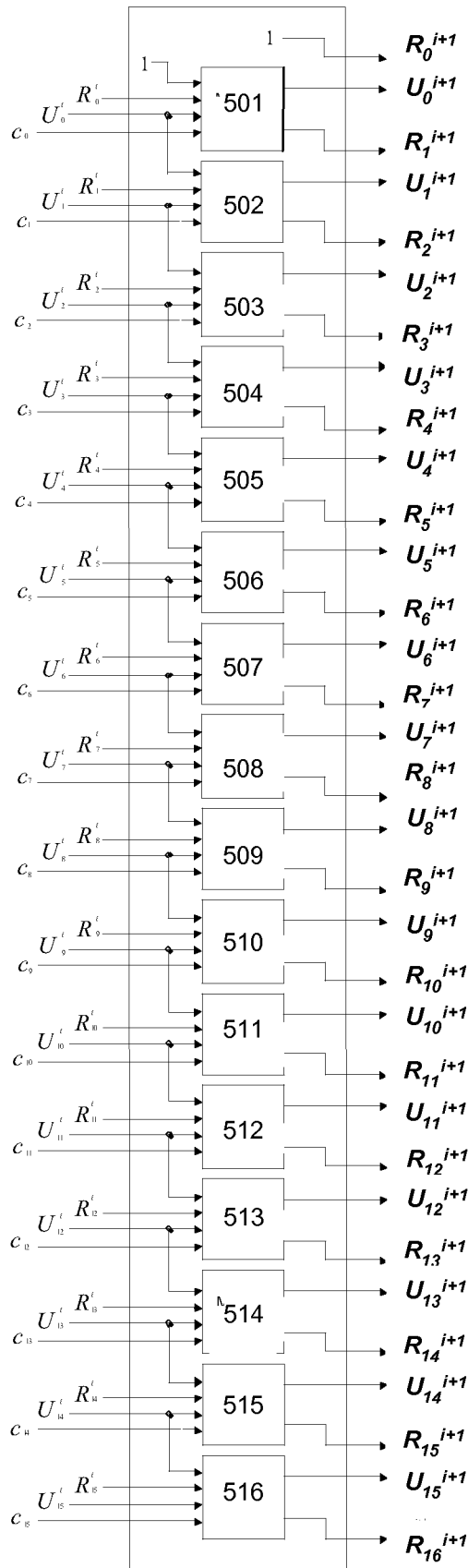


Figure 5

600 ~

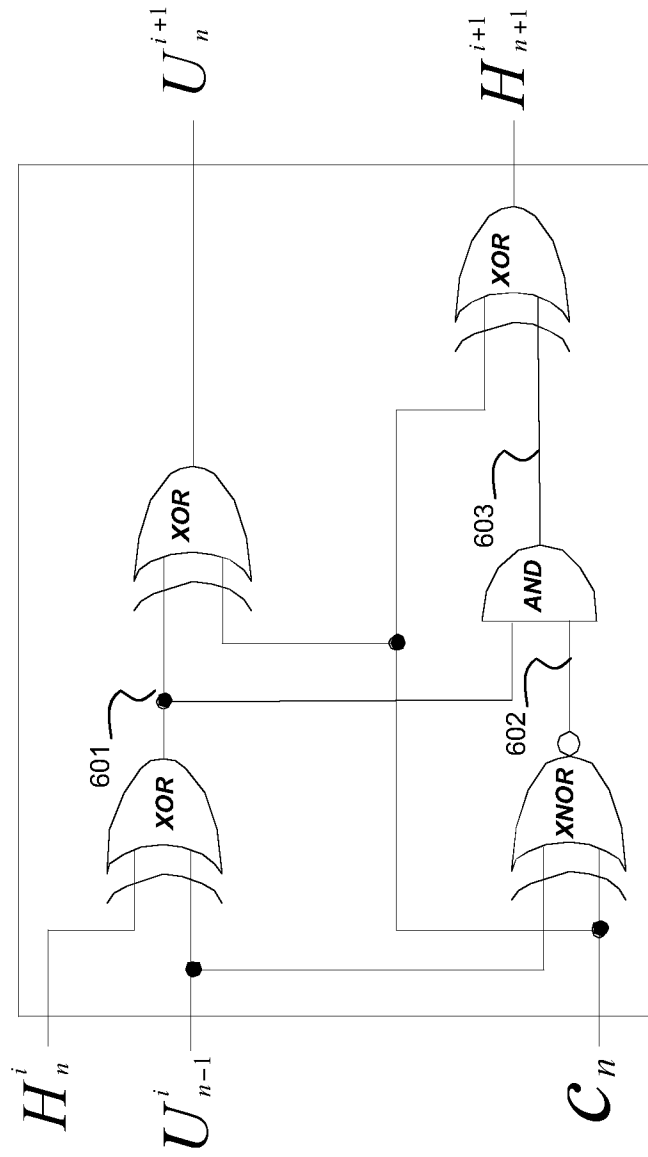


Figure 6

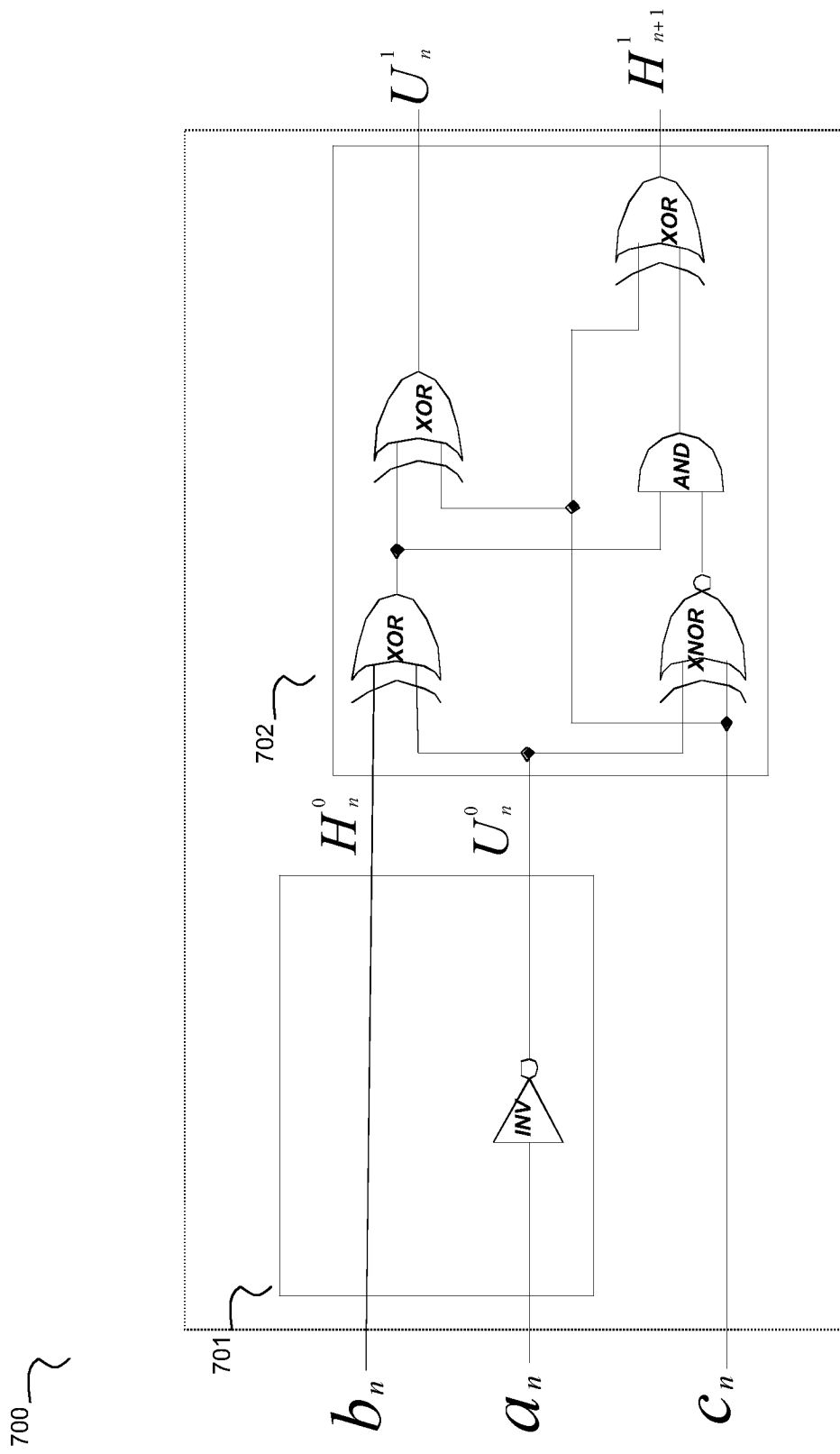


Figure 7

700 ↗

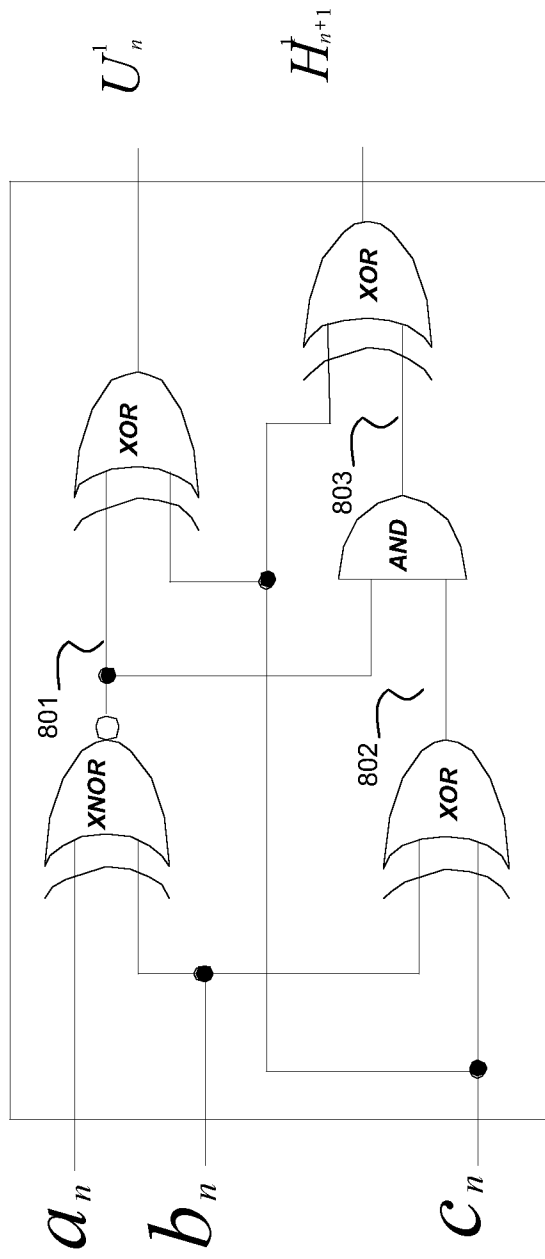


Figure 8

9/11

900

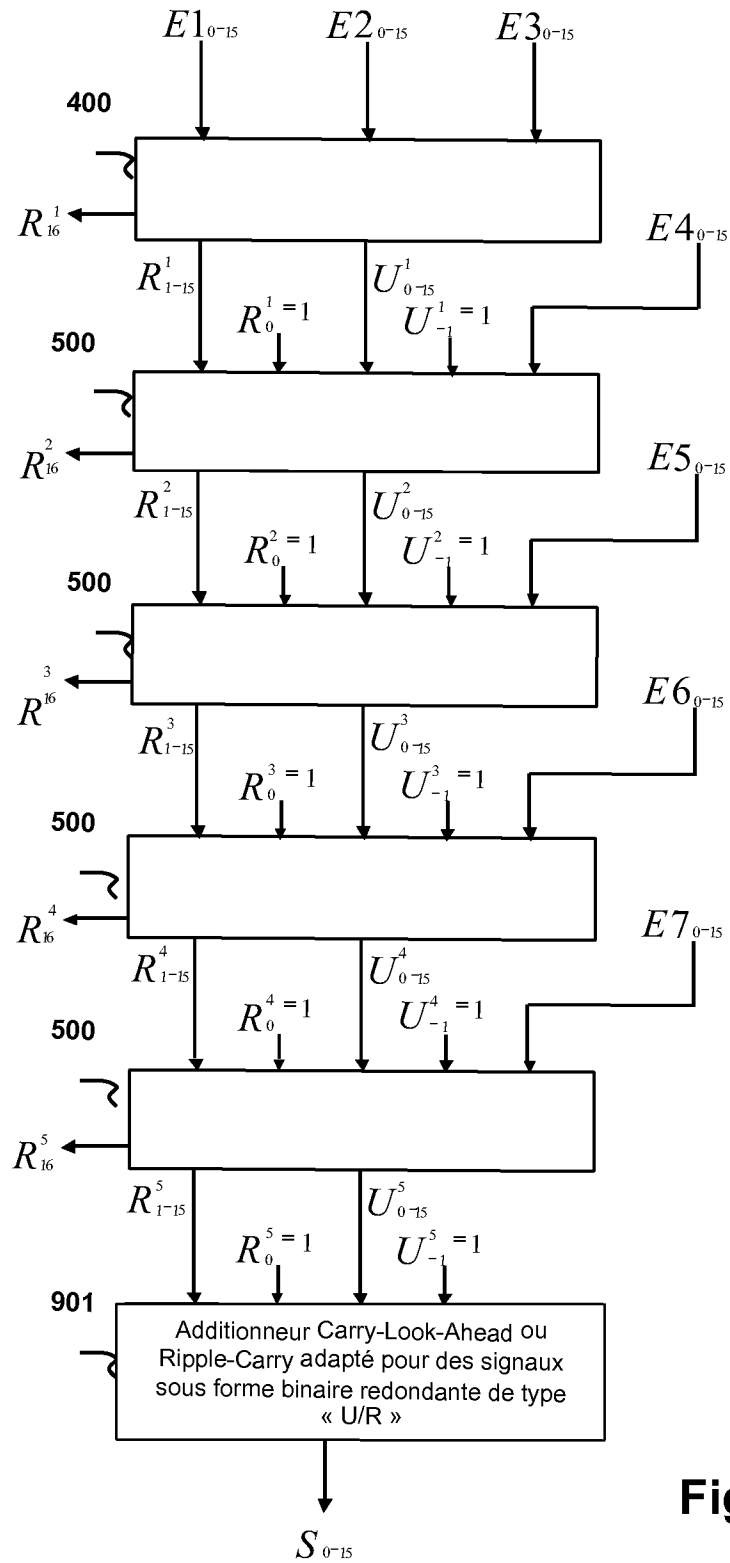


Figure 9

10/11

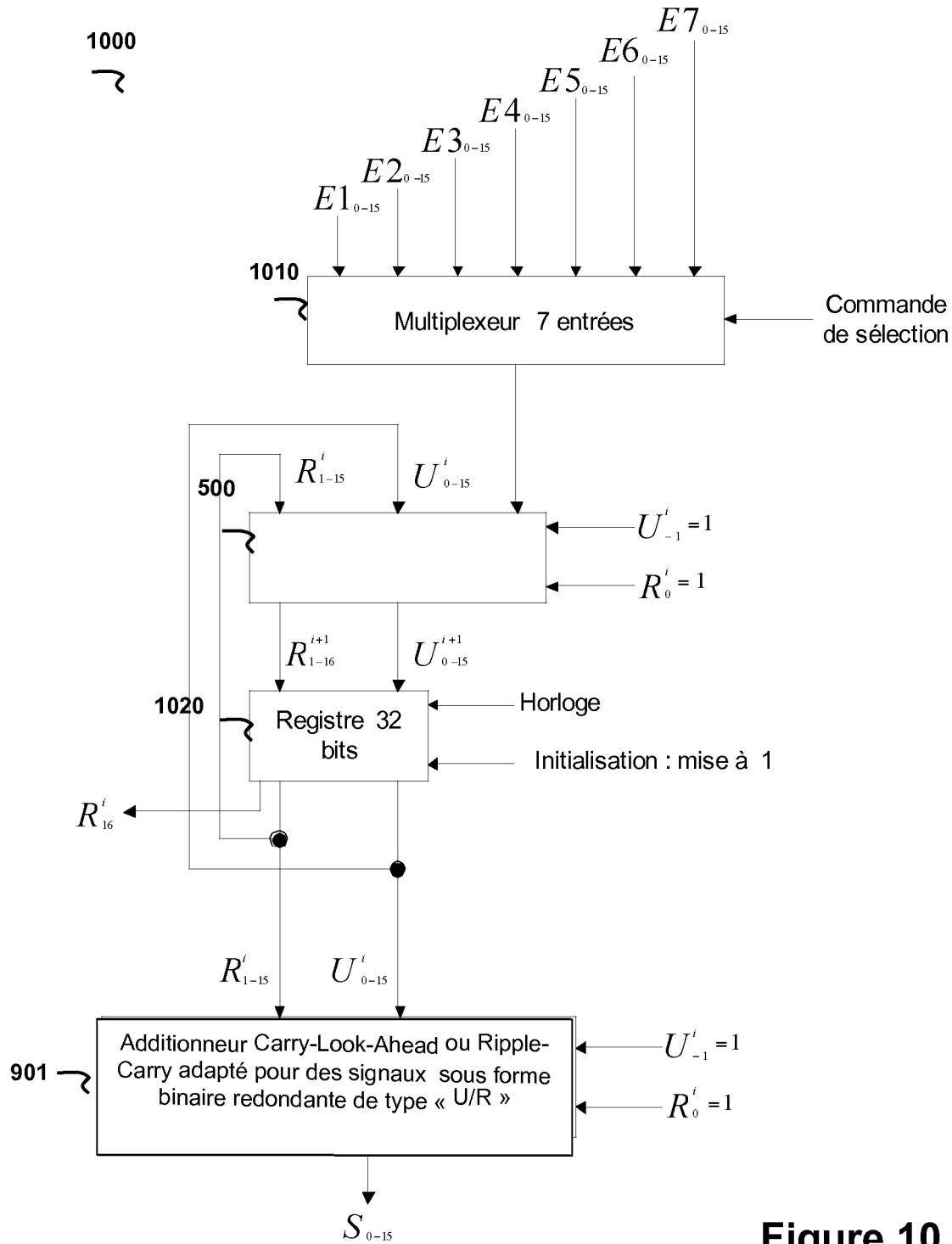


Figure 10

11/11

E1	0	0	0	1	0	1	0	0	1	1	0	1	0	1	1	1
E2	0	0	0	1	1	0	1	0	0	1	1	1	1	0	0	0
E3	0	0	0	1	1	0	1	0	1	0	1	0	1	1	1	0
U0	1	1	1	0	1	0	1	1	1	1	1	1	1	1	1	0
R0	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	1
E4	0	0	0	1	1	1	1	0	1	1	1	0	1	0	1	1
U1	1	1	0	0	0	0	0	0	1	1	1	0	1	0	0	1
R1	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	1
E5	0	0	0	1	0	0	1	1	1	1	0	1	0	0	1	0
U2	1	1	1	1	1	0	1	0	1	1	1	0	1	0	0	1
R2	1	0	0	0	0	0	1	0	0	1	1	1	0	1	1	1
E6	0	0	0	1	1	1	1	0	0	1	0	0	1	0	0	0
U3	1	0	0	1	0	0	1	1	0	0	0	0	0	1	0	1
R3	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1
E7	0	0	0	1	0	1	1	0	0	0	1	0	1	1	0	1
U4	1	0	1	0	1	0	1	1	0	0	1	0	0	0	0	0
R4	0	0	0	0	1	0	1	0	0	0	0	1	0	0	0	1
S	1	0	1	1	0	0	0	1	0	0	1	0	1	1	1	1

Figure 11

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2009/053976

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F7/50				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols) G06F				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
A	WO 2007/122319 A (R L DANIEL TORNO SA [FR]; TORNO DANIEL [FR]) 1 November 2007 (2007-11-01) cited in the application figures 4,9	1,5, 13-14		
A	US 2004/111455 A1 (SKULL JON [GB]) 10 June 2004 (2004-06-10) figures 2,3	1,5, 13-14		
----- -/--				
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.				
<input checked="" type="checkbox"/> See patent family annex.				
* Special categories of cited documents :				
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top; padding: 5px;"> *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%; vertical-align: top; padding: 5px;"> *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family </td> </tr> </table>			*A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family			
Date of the actual completion of the international search	Date of mailing of the International search report			
15 June 2009	23/06/2009			
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Verhoof, Paul			

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2009/053976

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A.	<p>FANG LU ET AL: "A HIGH-SPEED CMOS FULL-ADDER CELL USING A NEW CIRCUIT DESIGN TECHNIQUE - ADAPTIVELY-BIASED PSEUDO-NMOS LOGIC" PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS. NEW ORLEANS, MAY 1 - 3, 1990; [PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS], NEW YORK, IEEE, US, vol. 1 OF 04, 1 May 1990 (1990-05-01), pages 562-565, XP000166897 figure 9</p> <p style="text-align: center;">-----</p>	<p>1,5, 13-14</p>

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2009/053976

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2007122319 A	01-11-2007	EP 2013705 A1 FR 2900252 A1	14-01-2009 26-10-2007
US 2004111455 A1	10-06-2004	GB 2396708 A US 2006277247 A1	30-06-2004 07-12-2006

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2009/053976

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. G06F7/50		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) G06F		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	WO 2007/122319 A (R L DANIEL TORNO SA [FR]; TORNO DANIEL [FR]) 1 novembre 2007 (2007-11-01) cité dans la demande figures 4,9	1,5, 13-14
A	US 2004/111455 A1 (SKULL JON [GB]) 10 juin 2004 (2004-06-10) figures 2,3	1,5, 13-14
	-/--	
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités:		
A document définissant l'état général de la technique, non considéré comme particulièrement pertinent *E* document antérieur, mais publié à la date de dépôt international ou après cette date *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée		
T document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier *&* document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée 15 juin 2009		Date d'expédition du présent rapport de recherche internationale 23/06/2009
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Verhoof, Paul

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2009/053976

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>FANG LU ET AL: "A HIGH-SPEED CMOS FULL-ADDER CELL USING A NEW CIRCUIT DESIGN TECHNIQUE - ADAPTIVELY-BIASED PSEUDO-NMOS LOGIC" PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS. NEW ORLEANS, MAY 1 - 3, 1990; [PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS], NEW YORK, IEEE, US, vol. 1 OF 04, 1 mai 1990 (1990-05-01), pages 562-565, XP000166897 figure 9</p> <p style="text-align: center;">-----</p>	<p>1,5, 13-14</p>

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2009/053976

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 2007122319 A	01-11-2007	EP 2013705 A1 FR 2900252 A1	14-01-2009 26-10-2007
US 2004111455 A1	10-06-2004	GB 2396708 A US 2006277247 A1	30-06-2004 07-12-2006