

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-26138

(P2010-26138A)

(43) 公開日 平成22年2月4日(2010.2.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 612F	2H193
G02F 1/133 (2006.01)	G09G 3/20 621M	5C006
	G09G 3/20 680G	5C080
	G09G 3/20 641Q	
審査請求 未請求 請求項の数 16 O L (全 34 頁) 最終頁に続く		

(21) 出願番号 特願2008-185719 (P2008-185719)
 (22) 出願日 平成20年7月17日 (2008.7.17)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 100103746
 弁理士 近野 恵一
 (72) 発明者 松元 秀一郎
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 Fターム(参考) 2H093 NA16 NA53 NC03 NC11 NC34
 NC49 ND05 ND06 ND09 NE10
 2H193 ZA04 ZD23 ZD32 ZD34 ZF03
 ZP20

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

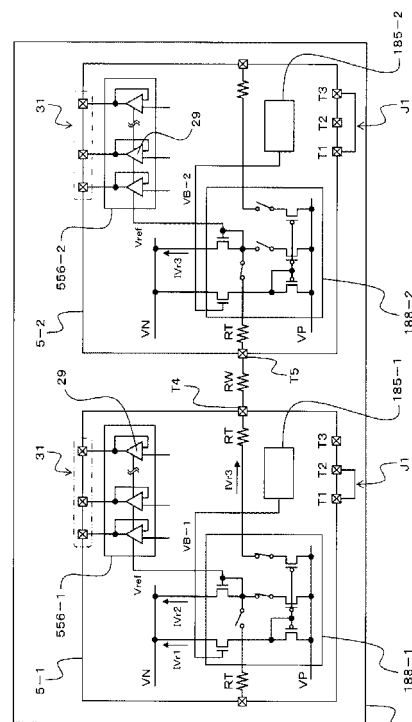
【課題】 複数の駆動回路部品を連携させて1つの表示領域を駆動する液晶表示装置の表示品質の低下を防ぐ。

【解決手段】 複数の画素がマトリクス状に配置された表示パネルと、前記表示パネルに接続されたプリント配線板と、前記表示パネルまたは前記プリント配線板に搭載された第1の駆動回路部品および第2の駆動回路部品とを有する表示装置において、前記第1の駆動回路部品および前記第2の駆動回路部品は、それぞれ、階調基準電圧に基づいて前記画素の第1の電極に加える階調電圧を生成する階調電圧生成回路と、前記階調基準電圧を生成する基準階調電圧生成回路とを有し、前記第1の駆動回路部品の前記階調電圧生成回路および前記第2の駆動回路部品の前記階調電圧生成回路は、それぞれ、前記第1の駆動回路部品の前記基準階調電圧生成回路で生成した前記階調基準電圧に基づいて前記階調電圧を生成する表示装置。

【選択図】

図13(a)

図13(a)



【特許請求の範囲】**【請求項 1】**

複数の画素がマトリクス状に配置された表示パネルと、前記表示パネルに接続されたプリント配線板と、前記表示パネルまたは前記プリント配線板に搭載された第 1 の駆動回路部品および第 2 の駆動回路部品とを有し、

前記複数の画素は、それぞれ、第 1 の電極および第 2 の電極を有する表示装置において、

前記第 1 の駆動回路部品および前記第 2 の駆動回路部品は、それぞれ、階調基準電圧に基づいて前記画素の前記第 1 の電極に加える階調電圧を生成する階調電圧生成回路と、前記階調基準電圧を生成する基準階調電圧回路とを有し、

前記第 2 の駆動回路部品の前記階調電圧生成回路は、前記第 1 の駆動回路部品の前記基準階調電圧回路と接続しており、

前記第 1 の駆動回路部品の前記階調電圧生成回路および前記第 2 の駆動回路部品の前記階調電圧生成回路は、それぞれ、前記第 1 の駆動回路部品の前記基準階調電圧回路で生成した前記階調基準電圧に基づいて前記階調電圧を生成することを特徴とする表示装置。

【請求項 2】

前記第 1 の駆動回路部品および前記第 2 の駆動回路部品は、当該駆動回路部品に設けられた基準階調電圧回路と、他の駆動回路部品から出力された階調基準電圧の入力端子のどちらを前記階調電圧生成回路に接続するか選択するマスタ・スレーブ選択回路を有し、

前記マスタ・スレーブ選択回路は、前記駆動回路部品の外部端子の接続パターンにより、前記基準階調電圧回路と前記入力端子のどちらを前記階調電圧生成回路に接続するか選択することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 の駆動回路部品の前記基準階調電圧回路と前記第 2 の駆動回路部品の前記階調電圧生成回路は、前記表示パネルの配線および前記プリント配線板の配線を介して接続していることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記第 1 の駆動回路部品の前記基準階調電圧回路と、当該第 1 の駆動回路部品の前記階調電圧生成回路は、前記表示パネルの配線および前記プリント配線板の配線を介して接続しており、

前記第 1 の駆動回路部品の前記基準階調電圧回路と前記第 2 の駆動回路部品の前記階調電圧生成回路は、前記表示パネルの配線および前記プリント配線板の配線を介して接続していることを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記表示パネルは、一对の基板の間に液晶組成物を封入した液晶表示パネルであることを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

複数の画素がマトリクス状に配置された表示パネルと、前記表示パネルに接続されたプリント配線板と、前記表示パネルまたは前記プリント配線板に搭載された第 1 の駆動回路部品および第 2 の駆動回路部品とを有し、

前記複数の画素は、それぞれ、第 1 の電極および第 2 の電極を有する表示装置において、

前記第 1 の駆動回路部品および前記第 2 の駆動回路部品は、それぞれ、階調基準電圧に基づいて前記画素の前記第 1 の電極に加える階調電圧を生成する階調電圧生成回路と、前記階調電圧生成回路で生成した前記階調電圧を増幅して前記第 1 の電極に供給する出力アンプと、前記出力アンプに前記階調電圧を増幅させるバイアス電圧を供給するバイアス線と、前記バイアス電圧を生成するバイアス回路とを有し、

前記第 1 の駆動回路部品の前記バイアス回路は、基準電圧を出力する端子を有し、

前記第 2 の駆動回路部品の前記バイアス線は、前記第 1 の駆動回路部品の前記バイアス回路の前記基準電圧を出力する端子と接続しており、

10

20

30

40

50

前記第 1 の駆動回路部品の前記出力アンプおよび前記第 2 の駆動回路部品の前記出力アンプは、それぞれ、前記第 1 の駆動回路部品の前記バイアス回路で生成したバイアス電圧により前記階調電圧を増幅することを特徴とする表示装置。

【請求項 7】

前記第 1 の駆動回路部品および前記第 2 の駆動回路部品は、当該駆動回路部品に設けられたバイアス回路と、他の駆動回路部品から出力された前記基準電圧の入力端子のどちらを前記バイアス線に接続するか選択するマスタ・スレーブ選択回路を有し、

前記マスタ・スレーブ選択回路は、前記駆動回路部品の外部端子の接続パターンにより、前記バイアス回路と前記入力端子のどちらを前記バイアス線に接続するか選択することを特徴とする請求項 6 に記載の表示装置。

10

【請求項 8】

前記第 1 の駆動回路部品は、前記バイアス回路から出力された基準電流を出力する出力端子を有し、

前記第 1 の駆動回路部品から前記第 2 の駆動回路部品への前記基準電圧の供給は、前記バイアス回路から出力された前記基準電流で行うことを特徴とする請求項 6 に記載の表示装置。

【請求項 9】

前記第 1 の駆動回路部品は、前記基準電圧を生成するバンドギャップ回路を有することを特徴とする請求項 6 に記載の表示装置。

【請求項 10】

20

前記表示パネルは、一对の基板の間に液晶組成物を封入した液晶表示パネルであることを特徴とする請求項 6 に記載の表示装置。

【請求項 11】

複数の画素がマトリクス状に配置された表示パネルと、前記表示パネルに接続されたプリント配線板と、前記表示パネルまたは前記プリント配線板に搭載された第 1 の駆動回路部品および第 2 の駆動回路部品とを有し、

前記複数の画素は、それぞれ、第 1 の電極および第 2 の電極を有する表示装置において、

前記第 1 の駆動回路部品および前記第 2 の駆動回路部品は、それぞれ、階調基準電圧に基づいて前記画素の前記第 1 の電極に加える階調電圧を生成する階調電圧生成回路と、前記階調基準電圧を生成する基準階調電圧回路と、前記階調電圧生成回路で生成する階調電圧の電位を補正するガンマ補正回路とを有し、

30

前記第 2 の駆動回路部品の前記ガンマ補正回路は、前記第 1 の駆動回路部品の前記基準階調電圧回路と接続しており、

前記第 1 の駆動回路部品の前記ガンマ補正回路および前記第 2 の駆動回路部品の前記ガンマ補正回路は、それぞれ、前記第 1 の駆動回路部品の前記基準階調電圧回路で生成した前記階調基準電圧に基づいて前記階調電圧の電位を補正することを特徴とする表示装置。

【請求項 12】

前記第 1 の駆動回路部品および前記第 2 の駆動回路部品は、当該駆動回路部品に設けられた基準階調電圧回路と、他の駆動回路部品から出力された階調基準電圧の入力端子のどちらを前記ガンマ補正回路に接続するか選択するマスタ・スレーブ選択回路を有し、

40

前記マスタ・スレーブ選択回路は、前記駆動回路部品の外部端子の接続パターンにより、前記基準階調電圧回路と前記入力端子のどちらを前記ガンマ補正回路に接続するか選択することを特徴とする請求項 11 に記載の表示装置。

【請求項 13】

前記第 1 の駆動回路部品の前記基準階調電圧回路と前記第 2 の駆動回路部品の前記ガンマ補正回路は、前記表示パネルの配線および前記プリント配線板の配線を介して接続していることを特徴とする請求項 11 に記載の表示装置。

【請求項 14】

前記第 1 の駆動回路部品の前記基準階調電圧回路と、当該第 1 の駆動回路部品の前記ガ

50

ンマ補正回路は、前記表示パネルの配線および前記プリント配線板の配線を介して接続しており、

前記第１の駆動回路部品の前記基準階調電圧回路と前記第２の駆動回路部品の前記ガンマ補正回路は、前記表示パネルの配線および前記プリント配線板の配線を介して接続していることを特徴とする請求項１１に記載の表示装置。

【請求項１５】

前記ガンマ補正回路は、可変抵抗回路を有することを特徴とする請求項１１に記載の表示装置。

【請求項１６】

前記表示パネルは、一对の基板の間に液晶組成物を封入した液晶表示パネルであることを特徴とする請求項１１に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、表示装置に関し、特に、複数の駆動回路部品を用いて駆動する液晶表示装置に適用して有効な技術に関するものである。

【背景技術】

【０００２】

従来、アクティブマトリクス方式の液晶表示装置は、たとえば、パーソナルコンピュータ（ＰＣ）のディスプレイやテレビなどに広く使用されている。これらの液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する駆動回路とを有する。また、従来の液晶表示装置において、前記駆動回路は、ドライバＩＣなどと呼ばれるＩＣチップに形成されており、当該ＩＣチップは、液晶表示パネル、または液晶表示パネルに接続されたプリント配線板に搭載（実装）されている。

【０００３】

また、アクティブマトリクス方式の液晶表示装置は、たとえば、携帯電話端末やＰＤＡなどの携帯型電子機器の表示装置（表示モジュール）としても広く利用されている。またさらに、液晶表示装置は、たとえば、ノートブック型などと呼ばれる携帯型コンピュータの表示装置（表示モジュール）としても用いられている。

【０００４】

ところで、携帯型コンピュータに用いる表示装置は、通常、携帯電話端末などの携帯型電子機器に用いられる表示装置よりも大型（大画面）であり、かつ、高精細（高解像度）である。また、近年の携帯型コンピュータに用いる表示装置は、多階調化が望まれている。そのため、携帯型コンピュータに用いる液晶表示装置には、より高精細であり、かつ、表示品質の優れているものが望まれている。

【０００５】

しかしながら、高精細な液晶表示装置で多階調の表示を行う場合、たとえば、駆動回路部品の回路規模が増大するという問題がある。携帯型コンピュータなどに用いる液晶表示装置では、たとえば、コンピュータの小型化、薄型化などにより、駆動回路を有するＩＣチップを実装できる領域が限られている。そのため、駆動回路は１つのＩＣチップに形成することが望ましいが、回路規模が増大した場合、駆動回路を１つのＩＣチップに収めると、たとえば、ＩＣチップが大型化し、限られた領域に実装することが難しくなっている。

【０００６】

そのため、携帯型コンピュータなどに用いる液晶表示装置では、たとえば、１枚の液晶表示パネルに複数のＩＣチップ（駆動回路）を搭載し、それぞれのＩＣチップの駆動回路を連携させて１枚の液晶表示パネルを駆動する方法が提案されている。１枚の液晶表示パネル上に搭載した複数の駆動回路を連携させる方法としては、たとえば、インストラクション信号を用いて各ＩＣチップの駆動回路を制御する方法がある（たとえば、特許文献１を参照。）。

10

20

30

40

50

【特許文献１】特開２００３－１０７５２０号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

ところで、複数の駆動回路を連携させて１枚の液晶表示パネルを駆動する場合、当該１枚の液晶表示パネルに設けられた複数本の映像信号線は、それぞれ、複数の駆動回路のうちの１つの駆動回路に接続されている。このとき、１つの駆動回路では、複数本の映像信号線のうちの、当該駆動回路に接続された映像信号線に加える階調電圧（映像信号）を生成し、生成した階調電圧をあらかじめ定められたタイミングで出力する。

【０００８】

またこのとき、１枚の液晶表示パネルに搭載する複数の駆動回路（ＩＣチップ）は、通常、同じ構成であり、それぞれの駆動回路は、階調電圧を生成するときの基準になる電圧（階調基準電圧）を生成する基準階調電圧回路を有する。そして、従来の液晶表示装置におけるそれぞれの駆動回路は、当該駆動回路が有する基準階調電圧回路で生成した階調基準電圧に基づいて、それぞれの映像信号線に加える階調電圧を生成している。

【０００９】

しかしながら、液晶表示パネルに搭載するＩＣチップは、たとえば、同じ材料を用い、同じ手順で製造したものであっても、製造プロセスにおけるばらつきの影響で、駆動回路の特性にばらつきが生じている。したがって、１枚の液晶表示パネルに搭載された複数のＩＣチップは、すべて同じ構成のものであっても、たとえば、基準階調電圧回路で生成される階調基準電圧の電位にばらつきが生じることがある。

【００１０】

このように、複数のＩＣチップのそれぞれで、階調電圧を生成するときの基準になる階調基準電圧の電位にばらつきがあると、たとえば、１つの表示領域のうちの、あるＩＣチップで駆動する部分と、別のＩＣチップで駆動する部分とで、表示画質に差が生じる。そのため、従来の、１枚の液晶表示パネルに複数の駆動回路（ＩＣチップ）を搭載した液晶表示装置では、たとえば、表示むらなどが発生し、表示品質が低下するという問題がある。

【００１１】

本発明の目的は、たとえば、複数の駆動回路部品を連携させて１つの表示領域を駆動する液晶表示装置の表示品質の低下を防ぐことが可能な技術を提供することにある。

【００１２】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面によって明らかになるであろう。

【課題を解決するための手段】

【００１３】

本願において開示される発明のうち、代表的なものの概略を説明すれば、以下の通りである。

【００１４】

（１）複数の画素がマトリクス状に配置された表示パネルと、前記表示パネルに接続されたプリント配線板と、前記表示パネルまたは前記プリント配線板に搭載された第１の駆動回路部品および第２の駆動回路部品とを有し、前記複数の画素は、それぞれ、第１の電極および第２の電極を有する表示装置において、前記第１の駆動回路部品および前記第２の駆動回路部品は、それぞれ、階調基準電圧に基づいて前記画素の前記第１の電極に加える階調電圧を生成する階調電圧生成回路と、前記階調基準電圧を生成する基準階調電圧回路とを有し、前記第２の駆動回路部品の前記階調電圧生成回路は、前記第１の駆動回路部品の前記基準階調電圧回路と接続しており、前記第１の駆動回路部品の前記階調電圧生成回路および前記第２の駆動回路部品の前記階調電圧生成回路は、それぞれ、前記第１の駆動回路部品の前記基準階調電圧回路で生成した前記階調基準電圧に基づいて前記階調電圧を生成する表示装置。

【 0 0 1 5 】

(2) 前記 (1) の表示装置において、前記第 1 の駆動回路部品および前記第 2 の駆動回路部品は、当該駆動回路部品に設けられた基準階調電圧回路と、他の駆動回路部品から出力された階調基準電圧の入力端子のどちらを前記階調電圧生成回路に接続するか選択するマスタ・スレーブ選択回路を有し、前記マスタ・スレーブ選択回路は、前記駆動回路部品の外部端子の接続パターンにより、前記基準階調電圧回路と前記入力端子のどちらを前記階調電圧生成回路に接続するか選択する表示装置。

【 0 0 1 6 】

(3) 前記 (1) の表示装置において、前記第 1 の駆動回路部品の前記基準階調電圧回路と前記第 2 の駆動回路部品の前記階調電圧生成回路は、前記表示パネルの配線および前記プリント配線板の配線を介して接続している表示装置。

10

【 0 0 1 7 】

(4) 前記 (1) の表示装置において、前記第 1 の駆動回路部品の前記基準階調電圧回路と、当該第 1 の駆動回路部品の前記階調電圧生成回路は、前記表示パネルの配線および前記プリント配線板の配線を介して接続しており、前記第 1 の駆動回路部品の前記基準階調電圧回路と前記第 2 の駆動回路部品の前記階調電圧生成回路は、前記表示パネルの配線および前記プリント配線板の配線を介して接続している表示装置。

【 0 0 1 8 】

(5) 前記 (1) の表示装置において、前記表示パネルは、一対の基板の間に液晶組成物を封入した液晶表示パネルである表示装置。

20

【 0 0 1 9 】

(6) 複数の画素がマトリクス状に配置された表示パネルと、前記表示パネルに接続されたプリント配線板と、前記表示パネルまたは前記プリント配線板に搭載された第 1 の駆動回路部品および第 2 の駆動回路部品とを有し、前記複数の画素は、それぞれ、第 1 の電極および第 2 の電極を有する表示装置において、前記第 1 の駆動回路部品および前記第 2 の駆動回路部品は、それぞれ、階調基準電圧に基づいて前記画素の前記第 1 の電極に加える階調電圧を生成する階調電圧生成回路と、前記階調電圧生成回路で生成した前記階調電圧を増幅して前記第 1 の電極に供給する出力アンプと、前記出力アンプに前記階調電圧を増幅させるバイアス電圧を供給するバイアス線と、前記バイアス電圧を生成するバイアス回路とを有し、前記第 1 の駆動回路部品の前記バイアス回路は、基準電圧を出力する端子を有し、前記第 2 の駆動回路部品の前記バイアス線は、前記第 1 の駆動回路部品の前記バイアス回路の前記基準電圧を出力する端子と接続しており、前記第 1 の駆動回路部品の前記出力アンプおよび前記第 2 の駆動回路部品の前記出力アンプは、それぞれ、前記第 1 の駆動回路部品の前記バイアス回路で生成したバイアス電圧により前記階調電圧を増幅する表示装置。

30

【 0 0 2 0 】

(7) 前記 (6) の表示装置において、前記第 1 の駆動回路部品および前記第 2 の駆動回路部品は、当該駆動回路部品に設けられたバイアス回路と、他の駆動回路部品から出力された前記基準電圧の入力端子のどちらを前記バイアス線に接続するか選択するマスタ・スレーブ選択回路を有し、前記マスタ・スレーブ選択回路は、前記駆動回路部品の外部端子の接続パターンにより、前記バイアス回路と前記入力端子のどちらを前記バイアス線に接続するか選択する表示装置。

40

【 0 0 2 1 】

(8) 前記 (6) の表示装置において、前記第 1 の駆動回路部品は、前記バイアス回路から出力された基準電流を出力する出力端子を有し、前記第 1 の駆動回路部品から前記第 2 の駆動回路部品への前記基準電圧の供給は、前記バイアス回路から出力された前記基準電流で行う表示装置。

【 0 0 2 2 】

(9) 前記 (6) の表示装置において、前記第 1 の駆動回路部品は、前記基準電圧を生成するバンドギャップ回路を有する表示装置。

50

【 0 0 2 3 】

(1 0) 前記 (6) の表示装置において、前記表示パネルは、一対の基板の間に液晶組成物を封入した液晶表示パネルである表示装置。

【 0 0 2 4 】

(1 1) 複数の画素がマトリクス状に配置された表示パネルと、前記表示パネルに接続されたプリント配線板と、前記表示パネルまたは前記プリント配線板に搭載された第 1 の駆動回路部品および第 2 の駆動回路部品とを有し、前記複数の画素は、それぞれ、第 1 の電極および第 2 の電極を有する表示装置において、前記第 1 の駆動回路部品および前記第 2 の駆動回路部品は、それぞれ、階調基準電圧に基づいて前記画素の前記第 1 の電極に加える階調電圧を生成する階調電圧生成回路と、前記階調基準電圧を生成する基準階調電圧回路と、前記階調電圧生成回路で生成する階調電圧の電位を補正するガンマ補正回路とを有し、前記第 2 の駆動回路部品の前記ガンマ補正回路は、前記第 1 の駆動回路部品の前記基準階調電圧回路と接続しており、前記第 1 の駆動回路部品の前記ガンマ補正回路および前記第 2 の駆動回路部品の前記ガンマ補正回路は、それぞれ、前記第 1 の駆動回路部品の前記基準階調電圧回路で生成した前記階調基準電圧に基づいて前記階調電圧の電位を補正する表示装置。

10

【 0 0 2 5 】

(1 2) 前記 (1 1) の表示装置において、前記第 1 の駆動回路部品および前記第 2 の駆動回路部品は、当該駆動回路部品に設けられた基準階調電圧回路と、他の駆動回路部品から出力された階調基準電圧の入力端子のどちらを前記ガンマ補正回路に接続するか選択するマスタ・スレーブ選択回路を有し、前記マスタ・スレーブ選択回路は、前記駆動回路部品の外部端子の接続パターンにより、前記基準階調電圧回路と前記入力端子のどちらを前記ガンマ補正回路に接続するか選択する表示装置。

20

【 0 0 2 6 】

(1 3) 前記 (1 1) の表示装置において、前記第 1 の駆動回路部品の前記基準階調電圧回路と前記第 2 の駆動回路部品の前記ガンマ補正回路は、前記表示パネルの配線および前記プリント配線板の配線を介して接続している表示装置。

【 0 0 2 7 】

(1 4) 前記 (1 1) の表示装置において、前記第 1 の駆動回路部品の前記基準階調電圧回路と、当該第 1 の駆動回路部品の前記ガンマ補正回路は、前記表示パネルの配線および前記プリント配線板の配線を介して接続しており、前記第 1 の駆動回路部品の前記基準階調電圧回路と前記第 2 の駆動回路部品の前記ガンマ補正回路は、前記表示パネルの配線および前記プリント配線板の配線を介して接続している表示装置。

30

【 0 0 2 8 】

(1 5) 前記 (1 1) の表示装置において、前記ガンマ補正回路は、可変抵抗回路を有する表示装置。

【 0 0 2 9 】

(1 6) 前記 (1 1) の表示装置において、前記表示パネルは、一対の基板の間に液晶組成物を封入した液晶表示パネルである表示装置。

【 発明の効果 】

40

【 0 0 3 0 】

本発明の表示装置によれば、たとえば、複数の駆動回路を連携させて 1 つの表示領域を駆動する液晶表示装置の表示品質の低下を防ぐことができる。

【 発明を実施するための最良の形態 】

【 0 0 3 1 】

以下、本発明について、図面を参照して実施の形態（実施例）とともに詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

【 実施例 】

50

【 0 0 3 2 】

図 1 (a) 乃至図 1 (e) は、本発明による一実施例の液晶表示装置の概略構成および駆動方法を示す模式図である。

図 1 (a) は、本発明による一実施例の液晶表示装置の概略構成の一例を示す模式ブロック図である。図 1 (b) は、図 1 (a) の駆動回路および分配回路の周辺を拡大して示した模式ブロック図である。図 1 (c) は、液晶表示パネルの 1 つの画素の回路構成の一例を示す模式回路図である。図 1 (d) は、表示領域の回路構成および分配回路の回路構成の一例を示す模式回路図である。図 1 (e) は、本実施例の液晶表示装置の駆動方法の一例を示す模式図である。

【 0 0 3 3 】

本実施例の液晶表示装置は、たとえば、表示領域が横 1 3 6 6 × 3 画素、縦 7 6 8 画素で構成される W X G A クラスのものであり、2 つの駆動回路部品を用いて、1 枚の液晶表示パネルを駆動するものであるとする。このとき、本実施例の液晶表示装置は、たとえば、図 1 (a) に示すように、液晶表示パネル 1、第 1 の駆動回路部品 5 - 1、第 2 の駆動回路部品 5 - 2、プリント配線板 7 0、およびバックライト 1 1 0、ならびに図示しない収納ケースなどを有する。

【 0 0 3 4 】

液晶表示パネル 1 は、第 1 の基板 2 (以下、T F T 基板という) と、第 2 の基板 3 (以下、カラーフィルタ基板という) とを所定の間隙を隔てて重ね合わせ、T F T 基板 2 とカラーフィルタ基板 3 との間に液晶組成物 (図示しない) を介在させた表示パネルである。このとき、T F T 基板 2 とカラーフィルタ基板 3 は、たとえば、表示領域を囲む環状のシール材 (図示しない) で貼り合わせており、液晶組成物は、T F T 基板 2、カラーフィルタ基板 3、およびシール材で囲まれる空間に封入されている。

【 0 0 3 5 】

またこのとき、液晶表示パネル 1 は、たとえば、T F T 基板 2 およびカラーフィルタ基板 3 を挟んで設けられる一対の偏光板や、位相差板などを有する。

【 0 0 3 6 】

T F T 基板 2 は、複数本の走査信号線 G L (走査線またはゲート線と呼ぶこともある)、および複数本の映像信号線 D L (映像線またはデータ線あるいはドレイン線と呼ぶこともある) を有する。

【 0 0 3 7 】

なお、図 1 (a) には、一部の走査信号線 G L のみを示しており、実際の T F T 基板 2 には、さらに多数本 (たとえば、7 6 8 本) の走査信号線 G L が設けられている。このとき、それぞれの走査信号線 G L は表示領域 D A を通る部分を有し、当該表示領域 D A を通る部分は x 方向に延在している。また、それぞれの走査信号線 G L の表示領域 D A を通る部分は、y 方向に並設されている。また、それぞれの走査信号線 G L は、走査信号線駆動回路 5 1 に接続している。

【 0 0 3 8 】

また、図 1 (a) には、一部の映像信号線 D L のみを示しており、実際の T F T 基板 2 には、さらに多数本 (たとえば、4 0 9 8 本) の映像信号線 D L が設けられている。このとき、それぞれの映像信号線 D L は表示領域 D A を通る部分を有し、当該表示領域 D A を通る部分は y 方向に延在している。また、それぞれの映像信号線 D L の表示領域 D A を通る部分は、x 方向に並設されている。また、本実施例の液晶表示装置では、たとえば、図 1 (b) に示すように、複数本の映像信号線 D L のうちの、表示領域 D A の左半分に配置されている映像信号線 D L が第 1 の分配回路 6 0 - 1 を介して第 1 の駆動回路部品 5 - 1 に接続しており、表示領域 D A の右半分に配置されている映像信号線 D L が第 2 の分配回路 6 0 - 2 を介して第 2 の駆動回路部品 5 - 2 に接続している。

【 0 0 3 9 】

液晶表示パネル 1 の表示領域 D A は、マトリクス状に配置された複数の画素の集合で構成されており、表示領域 D A において 1 つの画素が占有する領域は、たとえば、隣接する

10

20

30

40

50

2本の走査信号線 GL と隣接する2本の映像信号線 DL とで囲まれる領域に相当する。このとき、1つの画素は、たとえば、図1(c)に示すように、第1のTFT素子10、第1のTFT素子10のソースに接続された画素電極11、およびコモン配線25に接続された対向電極15を有する。また、1つの画素は、たとえば、画素容量 C_{LC} (液晶容量と呼ぶこともある)、および保持容量 C_{STG} (補助容量または蓄積容量と呼ぶこともある)を有する。

【0040】

第1のTFT素子10は、ドレインが隣接する2本の映像信号線 DL_n, DL_{n+1} のうちの1本の映像信号線 DL_n に接続しており、ゲートが隣接する2本の走査信号線 GL_m, GL_{m+1} のうちの1本の走査信号線 GL_m に接続している。このとき、第1のTFT素子10は、第1の駆動回路部品5-1または第2の駆動回路部品5-2から映像信号線 DL_n に加えられた階調電圧(映像信号)を画素電極11に供給するためのスイッチング素子(アクティブ素子)として機能する。

10

【0041】

なお、第1のTFT素子10のソースとドレインは、バイアスの関係で逆になることもあるが、本明細書では、映像信号線 DL に接続されるほうをドレインという。

【0042】

また、本実施例の液晶表示パネル1における表示領域 DA の構成は、従来の液晶表示パネルに適用されている種々の構成のうちのいずれか、あるいはそれを応用または変形した構成であればよい。そのため、本実施例では、実際の液晶表示パネル1における表示領域 DA の平面レイアウトなどの構成の説明は省略する。

20

【0043】

第1の駆動回路部品5-1および第2の駆動回路部品5-2は、それぞれ、TFT基板2に搭載されたICチップまたは当該ICチップを有する半導体パッケージである。また、第1の駆動回路部品5-1および第2の駆動回路5-2は、それぞれ、映像信号線(各画素の画素電極)に加える階調電圧(映像信号)を生成する階調電圧生成回路を有する。

【0044】

このとき、第1の駆動回路部品5-1は、中継信号線61および第1の分配回路60-1を介して、表示領域 DA の左半分に配置された複数本の映像信号線 DL と接続している。第1の分配回路60-1は、第1の駆動回路部品5-1から1本の中継信号線61に出力された映像信号を供給する映像信号線 DL を選択する回路であり、たとえば、図1(d)に示すような回路構成になっている。

30

【0045】

第1の分配回路60-1に接続している複数本の中継信号線61は、それぞれ、一端が第1の駆動回路部品5-1の映像信号出力端子に接続している。このとき、1本の中継信号線61には、隣接する3本の映像信号線 DL が、それぞれ、第2のTFT素子(図示しない)を介して接続している。またこのとき、第1の分配回路60-1には、第1の駆動回路部品5-1に接続された3本の制御信号線63a, 63b, 63cが通っており、それぞれ第2のTFT素子のゲートは、3本の制御信号線63a, 63b, 63cのいずれかに接続している。なお、1本の中継信号線61に接続している3つの第2のTFT素子のゲートは、それぞれ、異なる制御信号線に接続している。

40

【0046】

また、制御信号線63(63a, 63b, 63c)は、それぞれ、一方の端のみが第1の駆動回路部品5-1に接続していてもよいが、本実施例の液晶表示装置のように、高精細な液晶表示パネル1を有する液晶表示装置の場合、制御信号線63(63a, 63b, 63c)は、それぞれ、図1(d)に示すように、両端を第1の駆動回路部品5-1に接続することが望ましい。このように、第1の分配回路60-1の両端部から制御信号線63を介して制御信号を供給すると、制御信号線63のうちの、第1の分配回路60-1を通る部分が長くなっても、当該制御信号線63に加えた制御信号の波形のなまりを減少させることができる。

50

【 0 0 4 7 】

また、第 1 の駆動回路部品 5 - 1 は、信号線 6 4 - 1 , 6 4 - 2 , 6 5 により表示領域の左側に配置された走査信号線駆動回路 5 1 と接続している。信号線 6 4 - 1 , 6 4 - 2 は、対向電極 1 5 にコモン電位の電圧を供給する対向電極信号線であり、信号線 6 5 は、走査タイミング信号を伝送する信号線である。

【 0 0 4 8 】

表示領域の右半分に配置された映像信号線 D L と第 2 の駆動回路部品 5 - 2 との間に介在する第 2 の分配回路 6 0 - 2 は、第 1 の分配回路 6 0 - 1 と同じ回路構成である。

【 0 0 4 9 】

また、第 2 の駆動回路部品 5 - 2 は、信号線 6 4 - 1 , 6 4 - 2 , 6 5 により表示領域の右側に配置された走査信号線駆動回路 5 1 と接続している。信号線 6 4 - 1 , 6 4 - 2 は、対向電極信号線であり、信号線 6 5 は、走査タイミング信号を伝送する信号線である。

10

【 0 0 5 0 】

また、第 2 の駆動回路部品 5 - 2 は、信号線 6 6 によりイコライズ回路 8 0 と接続している。

【 0 0 5 1 】

なお、第 1 の分配回路 6 0 - 1、第 2 の分配回路 6 0 - 2、走査信号線駆動回路 5 1、およびイコライズ回路 8 0 は、複数の T F T 素子を有する集積回路であり、T F T 基板 2 に内蔵されている。すなわち、第 1 の分配回路 6 0 - 1、第 2 の分配回路 6 0 - 2、走査信号線駆動回路 5 1、およびイコライズ回路 8 0 の T F T 素子や受動素子は、T F T 基板 2 を形成する段階で、表示領域の第 1 の T F T 素子 1 0 などとともに、ガラス基板などの絶縁基板上に形成されている。

20

【 0 0 5 2 】

また、本実施例の液晶表示装置は、T F T 基板 2 の長辺の 1 つにプリント配線板（プリント配線板）が接続されており、プリント配線板にはコネクタ 4 が設けられている。コネクタ 4 は、外部信号線と接続されており、液晶表示装置の外部からの信号が入力する。コネクタ 4 と第 1 の駆動回路部品 5 - 1 との間、およびコネクタと第 2 の駆動回路部品 5 - 2 との間には、それぞれ、配線 7 1 が設けられており、外部からの信号は配線 7 1 を介して第 1 の駆動回路部品 5 - 1 および第 2 の駆動回路部品 5 - 2 に伝送される。

30

【 0 0 5 3 】

また、第 1 の駆動回路部品 5 - 1 および第 2 の駆動回路部品 5 - 2 には、外部に設けられた制御装置（図示しない）から送出された制御信号、および外部電源回路（図示しない）から供給される電源電圧が、コネクタ 4、配線 7 1 を介して入力される。

【 0 0 5 4 】

また、外部から第 1 の駆動回路部品 5 - 1 および第 2 の駆動回路部品 5 - 2 に入力する信号は、クロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号などの制御信号、各画素の階調を指定する表示用データ、および表示モード制御コマンドであり、第 1 の駆動回路部品 5 - 1 および第 2 の駆動回路部品 5 - 2 は、これらの入力信号に基づいて液晶表示パネル 1 を駆動する。

40

【 0 0 5 5 】

また、本実施例の液晶表示装置は、バックライト 1 1 0 が設けられており、バックライト 1 1 0 から液晶表示パネル 1 に照射した光の透過量または反射量を画素毎に制御して、映像や画像の表示を行う。バックライト 1 1 0 は、たとえば、L E D（発光ダイオード）または冷陰極蛍光管などの光源を有する面状照明装置であり、光源を発光させるための電力は、液晶表示装置の外部からフレキシブル基板の配線およびコネクタを介して供給される。

【 0 0 5 6 】

第 1 の駆動回路部品 5 - 1 および第 2 の駆動回路部品 5 - 2、ならびに走査信号線駆動回路 5 1 により液晶表示装置を駆動するときには、たとえば、それぞれの回路から、図 1

50

(e) に示すような信号を出力する。

【 0 0 5 7 】

第 1 の駆動回路部品 5 - 1 および第 2 の駆動回路部品 5 - 2 は、それぞれ、走査信号線 G L を駆動するための制御信号を信号線 6 5 を介して走査信号線駆動回路 5 1 に供給する。走査信号線駆動回路 5 1 は第 1 の駆動回路部品 5 - 1 または第 2 の駆動回路部品 5 - 2 で発生させる基準クロックに基づき、それぞれの走査信号線 G L に、図 1 (e) に示したような走査信号を供給する。なお、図 1 (e) には、表示領域 D A の上端側の 5 本の走査信号線 G L ₁ , G L ₂ , G L ₃ , G L ₄ , G L ₅ に供給する走査信号を示している。

【 0 0 5 8 】

それぞれの走査信号線 G L に供給する走査信号は、1 フレーム期間 F L M を 1 周期とする信号であり、1 フレーム期間 F L M のうちの 1 水平走査期間 H だけ電位が H レベルになり、その他の期間は電位が L レベルになっている。なお、H レベルは、第 1 の T F T 素子 1 0 がオンになる (導通状態になる) 電位であり、L レベルは第 1 の T F T 素子 1 0 がオフになる (非導通状態になる) 電位である。また、1 水平走査期間 H は、たとえば、1 フレーム期間 F L M を走査信号線 G L の本数で除した期間であり、1 水平走査期間 H_m の間は、1 本の走査信号線 G L_m の走査信号のみが H レベルの電位になっている。

10

【 0 0 5 9 】

またこのとき、第 1 の駆動回路部品 5 - 1 および第 2 の駆動回路部品 5 - 2 は、それぞれ、画素が表示すべき階調に対応する階調電圧 (映像信号) を中継信号線 6 1 に出力する。このとき、第 1 の駆動回路部品 5 - 1 から 1 本の中継信号線 6 1₁ に出力される階調電圧は、たとえば、図 1 (e) に示すように、1 水平走査期間中に、第 1 の分配回路 6 0 - 1 を介して当該中継信号線 6 1₁ に接続されている 3 本の映像信号線 D L₁ , D L₂ , D L₃ のそれぞれに対して供給する 3 つの階調電圧 R , G , B が出力される。

20

【 0 0 6 0 】

またこのとき、第 1 の駆動回路部品 5 - 1 および第 2 の駆動回路部品 5 - 2 は、それぞれ、走査信号および階調電圧と同期した制御信号を制御信号線 6 3 a , 6 3 b , 6 3 c に出力する。制御信号線 6 3 a , 6 3 b , 6 3 c に出力される制御信号は、たとえば、1 水平走査期間を 1 周期とし、1 水平走査期間のうちの 1 選択期間だけ電位が H レベルになり、その他の期間は電位が L レベルになっている。また、1 選択期間は、たとえば、1 水平走査期間を制御信号線の本数で除した期間であり、1 選択期間中は、1 本の制御信号線の制御信号のみが H レベルの電位になっている。

30

【 0 0 6 1 】

第 1 の駆動回路部品 5 - 1 および第 2 の駆動回路部品 5 - 2 から出力される階調電圧、走査信号線 G L に供給する走査信号、制御信号線 6 3 a , 6 3 b , 6 3 c に供給する制御信号が図 1 (e) に示したタイミングで切り替わると、1 本の中継信号線 6 1₁ に出力された階調電圧を、所定の映像信号線 D L₁ , D L₂ , D L₃ に分配することができる。したがって、本実施例の液晶表示装置のように、第 1 の分配回路 6 0 - 1 および第 2 の分配回路 6 0 - 2 を用いることで、第 1 の駆動回路部品 5 - 1 および第 2 の駆動回路部品 5 - 2 における階調電圧出力端子の数を減らすことができる。

40

【 0 0 6 2 】

図 2 は、第 1 の駆動回路部品の内部構成の一例を示す模式ブロック図である。

【 0 0 6 3 】

本実施例の液晶表示装置では、第 1 の駆動回路部品 5 - 1 および第 2 の駆動回路部品 5 - 2 として、同じ構成の駆動回路部品 (I C チップ) を使用する。そのため、本実施例では、駆動回路部品の構成の一例として、第 1 の駆動回路部品 5 - 1 の構成を説明する。

【 0 0 6 4 】

第 1 の駆動回路部品 5 - 1 は、システムインターフェース 5 7 1 および外部表示インターフェース 5 7 2 を有する。このとき、外部から入力する信号は、入力用の配線 7 1 を介してシステムインターフェース 5 7 1 に入力する。またこのとき、映像信号の一部は、外部表示インターフェース 5 7 2 にも入力する。

50

【 0 0 6 5 】

このとき、第 1 の駆動回路部品 5 - 1 は、以下に示すような構成になっており、出力端子である走査信号出力端子 5 4 1 や映像信号出力端子 3 1 や電圧出力端子 5 4 4 から、液晶表示パネル 1 の駆動に必要な信号や電圧が出力する。

【 0 0 6 6 】

第 1 の駆動回路部品 5 - 1 は、グラフィック R A M 5 5 2 を内蔵しており、このグラフィック R A M 5 5 2 に表示データを格納している。そして、液晶表示パネル 1 を駆動する場合には、液晶表示パネル 1 に応じたグラフィック R A M 5 5 2 のアドレスを指定し、グラフィック R A M 5 5 2 内に表示データを書き込む。そして、第 1 の駆動回路部品 5 - 1 はグラフィック R A M 5 5 2 内の表示データを基に階調電圧を液晶表示パネル 1 に出力する。

10

【 0 0 6 7 】

また、第 1 の駆動回路部品 5 - 1 は、各種の表示モードを有しており、システムインターフェース 5 7 1 を介して外部から各種表示モードを指定するとともに、たとえば、階調電圧の基準値についてもインストラクション信号を用いて第 1 の駆動回路部品 5 - 1 を制御することが可能である。このように、第 1 の駆動回路部品 5 - 1 は、インストラクション信号に基づき各種の表示モードに対応可能にできており、駆動機能を 1 個の I C チップに形成することで実装面積を小さく抑えて、多機能な回路を実現している。

【 0 0 6 8 】

また、各種の表示モード以外にも、近年様々な機能を有する携帯電話機が開発されており、携帯電話機に用いられる液晶表示装置は様々な機能に対応している。

20

【 0 0 6 9 】

したがって、第 1 の駆動回路部品 5 - 1 も様々な機能に対応しており、それら各機能を制御する必要が生じている。本実施例の液晶表示装置に用いる第 1 の駆動回路部品 5 - 1 は、レジスタを備えており、レジスタの値を設定することで各機能を実行している。

【 0 0 7 0 】

また、第 1 の駆動回路部品 5 - 1 は、多数のレジスタを設定する煩雑さを避けるために、たとえば、オートシーケンス機能を採用することも可能である。ただし、オートシーケンス機能は、前もって対応可能な機能を決めておく必要があり、液晶表示パネル毎のカスタム仕様となる。そのため、液晶表示パネル毎に仕様が異なる駆動回路を用意する必要が生じる。

30

【 0 0 7 1 】

またさらに、第 1 の駆動回路部品 5 - 1 とは別に E P R O M を設け、各液晶表示パネルに対応するようにレジスタの設定値を格納しておき、外部制御回路からはインストラクション信号を駆動回路 5 に入力することで、必要な各設定値を E P R O M から読み出すようにすることも可能である。

【 0 0 7 2 】

一般にインストラクション信号の設定は、システムインターフェース 5 7 1 を介して行われる。システムインターフェース 5 7 1 は、たとえば、18ビット、16ビットなどの任意の n ビットのバスおよびクロック同期シリアル of 2 種類のインターフェースを備えており、M P U (M i c r o P r o c e s s i n g U n i t) などの外部制御回路から送られてくるパラレル、シリアル両方の信号に対応可能である。

40

【 0 0 7 3 】

また、第 1 の駆動回路部品 5 - 1 には、インデックスレジスタ 5 7 4、コントロールレジスタ 5 7 5 の 2 つの 16 ビットレジスタと、ライトデータレジスタ 5 7 8、リードデータレジスタ 5 7 9 の 2 つの 18 ビットレジスタがあり、各レジスタには、システムインターフェース 5 7 1 を介してデータの読み書きが行われる。なお、図 2 の符号 7 1 は入力信号線で符号 7 2 は出力信号線である。また、符号 7 3 はベリファイ信号出力線である。ベリファイ信号により入力・出力データの照合が可能である。

【 0 0 7 4 】

50

また、外部表示インターフェース 572 は、動画表示用に RGB インターフェースと垂直同期インターフェースを備えており、外部からの入力信号線 74 を介して映像信号が入力される。RGB インターフェースの動作時には、外部より供給される垂直同期信号と水平同期信号に合わせて表示データを取り込む。

【0075】

また、垂直同期インターフェースの動作時には、垂直同期信号によりフレームの同期を行い、内部クロックにより表示データの取り込みを行う。

【0076】

インデックスレジスタ 574 は、コントロールレジスタ 575 またはグラフィック RAM 552 のアクセス情報を格納するレジスタで、インデックスレジスタ 574 によりコントロールレジスタ 575 およびグラフィック RAM 552 のアドレスを指定することが可能である。

【0077】

コントロールレジスタ 575 は、第 1 の駆動回路部品 5 - 1 の各種機能を指定することができる。第 1 の駆動回路部品 5 - 1 は、コントロールレジスタ 575 に設定された値により、表示動作を制御することが可能となり、たとえば、タイミング生成回路 576 に駆動する信号線の数などを指定することができる。

【0078】

ライトデータレジスタ 578 は、グラフィック RAM 552 に書き込むデータを一時記憶し、コントロールレジスタ 575 の設定値やアドレスカウンタ 577 の値、各種制御端子の値にしたがい、外部表示インターフェース 572 を介して一時格納した表示データをグラフィック RAM 552 に書き込む。

【0079】

リードデータレジスタ 579 は、グラフィック RAM 552 から読み出したデータを一時格納するレジスタであり、コントロールレジスタ 575 の設定値やアドレスカウンタ 577 の値、各種制御端子の値にしたがい、一時格納したデータを外部に出力する。

【0080】

アドレスカウンタ 577 は、グラフィック RAM 552 にアドレスを与えるカウンタである。インデックスレジスタ 574 にアドレス設定のインストラクションを書き込むと、インデックスレジスタ 574 からアドレスカウンタへアドレス情報が転送される。

【0081】

グラフィック RAM 552 は、たとえば、1 画素あたり 18 ビットの構成で、1,180,224 バイトのビットパターンデータを記憶する SRAM (Static RAM) を内蔵しており、最大で 2048 (683 RGB) × 768 のサイズの表示に対応する。

【0082】

タイミング生成回路 576 は、表示に必要な内部回路を動作させるためのタイミング信号を発生させる回路であり、たとえば、表示に必要なグラフィック RAM 552 の読み出しタイミングや、外部からのアクセスに対応する内部動作タイミング等のインターフェース信号を発生させる。

【0083】

ラッチ回路 553 は、映像信号線 DL に出力する 683 × 3 本分のデジタルデータを一旦保持する。出力する信号がラッチ回路 553 に準備できると、ラッチ回路 553 は表示データを表示データ分配回路 551 に出力する。

【0084】

表示データ分配回路 551 は、第 1 の分配回路 60 - 1 の動作に応じて、表示データをレベルシフタ 554 に出力する。レベルシフタ 554 は、ラッチ回路 553 に保持された信号の電圧レベルを変換して、デコーダ回路 555 で制御可能な電圧とする。

【0085】

デコーダ回路 555 は、入力した信号にしたがい階調電圧を出力する。デコーダ回路 555 から出力された電圧は、出力回路 556 で電流増幅して映像信号出力端子 31 へ出力

10

20

30

40

50

する。

【 0 0 8 6 】

映像信号出力端子 3 1 は、中継信号線 6 1 および第 1 の分配回路 6 0 - 1 を介して液晶表示パネル 1 の映像信号線 D L と電氣的に接続しており、図 1 (e) に示したような制御をすることで、出力された階調電圧が所定の映像信号線 D L に供給 (分配) される。階調電圧が出力される映像信号線 D L の数や、出力を開始する映像信号線 D L の位置などは、インストラクション信号によりコントロールレジスタ 5 7 5 に設定される。

【 0 0 8 7 】

階調電圧生成回路 5 6 2 は、階調電圧を発生させ、デコーダ回路 5 5 5 に供給している。ガンマ補正回路 5 6 3 は、階調電圧の増減の割合をガンマ関数に近似させて、人間の目の特性に適応した輝度変化を実現している。バイアス回路 5 6 5 は出力回路 5 5 6 で使用するバイアス電圧を生成している。レギュレータ 5 6 6 は、内部ロジック回路用の電源電圧を出力している。なお、ガンマ補正回路 5 6 3、バイアス回路 5 6 5 の詳細は後述する。

10

【 0 0 8 8 】

またさらに、第 1 の駆動回路部品 5 - 1 は、走査信号線 G L 用の走査信号発生回路 5 5 7 を備えている。走査信号発生回路 5 5 7 から走査タイミング信号が走査信号出力端子 5 4 1 へ出力し、液晶表示パネル 1 上の走査信号線駆動回路 5 1 に伝達される。

【 0 0 8 9 】

また、第 1 の駆動回路部品 5 - 1 は、分配信号出力回路 5 6 4 を備えており、第 1 の分配回路 6 0 - 1 に設けられたスイッチング素子 (第 2 の T F T 素子) のオン / オフを切り替える信号が端子 5 4 4 を介して液晶表示パネル 1 上の制御信号線 6 3 へ出力される。

20

【 0 0 9 0 】

また、液晶駆動電圧生成回路 5 6 1 は、液晶表示パネル 1 に印加される電圧を生成する。

【 0 0 9 1 】

図 3 は、液晶表示パネル 1 に印加される電圧の波形の一例を示す模式波形図である。

【 0 0 9 2 】

液晶表示パネルを駆動させるときには、たとえば、それぞれの画素の極性を一定周期で反転させる必要がある。なお、画素の極性というのは、階調を表現する際の画素電極の電位と対向電極の電位との関係であり、対向電極と同じ電位またはそれより高い電位で階調を表現する場合を正極性、対向電極と同じ電位またはそれより低い電位で階調を表現する場合を負極性という。

30

【 0 0 9 3 】

また、液晶表示パネルを駆動させるときには、たとえば、ライン反転駆動と呼ばれる駆動方法で駆動させることがある。ライン反転駆動というのは、たとえば、ある 1 フレーム期間における各画素の極性をみたときに、走査信号線の延在方向に並んだすべての画素の極性は同じ極性であり、走査信号線の延在方向で隣接する 2 つの画素の極性は反対の極性になっているような駆動方法である。

【 0 0 9 4 】

また、液晶表示パネルをライン反転駆動させるときには、たとえば、コモン反転駆動と呼ばれる駆動方法を組み合わせることが多い。

40

【 0 0 9 5 】

コモン反転駆動を組み合わせたライン反転駆動で液晶表示パネルを駆動させる場合、液晶表示パネル 1 の走査信号線、対向電極、および画素電極に印加される電圧の波形は、たとえば、図 3 に示したような波形になる。

【 0 0 9 6 】

走査信号 V S C N は、走査信号線駆動回路 5 1 から 1 本の走査信号線 G L に出力される走査信号を示しており、1 フレーム期間中の所定の 1 水平走査期間 H だけ、H レベルの電圧 V G O N になり、1 フレーム期間中の残りの期間は L レベルの電圧 V G O F F になって

50

いる。

【0097】

液晶駆動電圧生成回路561は、走査信号におけるHレベルの電圧V_{GON}およびLレベルの電圧V_{GOF}を生成し、出力端子543から出力する。走査信号におけるHレベルの電圧V_{GON}およびLレベルの電圧V_{GOF}は、前述した走査タイミング信号とともに、TFT基板2の信号線65を介して走査信号線駆動回路51に伝達される。

【0098】

1ライン毎のコモン反転駆動方式の場合、対向電極の電圧V_{COM}は、1水平走査期間H毎にV_{COMH}とV_{COML}の間で反転させる。このとき、映像信号V_{SIG}は、対向電極の電圧V_{COM}の反転に合わせて交流駆動となるように反転する。

10

【0099】

なお、図3において、V_{COMH}は対向電極におけるHレベルの電圧であり、V_{COML}は対向電極におけるLレベルの電圧である。また、V_{DW}は対向電極の電圧の振幅を示す振幅基準電圧である。

【0100】

また、映像信号V_{SIG}の電圧V_{SH}は、画素に供給される階調電圧が対向電極の電圧V_{COM}に対して正極性の信号である正階調電圧を示している。また、電圧V_{SL}は対向電極の電圧V_{COM}に対して負極性である負階調電圧を示し、電圧V_{DH}は正階調電圧V_{SH}や対向電極のHレベルの電圧V_{COMH}の基準となる階調基準電圧である。

【0101】

このように、コモン反転駆動方式を用いると、映像信号V_{SIG}の振幅が小さくても、映像信号V_{SIG}と対向電極の電圧V_{COM}との電位差を大きくとることが可能であり、低電圧駆動、低消費電力化が可能である。

20

【0102】

なお、図3では、説明を簡単にするため、1水平走査期間H毎に極性が反転するコモン反転駆動の場合の電圧の波形を示しているが、コモン反転駆動をさせる場合、これに限らず、たとえば、対向電極の電圧を数水平走査期間毎に反転させてもよい。

【0103】

また、第1の分配回路60-1を駆動する選択信号は、たとえば、分配信号出力回路564において、図1(e)に示したような波形の信号を生成し、それぞれの制御信号線に出力する。

30

【0104】

図4(a)および図4(b)は、液晶駆動電圧生成回路の構成の一例を示す模式ブロック図である。

図4(a)は、液晶駆動電圧生成回路の全体的な構成の一例を示す模式ブロック図である。図4(b)は、図4(a)の対向電圧出力回路181の構成の一例を示す模式ブロック図である。

【0105】

第1の駆動回路部品5-1において、液晶駆動電圧生成回路561は、たとえば、図4(a)および図4(b)に示したような構成になっている。

40

【0106】

基準階調電圧回路182は、基準電圧生成回路185から出力する基準電圧V_{REF}に基いて、対向電圧および階調電圧の基準となる階調基準電圧V_{DH}を出力する。また、対向電圧ハイレベル調整回路183は、階調基準電圧V_{DH}から対向電極ハイ電圧V_{COMH}を出力する。

【0107】

基準階調電圧回路182の出力は、出力端子282を介して可変抵抗194に印加されており、対向電圧ハイレベル調整回路183は、可変抵抗194から入力する電圧により対向電極のHレベルの電圧V_{COMH}を生成している。また、対向電圧ロウレベル設定回路184は、対向電圧の振幅基準電圧V_{DW}を設定することで、対向電極のLレベルの電

50

圧VCOMLを生成している。

【0108】

なお、対向電圧ハイレベル調整回路183は、可変抵抗194を用いずに、内部の不揮発性メモリ、ヒューズ回路などにより保持する調整値を基に、階調基準電圧VDHに調整値倍した電圧値になるよう対向電極の電圧VCOMHを生成することも可能である。また、可変抵抗194は、後述する可変抵抗回路605を用いてレジスタによる制御が可能なものにしてもよい。

【0109】

対向電圧ハイレベル調整回路183の出力は、対向電圧出力回路181の対向電圧ハイレベル出力回路191aに入力され、対向電圧ロウレベル調整回路184の出力は、対向電圧出力回路181の対向電圧ロウレベル出力回路191bに入力される。

10

【0110】

対向電圧ハイレベル出力回路191aからは、対向電極の電圧VCOMHが出力しているが、対向電極の電圧VCOMHは、切換素子192aと切換素子192bとに入力している。同様に、対向電圧ロウレベル出力回路191bからは、対向電極の電圧VCOMLが出力しているが、対向電極の電圧VCOMLは、切換素子192aと切換素子192bとに入力している。

【0111】

切換素子192aと192bとは、互いに一定周期で、対向電圧ハイレベル出力回路191aと対向電圧ロウレベル出力回路191bとからの出力と、第1対向電圧出力端子193aと第2対向電圧出力端子193bとの間の接続を切り替えるように形成されている。そのため、第一の期間に第1対向電圧出力端子193aから対向電極の電圧VCOMHを出力し、第2対向電圧出力端子193bから対向電極の電圧VCOMLを出力する場合と、第2の期間に第1対向電圧出力端子193aから対向電極の電圧VCOMLを出力し、第2対向電圧出力端子193bから対向電極の電圧VCOMHを出力することが可能となっている。

20

【0112】

なお、第1対向電圧出力端子193aと第2対向電圧出力端子193bとは、液晶表示パネル1上の対向電極信号線64-1または64-2に接続し、走査信号線駆動回路51に対向電極の電圧VCOMHおよび電圧VCOMLを伝送する。

30

【0113】

液晶駆動電圧生成回路561内の符号186は第1昇圧基準電圧回路で、第1昇圧回路151および第2昇圧回路152、第3昇圧回路153用の基準電圧VCIを出力する。また、符号187は第2昇圧基準電圧回路で第3昇圧回路153用の基準電圧VDCDCを出力する。

【0114】

第1昇圧回路151は、映像信号出力端子31に映像信号を出力する回路に用いられる電源電圧DDVDHを生成する回路であり、電源電圧DDVDHは、基準電圧VCIを昇圧して生成する。すなわち、電源電圧DDVDHはラインラッチ回路553、レベルシフト回路554、デコーダ回路555、出力回路556で使用される。なお、電源電圧DDVDHは、第1保持容量Cout1が接続する端子251から出力する。

40

【0115】

第2昇圧回路152は、対向電圧ロウレベル出力回路191bを駆動させるための電源電圧VCLを生成する回路であり、電源電圧VCLは、基準電圧VCIを昇圧して生成する。なお、電源電圧VCLは、第2保持容量Cout2が接続する端子252から出力する。

【0116】

第3昇圧回路153は、走査信号線駆動回路51で使用される電圧VGONおよび電圧VGOFFを生成する回路であり、電圧VGONおよび電圧VGOFFは、基準電圧VCIとVDCDCから昇圧して生成する。

50

【 0 1 1 7 】

第 4 昇圧回路 1 5 4 は、分配信号出力回路 5 6 4 から出力する電圧 V_{SWH} と電圧 V_{SWL} を生成する回路であり、電圧 V_{SWH} と電圧 V_{SWL} は、基準電圧 V_{CI2} と V_{DCDC2A} から昇圧して生成する。また、基準電圧 V_{CI2} は、第 3 昇圧基準電圧回路 1 8 8 から出力し、基準電圧 V_{DCDC2A} は、第 4 昇圧基準電圧回路 1 8 9 から出力する。

【 0 1 1 8 】

なお、図 4 (a) における容量 C_{11} 、 C_{12} 、 C_{21} 、 C_{31} 、 C_{32} 、 C_{33} 、 C_{41} 、 C_{42} 、 C_{43} は昇圧容量で、各昇圧回路の昇圧動作に使用される。また、容量 C_{out1} 、 C_{out2} 、 C_{out3} 、 C_{out4} 、 C_{out5} 、 C_{out6} は各昇圧回路の出力端子に接続された保持容量素子である。

10

【 0 1 1 9 】

このように、図 2 に示した液晶駆動電圧生成回路 5 6 1 の出力端子 5 4 3 は、実際には、図 4 に示すように各昇圧回路などに出力端子が接続されており、各種電圧が液晶駆動電圧生成回路 5 6 1 から出力している。

【 0 1 2 0 】

図 5 は、第 1 の駆動回路部品における階調電圧の出力方法を説明するための模式図である。

【 0 1 2 1 】

第 1 の駆動回路部品 5 - 1 において、表示データ分配回路 5 5 1 には、たとえば、図 5 に示すように、時分割信号を入力する時分割信号線 1 9 が接続している。なお、時分割信号線は、図 2 に示したタイミング生成回路 5 7 6 と接続しており、時分割信号は、タイミング生成回路 5 7 6 から出力される。

20

【 0 1 2 2 】

また、時分割信号線 1 9 は、表示データ分配回路 5 5 1 の各データ線選択回路 1 2 5 に接続しており、データ線選択回路 1 2 5 に入力した時分割信号はデータ線選択回路 1 2 5 を制御する。データ線選択回路 1 2 5 は、時分割信号にしたがってラインラッチ回路 5 5 3 が出力した表示データを選択して、次段のレベルシフト回路 5 5 4 (電圧変換回路 2 7) に出力する。すなわち、ラインラッチ回路 5 5 3 は、1 水平走査期間の間、表示データを出力するが、表示データ分配回路 5 5 1 により分割した期間毎に異なる表示データが順番に電圧変換回路 2 7 に伝えられる。

30

【 0 1 2 3 】

またこのとき、レベルシフト回路 5 5 4 (電圧変換回路 2 7) には、表示データ分配回路 5 5 1 から、第 1 の分配回路 6 0 - 1 の動作に応じて表示データが入力している。

【 0 1 2 4 】

電圧変換回路 2 7 では、論理信号レベルの表示データをデコード回路 5 5 5 が駆動可能な電圧レベルに変換している。なお、図 5 では、図が複雑になることを避けて、表示データを 3 ビットで表しているが、第 1 の駆動回路部品 5 - 1 において出力可能な階調数に応じた回路を有するものとする。

【 0 1 2 5 】

デコード回路 5 5 5 には、表示データがレベルシフト回路 5 5 4 より供給されている。デコード回路 5 5 5 は、階調電圧選択回路 2 8 を有しており、表示データにしたがって階調電圧を選択する。このとき、階調電圧選択回路 2 8 には、階調電圧線 1 7 により複数の階調電圧が供給されている。図 5 では、階調電圧線 1 7 を 1 本で示しているが、階調電圧線 1 7 は、第 1 の駆動回路部品 5 - 1 において出力可能な階調数に応じた本数の配線を備えているものとする。

40

【 0 1 2 6 】

デコード回路 5 5 5 (階調電圧選択回路 2 8) で選択された階調電圧は、出力アンプ 2 9 により電流増幅して、映像信号出力端子 3 1 からする。

【 0 1 2 7 】

次に図 6 を用いて、階調電圧選択回路 2 8 について説明する。

50

【 0 1 2 8 】

図 6 は、階調電圧選択回路の概略構成の一例を示す模式回路図である。

【 0 1 2 9 】

図 5 に示した階調電圧選択回路 2 8 は、たとえば、図 6 に示したような回路構成になっている。なお、図 6 では、図が複雑になることを避けるために、表示データが D_0 , D_1 , D_2 の 3 つ (すなわち 3 ビット) の場合を示している。また、図 6 では、階調電圧線 1 7 が V_0 乃至 V_7 の 8 本からなり、8 階調の電圧が供給されている場合を示している。

【 0 1 3 0 】

このとき、階調電圧選択回路 2 8 は、2 4 個のスイッチング素子 2 6 1 ~ 2 8 4 を有している。スイッチング素子 2 6 1 ~ 2 8 4 の制御端子 (ゲート) には、表示データ D_0 , D_1 , D_2 のいずれかが入力している。

10

【 0 1 3 1 】

したがって、表示データ D_0 , D_1 , D_2 が (0 , 0 , 0) の場合は、スイッチング素子 2 6 1、2 6 2、2 6 3 がオン状態となり、階調電圧選択回路 2 8 は、階調電圧 V_0 を選択して出力アンプ 2 9 へ出力する。

【 0 1 3 2 】

また、表示データ D_0 , D_1 , D_2 が (1 , 0 , 0) の場合は、スイッチング素子 2 6 4、2 6 5、2 6 6 がオン状態となり、階調電圧選択回路 2 8 は、階調電圧 V_1 を選択して出力アンプ 2 9 へ出力する。以下同様に、表示データ D_0 , D_1 , D_2 が (1 , 1 , 1) となって階調電圧 V_7 を出力するまで表示データにしたがい階調電圧を選択可能である。すなわち、階調電圧選択回路 2 8 は、表示データ D_0 , D_1 , D_2 の組み合わせに応じて、複数本の階調電圧線 1 7 のうちの 1 本のみを出力アンプ 2 9 に接続し、当該階調電圧線 1 7 に供給されている電圧を出力アンプ 2 9 に加える回路である。

20

【 0 1 3 3 】

またこのとき、第 1 の駆動回路部品 5 - 1 は、出力可能な階調電圧分の電圧を階調電圧生成回路 5 6 2 で発生している。

【 0 1 3 4 】

次に、図 7 を用いて、階調電圧生成回路 5 6 2 について説明する。

【 0 1 3 5 】

図 7 は、階調電圧生成回路の概略構成の一例を示す模式回路図である。

30

【 0 1 3 6 】

階調電圧生成回路 5 6 2 は、複数の抵抗 6 2 1 が直列に接続したラダー抵抗回路から構成されている。

【 0 1 3 7 】

階調電圧生成回路 5 6 2 における出力電圧数が 3 2 通りである場合、階調電圧生成回路 5 6 2 は、たとえば、図 7 に示すように、基準階調電圧 V_{RG_0} と $V_{RG_{31}}$ との間を 3 1 個の抵抗 6 2 1 で分圧して階調電圧 $V_0 \sim V_{31}$ を出力している。なお、図 7 は、出力電圧数が 3 2 通りの場合を示しているが、実際の階調電圧生成回路 5 6 2 は、第 1 の駆動回路部品 5 - 1 における出力階調数に応じた電圧数 (たとえば、2 5 6 通りの電圧) が出力可能なものとする。

40

【 0 1 3 8 】

またこのとき、階調電圧生成回路 5 6 2 には、たとえば、外部から基準階調電圧として V_{RG_0} 、 V_{RG_3} 、 V_{RG_7} 、 $V_{RG_{15}}$ 、 $V_{RG_{22}}$ 、 $V_{RG_{27}}$ 、 $V_{RG_{31}}$ が入力している。このように、基準階調電圧 V_{RG} を複数設け、各基準階調電圧間での電位差を調整することで、階調電圧の変化をガンマ関数に近似させることが可能である。

【 0 1 3 9 】

図 8 は、ガンマ補正の原理を説明するための模式グラフ図である。

なお、図 8 において、横軸は表示データの値 D (階調数) であり、縦軸は階調電圧の値 V (ボルト) である。また、図 8 では、表示データの値 D を $D_0 \sim D_{31}$ の 3 2 通りにしている。

50

【 0 1 4 0 】

表示データの値 D は階調を示しており、ガンマ補正では、表示データ D に対する階調電圧 V の変化率（傾き）を調整し、階調に対する電圧の変化をガンマ関数に近似させている。

【 0 1 4 1 】

ガンマ関数に近似させるときには、たとえば、図 8 に示すように、表示データ D_n に対応する基準階調電圧 V_{RG_n} の値を定めることで、表示データ D_0 から表示データ D_n までの階調電圧の傾きを定める。この階調電圧の傾きをガンマ関数に近似させることで、基準階調電圧 V_{RG_0} から V_{RG_n} の間を分圧して生成される階調電圧も、ガンマ関数に近似させることが可能となる。

10

【 0 1 4 2 】

同様に、表示データ D_n の基準階調電圧 V_{RG_n} の値と表示データ D_m の基準階調電圧 V_{RG_m} の値を定めることで、表示データ D_n から表示データ D_m までの階調電圧の傾きを定め、ガンマ関数に近似させる。また、表示データ D_m の基準階調電圧 V_{RG_m} の値と表示データ D_{31} の基準階調電圧 $V_{RG_{31}}$ の値を定めることで、表示データ D_m から表示データ D_{31} までの階調電圧の傾きを定め、ガンマ関数に近似させる。

【 0 1 4 3 】

図 9 (a) 乃至図 9 (c) は、ガンマ補正回路の概略構成の一例を示す模式図である。

図 9 (a) は、ガンマ補正回路の概略構成の一例を示す模式ブロック図である。図 9 (b) は、図 9 (a) の可変抵抗回路の概略構成の一例を示す模式回路図である。図 9 (c) は、図 9 (a) のラダー抵抗回路の概略構成の一例を示す模式回路図である。

20

【 0 1 4 4 】

ガンマ関数に近似させた基準階調電圧を出力するガンマ補正回路 563 は、たとえば、図 9 (a) に示すように、傾き調整レジスタ 601、微調整レジスタ 602、振幅調整レジスタ 603 を有する。第 1 の駆動回路部品 5 - 1 は、それぞれのレジスタに設定した値によってガンマ関数に近似させた基準階調電圧 V_{RG} を出力することが可能である。

【 0 1 4 5 】

また、ガンマ補正回路 563 には、基準電圧として、配線 609 を介して階調基準電圧 V_{DH} が供給されている。階調基準電圧 V_{DH} は、可変抵抗回路 605 とラダー抵抗回路 606 との直列接続により分圧される。分圧された電圧は、基準階調電圧 V_{RG} として基準階調電圧配線 610 から 616 までに出力される。そのため、可変抵抗回路 605 とラダー抵抗回路 606 とを用いて分圧される電圧値を調整することで、基準階調電圧 V_{RG} を調整することが可能である。

30

【 0 1 4 6 】

このとき、可変抵抗回路 605 は、たとえば、図 9 (b) に示すような構成になっており、傾き調整レジスタ 601、振幅調整レジスタ 603 に設定された値により、抵抗値を変化させることが可能である。

【 0 1 4 7 】

可変抵抗回路 605 は、入力端子 625 と出力端子 626 との間の抵抗値を外部からの制御信号 641 によって変更する。入力端子 625 と出力端子 626 との間には、抵抗 661 から 673 が直列に接続されている。また、直列に接続された抵抗と並列にアナログスイッチ 651、652、653、654 が接続されている。

40

【 0 1 4 8 】

入力端子 625 は、抵抗 661 とアナログスイッチ 651 に接続している。また、アナログスイッチ 651 の他方の端子は配線 681 を介して抵抗 666 に接続している。さらに、抵抗 661、662、663、664、665、666 の各抵抗が直列に接続されており、アナログスイッチ 651 により直列に接続された抵抗の入力端子と出力端子とを短絡可能になっている。制御信号線 631 がロウ電圧で、制御信号線 632 がハイ電圧となると、抵抗 661、662、663、664、665、666 の入力端子と出力端子がアナログスイッチ 651 により短絡されるので、入力端子 625 と出力端子 626 の間の抵

50

抗値は見かけ上無いものとなる。

【 0 1 4 9 】

同様に、制御信号線 6 3 3 と 6 3 4 によりアナログスイッチ 6 5 2 をオン状態とすることで、抵抗 6 6 7、6 6 8、6 6 9 の入力端子と出力端子を短絡することが可能で、制御信号線 6 3 5 と 6 3 6 によりアナログスイッチ 6 5 3 オン状態とすることで、抵抗 6 7 1、6 7 2 の入力端子と出力端子を短絡することが可能で、制御信号線 6 3 7 と 6 3 8 によりアナログスイッチ 6 5 4 オン状態とすることで、抵抗 6 7 3 の入力端子と出力端子を短絡することが可能である。

【 0 1 5 0 】

このとき、たとえば、アナログスイッチ 6 5 1 をオン状態にすると、入力端子 6 2 5 と出力端子 6 2 6 の間に、1 2 個の抵抗が直列に接続している状態から、6 個の抵抗が直列に接続している状態に変更可能で、入力端子 6 2 5 と出力端子 6 2 6 の間の抵抗値を変更することが可能となる。

10

【 0 1 5 1 】

前述したように、可変抵抗回路 6 0 5 は、図 9 (a) に示すガンマ補正回路 5 6 3 内で直列に接続されている。ガンマ補正回路 5 6 3 は可変抵抗回路 6 0 5 とラダー抵抗回路 6 0 6 とを直列に接続することで、分圧回路を形成しており、可変抵抗回路 6 0 5 で抵抗値を変化させることで、基準階調電圧配線に出力する基準階調電圧を調整することが可能である。

【 0 1 5 2 】

またこのとき、ラダー抵抗回路 6 0 6 は、たとえば、図 9 (c) に示すような構成になっており、微調整レジスタ 6 0 2 に設定された値と選択回路 6 0 7 により、ラダー抵抗回路 6 0 6 の接点からの電圧を取り出すことが可能である。

20

【 0 1 5 3 】

ラダー抵抗回路 6 0 6 と選択回路 6 0 7 とは可変分圧回路 6 0 4 を形成している。ラダー回路 6 0 6 は抵抗 6 7 4 から 6 7 8 ままで直列に接続しており、各抵抗の接点からは配線 6 4 5 が選択回路 6 0 7 に入力している。また、選択回路 6 0 7 には制御信号線 6 4 2 が入力しており、アナログスイッチ 6 5 5 から 6 5 8 の制御端子に接続している。

【 0 1 5 4 】

このとき、たとえば、制御信号線 6 3 9 にハイ電圧が伝達されると、アナログスイッチ 6 5 5 はオン状態となって抵抗 6 7 4 と 6 7 5 との接点に生じている電圧を出力する。ラダー抵抗回路 6 0 6 と選択回路 6 0 7 とを用いると、ラダー抵抗回路 6 0 6 の各接点に生じる電圧を選択して取り出す事が可能である。

30

【 0 1 5 5 】

またこのとき、ガンマ補正回路 5 6 3 は、たとえば、可変分圧回路 6 0 4 で分圧した電圧を選択することで出力を微調整することが可能である。微調整レジスタ 6 0 2 は制御信号 6 4 2 により選択回路 6 0 7 - 1 と 6 0 7 - 2 を制御して、表示データ D_m から D_n までの傾きを調整する。

【 0 1 5 6 】

図 10 は、ガンマ補正回路において基準階調電圧の傾きを調整する方法を説明するための模式図である。

40

【 0 1 5 7 】

図 9 (a) 乃至図 9 (c) に示した構成のガンマ補正回路 5 6 3 では、傾き調整レジスタ 6 0 1 を用いて、基準階調電圧 V_{RG} の傾きを調整することが可能である。ガンマ補正回路 5 6 3 における基準階調電圧 V_{RG} の傾きの調整方法として、まず、基準階調電圧 V_{RG_0} から第 1 の変化点である基準階調電圧 V_{RG_n} までの傾きについて説明する。

【 0 1 5 8 】

図 9 (a) に示したガンマ補正回路 5 6 3 は、基準階調電圧配線 6 1 0 から基準階調電圧 V_{RG_0} を出力し、基準階調電圧配線 6 1 1 から階調電圧 V_{RG_3} を出力し、基準階調電圧配線 6 1 2 から階調電圧 V_{RG_7} を出力し、基準階調電圧配線 6 1 3 から階調電圧 V

50

$R G_{15}$ を出力し、基準階調電圧配線 614 から階調電圧 $V R G_{22}$ を出力し、基準階調電圧配線 615 から階調電圧 $V R G_{27}$ を出力し、基準階調電圧配線 616 から階調電圧 $V R G_{31}$ を出力する。

【0159】

このとき、ガンマ補正回路 563 は、たとえば、基準階調電圧配線 610 と基準階調電圧配線 611 との間に接続している可変抵抗回路 605 - 2 の抵抗値を傾き調整レジスタ 601 により変化させることで、基準階調電圧配線 611 から出力する電圧値を調整する。

【0160】

可変抵抗回路 605 - 2 の抵抗値を減少させた場合には、電圧降下量が減少するので、基準階調電圧配線 611 から出力する電圧は、電圧 $V R G_0$ 側に変動する。そのため、傾きが変わる点を任意の表示データ D_n とした場合、図 10 に示すように、基準階調電圧が $V R G_{n-0}$ から $V R G_{n-1}$ に変化する。同様に、可変抵抗回路 605 - 2 の抵抗値を増加させた場合には、基準階調電圧が $V R G_{n-0}$ から $V R G_{n-2}$ に変化する。

【0161】

同様に、可変抵抗回路 605 - 3 の値を調整することで、基準階調電圧配線 612 から出力する階調電圧 $V R G_7$ を調整することが可能である。

【0162】

またこのとき、基準階調電圧 $V R G_{31}$ から第 2 の変化点である基準階調電圧 $V R G_m$ までの傾きも可変抵抗回路 605 - 4、可変抵抗回路 605 - 5 の抵抗値を変更することで調整可能である。

【0163】

次に振幅調整について説明する。振幅調整レジスタ 603 は可変抵抗回路 605 - 1 と 605 - 6 を制御して、基準階調電圧配線 610 と 616 との間の電位差を調整することが可能である。

【0164】

基準階調電圧配線 610 からは基準階調電圧 $V R G_0$ が出力しており、可変抵抗回路 605 - 1 の抵抗値を変化させることで、基準階調電圧 $V R G_0$ の電圧を増減することが可能である。

【0165】

同様に、基準階調電圧配線 616 からは基準階調電圧 $V R G_{31}$ が出力しており、可変抵抗回路 605 - 6 の抵抗値を変化させることで、基準階調電圧 $V R G_{31}$ の電圧を増減することが可能である。

【0166】

次に、ガンマ補正回路 563 に配線 609 を介して供給される階調基準電圧 $V D H$ について説明する。階調基準電圧 $V D H$ は図 4 に示す基準電圧生成回路 185 から出力する基準電圧 $V r e f$ に基いて、基準階調電圧回路 182 から出力する。

【0167】

図 11 は、基準電圧生成回路および基準階調電圧回路の概略構成の一例を示す模式回路図である。

【0168】

第 1 の駆動回路部品 5 - 1 における基準電圧生成回路 185 は、たとえば、図 11 に示すように、バンドギャップ回路を形成している。また、基準階調電圧回路 182 は、基準電圧生成回路 185 の出力電圧を電力増幅する増幅器を形成している。

【0169】

基準電圧生成回路 185 は、p チャネル MOS トランジスタ Q_1 、 Q_2 と、抵抗 R_1 、 R_2 、 R_3 と、ダイオード接続したバイポーラトランジスタ Q_3 と、 n 個並列にダイオード接続したバイポーラトランジスタ Q_{4n} と、演算増幅回路 $A M P_1$ とを有する。

【0170】

トランジスタ Q_{4n} は、トランジスタ Q_3 と同じレイアウトパターンの複数個のラン

10

20

30

40

50

ジスタをアレイ状に配置して並列に接続したものである。演算増幅回路AMP1の反転入力端には、抵抗R2とR3との接続部の電圧が印加されており、非反転入力端には、抵抗R1とダイオード接続したトランジスタQ3との接続部の電圧が印加されている。また、演算増幅回路AMP1の出力はpチャネルMOSトランジスタQ1、Q2の制御端子に入力している。

【0171】

ここで、トランジスタQ3のベース-エミッタ間pn接合の順方向電圧を V_{be3} とすると、演算増幅回路AMP1の出力電圧 V_r は $V_r = K V_t + V_{be3}$ と表される。このとき、Kは定数で、係数 V_t は温度に対して正の傾きを持ち、電圧 V_{be3} は負の傾きを持つので、出力電圧 V_r は温度依存性を持たない安定した出力となる。

10

【0172】

また、演算増幅回路AMP1の出力電圧 V_r は、pチャネルMOSトランジスタQ1、Q2の制御端子に入力しているので、電源電圧Vcoreなどが原因となる変動を抑制し出力電圧 V_{ref} を安定させるように基準電圧生成回路185は動作する。

【0173】

しかしながら、基準階調電圧回路182は、入力電圧 V_{ref} に対して抵抗R4とR5との比 $(R4 + R5) / R5$ で増幅した値で出力する増幅回路となっており、出力電圧VDH(階調基準電圧)は入力電圧 V_{ref} の変動に対して $(R4 + R5) / R5$ 倍の変動を生じる。

【0174】

図12は、基準電圧生成回路と昇圧回路との接続部の概略構成を示す模式ブロック図である。

20

【0175】

第1の駆動回路部品5-1において、基準電圧生成回路185と昇圧回路151とは、たとえば、図12に示すように接続されている。

【0176】

昇圧回路151は、図4に示した昇圧回路で、電源電圧DDVDHを出力するが、この電源電圧DDVDHを基準電圧生成回路185の電源電圧として使用して基準電圧生成回路185の安定化を図っている。符号186は第1昇圧基準電圧回路で、基準電圧生成回路185の出力電圧 V_{ref} を昇圧回路151で利用可能な電圧に増幅している。

30

【0177】

次に基準電圧生成回路185の出力電圧 V_{ref} を図2に示す出力回路556のバイアス電圧として使用する場合について説明する。

【0178】

図13(a)乃至図13(d)は、本実施例の液晶表示パネルに搭載された2個の駆動回路部品の概略構成の一例を示す模式図である。

図13(a)は、本実施例の液晶表示パネルに搭載された2個の駆動回路部品の概略構成の一例を示す模式回路図である。図13(b)は、出力アンプの概略構成の一例を示す模式回路図である。図13(c)は、図13(a)の第1の駆動回路部品の概略構成を拡大して示した模式回路図である。図13(d)は、図13(a)の第2の駆動回路部品の概略構成を拡大して示した模式回路図である。

40

【0179】

本実施例の液晶表示装置において、第1の駆動回路部品5-1と第2の駆動回路部品5-2は、同じ構成になっている。そのため、第1の駆動回路部品5-1および第2の駆動回路部品5-2には、それぞれ、たとえば、図13(a)に示すように、前述した基準電圧生成回路185が設けられている。このとき、基準電圧生成回路185から出力する電圧 V_{ref} は、バイアス回路188に入力し、バイアス回路188では基準電圧 V_{ref} よりバイアス電圧VBを生成し出力している。

【0180】

バイアス電圧VBは出力アンプ29の基準電圧として使用される。出力アンプ29は、

50

たとえば、図 13 (b) に示すように、p 型トランジスタ (P M 1 ~ P M 7) と、n 型トランジスタ (N M 1 ~ N M 7) を用いて構成される差増増幅回路の出力端子 V O U T と反転入力端子 (-) I N とを接続した周知のボルテージホロワ回路である。

【 0 1 8 1 】

この出力アンプ 2 9 において、バイアス線 V B は定電流源を構成するトランジスタ (N M 1 , N M 2) の制御端子に入力しており、バイアス線 V B に基準電圧 V r e f を印加することで、出力アンプ 2 9 内を流れる電流及び出力を一定にしている。

【 0 1 8 2 】

このとき、従来の液晶表示装置のように、液晶表示パネル 1 に搭載された第 1 の駆動回路 5 - 1 と第 2 の駆動回路部品 5 - 2 とにおいて、それぞれの部品が有する基準電圧生成回路 1 8 5 で生成した基準電圧 V r e f を使用すると、たとえば、駆動回路の製造ばらつき等の原因で第 1 の駆動回路部品 5 - 1 におけるバイアス電圧と第 2 の駆動回路部品 5 - 2 におけるバイアス電圧とが異なってしまうといった問題が生じる。

10

【 0 1 8 3 】

そこで、本実施例の液晶表示装置では、図 13 (a) に示したように、第 1 の駆動回路部品 5 - 1 の基準電圧生成回路 1 8 5 - 1 から出力される基準電圧 V r e f により、第 1 の駆動回路部品 5 - 1 および第 2 の駆動回路部品 5 - 2 の両方のバイアス電圧を生成する。

【 0 1 8 4 】

このとき、第 1 の駆動回路部品 5 - 1 におけるバイアス回路 1 8 8 - 1 は、たとえば、図 13 (c) に示すような構成になっている。基準電圧生成回路 1 8 5 - 1 から出力される基準電圧 V r e f は、トランジスタ Q 1 1 の制御端子に入力しており、トランジスタ Q 1 1 には電流 I V r 1 が矢印で示す方向に安定して流れている。

20

【 0 1 8 5 】

また、トランジスタ Q 8、Q 9、Q 1 0 の制御端子は、トランジスタ Q 1 1 の入力端子に接続しており、トランジスタ Q 8、Q 9、Q 1 0 に流れる電流 I V r 1、I V r 2、I V r 3 は同等な値となる。

【 0 1 8 6 】

またこのとき、第 1 の駆動回路部品 5 - 1 のバイアス回路 1 8 8 - 1 では、スイッチ S W 1 をオフにし、スイッチ S W 2 をオンにしてトランジスタ Q 1 2 に電流 I V r 2 を流し、制御端子に生じる電圧をバイアス電圧 V B - 1 として出力回路 5 5 6 - 1 に供給している。

30

【 0 1 8 7 】

また、第 1 の駆動回路部品 5 - 1 のバイアス回路 1 8 8 - 1 では、スイッチ S W 3 をオンにして基準電流出力端子 T 4 から電流 I V r 3 を出力し、第 2 の駆動回路部品 5 - 2 の基準電流入力端子 T 5 に供給している。

【 0 1 8 8 】

このとき、第 2 の駆動回路部品 5 - 2 のバイアス回路 1 8 8 - 2 は、たとえば、図 13 (d) に示すような構成にしておく。すなわち、第 2 の駆動回路部品 5 - 2 のバイアス回路 1 8 8 - 2 は、スイッチ S W 1 をオンにして第 1 の駆動回路部品 5 - 1 から入力された基準電流 I V r 3 をトランジスタ Q 1 2 に流し、トランジスタ Q 1 2 の制御端子に生じる電圧をバイアス電圧 V B - 2 として出力回路 5 5 6 - 2 に供給する。

40

【 0 1 8 9 】

第 2 の駆動回路部品 5 - 2 では、配線抵抗 R W によって電圧降下を生じたとしても、トランジスタ Q 1 2 に電流 I V r 1 と同等な電流 I V r 3 を流すことで、バイアス電圧 V B - 1 と同等なバイアス電圧 V B - 2 を得ることができる。したがって、第 2 の駆動回路部品 5 - 2 の出力アンプ 2 9 に流れる電流を第 1 の駆動回路部品 5 - 1 の出力アンプ 2 9 に流れる電流と同じ大きさにすることができ、第 2 の駆動回路部品 5 - 2 の駆動能力を第 1 の駆動回路部品 5 - 1 と同様に保つことができる。なお、図 13 (a)、図 13 (c)、および図 13 (d) において、符号 R T は各端子の保護抵抗である。

50

【0190】

またこのとき、第1の駆動回路部品5-1および第2の駆動回路部品5-2には、たとえば、マスタ・スレーブ選択端子T1, T2, T3を設けておき、ジャンパ線J1, J2により、第1の駆動回路部品5-1および第2の駆動回路部品5-2がマスタ状態であるか、またはスレーブ状態であるかを制御している。このとき、たとえば、端子T2は接地電位(GND)にし、端子T3は正極性の電源電圧にしておく。またこのとき、マスタ・スレーブ選択端子T1, T2, T3は、図示していないマスタ・スレーブ選択回路に接続している。マスタ・スレーブ選択回路は、たとえば、マスタ・スレーブ選択端子T1, T2, T3の接続パターンに応じて、バイアス回路188のスイッチSW1, SW2, SW3のオン/オフを切り替える回路である。図13(a)に示した例では、第1の駆動回路部品5-1がマスタ状態であり、第1の駆動回路部品5-1の基準電圧生成回路185-1で生成された基準電圧Vrefに基づきバイアス回路188-1から出力された電流Ivr3を第2の駆動回路部品5-2に出力している。

10

【0191】

図14は、本実施例の液晶表示パネルに搭載された2個の駆動回路部品の別の部分の概略構成の一例を示す模式回路図である。

【0192】

第1の駆動回路部品5-1および第2の駆動回路部品5-2は、それぞれ、基準電圧生成回路185と基準階調電圧回路182を備えており、図13(a)に示したように、基準階調電圧回路182は、基準電圧生成回路185の出力電圧Vrefを増幅して階調基準電圧VDHとして出力している。

20

【0193】

この基準階調電圧回路182から出力する階調基準電圧VDHは、前述したガンマ補正回路563の基準電圧としても使用される。第1の駆動回路部品5-1と第2の駆動回路部品5-2とは、基準階調電圧回路182を備えているが、液晶表示パネル1に2個の駆動回路部品を搭載した場合には、製造ばらつき等の原因により階調基準電圧VDHが異なることを避けるため、たとえば、図14に示すように、一方の駆動回路部品(第1の駆動回路部品5-1)で生成する階調基準電圧VDHを両方で使用している。

【0194】

図14では、第1の駆動回路部品5-1をマスタ状態とし、第1の駆動回路部品5-1で生成した階調基準電圧VDHを第2の駆動回路部品5-2に供給している。しかしながら、図14に示すように、スイッチSW8、SW9、SW11をオン状態とし、スイッチSW7、SW10をオフ状態として、階調基準電圧VDHを第1の駆動回路部品5-1から第2の駆動回路部品5-2に供給すると、端子保護抵抗RTと配線抵抗RWPによる電圧低下が生じる。

30

【0195】

特に、液晶表示パネル1上の配線抵抗RWPは、抵抗値が配線基板(プリント配線板70)上の配線に比較して大きく、またバラツキも大きいので、階調基準電圧VDHを供給する配線としては不適である。

【0196】

図15は、階調基準電圧の望ましい供給方法の一例を示す模式回路図である。

40

【0197】

上記のように、液晶表示パネル1(TFT基板2)の配線のみで第1の駆動回路部品5-1の端子と第2の駆動回路部品5-2の端子とを接続した場合に生じる電圧降下の問題を解消する方法として、本願発明者らは、たとえば、図15に示すように、第1の駆動回路部品5-1の端子と第2の駆動回路部品5-2の端子とを、プリント回路基板70-1の配線およびフレキシブルプリント配線板70-2, 70-3の配線を介して接続して、階調基準電圧VDHを供給する方法を見出した。

【0198】

プリント回路基板70-1およびフレキシブルプリント配線板70-2, 70-3の配

50

線の抵抗値 RWC は液晶表示パネル 1 上の配線抵抗 RWP に比較して低抵抗でバラツキも小さい。そのため、階調基準電圧 VDH の変動を、2 つの駆動回路部品の駆動能力の差を、無視できる程度に抑えることが可能である。

【0199】

また、プリント回路基板 70 - 1 上に設けた安定化容量 $Cs1$ により階調基準電圧 VDH をガンマ補正回路 563 に供給することが可能であり、さらに階調基準電圧 VDH の変動を抑えることが可能である。

【0200】

ただし、図 15 に示した配線経路では、第 2 の駆動回路部品 5 - 2 に階調基準電圧 VDH を供給する配線にフレキシブルプリント配線板 70 - 2 と第 1 の駆動回路部品 5 - 1 との間、およびフレキシブルプリント配線板 70 - 3 と第 2 の駆動回路部品 5 - 2 との間に生じる配線抵抗 RWP について考慮されていない。

10

【0201】

配線抵抗 RWP は液晶表示パネル 1 上に形成される配線や接続端子で生じる抵抗値であり、フレキシブルプリント配線板 70 - 2, 70 - 3 やプリント回路基板 70 - 1 の配線抵抗 RWC に比較して高抵抗値であり、またバラツキも大きい。

【0202】

図 16 は、階調基準電圧のさらに望ましい供給方法の一例を示す模式回路図である。

【0203】

上記のように、第 1 の駆動回路部品 5 - 1 の端子と第 2 の駆動回路部品 5 - 2 の端子とを、プリント配線板 70 の配線を介して接続して、階調基準電圧 VDH を供給した場合に生じる問題を解消する方法として、本願発明者らは、たとえば、図 16 に示すように、第 1 の駆動回路部品 5 - 1 のガンマ補正回路 563 にも一旦プリント配線板 70 を介して、階調基準電圧 VDH が供給する方法を見出した。なお、図 16 では、図 15 に示したプリント回路基板 70 - 1 およびフレキシブルプリント配線板 70 - 2, 70 - 3 の代わりに、図 1 と同様にフレキシブルなプリント配線板 70 を一体的に設けたものを示している。当然、図 15 に示すようなフレキシブルプリント配線板 70 - 2, 70 - 3 とプリント回路基板 70 - 1 とを別々に設けるものでもよい。

20

【0204】

図 16 に示した配線経路では、階調基準電圧 VDH は配線抵抗 RWP の影響を受けるが、第 1 の駆動回路部品 5 - 1 と第 2 の駆動回路部品 5 - 2 とは、同様な配線抵抗値の経路で階調基準電圧 VDH をガンマ補正回路 563 に供給している。そのため、第 1 の駆動回路部品 5 - 1 と第 2 の駆動回路部品 5 - 2 との間での、階調基準電圧 VDH のバラツキは抑えられることとなる。

30

【0205】

上述したように、液晶表示パネル 1 に複数個の駆動回路部品を搭載した場合に、マスタ機能とスレーブ機能を設定し、マスタ機能を設定した駆動回路部品から階調基準電圧 VDH 、基準電圧 $Vref$ 等をスレーブ機能に設定された駆動回路部品に供給することで、供給される電圧の各駆動回路部品の間での変動を抑えることが可能である。

【0206】

また、供給する配線経路を各駆動回路部品の間での変動を抑える構成とすることで、各駆動回路部品の間で出力する信号のバラツキを抑えて高い表示品質を保つことが可能となる。

40

【0207】

以上説明したように、本実施例の液晶表示装置によれば、複数の駆動回路部品を連携させて 1 つの表示領域を駆動するときの表示品質の低下を防ぐことができる。

【0208】

また、本実施例の液晶表示装置によれば、複数の駆動回路部品として、同じ構成の部品 (IC チップ) を使用することができるので、液晶表示装置の生産性の低下や、製造コストの上昇を防ぐこともできる。

50

【 0 2 0 9 】

以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更可能であることはもちろんである。

【 0 2 1 0 】

たとえば、前記実施例では、1枚の液晶表示パネル1に、2つの駆動回路部品を搭載した場合を例に挙げているが、本発明は、これに限らず、1枚の液晶表示パネル1に3つ以上の駆動回路部品を搭載した場合にも適用できる。1枚の液晶表示パネル1に3つ以上の駆動回路部品を搭載した場合、たとえば、当該3つ以上の駆動回路部品のうちの1つの駆動回路部品をマスターにし、その駆動回路部品で生成した階調基準電圧 V_{DH} や基準電圧 V_{ref} を他の駆動回路部品に供給すればよい。

10

【 0 2 1 1 】

また、前記実施例では、液晶表示装置を例に挙げたが、本発明は、これに限らず、液晶表示装置と同様の構成および駆動方法の表示装置（たとえば、有機ELを用いた自発光型の表示装置）に適用できることはもちろんである。

【 図面の簡単な説明 】

【 0 2 1 2 】

【 図 1 (a) 】 本発明による一実施例の液晶表示装置の概略構成の一例を示す模式ブロック図である。

【 図 1 (b) 】 図 1 (a) の駆動回路および分配回路の周辺を拡大して示した模式ブロック図である。

20

【 図 1 (c) 】 液晶表示パネルの1つの画素の回路構成の一例を示す模式回路図である。

【 図 1 (d) 】 表示領域の回路構成および分配回路の回路構成の一例を示す模式回路図である。

【 図 1 (e) 】 本実施例の液晶表示装置の駆動方法の一例を示す模式図である。

【 図 2 】 第1の駆動回路部品の内部構成の一例を示す模式ブロック図である。

【 図 3 】 液晶表示パネル1に印加される電圧の波形の一例を示す模式波形図である。

【 図 4 (a) 】 液晶駆動電圧生成回路の全体的な構成の一例を示す模式ブロック図である。

【 図 4 (b) 】 図 4 (a) の対向電圧出力回路181の構成の一例を示す模式ブロック図である。

30

【 図 5 】 第1の駆動回路部品における階調電圧の出力方法を説明するための模式図である。

【 図 6 】 階調電圧選択回路の概略構成の一例を示す模式回路図である。

【 図 7 】 階調電圧生成回路の概略構成の一例を示す模式回路図である。

【 図 8 】 ガンマ補正の原理を説明するための模式グラフ図である。

【 図 9 (a) 】 ガンマ補正回路の概略構成の一例を示す模式ブロック図である。

【 図 9 (b) 】 図 9 (a) の可変抵抗回路の概略構成の一例を示す模式回路図である。

【 図 9 (c) 】 図 9 (a) のラダー抵抗回路の概略構成の一例を示す模式回路図である。

【 図 1 0 】 ガンマ補正回路において基準階調電圧の傾きを調整する方法を説明するための模式図である。

40

【 図 1 1 】 基準電圧生成回路および基準階調電圧回路の概略構成の一例を示す模式回路図である。

【 図 1 2 】 基準電圧生成回路と昇圧回路との接続部の概略構成を示す模式ブロック図である。

【 図 1 3 (a) 】 本実施例の液晶表示パネルに搭載された2個の駆動回路部品の概略構成の一例を示す模式回路図である。

【 図 1 3 (b) 】 出力アンプの概略構成の一例を示す模式回路図である。

【 図 1 3 (c) 】 図 1 3 (a) の第1の駆動回路部品の概略構成を拡大して示した模式回路図である。

50

【図 13 (d)】図 13 (a) の第 2 の駆動回路部品の概略構成を拡大して示した模式回路図である。

【図 14】本実施例の液晶表示パネルに搭載された 2 個の駆動回路部品の別の部分の概略構成の一例を示す模式回路図である。

【図 1 5】階調基準電圧の望ましい供給方法の一例を示す模式回路図である。

【図 1 6】階調基準電圧のさらに望ましい供給方法の一例を示す模式回路図である。

【符号の説明】

【 0 2 1 3 】

1 ... 液晶表示パネル

2 ... 第 1 の基板 (T F T 基板)

3 ... 第 2 の基板（カラーフィルタ基板）

4 ... コネクタ

5 - 1 ... 第 1 の駆動回路部品

5 - 2 ... 第 2 の駆動回路部品

6 0 - 1 ... 第 1 の分配回路

6 0 - 2 ... 第 2 の分配回路

7 0 ... プリント配線板

8 0 ... イコライズ回路

1 8 2 , 1 8 2 - 1 , 1 8 2 - 2 ...基準階調電圧回路

1 8 5 , 1 8 5 - 1 , 1 8 5 - 2 ...基準電圧生成回路

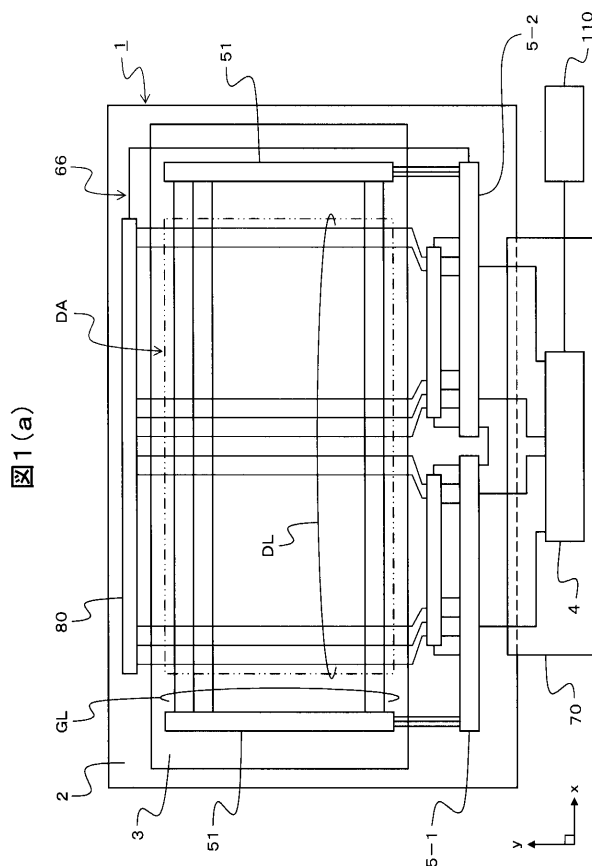
188, 188 - 1, 188 - 2 ... バイアス回路

5 6 3 , 5 6 3 - 1 , 5 6 3 - 2 ... ガンマ補正回路

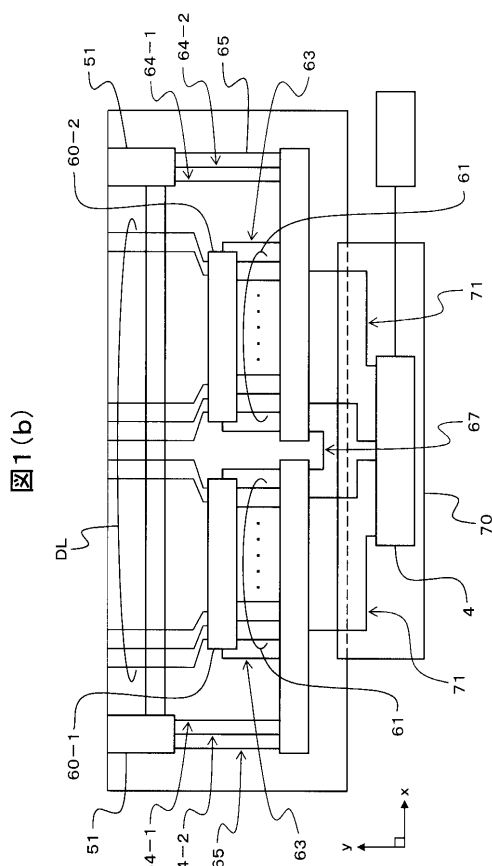
10

20

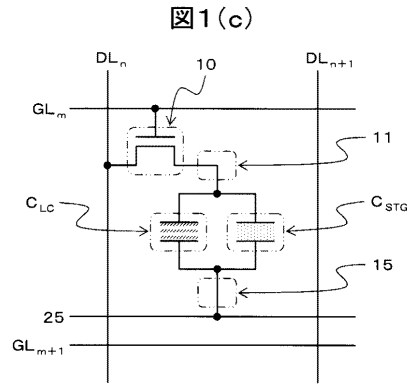
【 図 1 (a) 】



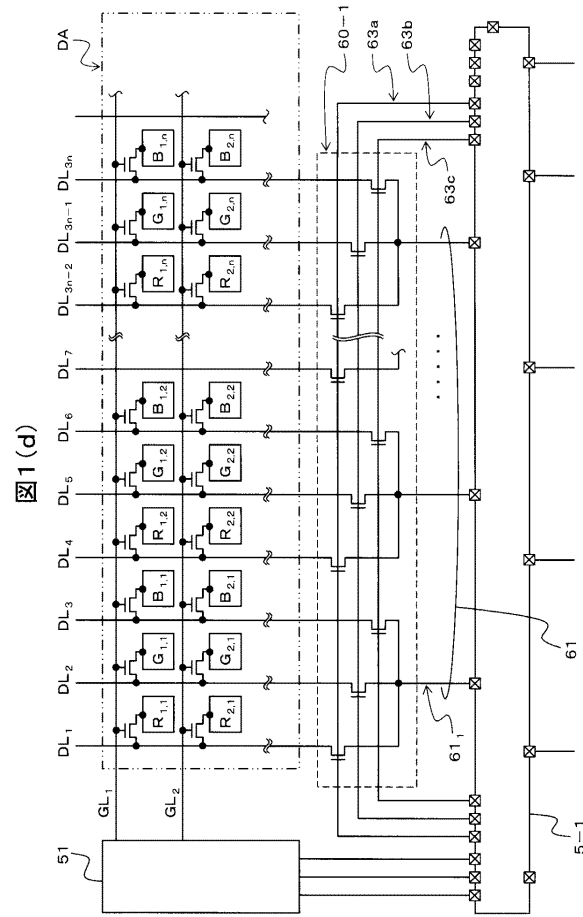
【 図 1 (b) 】



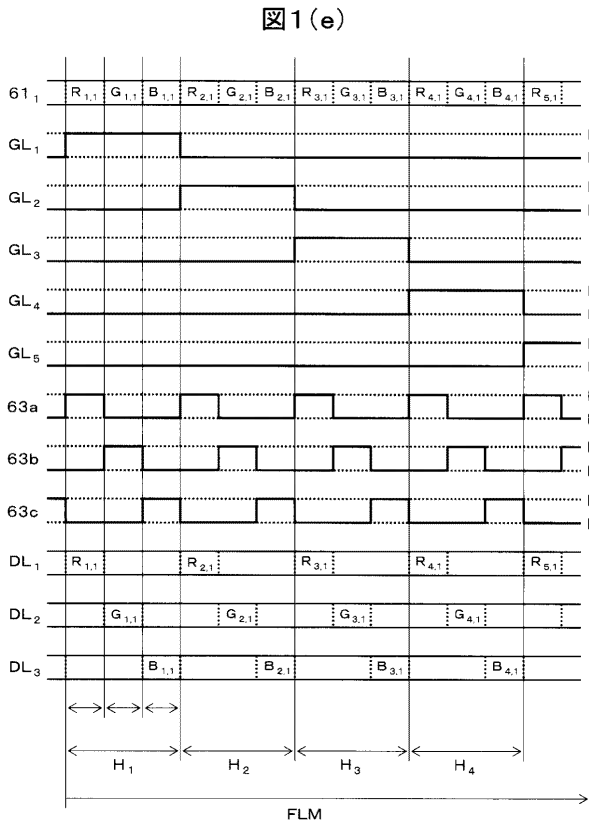
【図 1 (c)】



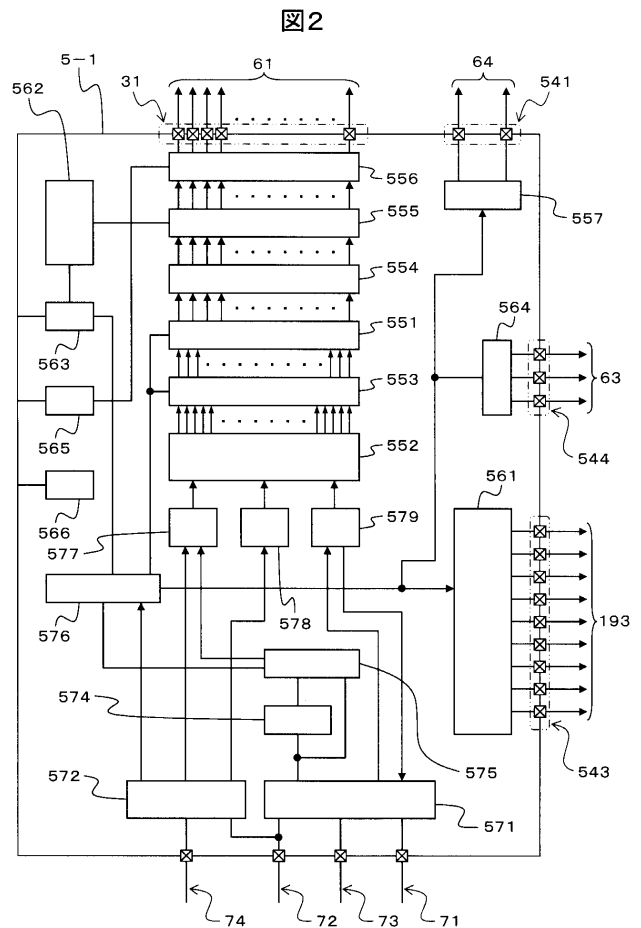
【図 1 (d)】



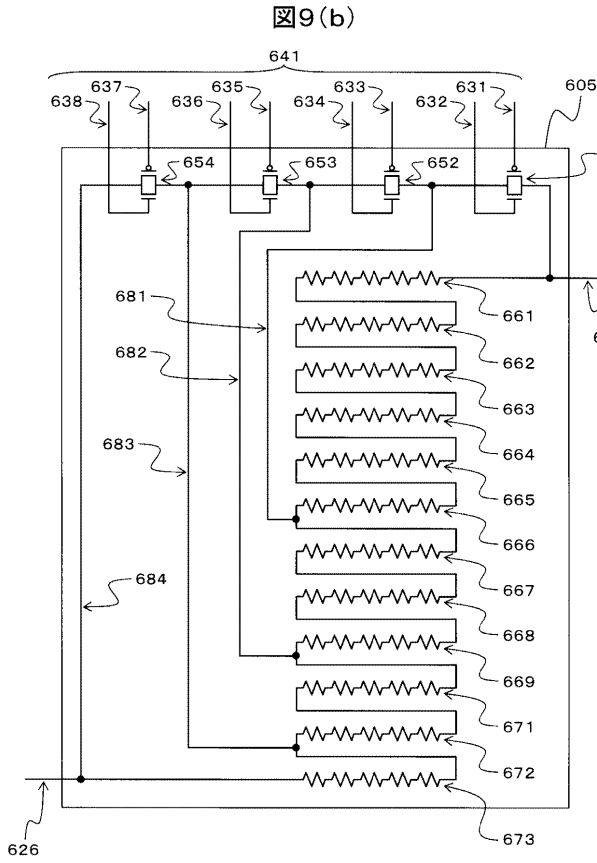
【図 1 (e)】



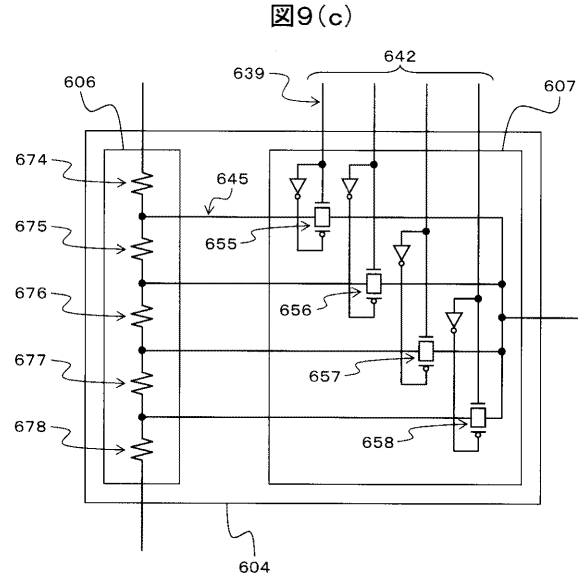
【図 2】



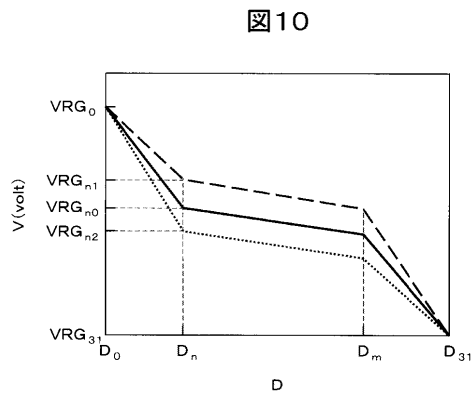
【図 9 (b)】



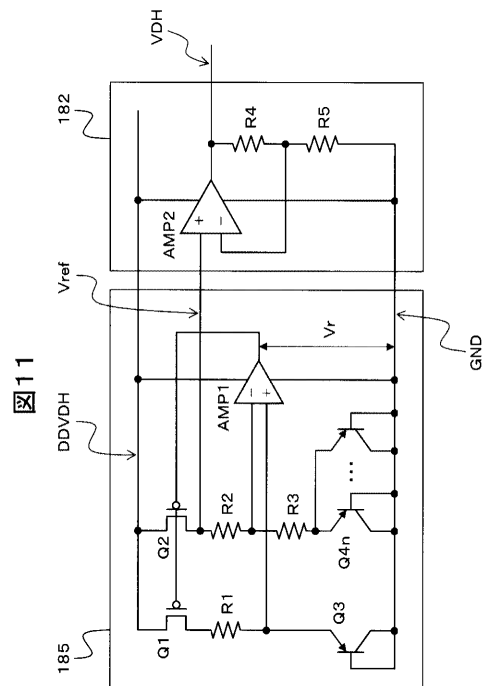
【図 9 (c)】



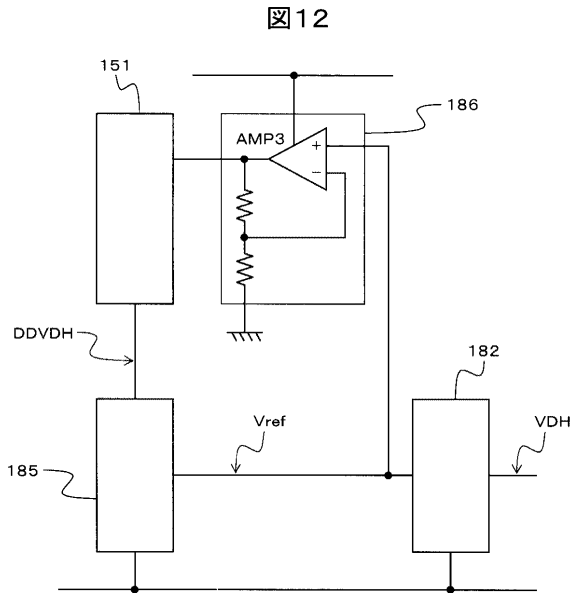
【図 1 0】



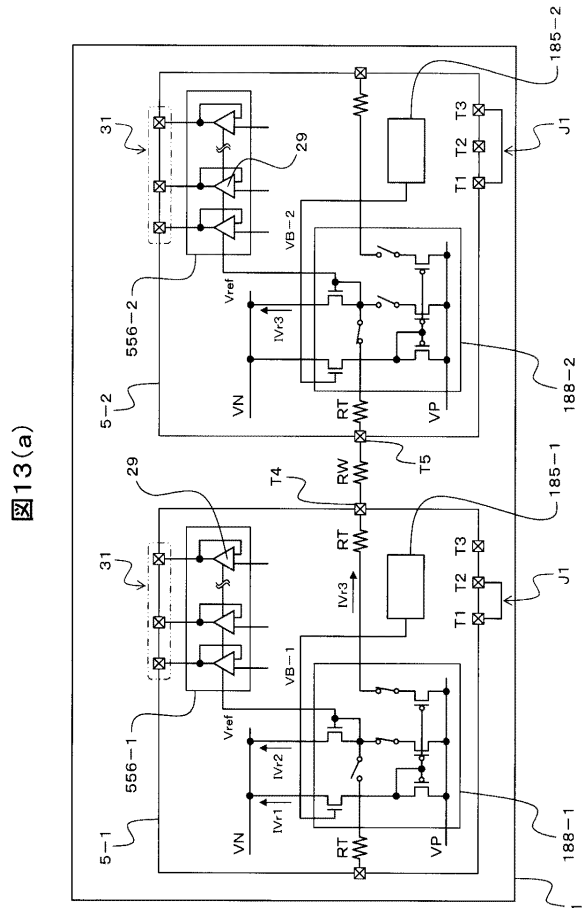
【図 1 1】



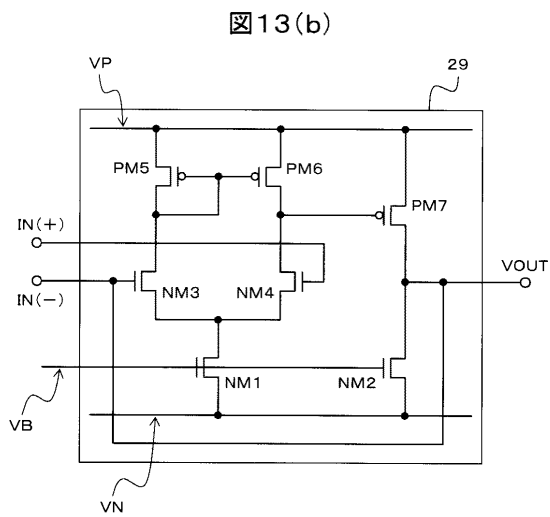
【図 12】



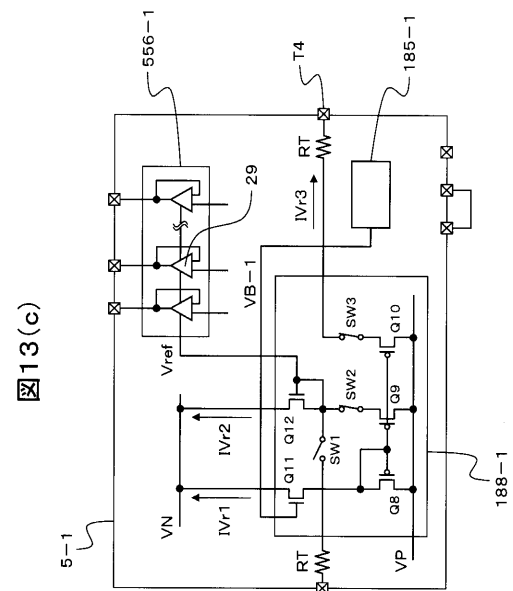
【図 13 (a)】



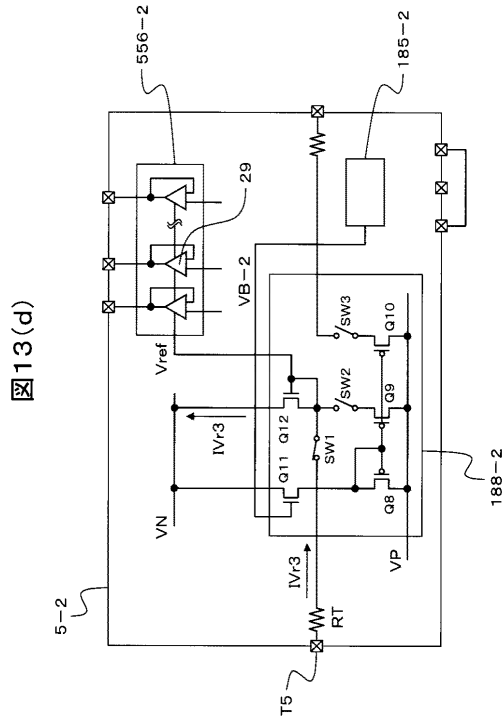
【図 13 (b)】



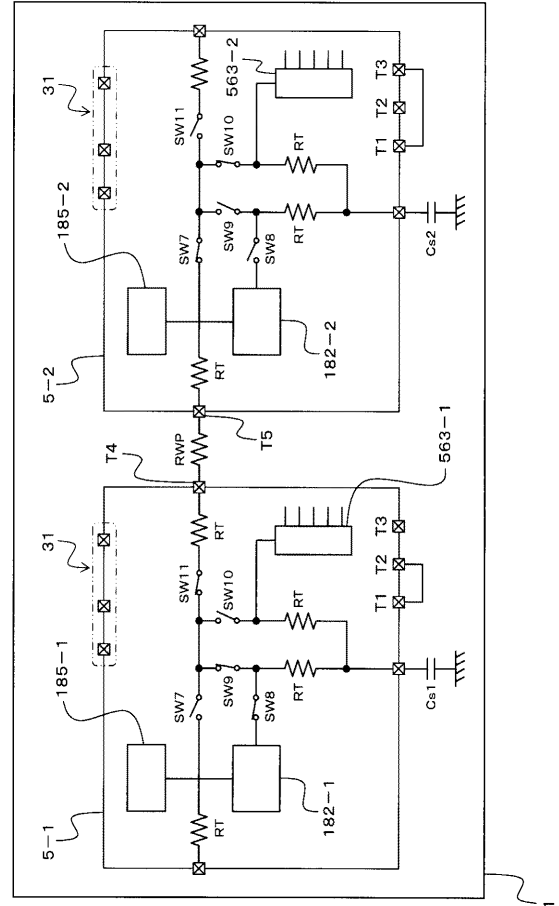
【図 13 (c)】



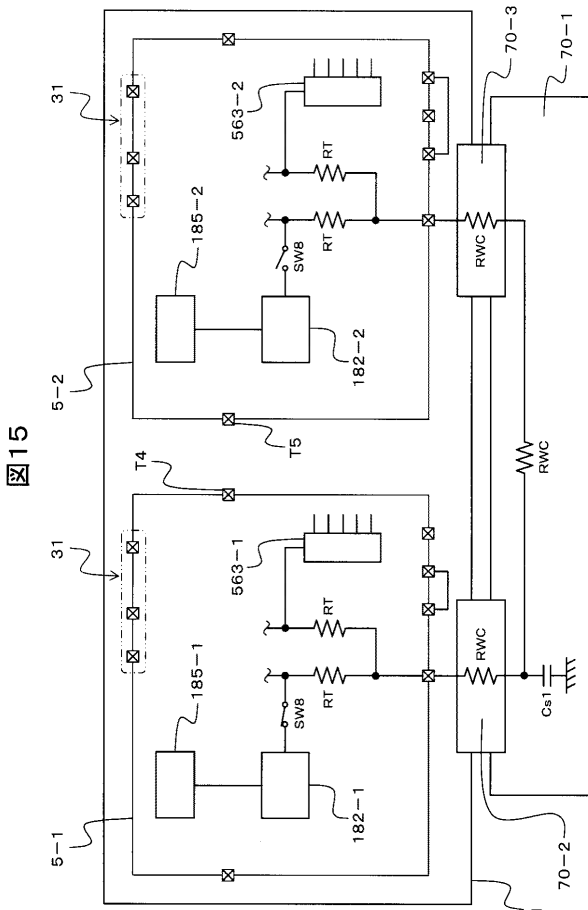
【図 13 (d)】



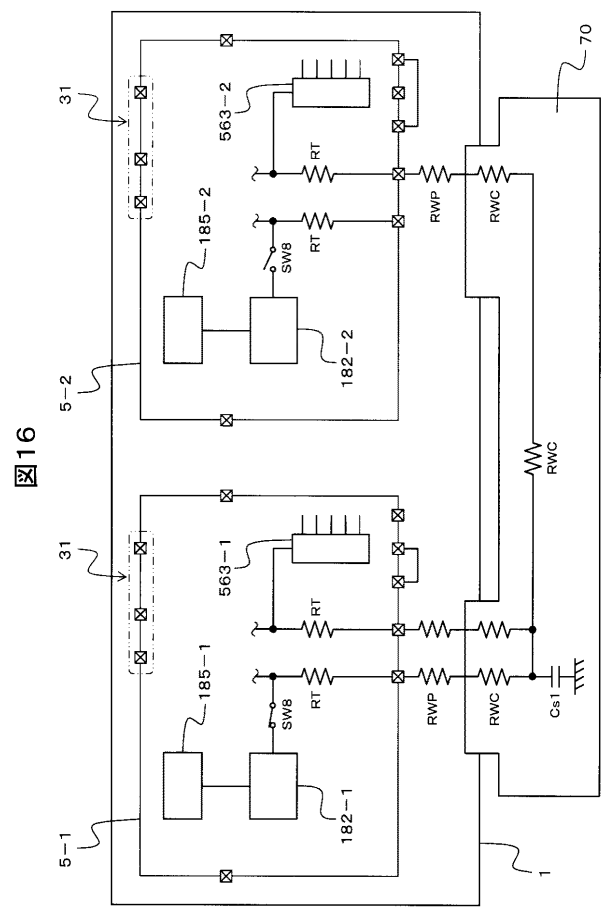
【図 14】



【図 15】



【図 16】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 4 2 A
	G 0 2 F 1/133	5 7 5
	G 0 2 F 1/133	5 2 0
	G 0 2 F 1/133	5 5 0

F ターム(参考) 5C006 BC02 BC03 BC16 BC20 EB05 FA25
5C080 AA10 BB05 DD05 EE28 JJ02 JJ03 JJ04 JJ05 KK02 KK07
KK43