



(12)发明专利

(10)授权公告号 CN 104091834 B

(45)授权公告日 2017. 04. 12

(21)申请号 201410345770.X

(22)申请日 2010.07.02

(65)同一申请的已公布的文献号

申请公布号 CN 104091834 A

(43)申请公布日 2014.10.08

(30)优先权数据

2009-159052 2009.07.03 JP

(62)分案原申请数据

201010222538.9 2010.07.02

(73)专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72)发明人 坂田淳一郎 佐佐木俊成 细羽幸

(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 吕林红

(51)Int.Cl.

H01L 29/786(2006.01)

H01L 21/02(2006.01)

(56)对比文件

CN 101162703 A, 2008.04.16, 说明书第48页第6段至第52页第3段及附图17A-17C.

JP 特开2008-83171 A, 2008.04.10, 说明书第0002-0124段及附图3-13.

审查员 靳苹苹

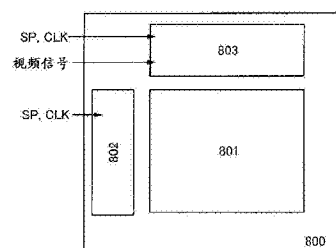
权利要求书3页 说明书48页 附图39页

(54)发明名称

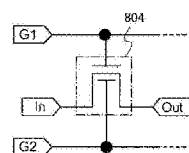
发光显示装置

(57)摘要

本发明涉及一种发光显示装置,本发明的课题在于提供一种使用具有稳定的电特性的晶体管来进行稳定的工作的显示装置。当应用以氧化物半导体层为沟道形成区的晶体管来制造显示装置时,至少在应用于驱动电路的晶体管上进一步配置栅电极。当制造以氧化物半导体层为沟道形成区的晶体管时,对氧化物半导体层进行用来实现脱水化或脱氢化的加热处理,以减少存在于以上下接触的方式设置的栅极绝缘层及保护绝缘层与氧化物半导体层的界面的水分等杂质。



A



B

1. 一种半导体装置,其特征在于,具有:

衬底上的第一栅电极;

所述第一栅电极上的第一栅极绝缘层;

所述第一栅极绝缘层上的氧化物半导体层;

所述氧化物半导体层上的第一绝缘层;

所述第一绝缘层上的源电极和漏电极;

所述源电极上和所述漏电极上的第二绝缘层;

所述第二绝缘层上的第二栅电极;

所述第二栅电极上的平坦化层;

所述平坦化层上的像素电极;

所述像素电极上的发光层;以及

所述发光层上的电极,

所述第一绝缘层以及所述第二绝缘层用作第二栅极绝缘层,

在沟道长度方向上,所述第二栅电极的宽度小于所述第一绝缘层的宽度,

所述第二栅电极具备具有透光性的导电层,

所述第二栅电极具备与具有遮光性的层重叠的区域,并且

所述发光层向所述衬底方向发光。

2. 一种半导体装置,其特征在于,具有:

衬底上的第一栅电极;

所述第一栅电极上的第一栅极绝缘层;

所述第一栅极绝缘层上的氧化物半导体层;

所述氧化物半导体层上的第一绝缘层;

所述第一绝缘层上的源电极和漏电极;

所述源电极上和所述漏电极上的第二绝缘层;

所述第二绝缘层上的第二栅电极;

所述第二栅电极上的平坦化层;

所述平坦化层上的像素电极;

所述像素电极上的发光层;以及

所述发光层上的电极,

所述第一绝缘层用作沟道保护膜,

所述第一绝缘层以及所述第二绝缘层用作第二栅极绝缘层,

在沟道长度方向上,所述第二栅电极的宽度小于所述第一绝缘层的宽度,

所述第二栅电极具备具有透光性的导电层,

所述第二栅电极具备与具有遮光性的层重叠的区域,并且

所述发光层向所述衬底方向发光。

3. 一种半导体装置,其特征在于,具有:

晶体管,该晶体管具有:衬底上的第一栅电极、所述第一栅电极上的第一栅极绝缘层、所述第一栅极绝缘层上的氧化物半导体层、所述氧化物半导体层上的第一绝缘层、所述第一绝缘层上的源电极和漏电极、所述源电极上和所述漏电极上的第二绝缘层、以及所述第

二绝缘层上的第二栅电极；

所述第二栅电极上的平坦化层；

所述平坦化层上的像素电极；

所述像素电极上的发光层；以及

所述发光层上的电极，

所述第一绝缘层以及所述第二绝缘层用作第二栅极绝缘层，

在所述晶体管的沟道长度方向上，所述第二栅电极的宽度小于所述第一绝缘层的宽度，

所述第二栅电极具备具有透光性的导电层，

所述第二栅电极具备与具有遮光性的层重叠的区域，

所述发光层向所述衬底方向发光，

所述第二栅电极具有与所述源电极重叠的区域，

所述第二栅电极具有与所述漏电极重叠的区域，

在所述晶体管的所述沟道长度方向上，所述第一栅电极具有宽度比所述氧化物半导体层大的区域，

在所述晶体管的所述沟道长度方向上，所述第二栅电极具有宽度比所述氧化物半导体层小的区域，并且

所述氧化物半导体层的侧面未被所述源电极或所述漏电极覆盖。

4. 一种半导体装置，其特征在于，具有：

晶体管，该晶体管具有：衬底上的第一栅电极、所述第一栅电极上的第一栅极绝缘层、所述第一栅极绝缘层上的氧化物半导体层、所述氧化物半导体层上的第一绝缘层、所述第一绝缘层上的源电极和漏电极、所述源电极上和所述漏电极上的第二绝缘层、以及所述第二绝缘层上的第二栅电极；

所述第二栅电极上的平坦化层；

所述平坦化层上的像素电极；

所述像素电极上的发光层；以及

所述发光层上的电极，

所述第一绝缘层用作沟道保护膜，

所述第一绝缘层和所述第二绝缘层用作第二栅极绝缘层，

在所述晶体管的沟道长度方向上，所述第二栅电极的宽度小于所述第一绝缘层的宽度，

所述第二栅电极具备具有透光性的导电层，

所述第二栅电极具备与具有遮光性的层重叠的区域，

所述发光层向所述衬底方向发光，

所述第二栅电极具有与所述源电极重叠的区域，

所述第二栅电极具有与所述漏电极重叠的区域，

在所述晶体管的所述沟道长度方向上，所述第一栅电极具有宽度比所述氧化物半导体层大的区域，

在所述晶体管的所述沟道长度方向上，所述第二栅电极具有宽度比所述氧化物半导体

层小的区域,并且

所述氧化物半导体层的侧面未被所述源电极或所述漏电极覆盖。

发光显示装置

[0001] 本申请是申请号为201010222538.9、申请日为2010年7月2日、发明名称为“具有晶体管的显示装置及其制造方法”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及一种具有由晶体管构成的电路的显示装置及其制造方法。

背景技术

[0003] 金属氧化物的种类繁多且用途广泛。作为金属氧化物的氧化铟是较普遍的材料，并且它用作液晶显示器等所需要的具有透光性的导电材料。

[0004] 有的金属氧化物呈现半导体特性。作为呈现半导体特性的金属氧化物，例如可以举出氧化铟、氧化锡、氧化铟、氧化锌等，并且已知将这种呈现半导体特性的金属氧化物用于沟道形成区的晶体管(例如，参照专利文献1至4、非专利文献1)。

[0005] 另外，作为金属氧化物，不仅已知一元氧化物，而且还已知多元氧化物。例如，已知的是，具有同系物(homologous series)的 $\text{InGaO}_3(\text{ZnO})_m$ (m 为自然数)是具有In、Ga及Zn的多元氧化物半导体(参照非专利文献2至4)。

[0006] 并且，已经确认到可以将由上述那样的In-Ga-Zn类氧化物构成的氧化物半导体层应用于晶体管的沟道层(参照专利文献5、非专利文献5及6)。

[0007] [专利文献1]日本专利申请公开昭60-198861号公报

[0008] [专利文献2]日本专利申请公开平8-264794号公报

[0009] [专利文献3]日本专利申请公开平11-505377号公报

[0010] [专利文献4]日本专利申请公开2000-150900号公报

[0011] [专利文献5]日本专利申请公开2004-103957号公报

[0012] [非专利文献1]M.W.Prins,K.O.Grosse-Holz,G.Muller,J.F.M.Cillessen,J.B.Giesbers,R.P.Weening,and R.M.Wolf,"A ferroelectric transparent thin-film transistor",Appl.Phys.Lett.,17June1996,Vol.68p.3650-3652

[0013] [非专利文献2]M.Nakamura,N.Kimizuka,and T.Mohri,"The Phase Relations in the $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ System at1350°C",J.Solid State Chem.,1991,Vol.93,p.298-315

[0014] [非专利文献3]N.Kimizuka,M.Isobe,and M.Nakamura,"Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3,4$,and5), $\text{InGaO}_3(\text{ZnO})_3$,and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7,8,9$,and16)in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System",J.Solid State Chem.,1995,Vol.116,p.170-178

[0015] [非专利文献4]中村真佐树、君塚昇、毛利尚彦、矶部光正,"ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$ (m :自然数)とその同型化合物の合成および結晶構造",固体物理,1993年,Vol.28, No.5,p.317-327

[0016] [非专利文献5]K.Nomura,H.Ohta,K.Ueda,T.Kamiya,M.Hirano,and H.Hosono,"

Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor”, SCIENCE, 2003, Vol. 300, p. 1269-1272

[0017] [非专利文献6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, “Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors”, NATURE, 2004, Vol. 432 p. 488-492。

发明内容

[0018] 本发明的一种方式的目的提供一种电特性良好且可靠性高的晶体管及其制造方法、以及一种应用该晶体管的显示品质良好且可靠性高的显示装置。

[0019] 本发明的一种方式是有源矩阵衬底具有氧化物半导体层的晶体管的显示装置, 并且, 该显示装置的有源矩阵衬底具有像素部和驱动电路部。至少在该驱动电路部中, 在与背沟道部重叠的位置上还设置有栅电极, 并且, 当制造该晶体管时, 对氧化物半导体层进行加热处理, 通过该加热处理, 实现脱水化或脱氢化。再者, 在该加热处理后覆盖该氧化物半导体层地利用包含氧的绝缘无机材料形成保护绝缘层。由于该加热处理, 载流子浓度也变化。

[0020] 制造电特性良好的晶体管, 尤其是, 可以制造即使使用很长时间阈值电压也不容易偏移并且可靠性高的晶体管。通过将这种晶体管至少应用于驱动电路部, 可以提高显示装置的可靠性。

附图说明

[0021] 图1A至1C是说明本发明的一种方式晶体管的图;

[0022] 图2A至2D是说明本发明的一种方式晶体管的图;

[0023] 图3是说明可应用于本发明的电炉的图;

[0024] 图4A和4B是说明本发明的一种方式晶体管的图;

[0025] 图5A至5D是说明本发明的一种方式晶体管的图;

[0026] 图6A和6B是说明本发明的一种方式晶体管的图;

[0027] 图7A至7D是说明本发明的一种方式晶体管的图;

[0028] 图8A和8B是说明本发明的一种方式晶体管的图;

[0029] 图9A至9D是说明本发明的一种方式晶体管的图;

[0030] 图10A和10B是说明本发明的一种方式晶体管的图;

[0031] 图11A和11B是说明本发明的一种方式显示装置的图;

[0032] 图12是说明本发明的一种方式显示装置的图;

[0033] 图13A和13B是说明本发明的一种方式显示装置的图;

[0034] 图14是说明本发明的一种方式显示装置的图;

[0035] 图15是说明本发明的一种方式显示装置的图;

[0036] 图16是说明本发明的一种方式显示装置的图;

[0037] 图17是说明本发明的一种方式显示装置的图;

[0038] 图18是说明本发明的一种方式显示装置的图;

[0039] 图19是说明本发明的一种方式显示装置的图;

- [0040] 图20是说明本发明的一种方式显示装置的图；
- [0041] 图21是说明本发明的一种方式显示装置的图；
- [0042] 图22A至22C是说明本发明的一种方式显示装置的图；
- [0043] 图23A和23B是说明本发明的一种方式显示装置的图；
- [0044] 图24A1至24B是说明本发明的一种方式显示装置的图；
- [0045] 图25是说明本发明的一种方式显示装置的图；
- [0046] 图26A和26B是说明本发明的一种方式电子设备的图；
- [0047] 图27A和27B是说明本发明的一种方式电子设备的图；
- [0048] 图28A和28B是说明本发明的一种方式电子设备的图；
- [0049] 图29A至29C是说明实施例1的图；
- [0050] 图30A至30C是说明实施例1的图；
- [0051] 图31A至31C是说明实施例1的图；
- [0052] 图32A至32C是说明实施例1的图；
- [0053] 图33是说明实施例2的图；
- [0054] 图34是说明实施例2的图；
- [0055] 图35是说明实施例2的图；
- [0056] 图36是说明实施例2的图；
- [0057] 图37A至37C是说明实施例2的图；
- [0058] 图38是说明实施例2的图；
- [0059] 图39是说明实施例2的图；
- [0060] 图40是说明实施例2的图；
- [0061] 图41是说明实施例2的图；
- [0062] 图42是说明实施例3的图；
- [0063] 图43是说明实施例3的图。
- [0064] 附图标记说明
- [0065] 10 衬底
- [0066] 11 栅电极
- [0067] 13 栅极绝缘层
- [0068] 16 氧化物半导体层
- [0069] 20 晶体管
- [0070] 42 栅电极
- [0071] 43 晶体管
- [0072] 44 接触孔
- [0073] 47 氧化物半导体层
- [0074] 103 氧化物半导体层
- [0075] 15a 源电极层
- [0076] 15b 漏电极层
- [0077] 400 衬底
- [0078] 401 栅电极层

[0079]	401C	栅电极层
[0080]	402	栅极绝缘层
[0081]	403	氧化物半导体层
[0082]	404	n型氧化物半导体层
[0083]	405	源电极及漏电极层
[0084]	405a	源电极
[0085]	405b	漏电极
[0086]	406	沟道保护层
[0087]	407	保护绝缘层
[0088]	408	树脂层
[0089]	409	栅电极层
[0090]	409B	栅电极层
[0091]	409C	栅电极层
[0092]	410	基底绝缘层
[0093]	411	端子
[0094]	430	氧化物半导体层
[0095]	431	氧化物半导体层
[0096]	432	氧化物半导体层
[0097]	433	氧化物半导体膜
[0098]	434	n型氧化物半导体层
[0099]	437	n型氧化物半导体层
[0100]	440	n型氧化物半导体膜
[0101]	471	晶体管
[0102]	472	晶体管
[0103]	473	晶体管
[0104]	474	晶体管
[0105]	500	衬底
[0106]	501	绝缘膜
[0107]	502	氧化物半导体膜
[0108]	503	电极
[0109]	504	电极
[0110]	505	电极
[0111]	506	电极
[0112]	510	物性评价用样品
[0113]	581	晶体管
[0114]	582	栅电极
[0115]	584	保护绝缘层
[0116]	585	树脂层
[0117]	586	保护绝缘层

[0118]	587	电极层
[0119]	588	电极层
[0120]	589	球形粒子
[0121]	594	空洞
[0122]	595	填充材料
[0123]	601	电炉
[0124]	602	炉室
[0125]	603	加热器
[0126]	604	衬底
[0127]	605	衬托器
[0128]	606	气体供给装置
[0129]	607	排气装置
[0130]	611	气体供给源
[0131]	612	压力调节阀
[0132]	613	精制器
[0133]	614	质量流量控制器
[0134]	615	停止阀
[0135]	701	氧化物半导体层
[0136]	703	氧密度低的层
[0137]	705	氧密度高的层
[0138]	707	实线
[0139]	709	虚线
[0140]	800	衬底
[0141]	801	像素部
[0142]	802	扫描线驱动电路
[0143]	803	信号线驱动电路
[0144]	804	晶体管
[0145]	820	衬底
[0146]	822	信号线输入端子
[0147]	823	扫描线
[0148]	824	信号线
[0149]	827	像素部
[0150]	828	像素
[0151]	829	像素晶体管
[0152]	830	存储电容部
[0153]	831	像素电极
[0154]	832	电容线
[0155]	833	公共端子
[0156]	835	保护电路

[0157]	1000	手机
[0158]	1001	框体
[0159]	1002	显示部
[0160]	1003	操作按钮
[0161]	1004	外部连接端口
[0162]	1005	扬声器
[0163]	1006	麦克风
[0164]	1101	导电层
[0165]	1102	氧化物半导体层
[0166]	1103	导电层
[0167]	1104	像素电极层
[0168]	1105	导电层
[0169]	1106	开口部
[0170]	2600	元件衬底
[0171]	2601	对置衬底
[0172]	2602	密封材料
[0173]	2603	元件层
[0174]	2604	液晶层
[0175]	2606	偏振片
[0176]	2607	偏振片
[0177]	2608	布线电路部
[0178]	2609	柔性线路板
[0179]	2611	反射板
[0180]	2612	电路衬底
[0181]	2613	光学片
[0182]	2614	LED控制电路
[0183]	2700	电子书籍
[0184]	2701	框体
[0185]	2703	框体
[0186]	2705	显示部
[0187]	2707	显示部
[0188]	2711	轴部
[0189]	2721	电源
[0190]	2723	操作键
[0191]	2725	扬声器
[0192]	4001	衬底
[0193]	4002	像素部
[0194]	4003	信号线驱动电路
[0195]	4004	扫描线驱动电路

[0196]	4005	密封材料
[0197]	4006	衬底
[0198]	4007	基底绝缘层
[0199]	4008	液晶层
[0200]	4010	晶体管
[0201]	4011	晶体管
[0202]	4013	液晶元件
[0203]	4015	连接端子电极
[0204]	4016	端子电极
[0205]	4017	各向异性导电膜
[0206]	4018	FPC
[0207]	4019	栅极绝缘层
[0208]	4020	保护绝缘层
[0209]	4021	树脂层
[0210]	4022	保护绝缘层
[0211]	4028	栅电极
[0212]	4029	栅电极
[0213]	4030	像素电极层
[0214]	4031	公共电极层
[0215]	4032	偏振片
[0216]	4033	偏振片
[0217]	4034	遮光层
[0218]	4035	柱形隔块
[0219]	408a	缓冲层
[0220]	408b	缓冲层
[0221]	4500	衬底
[0222]	4502	像素部
[0223]	4503	填充材料
[0224]	4505	密封材料
[0225]	4506	衬底
[0226]	4507	保护层
[0227]	4508	树脂层
[0228]	4509	晶体管
[0229]	4510	晶体管
[0230]	4511	发光元件
[0231]	4512	电致发光层
[0232]	4513	电极层
[0233]	4514	保护绝缘层
[0234]	4515	连接端子电极

[0235]	4516	端子电极
[0236]	4517	电极层
[0237]	4519	各向异性导电膜
[0238]	4520	分隔壁
[0239]	4521	栅电极
[0240]	4522	栅电极
[0241]	471B	晶体管
[0242]	471C	晶体管
[0243]	472B	晶体管
[0244]	473B	晶体管
[0245]	474B	晶体管
[0246]	590a	黑色区
[0247]	590b	白色区
[0248]	6400	像素
[0249]	6401	开关晶体管
[0250]	6402	驱动晶体管
[0251]	6403	电容元件
[0252]	6404	发光元件
[0253]	6405	信号线
[0254]	6407	电源线
[0255]	6408	公共电极
[0256]	7001	晶体管
[0257]	7002	发光元件
[0258]	7003	阴极
[0259]	7004	发光层
[0260]	7005	阳极
[0261]	7006	分隔壁
[0262]	7007	保护层
[0263]	7009	栅电极
[0264]	7010	导电膜
[0265]	7011	晶体管
[0266]	7012	发光元件
[0267]	7013	阴极
[0268]	7014	发光层
[0269]	7015	阳极
[0270]	7016	屏蔽膜
[0271]	7017	树脂层
[0272]	7018	保护绝缘层
[0273]	7019	栅电极

[0274]	7021	晶体管
[0275]	7022	发光元件
[0276]	7023	阴极
[0277]	7024	发光层
[0278]	7025	阳极
[0279]	7027	导电膜
[0280]	7028	连接电极
[0281]	7029	栅电极
[0282]	802A	扫描线驱动电路
[0283]	802B	扫描线驱动电路
[0284]	823A	扫描线
[0285]	823B	控制线
[0286]	823C	扫描线
[0287]	823D	扫描线
[0288]	9400	通信装置
[0289]	9401	框体
[0290]	9402	操作按钮
[0291]	9403	外部输入端子
[0292]	9404	麦克风
[0293]	9405	扬声器
[0294]	9406	发光部
[0295]	9410	显示装置
[0296]	9411	框体
[0297]	9412	显示部
[0298]	9413	操作按钮
[0299]	9600	墙壁
[0300]	9601	框体
[0301]	9603	显示部
[0302]	9607	显示部
[0303]	9609	操作键
[0304]	9610	遥控操作机
[0305]	9881	框体
[0306]	9882	显示部
[0307]	9883	显示部
[0308]	9884	扬声器部
[0309]	9885	操作键
[0310]	9886	记录媒体插入部
[0311]	9887	连接端子
[0312]	9888	传感器

- [0313] 9889 麦克风
- [0314] 9890 LED灯
- [0315] 9891 框体
- [0316] 9893 联结部
- [0317] 2610B 发光二极管
- [0318] 2610G 发光二极管
- [0319] 2610R 发光二极管
- [0320] 4003a 信号线驱动电路
- [0321] 4003b 信号线驱动电路
- [0322] 4503a 信号线驱动电路
- [0323] 4503b 信号线驱动电路
- [0324] 4504a 扫描线驱动电路
- [0325] 4504b 扫描线驱动电路
- [0326] 4518a FPC
- [0327] 4518b FPC
- [0328] 6406A 扫描线
- [0329] 6406B 控制线

具体实施方式

[0330] 参照附图对实施方式进行详细说明。但是,所属技术领域的普通技术人员可以很容易地理解一个事实就是,本发明不局限于以下的说明,而其方式及详细内容在不脱离本发明的宗旨及其范围内的情况下可以被变化为各种各样的形式。从而,本发明不应该被解释为仅限定在以下的实施方式所记载的内容中。注意,在下面所说明的发明的结构中,在不同的附图中共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略其重复说明。

[0331] 注意,在下面的实施方式1至实施方式4中,说明至少设置于本发明的一种方式

的显示装置的驱动电路部中的晶体管。

[0332] (实施方式1)

[0333] 在本实施方式中,说明可应用于本发明的一种方式

的显示装置的晶体管的截面图。

[0334] 图1A至1C示出可应用于本发明的一种方式

的晶体管的截面图。

[0335] 晶体管471是底栅型晶体管,并且它包括设置于衬底400上的第一栅电极层401、栅极绝缘层402、氧化物半导体层403、源电极及漏电极层405。再者,设置有与氧化物半导体层403的一部分接触地覆盖该第一栅电极层401、该栅极绝缘层402、该氧化物半导体层403、该源电极及漏电极层405的第一保护绝缘层407以及设置于该第一保护绝缘层407上且与氧化物半导体层403重叠的第二栅电极层409。注意,也可以将第一保护绝缘层407称为第二栅极绝缘层。

[0336] 作为包括沟道形成区的氧化物半导体层403的材料,使用具有半导体特性的氧化物材料即可。例如,可以使用具有由 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 表示的结构的氧化物半导体,特别优

选的是,使用In-Ga-Zn-O类氧化物半导体。另外,M表示选自Ga、Fe、Ni、Mn及Co中的一种金属元素或多种金属元素。例如,在M为Ga的情况下,还有包含Ga以外的上述金属元素的情况,诸如包含Ga和Ni的情况、包含Ga和Fe的情况等。

[0337] 注意,在上述氧化物半导体中,除了作为M被包含的金属元素以外,还可以包含诸如Fe、Ni等过渡金属元素或者该过渡金属的氧化物。

[0338] 注意,在具有由 $\text{InM}_3(\text{ZnO})_m(m>0)$ 表示的结构的氧化物半导体中,将具有作为M至少包含Ga的结构的氧化物半导体称为In-Ga-Zn-O类氧化物半导体,并且将该薄膜还称为In-Ga-Zn-O类非单晶膜。

[0339] 或者,作为应用于氧化物半导体层403的氧化物半导体,除了上述以外,还可以应用In-Sn-Zn-O类、In-Al-Zn-O类、Sn-Ga-Zn-O类、Al-Ga-Zn-O类、Sn-Al-Zn-O类、In-Zn-O类、Sn-Zn-O类、Al-Zn-O类、In-O类、Sn-O类、Zn-O类的氧化物半导体。

[0340] 注意,也可以使上述氧化物半导体包含氧化硅。

[0341] 当形成氧化物半导体层403时,至少在形成氧化物半导体膜后,进行用来减少作为杂质的水分(H_2O)等的加热处理(用来实现脱水化或脱氢化的加热处理)来实现低电阻化(载流子浓度提高,优选的是,它成为 $1 \times 10^{18}/\text{cm}^3$ 以上),与该氧化物半导体膜(或者经过加工的氧化物半导体层)接触地形成第一保护绝缘层407,实现高电阻化(载流子浓度降低,它优选成为低于 $1 \times 10^{18}/\text{cm}^3$,更优选成为 $1 \times 10^{14}/\text{cm}^3$ 以下),从而形成可以用作沟道形成区的氧化物半导体层。

[0342] 再者,优选的是,在通过用来实现脱水化或脱氢化的加热处理来脱离水分等的杂质后,在惰性气氛下进行缓冷(逐渐冷却)。通过在进行用来实现脱水化或脱氢化的加热处理及缓冷后,进行以接触氧化物半导体层的方式形成绝缘氧化膜的工序等,降低氧化物半导体层的载流子浓度,从而可以提高晶体管471的可靠性。

[0343] 再者,不仅减少氧化物半导体层403内的水分等杂质,还减少存在于栅极绝缘层402内以及与氧化物半导体层403的上下接触地设置的层与氧化物半导体层403的界面(具体地说,栅极绝缘层402与氧化物半导体层403的界面以及第一保护绝缘层407与氧化物半导体层403的界面)的水分等的杂质。

[0344] 氧化物半导体层403的至少与无机绝缘膜接触的区域是高电阻化氧化物半导体区,并且可以将该高电阻化氧化物半导体区用作沟道形成区。

[0345] 注意,用于氧化物半导体层403的In-Ga-Zn-O类非单晶膜可以为非晶、微晶或多晶。或者,虽然记载为“In-Ga-Zn-O类非单晶膜”,但是不局限于此,而也可以为单晶。

[0346] 通过将高电阻化氧化物半导体区用作沟道形成区,使晶体管的电特性稳定,并且可以防止截止电流的增加等。

[0347] 并且,作为用来形成与氧化物半导体层403接触的源电极及漏电极层405的材料,优选使用含有氧亲和性高的金属的材料。作为含有氧亲和性高的金属的材料,优选使用选自钛、铝、锰、镁、铅、铍、钽中的任一种或多种的材料。

[0348] 当以氧化物半导体层403和氧亲和性高的金属层接触的方式进行热处理时,氧原子从氧化物半导体层403移动到金属层,在界面附近载流子浓度增加,而形成低电阻区。该低电阻区也可以为具有界面的膜状。

[0349] 如此,可以降低晶体管的接触电阻,并且增大导通电流。

[0350] 图2A至2D是示出晶体管471的制造工序的截面图。

[0351] 首先,在具有绝缘表面的衬底400上形成第一栅电极层401。作为具有绝缘表面的衬底400,可以使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等在电子行业中使用的玻璃衬底(也称为“无碱玻璃衬底”)、具有能够承受本制造工序的处理温度的耐热性的塑料衬底等。在具有绝缘表面的衬底400为母板玻璃的情况下,衬底的尺寸可以采用第一代(320mm×400mm)、第二代(400mm×500mm)、第三代(550mm×650mm)、第四代(680mm×880mm或730mm×920mm)、第五代(1000mm×1200mm或1100mm×1250mm)、第六代(1500mm×1800mm)、第七代(1900mm×2200mm)、第八代(2160mm×2460mm)、第九代(2400mm×2800mm或2450mm×3050mm)、第十代(2950mm×3400mm)等。

[0352] 或者,也可以与后面参照的图1C同样地将基底绝缘层形成在衬底400和第一栅电极层401之间。基底绝缘层由能够防止来自衬底400的杂质元素(钠等)的扩散的绝缘膜形成即可,例如,可以利用选自氮化硅、氧化硅、氮氧化硅或氧氮化硅中的一个或多个膜层叠而形成。

[0353] 第一栅电极层401可以通过使用钼、钛、铬、钽、钨、铝、铜、钕或铈等金属材料或者以这些金属材料为主要成分的合金材料,以单层或叠层形成。

[0354] 例如,当第一栅电极层401具有双层的叠层结构时,优选采用:在铝层上层叠有钼层的双层结构;在铜层上层叠有钼层的双层结构;在铜层上层叠有氮化钛层或氮化钽层的双层结构;或者层叠有氮化钛层和钼层的双层结构。当采用三层的叠层结构时,优选采用:层叠有钨层或氮化钨层、铝和硅的合金层或铝和钛的合金层、氮化钛层或钛层的三层结构。

[0355] 在将导电膜形成于衬底400的整个表面上后,进行光刻工序,在该导电膜上形成抗蚀剂掩模,通过蚀刻来去掉不需要的部分,以形成第一栅电极层401。第一栅电极层401构成布线及电极(包括第一栅电极层401的栅极布线、电容布线、端子电极等)。

[0356] 接着,在第一栅电极层401上形成栅极绝缘层402。

[0357] 栅极绝缘层402可以通过使用等离子体CVD法或溅射法等以氧化硅、氮化硅、氧氮化硅或氮氧化硅的单层或叠层形成。例如,作为原料气体而使用SiH₄、氧和氮中的任一或双方且通过等离子体CVD法来形成氧氮化硅层即可。或者,也可以使用一氧化二氮等而代替氧和氮。

[0358] 接着,在栅极绝缘层402上形成氧化物半导体膜。

[0359] 注意,优选在采用溅射法形成氧化物半导体膜之前,进行导入氩气体来产生等离子体的反溅射,以去掉附着到栅极绝缘层402的表面的尘屑等。反溅射是指一种方法,其中,在氩气氛下使用RF电源对衬底施加电压来产生等离子体,并且使被处理物(例如,衬底)暴露于该等离子体,以进行表面改性。注意,也可以使用氮或氦等而代替氩气氛。或者,也可以采用对氩气氛添加氧或一氧化二氮等的气氛。或者,也可以采用对氩气氛添加氯或四氟甲烷等的气氛。

[0360] 氧化物半导体膜通过使用In-Ga-Zn-O类金属氧化物作为靶的溅射法来形成。氧化物半导体膜可以在稀有气体(例如,氩)气氛下、在氧气气氛下、或者在稀有气体(例如,氩)及氧气气氛下通过溅射法来形成。

[0361] 注意,也可以不与大气接触的方式连续形成栅极绝缘层402和氧化物半导体膜。通过以不与大气接触的方式连续形成栅极绝缘层402和氧化物半导体膜,以栅极绝缘层402和

氧化物半导体膜的界面不被大气成分或漂浮在大气中的杂质(水、烃等)污染的方式形成,所以可以降低晶体管的特性的偏差。

[0362] 接着,通过光刻工序对氧化物半导体膜进行加工,来形成岛状的第一氧化物半导体层430(参照图2A)。

[0363] 在惰性气体(氮、或者诸如氦、氖、氩等的稀有气体)气氛下或者减压下对第一氧化物半导体层430进行加热处理后,在惰性气氛下进行缓冷,以形成第二氧化物半导体层431(参照图2B)。通过在上述气氛下对第一氧化物半导体层430进行加热处理,去掉包含在第一氧化物半导体层430中的氢及水等的杂质,形成第二氧化物半导体层431。

[0364] 注意,优选的是,在加热处理中,氮、或者诸如氦、氖、氩等的稀有气体不包含水或氢等杂质。或者,优选将引入加热处理装置的氮、或者诸如氦、氖、氩等的稀有气体的纯度设定为6N(99.9999%)以上,更优选设定为7N(99.99999%)以上(就是说,将杂质浓度设定为1ppm以下,优选设定为0.1ppm以下)。

[0365] 注意,在加热处理中,可以采用使用电炉的加热方法、使用受到加热的气体的GRTA(Gas Rapid Thermal Anneal,气体快速热退火)法、或者使用灯光的LRTA(Lamp Rapid Thermal Anneal,灯光快速热退火)法等进行瞬间加热的方法等。

[0366] 在此,参照图3而说明将电炉用于第一氧化物半导体层430的加热处理的情况。

[0367] 图3是电炉601的概况图。电炉601包括炉室602,并且在炉室602的外侧设置有用来加热炉室602的加热器603。在炉室602中设置有用来装载衬底604的衬托器605,并且将衬底604搬入炉室602内或将衬底604从炉室602搬出。对炉室602连接有气体供给装置606及排气装置607。从气体供给装置606将气体引入炉室602。并且,使用排气装置607对炉室602内进行排气或对炉室602内进行减压。注意,电炉601优选具有如下结构:能够以0.1℃/分以上且20℃/分以下进行升温且以0.1℃/分以上且15℃/分以下进行降温。

[0368] 气体供给装置606包括气体供给源611、压力调节阀612、质量流量控制器614、停止阀615。在本实施方式中,如图3所示,优选在气体供给源611和炉室602之间设置精制器613。通过设置精制器613,可以去掉从气体供给源611引入炉室602内的气体所包含的水或氢等的杂质,并且可以防止水或氢等侵入炉室602内。

[0369] 在本实施方式中,从气体供给源611将氮或稀有气体引入炉室602,使炉室602内成为氮或稀有气体气氛,在加热到200℃以上且600℃以下,优选为400℃以上且600℃以下的炉室602内,对形成在衬底604(图1A至1C中的衬底400)上的第一氧化物半导体层430进行加热,可以实现第一氧化物半导体层430的脱水化或脱氢化。

[0370] 或者,对通过排气装置607进行了减压的炉室602进行加热到200℃以上且600℃以下,优选为400℃以上且600℃以下,并且在该炉室602中对形成在衬底604(图1A至1C中的衬底400)上的第一氧化物半导体层430进行加热,可以实现第一氧化物半导体层430的脱水化或脱氢化。

[0371] 接着,停止加热器603,对炉室602进行缓冷。通过惰性气体气氛下或者减压下的加热处理和缓冷,实现第一氧化物半导体层430的低电阻化(载流子浓度提高,优选的是,它成为 $1 \times 10^{18}/\text{cm}^3$ 以上),而得到第二氧化物半导体层431。

[0372] 通过像上述那样进行加热处理,可以提高后面形成的晶体管的可靠性。

[0373] 注意,当在减压下进行加热处理时,在加热后对炉室602引入惰性气体,在大气压

下进行冷却,即可。

[0374] 注意,也可以在将加热装置的炉室602内的衬底604冷却到300℃左右后,将衬底604移动到室温的气氛下。其结果,可以缩短衬底604的冷却时间。

[0375] 注意,在加热装置是多室型的情况下,也可以在不同的炉室中进行加热处理和冷却处理。例如,在填充有氮或稀有气体且加热到200℃以上且600℃以下,优选为400℃以上且600℃以下的第一炉室中,对衬底604(图1A至1C中的衬底400)上的第一氧化物半导体层430进行加热。接着,经过引入有氮或稀有气体的传送室,将上述受到加热处理的衬底移动到填充有氮或稀有气体且为100℃以下,优选为室温的第二炉室,进行冷却。通过在不同的炉室中进行加热处理和冷却处理,可以提高处理量。

[0376] 注意,也可以对加工为岛状的第一氧化物半导体层430之前的氧化物半导体膜进行惰性气体气氛下或者减压下的对第一氧化物半导体层430的加热处理。在此情况下,在惰性气体气氛下或者减压下对氧化物半导体膜进行加热处理后进行缓冷到室温以上且低于100℃,从加热装置取出衬底604(图1A至1C中的衬底400),进行光刻工序。

[0377] 注意,受到惰性气体气氛下或者减压下的加热处理的第一氧化物半导体层430的状态优选为非晶,然而,也可以使其一部分晶化。

[0378] 接着,在栅极绝缘层402、第二氧化物半导体层431上形成导电膜。

[0379] 作为导电膜的材料,可以举出:选自铝、铬、钽、钛、钼、钨中的元素;以这些金属元素为主要成分的合金;组合这些金属元素的合金;等等。

[0380] 注意,在形成该导电膜后进行加热处理的情况下,使用至少具有能够承受该加热处理的程度的耐热性的导电膜。例如,因为当只使用铝形成该导电膜时有耐热性低且容易腐蚀等问题,所以组合铝与耐热导电材料而形成。作为与铝组合的耐热导电材料,可以举出:选自钛、钽、钨、钼、铬、钽、钨中的元素;以上述金属元素为主要成分的合金;组合上述元素的合金;或者以上述元素为主要成分的氮化物;等等。

[0381] 对第二氧化物半导体层431和该导电膜进行蚀刻,形成第三氧化物半导体层432、源电极及漏电极层405(源电极405a及漏电极405b)(参照图2C)。注意,第三氧化物半导体层432的一部分(背沟道部)受到蚀刻,从而具有槽部(凹部)。

[0382] 接着,与第三氧化物半导体层432接触地形成第一保护绝缘层407。在第一保护绝缘层407中,减少水分、氢离子及OH⁻等(就是说,不包含水分、氢离子及OH⁻等,或者即使包含,也相当于几乎不包含),且该第一保护绝缘层407阻挡水分、氢离子及OH⁻等从外部侵入,并且它由包括氧的绝缘无机材料形成。具体而言,可以使用氧化硅、氧氮化硅或氮氧化硅。

[0383] 在本实施方式中,作为第一保护绝缘层407,通过溅射法形成厚度为300nm的氧化硅膜。将形成氧化硅膜时的衬底温度设定为室温以上且300℃以下即可,在此将它设定为100℃。使用溅射法的氧化硅膜的形成可以在稀有气体(例如,氩)气氛下、氧气氛下、或者稀有气体(例如,氩)和氧的混合气体气氛下进行。注意,作为靶,可以使用氧化硅靶或硅靶。例如,通过在包括氧的气氛下进行使用硅靶的溅射,可以形成氧化硅膜。

[0384] 当使用溅射法或等离子体CVD法等与第三氧化物半导体层432接触地形成作为第一保护绝缘层407的氧化硅膜时,使低电阻化的第三氧化物半导体层432中的至少与第一保护绝缘层407接触的区域高电阻化(载流子浓度降低,它优选成为低于 $1 \times 10^{18}/\text{cm}^3$),可以形成高电阻化氧化物半导体区。

[0385] 在晶体管的制造工艺中,根据惰性气体气氛下(或减压下)的加热、缓冷、以及绝缘氧化物的形成等而增减第三氧化物半导体层432的载流子浓度,这是很重要的。第三氧化物半导体层432成为具有高电阻氧化物半导体区的氧化物半导体层403(参照图2D)。

[0386] 接着,在第一保护绝缘层407上形成导电膜后,进行光刻工序,在该导电膜上形成抗蚀剂掩模,使用蚀刻去掉不需要的部分,形成第二栅电极层409(包括由同一个层形成的布线等)。当对第二栅电极层409进行选择性的蚀刻以使其俯视形状成为所希望的形状时,第一保护绝缘层407用作蚀刻停止层。

[0387] 注意,当第二栅电极层409和第一栅电极层401连接时,在形成作为第二栅电极层409的导电膜之前在第一保护绝缘层407的预定部分形成用来使第一栅电极层401露出的开口部。

[0388] 作为形成在第一保护绝缘层407上的导电膜,可以使用金属材料(选自铝、铜、钛、钽、钨、钼、铬、钨、钽、钨中的金属元素之一或多个;或者以上述金属元素为主要成分的合金)。使用它们的膜通过以足够的厚度来形成而具有遮光性,所以可以对氧化物半导体层403进行遮光。

[0389] 在图1A中,第二栅电极层409的宽度比第一栅电极层401的宽度大,并且,第二栅电极层409的宽度比氧化物半导体层403的宽度大。如图1A所示,通过使第二栅电极层409的宽度比氧化物半导体层403的宽度大,形成第二栅电极层409覆盖氧化物半导体层403的顶面的形状,从而可以对氧化物半导体层403进行遮光。因为氧化物半导体层403的薄区不由源电极及漏电极层405覆盖,所以光照射可能给晶体管471的电特性产生影响。例如,因为通过溅射法形成的In-Ga-Zn-O类非单晶膜对波长为450nm以下的光具有灵敏度,所以在将In-Ga-Zn-O类非单晶膜用于氧化物半导体层403的情况下,尤其是,以能够遮断波长为450nm以下的光的方式设置第二栅电极层409,即可。

[0390] 注意,在此,也可以在氮气气氛下或大气气氛下(大气中)对晶体管471进行加热处理。在此进行的加热处理优选以300℃以下的温度进行,并且,只要是在形成作为第一保护绝缘层407的绝缘膜后,就可以随时进行加热处理。例如,作为在此进行的加热处理,在氮气气氛下进行350℃且一个小时的加热处理。若进行加热处理,则可以减少晶体管471的电特性的偏差。

[0391] 通过上述工序,可以形成图1A所示的晶体管471。

[0392] 注意,在本实施方式中使用的晶体管不局限于图1A所示的方式。如图1B所示,也可以在第二栅电极层409B下设置平坦化层(例如,树脂层)。图1B示出在覆盖第一栅电极层401、栅极绝缘层402、氧化物半导体层403、源电极及漏电极层405的第一保护绝缘层407与第二栅电极层409B之间形成树脂层408的方式。若在第二栅电极层409B下设置树脂层,则可以缓和由其下的结构物产生的凹凸,使要形成第二栅电极层409B的表面平坦化。注意,不局限于树脂层而也可以采用使顶面平坦化的其他方法(旋涂法或回流法等)。

[0393] 注意,在图1B中,除了与图1A不同的部分以外,使用相同的附图标记来说明。

[0394] 树脂层408夹着第一保护绝缘层407而覆盖源电极及漏电极层405和具有厚度薄的区域的氧化物半导体层403。树脂层408例如可以使用厚度为0.5μm至3μm的感光性或非感光性的有机材料。作为可用于树脂层408的感光性或非感光性的有机材料,可以举出聚酰亚胺、丙烯酸树脂、聚酰胺、聚酰亚胺酰胺、抗蚀剂、或苯并环丁烯或者使用上述材料而形成的

叠层等。在此,作为树脂层408,通过涂布法形成感光性的聚酰亚胺。在将聚酰亚胺涂敷到整个表面后,进行曝光、显影及焙烧,形成表面平坦且厚度为 $1.5\mu\text{m}$ 的由聚酰亚胺构成的树脂层408。

[0395] 通过设置树脂层408,可以缓和晶体管471B的结构所产生的凹凸,来实现平坦化。

[0396] 图1C示出在设置有晶体管的衬底400和第一栅电极层401C之间设置基底绝缘层410,并且第一栅电极层401C的宽度和第二栅电极层409C的宽度之间的关系与图1A不同的方式。

[0397] 注意,在图1C中,除了与图1A不同的部分以外,使用相同的附图标记来说明。

[0398] 基底绝缘层410可以使用厚度为50nm至200nm的氮化硅、氮氧化硅或者氮化硅等来形成,并且当作为衬底400而使用玻璃时可以阻挡来自玻璃衬底的杂质元素(例如,钠等)扩散到晶体管471C,尤其是,可以阻挡这种杂质元素侵入氧化物半导体层403。再者,可以使用基底绝缘层410防止在形成第一栅电极层401C时进行的蚀刻工序中衬底400受到蚀刻。

[0399] 注意,晶体管471C的第一栅电极层401C的宽度及第二栅电极层409C的宽度与晶体管471或晶体管471B的第一栅电极层的宽度及第二栅电极层的宽度不同。图1C所示的晶体管471C的第一栅电极层401C在沟道长度方向上的长度比氧化物半导体层403在沟道长度方向上的长度大。另一方面,晶体管471C的第二栅电极层409C在沟道长度方向上的长度比氧化物半导体层403在沟道长度方向上的长度小。如图1C所示,至少使第二栅电极层409C在沟道长度方向上的长度为氧化物半导体层403的薄区(与第一保护绝缘层407接触的区域)的长度以上并且使第二栅电极层409C与氧化物半导体层403的薄区重叠即可。并且,当第二栅电极层409C的长度小时,可以降低寄生电容。

[0400] 注意,在图1A至1C中,也可以在形成第一保护绝缘层407之前,对露出的氧化物半导体层403的薄区进行氧自由基处理。通过进行氧自由基处理,对氧化物半导体层403的露出的表面附近进行改性,可以实现氧过剩区,从而可以得到高电阻区。既可使用包含氧的气体通过等离子体产生装置供给氧自由基,又可通过臭氧产生装置供给氧自由基。通过将所供给的氧自由基或氧照射到薄膜,可以对氧化物半导体层403的表面(背沟道部的表面)进行改性。此外,不局限于氧自由基处理,而也可以进行氟和氧的自由基处理。氟和氧的自由基处理是指引入氟气体和氧气体而产生等离子体以对薄膜表面进行改性的处理。

[0401] 注意,在图1A至1C中,作为第二栅电极层,也可以使用具有透光性的导电材料诸如包含氧化钨的钨氧化物、包含氧化钨的钨锌氧化物、包含氧化钛的钨氧化物、包含氧化钛的钨锡氧化物、钨锡氧化物(下面,表示为ITO)、钨锌氧化物、添加有氧化硅的钨锡氧化物等。

[0402] 或者,在图1A至1C中,在第二栅电极层中使用具有透光性的导电材料的情况下,通过使用与像素电极相同的材料,也可以使用同一个光掩模来形成第二栅电极层和像素电极。通过使用相同的材料形成第二栅电极层和像素电极,可以削减工序数。当将具有透光性的导电材料用于第二栅电极层时,优选在与氧化物半导体层的薄区重叠的位置上另行设置用来对具有薄区的氧化物半导体层进行遮光的遮光层。遮光层通过使用如下材料及厚度来形成:至少在400nm至450nm的波长区域中示出低于大约50%的透光率、优选为低于20%的透光率。例如,作为遮光层的材料,可以使用铬(也可以为氧化铬或氮化铬)、氮化钛等金属或者黑色树脂。在为遮断光而使用黑色树脂的情况下,要照射的光越强,遮光层的厚度需要越厚,所以在需要遮光层为薄膜的情况下,优选使用遮光性高且可以进行精细的蚀刻加工

及薄膜化的金属。

[0403] 注意,在上述说明中,示出在光刻工序中使用二级灰度的光掩模的实例,但是当使用通过使用多级灰度掩模而形成的具有多种(例如,在使用二级灰度的光掩模的情况下为两种)厚度不同的区域的抗蚀剂掩模时,可以减少抗蚀剂掩模的数目,从而可以实现工序的简化及低成本化。注意,在本说明书中,为方便起见,将灰色调曝光掩模、半色调曝光掩模总称为多级灰度掩模。注意,多级灰度掩模不局限于三级灰度的掩膜,而也可以为四级灰度的掩膜,并且还可以采用灰度级数更多的掩膜。

[0404] 注意,在使用多级灰度掩模的情况下,在层叠形成氧化物半导体膜、导电膜后,在导电膜上形成具有多种厚度不同的区域的抗蚀剂掩模,并且使用该抗蚀剂掩模来形成具有厚度薄的区域的氧化物半导体层、源电极及漏电极层。在此情况下,源电极及漏电极层的端部与氧化物半导体层的端部大体上一致,并且氧化物半导体层的侧面露出。从而,在形成第一保护绝缘层407的情况下,氧化物半导体层成为如下结构:不与源电极及漏电极层重叠的区域(薄区)和侧面这双方与第一保护绝缘层407接触。

[0405] 因为本实施方式中的晶体管所具有的沟道形成区的半导体层为高电阻化区,所以晶体管的电特性稳定,并且可以防止截止电流的增加等。从而,可以实现具有电特性良好且可靠性好的晶体管的显示装置。

[0406] 注意,本实施方式可以与本说明书所示出的其他实施方式适当地组合。

[0407] (实施方式2)

[0408] 在本实施方式中,说明可应用于本发明的一种方式的显示装置的不同于实施方式1的晶体管及其制造方法。在本发明的一种方式的显示装置中,将本实施方式的晶体管至少应用于驱动电路部。

[0409] 图4A和4B示出本发明的一种方式的晶体管的截面图。晶体管472是底栅型晶体管,并且它包括设置于衬底400上的第一栅电极层401、栅极绝缘层402、氧化物半导体层403、n型氧化物半导体层404、源电极及漏电极层405。再者,设置有与氧化物半导体层403的一部分接触地覆盖该第一栅电极层401、该栅极绝缘层402、该氧化物半导体层403、该n型氧化物半导体层404、该源电极及漏电极层405的第一保护绝缘层407以及设置于该第一保护绝缘层407上且与氧化物半导体层403重叠的第二栅电极层409。注意,也可以将第一保护绝缘层407称为第二栅极绝缘层。

[0410] 通过在氧化物半导体层403和源电极及漏电极层405之间设置低电阻的n型氧化物半导体层404,可以使晶体管472更稳定地工作。

[0411] 首先,参照图5A至5D而示出图4A所示的晶体管472的制造方法的一例。

[0412] 注意,因为直到在具有绝缘表面的衬底400上形成第一栅电极层401、形成覆盖第一栅电极层401的栅极绝缘层402、形成氧化物半导体膜的工序为止与实施方式1相同,所以在此省略详细说明,并且使用相同的附图标记来说明与图1A相同的部分。

[0413] 与实施方式1同样地在栅极绝缘层402上形成第一氧化物半导体膜433。

[0414] 接着,在第一氧化物半导体膜433上形成用作源区或漏区的第一n型氧化物半导体膜440(参照图5A)。作为第一n型氧化物半导体膜440,使用电阻低于第一氧化物半导体膜433的氧化物半导体膜。

[0415] 作为第一n型氧化物半导体膜440,例如,也可以使用:在包含氮气体的气氛中通过

溅射法使用包含In(铟)、Ga(镓)及Zn(锌)的金属氧化物($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$)而得到的包含铟、镓及锌的氧氮化物膜;Al-Zn-O类非单晶膜;包含氮的Al-Zn-O类非单晶膜,即,Al-Zn-O-N类非单晶膜(也称为AZON膜)。

[0416] 注意,在本实施方式中使用的In-Ga-Zn-O类非单晶膜可以为非晶、微晶、多晶或者单晶。通过改变它们的形成条件、靶的组成比,可以改变第一氧化物半导体膜433和第一n型氧化物半导体膜440的结晶状态。

[0417] 从而,根据氧化物半导体膜的形成条件、靶的组成比,也可以使用作源区及漏区的n型氧化物半导体层和形成沟道区的氧化物半导体层403的结晶状态不同。例如,既可以:用作源区及漏区的n型氧化物半导体层包含微晶,并且氧化物半导体层403为非晶,又可以:用作源区及漏区的n型氧化物半导体层为非晶,并且氧化物半导体层403包含微晶。

[0418] 注意,也可以不与大气接触的方式连续形成第一氧化物半导体膜433及第一n型氧化物半导体膜440。通过以不与大气接触的方式连续形成第一氧化物半导体膜433及第一n型氧化物半导体膜440,以第一氧化物半导体膜433及第一n型氧化物半导体膜440的界面不被大气成分或漂浮在大气中的杂质诸如水、烃等污染的方式形成各叠层界面,所以可以降低晶体管的特性的偏差。注意,也可以连续形成从栅极绝缘层402到第一n型氧化物半导体膜440。

[0419] 接着,与实施方式1同样地进行对第一氧化物半导体膜433的加热处理。通过惰性气体气氛下或者减压下的加热处理和缓冷,实现第一氧化物半导体膜433的低电阻化(载流子浓度提高,优选的是,它成为 $1 \times 10^{18}/\text{cm}^3$ 以上),而得到低电阻化的氧化物半导体膜(第二n型氧化物半导体膜)。

[0420] 对第一氧化物半导体膜433的加热处理在惰性气体气氛(氮或者氩、氦、氙等的稀有气体)下或减压下进行。通过在上述气氛下对第一氧化物半导体膜433进行加热处理,可以去掉第一氧化物半导体膜433中包含的氢及水等的杂质。

[0421] 注意,优选的是,在加热处理中,氮、或者诸如氩、氦、氙等的稀有气体不包含水或氢等杂质。或者,优选将引入加热处理装置的氮或者诸如氩、氦、氙等的稀有气体的纯度设定为6N(99.9999%)以上,更优选设定为7N(99.99999%)以上(就是说,将杂质浓度设定为1ppm以下,优选设定为0.1ppm以下)。

[0422] 在本实施方式中,电炉采用能够以 $0.1^\circ\text{C}/\text{分}$ 以上且 $20^\circ\text{C}/\text{分}$ 以下进行升温的结构,并且,将炉室内设定为氮或稀有气体气氛,将温度设定为 200°C 以上且 600°C 以下,优选为 400°C 以上且 600°C 以下,对形成在衬底上的第一氧化物半导体膜433及第一n型氧化物半导体膜440进行加热。或者,利用排气装置进行减压,在该减压下将温度设定为 200°C 以上且 600°C 以下,优选为 400°C 以上且 600°C 以下,对形成在衬底上的第一氧化物半导体膜433及第一n型氧化物半导体膜440进行加热,形成第二氧化物半导体膜及第二n型氧化物半导体膜。

[0423] 在加热处理后,关掉电炉的加热器,对炉室进行缓冷(慢慢冷却)。注意,电炉优选采用能够以 $0.1^\circ\text{C}/\text{分}$ 以上且 $15^\circ\text{C}/\text{分}$ 以下进行降温的结构。

[0424] 通过像上述那样进行加热处理,可以提高后面形成的晶体管的可靠性。

[0425] 接着,通过光刻工序在第二氧化物半导体膜及第二n型氧化物半导体膜上形成抗蚀剂掩模(未图示),并且通过蚀刻工序加工为岛状的第二氧化物半导体层431及第二n型氧

化物半导体层434(参照图5B)。

[0426] 注意,虽然在此在进行加热处理后进行对氧化物半导体膜的加工,但是也可以在进行对氧化物半导体膜的加工后进行加热处理。

[0427] 接着,在去掉上述抗蚀剂掩模后在第二n型氧化物半导体层434上形成导电膜。

[0428] 作为导电膜的材料,可以举出:选自铝、铬、钽、钛、钼、钨中的元素;以这些金属元素为主要成分的合金;组合这些金属元素的合金;等等。

[0429] 注意,在形成该导电膜后进行加热处理的情况下,使用至少具有能够承受该加热处理的程度的耐热性的导电膜。

[0430] 接着,进行光刻工序,在导电膜上形成抗蚀剂掩模,对该导电膜进行蚀刻,形成源电极及漏电极层405。注意,使用同一个抗蚀剂掩模对夹在由源电极及漏电极层405形成的源电极及漏电极之间的区域(背沟道部)的第二n型氧化物半导体层434进行蚀刻,形成用作源区及漏区的第二n型氧化物半导体层437(参照图5C)。注意,仅对第二氧化物半导体层431的一部分进行蚀刻,得到具有槽部(凹部)的第三氧化物半导体层432。

[0431] 接着,使用诸如氧化硅或氮氧化硅等包含氧的无机绝缘膜以与第三氧化物半导体层432接触的方式形成第一保护绝缘层407。在此,与实施方式1同样,作为第一保护绝缘层407,通过溅射法形成厚度为300nm的氧化硅膜。

[0432] 当通过溅射法或等离子体CVD法等使用氧化硅以与低电阻化的第一氧化物半导体层432接触的方式形成第一保护绝缘层407时,在低电阻化的第三氧化物半导体层432中,至少使与第一保护绝缘层407接触的区域高电阻化(载流子浓度降低,它优选成为低于 $1 \times 10^{18}/\text{cm}^3$),可以形成高电阻化氧化物半导体区。

[0433] 在晶体管的制造工艺中,根据惰性气体气氛下(或减压下)的加热、缓冷以及绝缘氧化物的形成等而增减第三氧化物半导体层432的载流子浓度,这是很重要的。第三氧化物半导体层432成为具有高电阻化氧化物半导体区的氧化物半导体层403(参照图5D)。

[0434] 注意,形成第一保护绝缘层407以后的工序与实施方式1相同。就是说,在第一保护绝缘层407上形成第二栅电极层409。

[0435] 接着,也可以在第二栅电极层409上设置树脂层。若在第二栅电极层409上设置树脂层,则可以缓和由晶体管472的结构产生的凹凸,实现平坦化。

[0436] 并且,也可以在氮气气氛下或大气气氛下(大气中)对晶体管472进行加热处理。加热处理优选以300℃以下的温度进行,并且,只要是在形成作为第一保护绝缘层407的绝缘膜后,就可以随时进行加热处理。例如,在氮气气氛下进行350℃且一个小时的加热处理。若进行该加热处理,则可以降低晶体管472的电特性的偏差。

[0437] 通过上述工序,可以得到图4A所示的晶体管472。注意,在晶体管472中,第一保护绝缘层407用作第二栅极绝缘层。

[0438] 图4B示出在覆盖第一栅电极层401、栅极绝缘层402、氧化物半导体层403、n型氧化物半导体层404、源电极及漏电极层405的第一保护绝缘层407和第二栅电极层409之间形成树脂层408的情况。

[0439] 图4B所示的晶体管472B仅有一部分与图4A不同。在图4B中,除了与图4A不同的部分以外,使用相同的附图标记来说明。

[0440] 树脂层408夹着第一保护绝缘层407而覆盖源电极及漏电极层405和具有厚度薄的

区域的氧化物半导体层403。树脂层408例如可以使用厚度为0.5 μm 至3 μm 的感光性或非感光性的有机材料。作为感光性或非感光性的有机材料,可以举出聚酰亚胺、丙烯酸树脂、聚酰胺、聚酰亚胺酰胺、抗蚀剂、苯并环丁烯或使用上述材料而形成的叠层等。在此,作为树脂层408,通过涂布法形成感光性的聚酰亚胺。在将聚酰亚胺涂敷到整个表面后,进行曝光、显影及焙烧,形成表面平坦且厚度为1.5 μm 的由聚酰亚胺构成的树脂层408。

[0441] 通过设置树脂层408,可以缓和晶体管472B的结构所产生的凹凸,来实现平坦化。

[0442] 注意,如图4A所示,通过使第二栅电极层409的宽度比第一栅电极层401的宽度及氧化物半导体层403的宽度大,可以利用第二栅电极层409来对氧化物半导体层403进行遮光。可以从第二栅电极层409将栅极电压施加到整个氧化物半导体层403。

[0443] 注意,即使采用图4A所示的结构、图4B所示的结构,也在层叠有第一保护绝缘层407和树脂层408的部分薄的情况下,有时第二栅电极层409与源电极及漏电极层405之间的寄生电容成为问题。在寄生电容成为问题的情况下,优选缩小第二栅电极层409的宽度,并且缩小第二栅电极层409和源电极及漏电极层405重叠的面积。当缩小该重叠的面积时,可以降低寄生电容。

[0444] 注意,当层叠有树脂层408和第一保护绝缘层407的部分足够厚,而寄生电容不成为问题时,也可以将第二栅电极用作覆盖驱动电路的多个晶体管的共用的栅电极,并且将第二栅电极的面积设定为与驱动电路大略相同的尺寸或其以上。

[0445] 注意,在上述说明中,示出在光刻工序中使用二级灰度的光掩模的实例,但是若使用通过使用多级灰度掩模而形成的具有多种(例如,在使用二级灰度的光掩模的情况下为两种)厚度不同的区域的抗蚀剂掩模时,可以减少抗蚀剂掩模的数目,从而可以实现工序的简化及低成本化。

[0446] 在使用多级灰度掩模的情况下,在层叠形成层叠有两种的氧化物半导体膜、导电膜后,在导电膜上形成具有多种厚度不同的区域的抗蚀剂掩模,并且使用该抗蚀剂掩模来形成具有厚度薄的区域的氧化物半导体层、源电极及漏电极层。在此情况下,源电极及漏电极层的端部与氧化物半导体层的端部大体上一致,并且氧化物半导体层的侧面露出。从而,在形成第一保护绝缘层407的情况下,氧化物半导体层成为如下结构:不与源电极层及漏电极层重叠的区域(薄区)和侧面这双方与第一保护绝缘层407接触。

[0447] 因为本实施方式中的晶体管所具有的沟道形成区的半导体层为高电阻化区,所以晶体管的电特性稳定,可以防止截止电流的增加等。从而,可以实现具有电特性良好且可靠性好的晶体管的半导体装置(显示装置)。

[0448] 注意,本实施方式可以与本说明书所示出的其他实施方式适当地组合。

[0449] (实施方式3)

[0450] 在本实施方式中,说明可应用于本发明的一种方式的显示装置的不同于实施方式1及实施方式2的晶体管及其制造方法。在本发明的一种方式的显示装置中,将本实施方式的晶体管至少应用于驱动电路部。

[0451] 图6A和6B示出本发明的一种方式的晶体管的截面图。晶体管473是底栅型晶体管,并且它包括设置于衬底400上的第一栅电极层401、栅极绝缘层402、氧化物半导体层403、源电极及漏电极层405(源电极405a及漏电极层405b)、沟道保护层406。再者,设置有与沟道保护层406接触地覆盖第一栅电极层401、栅极绝缘层402、氧化物半导体层403、源电极及漏电

极层405的第一保护绝缘层407以及设置于该第一保护绝缘层407上且与氧化物半导体层403重叠的第二栅电极层409。就是说,在本实施方式中说明的晶体管473是沟道停止型。

[0452] 首先,参照图7A至7D而示出图6A所示的晶体管473的制造方法的一例。

[0453] 注意,因为直到在具有绝缘表面的衬底400上形成第一栅电极层401、形成覆盖第一栅电极层401的栅极绝缘层402、形成氧化物半导体膜的工序为止与实施方式1相同,所以在此省略详细说明,并且使用相同的附图标记来说明与图2A相同的部分。

[0454] 与实施方式1同样地在栅极绝缘层402上形成第一氧化物半导体膜。

[0455] 接着,进行光刻工序,在第一氧化物半导体膜上形成抗蚀剂掩模,对第一氧化物半导体膜进行蚀刻,形成岛状的第一氧化物半导体层430。注意,在此的蚀刻不局限于湿蚀刻,而也可以利用干蚀刻(参照图7A)。

[0456] 接着,与实施方式1同样地进行对第一氧化物半导体层430的加热处理。通过惰性气体气氛下或者减压下的加热处理和缓冷,实现第一氧化物半导体层430的低电阻化(载流子浓度提高,优选的是,它成为 $1 \times 10^{18}/\text{cm}^3$ 以上),而得到低电阻化的第二氧化物半导体层431。

[0457] 对第一氧化物半导体层430的加热处理在惰性气体气氛(氮或者氩、氦、氙等的稀有气体)下或减压下进行。通过在上述气氛下对第一氧化物半导体层430进行加热处理,可以去掉第一氧化物半导体层430中包含的氢及水等的杂质。

[0458] 注意,优选的是,在加热处理中,氮或者诸如氩、氦、氙等的稀有气体不包含水或氢等杂质。或者,优选将引入加热处理装置的氮或者诸如氩、氦、氙等的稀有气体的纯度设定为6N(99.9999%)以上,更优选设定为7N(99.99999%)以上(就是说,将杂质浓度设定为1ppm以下,优选设定为0.1ppm以下)。

[0459] 在本实施方式中,电炉采用能够以 $0.1^\circ\text{C}/\text{分}$ 以上且 $20^\circ\text{C}/\text{分}$ 以下进行升温的结构,并且,将炉室内设定为氮或稀有气体气氛,将温度设定为 200°C 以上且 600°C 以下,优选为 400°C 以上且 600°C 以下,在受到加热的炉室中对形成在衬底上的第一氧化物半导体层430进行加热。或者,利用排气装置进行减压,在该减压下将温度设定为 200°C 以上且 600°C 以下,优选为 400°C 以上且 600°C 以下,对形成在衬底上的第一氧化物半导体层430进行加热,形成第二氧化物半导体层431。

[0460] 在加热处理后,关掉电炉的加热器,对炉室进行缓冷(慢慢冷却)。注意,电炉优选采用能够以 $0.1^\circ\text{C}/\text{分}$ 以上且 $15^\circ\text{C}/\text{分}$ 以下进行降温的结构。

[0461] 通过像上述那样进行加热处理,可以提高后面形成的晶体管的可靠性。

[0462] 接着,与第二氧化物半导体层431接触地形成用作沟道保护层的绝缘膜。在与第二氧化物半导体层接触地形成的用作沟道保护层的绝缘膜中,减少水分、氢离子及 OH^- 等,并阻挡水分、氢离子及 OH^- 等从外部侵入,并且该绝缘膜由包含氧的绝缘无机材料形成。具体而言,使用氧化硅、氮化硅或氮氧化硅形成。就是说,用作沟道保护层的绝缘膜与实施方式1所说明的第一保护绝缘层407同样地形成即可。

[0463] 在本实施方式中,作为用作沟道保护层的绝缘膜,通过溅射法形成厚度为300nm的氧化硅膜。将形成膜时的衬底温度设定为室温以上且 300°C 以下即可,在此将它设定为 100°C 。使用溅射法的氧化硅膜的形成可以在稀有气体(例如,氩)气氛下、氧气气氛下、或稀有气体(例如,氩)和氧的混合气体气氛下进行。注意,作为靶,可以使用氧化硅靶或硅靶。例如,

可以在包含氧的气氛下使用硅靶并通过溅射法来形成氧化硅膜。

[0464] 当使用溅射法或等离子体CVD法等与第二氧化物半导体层431接触地使用氧化硅而形成用作沟道保护层的绝缘膜时,在低电阻化的第二氧化物半导体层431中,至少使与用作沟道保护层的绝缘膜接触的区域高电阻化(载流子浓度降低,它优选成为低于 $1 \times 10^{18}/\text{cm}^3$),可以形成高电阻化氧化物半导体区。

[0465] 在晶体管的制造工艺中,根据惰性气体气氛下(或减压下)的加热、缓冷以及绝缘氧化物的形成等而增减氧化物半导体层的载流子浓度,这是很重要的。第二氧化物半导体层431成为具有高电阻化氧化物半导体区的氧化物半导体层403。

[0466] 接着,进行光刻工序,在用作沟道保护层的绝缘膜上形成抗蚀剂掩模,利用蚀刻去掉不需要的部分,形成沟道保护层406。注意,优选的是,第一栅电极层401的宽度比沟道保护层406的宽度(在沟道长度方向上的长度)大(参照图7B)。

[0467] 接着,在去掉抗蚀剂掩模后,在第二氧化物半导体层431及沟道保护层406上形成导电膜。

[0468] 作为导电膜的材料,可以举出:选自铝、铬、钽、钛、钼、钨中的元素;以这些金属元素为主要成分的合金;或者组合这些金属元素的合金;等等。

[0469] 注意,在形成该导电膜后进行加热处理的情况下,使用至少具有能够承受该加热处理的程度的耐热性的导电膜。

[0470] 接着,进行光刻工序,在导电膜上形成抗蚀剂掩模,蚀刻该导电膜,形成源电极及漏电极层405(源电极405a及漏电极405b)。在该蚀刻中,沟道保护层406用作氧化物半导体层403的蚀刻停止层,因此氧化物半导体层403不受到蚀刻。

[0471] 由于采用与氧化物半导体层403的沟道形成区上方接触地设置沟道保护层406的结构,所以可以防止在进行工序时发生的对氧化物半导体层403的沟道形成区的损伤(在蚀刻时发生的由等离子体或蚀刻剂导致的膜减小、氧化等)。从而,可以提高晶体管473的可靠性。

[0472] 接着,在源电极及漏电极层405、以及沟道保护层406上形成第一保护绝缘层407。在第一保护绝缘层407中,减少水分、氢离子及 OH^- 等,并阻挡水分、氢离子及 OH^- 等从外部侵入,并且第一保护绝缘层407使用包含氧的绝缘无机材料形成。具体而言,可以举出氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝、氮化铝、氧化镁、氧化钼、氧化钨、氧化钽(参照图7D)。

[0473] 注意,形成第一保护绝缘层407以后的工序与实施方式1相同。就是说,在第一保护绝缘层407上形成第二栅电极层409。

[0474] 接着,也可以在第二栅电极层409上设置树脂层。当在第二栅电极层409上设置树脂层时,可以缓和由晶体管473的结构产生的凹凸,实现平坦化。

[0475] 注意,也可以在氮气气氛下或大气气氛下(大气中)对晶体管473进行加热处理。加热处理优选以 300°C 以下的温度进行,并且,只要是在形成沟道保护层406后,就可以随时进行加热处理。例如,在氮气气氛下进行 350°C 且一个小时的加热处理。若进行该加热处理,则可以降低晶体管473的电特性的偏差。

[0476] 通过上述工序,可以得到图6A所示的晶体管473。注意,在晶体管473中,层叠有沟道保护层406和第一保护绝缘层407的部分用作第二栅极绝缘层。

[0477] 图6B所示的晶体管473B的仅仅一部分与图6A不同。在图6B中,除了与图6A不同的

部分以外,使用相同的附图标记来说明。

[0478] 图6B示出在覆盖第一栅电极层401、栅极绝缘层402、氧化物半导体层403、源电极及漏电极层405的第一保护绝缘层407和第二栅电极层409之间形成树脂层408的情况。

[0479] 树脂层408夹着第一保护绝缘层407而覆盖源电极及漏电极层405和沟道保护层406。树脂层408例如可以使用厚度为0.5 μm 至3 μm 的感光性或非感光性的有机材料。作为感光性或非感光性的有机材料,可以举出聚酰亚胺、丙烯酸树脂、聚酰胺、聚酰亚胺酰胺、抗蚀剂、苯并环丁烯或使用上述材料而成的叠层等。在此,作为树脂层408,通过涂布法形成感光性的聚酰亚胺。在将聚酰亚胺涂敷到整个表面后,进行曝光、显影及焙烧,形成表面平坦且厚度为1.5 μm 的由聚酰亚胺构成的树脂层408。

[0480] 通过设置树脂层408,可以缓和晶体管473B的结构所产生的凹凸,来实现平坦化。

[0481] 注意,如图6A所示,通过使第二栅电极层409的宽度比第一栅电极层401的宽度及氧化物半导体层403的宽度大,可以从第二栅电极层409将栅极电压施加到整个氧化物半导体层403。

[0482] 注意,即使采用图6A所示的结构、图6B所示的结构,也在层叠有沟道保护层406、第一保护绝缘层407和树脂层408的部分薄的情况下,有时第二栅电极层409与源电极及漏电极层405之间的寄生电容成为问题。在寄生电容成为问题的情况下,优选使第二栅电极层409的宽度比第一栅电极层401的宽度小,并且缩小第二栅电极层409和源电极及漏电极层405重叠的面积。若缩小该重叠的面积,则可以降低寄生电容。再者,也可以采用如下结构:通过使第一栅电极层401的宽度比沟道保护层406的宽度小,并且使第二栅电极层409的宽度比沟道保护层406的宽度小,使该第二栅电极层409不与源电极及漏电极层405重叠,从而进一步降低寄生电容。

[0483] 注意,当层叠有树脂层408和第一保护绝缘层407的部分足够厚,而寄生电容不成为问题时,也可以将第二栅电极用作覆盖驱动电路的多个晶体管的共用的栅电极,并且将第二栅电极的面积设定为与驱动电路大略相同的尺寸或其以上。

[0484] 因为本实施方式中的晶体管所具有的沟道形成区的半导体层为高电阻化区,所以晶体管的电特性稳定,并且可以防止截止电流的增加等。从而,可以实现具有电特性良好且可靠性好的晶体管的半导体装置(显示装置)。

[0485] 注意,本实施方式可以与本说明书所示出的其他实施方式适当地组合。

[0486] (实施方式4)

[0487] 在本实施方式中,说明可应用于本发明的一种方式的显示装置的不同于实施方式1至实施方式3的晶体管及其制造方法。在本发明的一种方式的显示装置中,将本实施方式的晶体管至少应用于驱动电路部。

[0488] 图8A和8B示出本发明的一种方式的晶体管的截面图。晶体管474是底栅型晶体管,并且它包括设置于衬底400上的第一栅电极层401、栅极绝缘层402、氧化物半导体层403、n型氧化物半导体层404a及404b、源电极及漏电极层405(源电极405a及漏电极405b)、沟道保护层406。再者,设置有与沟道保护层406接触地覆盖它们的第一保护绝缘层407以及设置于该第一保护绝缘层407上且与氧化物半导体层403重叠的第二栅电极层409。就是说,在本实施方式中说明的晶体管474是沟道停止型。

[0489] 首先,参照图9A至9D而示出图8A所示的晶体管474的制造方法的一例。

[0490] 注意,因为直到在具有绝缘表面的衬底400上形成第一栅电极层401、形成覆盖第一栅电极层401的栅极绝缘层402、形成氧化物半导体膜的工序为止与实施方式3相同,所以在此省略详细说明,并且使用相同的附图标记来说明与图7A相同的部分。

[0491] 与实施方式1同样地在栅极绝缘层402上形成第一氧化物半导体膜433。

[0492] 接着,与实施方式1同样地进行对第一氧化物半导体膜433的加热处理。通过惰性气体气氛下或者减压下的加热处理和缓冷,实现第一氧化物半导体膜433的低电阻化(载流子浓度提高,优选的是,它成为 $1 \times 10^{18}/\text{cm}^3$ 以上),而得到低电阻化的第二氧化物半导体膜。

[0493] 对第一氧化物半导体膜433的加热处理在惰性气体气氛(氮或者氩、氦、氙等的稀有气体)下或减压下进行。通过在上述气氛下对第一氧化物半导体膜433进行加热处理,可以去掉第一氧化物半导体膜433中包含的氢及水等的杂质。

[0494] 注意,优选的是,在加热处理中,氮或者诸如氩、氦、氙等的稀有气体不包含水或氢等杂质。或者,优选将引入加热处理装置的氮或者诸如氩、氦、氙等的稀有气体的纯度设定为6N(99.9999%)以上,更优选设定为7N(99.99999%)以上(就是说,将杂质浓度设定为1ppm以下,优选设定为0.1ppm以下)。

[0495] 在本实施方式中,电炉采用能够以 $0.1^\circ\text{C}/\text{分}$ 以上且 $20^\circ\text{C}/\text{分}$ 以下进行升温的结构,并且,将炉室内设定为氮或稀有气体气氛,将温度设定为 200°C 以上且 600°C 以下,优选为 400°C 以上且 600°C 以下,在受到加热的炉室中对形成在衬底上的第一氧化物半导体膜433进行加热。

[0496] 在加热处理后,关掉电炉的加热器,对炉室进行缓冷(慢慢冷却)。注意,电炉优选采用能够以 $0.1^\circ\text{C}/\text{分}$ 以上且 $15^\circ\text{C}/\text{分}$ 以下进行降温的结构。

[0497] 通过像上述那样进行加热处理,可以提高后面形成的晶体管的可靠性。

[0498] 接着,与第二氧化物半导体膜接触地形成用作沟道保护层的绝缘膜。在与第二氧化物半导体膜接触地形成的用作沟道保护层的绝缘膜中,减少水分、氢离子及 OH^- 等,并阻挡水分、氢离子及 OH^- 等从外部侵入,并且该绝缘膜使用包含氧的绝缘无机材料形成。具体而言,使用氧化硅膜或氮氧化硅膜。

[0499] 在本实施方式中,作为用作沟道保护层的绝缘膜,通过溅射法形成厚度为300nm的氧化硅膜。将形成膜时的衬底温度设定为室温以上且 300°C 以下即可,在此将它设定为 100°C 。使用溅射法的氧化硅膜的形成可以在稀有气体(例如,氩)气氛下、氧气气氛下、或稀有气体(例如,氩)和氧的混合气体气氛下进行。注意,作为靶,可以使用氧化硅靶或硅靶。例如,可以在包含氧的气氛下使用硅靶并通过溅射法来形成氧化硅膜。

[0500] 当使用溅射法或等离子体CVD法等与第二氧化物半导体膜接触地使用氧化硅而形成用作沟道保护层的绝缘膜时,在低电阻化的第二氧化物半导体膜中,至少使与用作沟道保护层的绝缘膜接触的区域高电阻化(载流子浓度降低,它优选成为低于 $1 \times 10^{18}/\text{cm}^3$),可以形成高电阻化氧化物半导体区。

[0501] 在晶体管的制造工艺中,根据惰性气体气氛下(或减压下)的加热、缓冷以及绝缘氧化物的形成等而增减氧化物半导体层的载流子浓度,这是很重要的。第二氧化物半导体膜成为具有高电阻化氧化物半导体区的第三氧化物半导体膜。

[0502] 接着,进行光刻工序,在用作沟道保护层的绝缘膜上形成抗蚀剂掩模,利用蚀刻去掉不需要的部分,形成沟道保护层406。注意,优选的是,第一栅电极层401的宽度比沟道保

护层406的宽度(在沟道长度方向上的长度)大。

[0503] 接着,在第三氧化物半导体膜及沟道保护层406上形成用作源区或漏区的n型氧化物半导体膜。作为n型氧化物半导体膜,使用电阻低于第三氧化物半导体膜的用作氧化物半导体膜的膜。

[0504] 作为n型氧化物半导体膜,例如,也可以使用:在包含氮气体的气氛中通过溅射法使用包含In(铟)、Ga(镓)及Zn(锌)的金属氧化物($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$)而得到的包含铟、镓及锌的氧氮化物膜;Al-Zn-O类非单晶膜;包含氮的Al-Zn-O类非单晶膜,即,Al-Zn-O-N类非单晶膜(也称为AZON膜)。

[0505] 注意,在本实施方式中使用的In-Ga-Zn-O类非单晶膜可以为非晶、微晶、多晶。或者,不限于此,也可以是单晶。通过改变它们的形成条件、靶的组成比,改变第三氧化物半导体膜和n型氧化物半导体膜的结晶状态。

[0506] 从而,根据氧化物半导体膜的形成条件、靶的组成比,也可以使用作源区及漏区的n型氧化物半导体膜和形成沟道区的第三氧化物半导体膜的结晶状态不同。例如,既可以:用作源区及漏区的n型氧化物半导体膜包含微晶,并且第三氧化物半导体膜为非晶,又可以:用作源区及漏区的n型氧化物半导体膜为非晶,并且第三氧化物半导体膜包含微晶。

[0507] 接着,进行光刻工序,在n型氧化物半导体膜上形成抗蚀剂掩模,通过蚀刻去掉n型氧化物半导体膜和第三氧化物半导体膜的不需要的部分来形成氧化物半导体层403(参照图9B)。

[0508] 注意,不局限于上述说明,而也可以在用作沟道保护层的绝缘膜上形成抗蚀剂掩模,通过蚀刻去掉用作沟道保护层的绝缘膜和第三氧化物半导体膜的不需要的部分,缩小该抗蚀剂掩模,通过蚀刻进一步去掉用作沟道保护层的绝缘膜的不需要的部分,以形成沟道保护层406。在此情况下,最初形成在用作沟道保护层的绝缘膜上的抗蚀剂掩模优选为利用多级灰度掩模形成的具有多种厚度不同的区域的抗蚀剂掩模。

[0509] 接着,在去掉抗蚀剂掩模后,在n型氧化物半导体膜上形成导电膜。

[0510] 作为导电膜的材料,可以举出:选自铝、铬、钽、钛、钼、钨中的元素;以这些金属元素为主要成分的合金;或者组合这些金属元素的合金;等等。

[0511] 注意,在形成该导电膜后进行加热处理的情况下,使用至少具有能够承受该加热处理的程度的耐热性的导电膜。

[0512] 接着,进行光刻工序,在导电膜上形成抗蚀剂掩模,蚀刻该导电膜,形成源电极及漏电极层405。

[0513] 并且,通过蚀刻并利用同一个抗蚀剂掩模去掉夹在由源电极及漏电极层405形成的源电极与漏电极之间的n型氧化物半导体膜的区域,来形成用作源区及漏区的n型氧化物半导体层404。

[0514] 通过在氧化物半导体层403和源电极及漏电极层405之间设置低电阻的n型氧化物半导体层404,与只使用金属布线的情况相比,可以使晶体管474更稳定地工作。

[0515] 注意,在该蚀刻中,沟道保护层406用作氧化物半导体层403的蚀刻停止层,因此氧化物半导体层403不受到蚀刻。沟道保护层406可以防止在进行工序时发生的对氧化物半导体层403的沟道形成区的损伤(在进行蚀刻时发生的由等离子体或蚀刻剂导致的膜减小、氧化等)。从而,可以提高晶体管474的可靠性(参照图9C)。

[0516] 接着,在源电极及漏电极层405、以及沟道保护层406上形成第一保护绝缘层407(参照图9D)。在第一保护绝缘层407中,减少水分、氢离子及OH⁻等,并阻挡水分、氢离子及OH⁻等从外部侵入,并且第一保护绝缘层407使用包含氧的绝缘无机材料形成。具体而言,可以举出氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝、氮化铝、氧化镁、氧化钼、氧化钨、氧化钽。

[0517] 注意,形成第一保护绝缘层407以后的工序与实施方式1相同。就是说,在第一保护绝缘层407上形成第二栅电极层409。

[0518] 注意,也可以在第二栅电极层409上设置树脂层。若在第二栅电极层409上设置树脂层,则可以缓和由晶体管474的结构产生的凹凸,实现平坦化。

[0519] 注意,也可以在氮气氛下或大气气氛下(大气中)对晶体管474进行加热处理。加热处理优选以300℃以下的温度进行,并且,只要是在形成沟道保护层406后,就可以随时进行加热处理。例如,在氮气氛下进行350℃且一个小时的加热处理。若进行该加热处理,则可以减少晶体管474的电特性的偏差。

[0520] 通过上述工序,可以得到图8A所示的晶体管474。注意,在晶体管474中,层叠有沟道保护层406和第一保护绝缘层407的部分用作第二栅极绝缘层。

[0521] 注意,图8B所示的晶体管474B的仅仅一部分与图8A不同。在图8B中,除了与图8A不同的部分以外,使用相同的附图标记来说明。

[0522] 图8B示出在覆盖第一栅电极层401、栅极绝缘层402、氧化物半导体层403、n型氧化物半导体层404、源电极及漏电极层405的第一保护绝缘层407和第二栅电极层409之间形成树脂层408的情况。

[0523] 树脂层408夹着第一保护绝缘层407而覆盖源电极及漏电极层405和沟道保护层406。树脂层408例如可以使用厚度为0.5μm至3μm的感光性或非感光性的有机材料。作为感光性或非感光性的有机材料,可以举出聚酰亚胺、丙烯酸树脂、聚酰胺、聚酰亚胺酰胺、抗蚀剂、苯并环丁烯或层叠它们而成的材料等。在此,作为树脂层408,通过涂布法形成感光性的聚酰亚胺。在将聚酰亚胺涂敷到整个表面后,进行曝光、显影及焙烧,形成表面平坦且厚度为1.5μm的由聚酰亚胺构成的树脂层408。

[0524] 通过设置树脂层408,可以缓和晶体管474B的结构所产生的凹凸,来实现平坦化。

[0525] 注意,如图8A所示,通过使第二栅电极层409的宽度比第一栅电极层401的宽度及氧化物半导体层403的宽度大,可以从第二栅电极层409将栅极电压施加到整个氧化物半导体层403。

[0526] 注意,即使采用图8A所示的结构、图8B所示的结构,也在层叠有沟道保护层406、第一保护绝缘层407和树脂层408的部分薄的情况下,有时第二栅电极层409与源电极及漏电极层405之间的寄生电容成为问题。在寄生电容成为问题的情况下,优选使第二栅电极层409的宽度比第一栅电极层401的宽度小,并且缩小第二栅电极层409和源电极及漏电极层405重叠的面积。当缩小该重叠的面积时,可以降低寄生电容。再者,也可以采用如下结构:通过使第一栅电极层401的宽度比沟道保护层406的宽度小,并且使第二栅电极层409的宽度比沟道保护层406的宽度小,来使该第二栅电极层409不与源电极层或漏电极层重叠,从而进一步降低寄生电容。

[0527] 注意,当层叠有树脂层408和第一保护绝缘层407的部分足够厚,而寄生电容不成

为问题时,也可以将第二栅电极用作覆盖驱动电路的多个晶体管的共用的栅电极,并且将第二栅电极的面积设定为与驱动电路大略相同的尺寸或其以上。

[0528] 因为本实施方式中的晶体管所具有的沟道形成区的半导体层为高电阻化区,所以晶体管的电特性稳定,并且可以防止截止电流的增加等。从而,可以实现具有电特性良好且可靠性好的晶体管的半导体装置(显示装置)。

[0529] 注意,本实施方式可以与本说明书所示出的其他实施方式适当地组合。

[0530] (实施方式5)

[0531] 在本实施方式中,说明使用两个n沟道型晶体管而形成的驱动电路中的反相器(inverter)电路的结构的一例。图10A所示的晶体管与实施方式1的图1A所示的晶体管471等相同,因而相同部分使用相同附图标记说明。此外,n型氧化物半导体层14a及n型氧化物半导体层14b与实施方式2的n型氧化物半导体层404相同,树脂层17与实施方式1的树脂层408相同,第一保护绝缘层18与实施方式1的第一保护绝缘层407相同,并且第二栅电极层470与实施方式1的第二栅电极层409相同。

[0532] 用来驱动像素部的驱动电路使用反相器电路、电容器、电阻等构成。在组合两个n沟道型晶体管形成反相器电路的情况下,有组合增强型晶体管和耗尽型晶体管形成反相器电路的情况(以下称为EDMOS电路)以及使用增强型晶体管的组合形成反相器电路的情况(以下称为EEMOS电路)。

[0533] 图10A示出驱动电路中的反相器电路的截面结构。注意,图10A和10B所示的晶体管20以及第二晶体管43是反交错型的沟道蚀刻型晶体管,是在氧化物半导体层上夹着源区或漏区而设置有布线的晶体管的一例。

[0534] 在图10A中,在衬底10上设置有第一栅电极11及第三栅电极42。第一栅电极11及第三栅电极42的材料可以使用钼、钛、铬、钽、钨、铝、铜、钕、铈等的金属材料、或者以这些金属材料为主要成分的合金材料,以单层或叠层形成。

[0535] 在覆盖第一栅电极11及第三栅电极42的第一栅极绝缘层13上设置氧化物半导体层16及第二氧化物半导体层47。

[0536] 在氧化物半导体层16上设置有用作第一端子的电极层(源电极层15a)及用作第二端子的电极层(漏电极层15b),并且,用作第二端子的电极层通过形成在第一栅极绝缘层13中的接触孔44与第三栅电极42直接连接。在第二氧化物半导体层47上设置用作第三端子411的电极层。

[0537] 晶体管20包括第一栅电极11、覆盖第一栅电极11的第一栅极绝缘层13、夹着第一栅极绝缘层13而与第一栅电极11重叠的氧化物半导体层16,并且,用作第一端子的电极层(源电极层15a)是被施加负电压VDL的电源线(负电源线)。该电源线也可以是接地电位的电源线(接地电源线)。但是,在反相器电路中,根据连接到用作第二端子的电极层(漏电极层15b)的布线的电位,而有时用作第一端子的电极层用作漏电极层,用作第二端子的电极层用作源电极层。

[0538] 第二晶体管43包括第三栅电极42、夹着第一栅极绝缘层13而与第三栅电极42重叠的第二氧化物半导体层47,并且,第三端子411是被施加正电压VDH的电源线(正电源线)。注意,在反相器电路中,根据连接到用作第二端子的电极层(漏电极层15b)的布线的电位,而有时用作第二端子的电极层用作源电极层,用作第三端子411的电极层用作漏电极层。

[0539] 在此,在第二氧化物半导体层47和漏电极层15b之间设置缓冲层408a(也称为源区或漏区),并且,在第二氧化物半导体层47和第三端子411之间设置缓冲层408b(也称为漏区或源区)。

[0540] 图10B示出驱动电路中的反相器电路的俯视图。在图10B中,以虚线Z1-Z2切断的截面相当于图10A。

[0541] 为了使晶体管20成为增强型的n沟道型晶体管,而在本实施方式中在氧化物半导体层16上设置第二栅极绝缘层,并在该第二栅极绝缘层上设置第二栅电极19,并且利用施加到第二栅电极19的电压来调整晶体管20的阈值电压。

[0542] 注意,虽然在图10A及图10B中示出成为第二端子的电极层(漏电极层15b)通过形成在第一栅极绝缘层13中的接触孔44与第三栅电极42直接连接的例子,但是不特别局限于此,而也可以另行设置连接电极,从而用作第二端子的电极层(漏电极层15b)和第三栅电极42通过连接电极连接。

[0543] 本实施方式可以与实施方式1至实施方式4自由组合。

[0544] (实施方式6)

[0545] 在本实施方式中,参照方框图、电路图、表示各信号等的电位变化的波形图、俯视图(布局图)等而说明本发明的一种方式显示装置。

[0546] 图11A示出有源矩阵型液晶显示装置的方框图的一例。图11A所示的液晶显示装置在衬底800上包括:包括多个具备显示元件的像素的像素部801;控制与各像素的栅电极连接的扫描线的电位的扫描线驱动电路802;控制视频信号向所选择的像素的输入的信号线驱动电路803。在各像素中设置有图11B所示的晶体管804。晶体管804是利用第一控制信号G1和第二控制信号G2进行In端子和Out端子之间的电控制的元件。注意,图11B所示的晶体管804的附图标记相当于上述实施方式1至实施方式4中的任一个所说明的晶体管。

[0547] 注意,虽然在此示出将扫描线驱动电路802和信号线驱动电路803形成在衬底800上的方式,但是也可以利用形成在另一个衬底上的IC等安装扫描线驱动电路802的一部分。也可以利用形成在另一个衬底上的IC等安装信号线驱动电路803的一部分。也可以在衬底800上设置多个扫描线驱动电路802。

[0548] 图12是说明构成显示装置的信号输入端子、扫描线、信号线和包括非线性元件的保护电路以及像素部的位置关系的图。在具有绝缘表面的衬底820上以交叉的方式配置扫描线823A和控制线823B以及信号线824,以构成像素部827。注意,像素部827相当于图11所示的像素部801。注意,也可以将控制线823B配置为与信号线824平行。

[0549] 像素部827通过将多个像素828排列为矩阵状来构成。像素828包括连接到扫描线823A、控制线823B、信号线824的像素晶体管829、存储电容部830、像素电极831。

[0550] 在此所示的像素结构中,存储电容部830的一个电极连接到像素晶体管829,并且存储电容部830的另一个电极连接到电容线832。像素电极831构成驱动显示元件(液晶元件、发光元件、反差介质(电子墨水)等)的一个电极。这些显示元件的另一个电极(也称为对置电极)连接到公共端子833。从公共端子将共用电位(也称为公共电位)供给到显示元件的对置电极。

[0551] 在从像素部827延伸的布线和信号线输入端子822之间设置有保护电路835。在扫描线驱动电路802和像素部827之间设置有保护电路835。在本实施方式中,通过设置使用多

个保护电路而构成的保护电路835,当对扫描线823A、控制线823B、信号线824以及电容线832施加静电等所导致的浪涌电压时,保护像素晶体管829等不被破坏。因此,构成保护电路835,以便当施加了浪涌电压时可以将电荷释放到公共布线。

[0552] 在本实施方式中示出在信号线输入端子822附近针对一个布线而设置一个保护电路的实例。但是,设置保护电路835的位置、设置在保护电路835中的保护电路的数目不局限于此。

[0553] 通过将实施方式1至实施方式4中的任一个所示的晶体管应用于像素晶体管829,可以实现像素晶体管829的阈值电压的调整、晶体管的导通电流的增大中的一方或双方。

[0554] 图13A是示出供给到像素828的信号的电位变化的概况的波形图。在此,说明像素828的工作。图13A示出连接到任意的像素的扫描线823A、控制线823B、信号线824以及电容线832的各电位的波形。图13A是以横轴为时间且以纵轴为电位而示出如下波形的时间变化的图:表示扫描线823A的电位变化的概况的波形G1、表示控制线823B的电位变化的概况的波形G2、表示信号线824的电位变化的概况的波形D、表示电容线832的电位变化的波形COM。注意,将波形G1的高电源电位表示为 V_1 ,将波形G1的低电源电位表示为 V_2 ,将波形G2的电位表示为 V_c ,将波形D的高电源电位表示为 V_{D1} ,将波形D的低电源电位表示为 V_{D2} ,并且将波形COM的电位表示为 V_{COM} 。注意,如图13A和13B所示,从波形G1从 V_2 变化为 V_1 的瞬间开始、到 V_1 再变化为 V_2 并再度变化为 V_1 为止的期间相当于一个帧期间。如图13A和13B所示,从波形G1从 V_2 变化为 V_1 的瞬间开始、到 V_1 再变化为 V_2 为止的期间相当于一个栅极选择期间。

[0555] 在图13A中,当一个帧期间的一个栅极选择期间即扫描线823A为 V_1 时,位于 V_{D1} 至 V_{D2} 的范围内的信号线824的电位被保持在像素828内的存储电容部830中。此外,在图13A中,当一个帧期间的一个栅极选择期间以外的期间即扫描线823A为 V_2 时,与位于 V_{D1} 至 V_{D2} 的范围内的信号线824的电位无关地,像素828内的存储电容部830保持在一个栅极选择期间输入的电位。注意,优选的是,在由扫描线823A进行的像素晶体管829的导通或非导通控制不会误操作的范围内,将表示控制线823B的电位变化的概况的波形G2设定为固定的电位。通过将控制线823B的电位 V_c 设定为 V_{D2} 以下,优选为 V_2 至 V_{D2} 的范围内,可以使由扫描线823A进行的像素晶体管829的导通或非导通控制不会误操作。

[0556] 图13B是作为一例而示出当将信号线824的电位在一定期间内固定为 V_{D1} 时的电位变化的概况的波形图。图13B与图13A不同之处在于如下两点:具体地示出表示信号线824的电位变化的波形D(在图13A中,是位于 V_{D1} 至 V_{D2} 的范围内的任意电位);示出保持在像素828内的存储电容部830中的电位变化的波形 C_{pix} 。在图13B中,在使波形G1成为 V_1 之前将波形D从 V_{D2} 变化到 V_{D1} ,然后使波形G1成为 V_1 ,以使保持在像素828内的存储电容部830中的电位即波形 C_{pix} 的电位上升(参照图13B所示的最初的一个栅极选择期间)。在图13B中,在使波形G1成为 V_1 之前将波形D从 V_{D1} 变化到 V_{D2} ,然后使波形G1成为 V_1 ,以使像素828内的存储电容部830的电位即波形 C_{pix} 的电位下降(参照图13B所示的第二次的一个栅极选择期间)。通过在使波形G1成为 V_1 之前将波形D从 V_{D2} 变化到 V_{D1} 或从 V_{D1} 变化到 V_{D2} ,可以减少信号延迟等所导致的误操作。注意,在图13B中,有波形D和波形 C_{pix} 为相同的电位的期间,但是为明确地表示而使它们彼此偏离。

[0557] 如图13A及13B所示,通过设置控制线823B,可以得到与实施方式1至实施方式4中的任一个所示的晶体管相同的作用效果,并且,可以进行对像素晶体管829的阈值电压的控

制。尤其是,通过将控制线823B的波形G2设定成固定的电位,可以实现阈值电压稳定的晶体管,因此是优选的。

[0558] 注意,图13A和13B所示的表示供给到像素828的信号的电压变化的概况的波形图只是一例,而也可以组合其他驱动方法而使用。作为其他驱动方法的一例,也可以使用如下驱动方法:针对每个一定期间、每个帧、或每个像素,相对于公共电极的共用电压(公共电压)而使施加到像素电极的电压的极性反转的驱动方法(所谓的反转驱动)。通过进行反转驱动,可以抑制图像的闪烁等的显示不均匀性以及显示元件(例如,液晶元件)的劣化。注意,作为反转驱动的实例,以帧反转驱动为代表,可以举出源极线反转驱动、栅极线反转驱动、点反转驱动等。注意,作为显示方式,可以使用逐行扫描方式或隔行扫描方式等。也可以采用在像素中设置多个子像素(也称为副像素)的结构。

[0559] 图14示出图12所示的像素828的布局的一例。图14所示的晶体管是与实施方式1所示的晶体管相同的沟道蚀刻型。以图14中的虚线A-B切断的截面相当于图1C的截面。注意,图14所示的像素的布局图示出将对应于RGB(R是红色,G是绿色,B是蓝色)这三种颜色的像素排列并配置在扫描线823A延伸的方向上的所谓的条形配置的实例,但是,不局限于此,而也可以采用进行三角(delta)配置、或拜耳(Bayer)配置的布局。注意,不局限于RGB这三种颜色,而也可以采用三种以上的颜色,例如,也可以采用RGBW(W是白色),或者对RGB追加诸如黄色、蓝绿色、紫红色等的一种以上的颜色。注意,也可以针对RGB的各颜色因素的像素而使其显示区的尺寸不同。

[0560] 图14的像素的电路示出用作作为扫描线823A的布线及作为电容线832的一个电极的布线的第二导电层1101、形成像素晶体管829的沟道区的氧化物半导体层1102、用作作为信号线824的布线及作为电容线832的另一个电极的布线的第三导电层1103、作为像素电极831的像素电极层1104、用作作为控制线823B的布线的第三导电层1105、用来取得第二导电层1103与像素电极831之间的接触的开口部1106(也称为接触孔)。在图14中,示出在氧化物半导体层1102上方延伸地设置与第一导电层1101平行地设置的第三导电层1105的结构,但是,如图15所示,也可以采用覆盖第一导电层1101上方以及氧化物半导体层1102上方地设置第三导电层1105的结构。当作为图15所示的结构而利用具有遮光性的导电材料形成第三导电层1105时,与图14的布局图相比,可以进一步提高第三导电层1105的遮光性。

[0561] 注意,在图14等所示的布局图中,也可以使晶体管的源区及漏区的相对部分成为U形或C形。或者,也可以使用作第一栅电极的第一导电层1101成为U形或C形。注意,可以使用作第一栅电极的第一导电层1101的沟道长度方向上的宽度大于氧化物半导体层1102的宽度。并且,用作第二栅电极的第三导电层1105的宽度(沟道长度方向上的宽度)小于第一导电层1101的宽度,并且小于氧化物半导体层1102的宽度。

[0562] 注意,图16示出像素晶体管与扫描线的连接与图12不同的实例。图16示出如下情况:利用实施方式1至实施方式4中的任一个所示的晶体管来使连接到扫描线的第一栅电极与连接到控制线的第二栅电极连接而得到相同的电位。注意,在图16中,省略对与图12的说明相同的部分的重复说明。

[0563] 图16是说明构成显示装置的信号输入端子、扫描线、信号线、包括非线性元件的保护电路以及像素部的位置关系的图。图16与图12不同之处在于如下一点:没有控制线823B,并且,具有对应于图12中的扫描线823A的扫描线823。如图16所示,通过将第二栅电极连接

到扫描线823来控制像素晶体管,可以省略控制线,并且,可以削减布线数以及信号线输入端子822的数目。

[0564] 图17是示出供给到图16所示的像素828的信号的电位变化的概况的波形图。说明图16中的像素828的工作。图17示出连接到任意的像素的扫描线823、信号线824以及电容线832的各电位的波形。注意,为明确地表示与图13A不同之处而在图17中将连接到扫描线823而成为相等的第一栅电极的电位和第二栅电极的电位彼此稍微偏离而分开示出。图17是以横轴为时间且以纵轴为电位而示出如下波形的时间变化的图:表示第一栅电极的电位变化的概况的波形G1、表示第二栅电极的电位变化的概况的波形G2、表示信号线824的电位变化的概况的波形D、表示电容线832的电位变化的波形COM。注意,将波形G1和波形G2的高电源电位表示为 V_1 ,将波形G1和波形G2的低电源电位表示为 V_2 ,将波形D的高电源电位表示为 V_{D1} ,将波形D的低电源电位表示为 V_{D2} ,并且将波形COM的电位表示为 V_{COM} 。注意,如图17所示,从波形G1从 V_2 变化为 V_1 的瞬间开始、到 V_1 再变化为 V_2 并再度变化为 V_1 为止的期间相当于一个帧期间。如图17所示,从波形G1从 V_2 变化为 V_1 的瞬间开始、到 V_1 再变化为 V_2 为止的期间相当于一个栅极选择期间。

[0565] 在图17中,当一个帧期间的一个栅极选择期间即扫描线823为 V_1 时,位于 V_{D1} 至 V_{D2} 的范围内的信号线824的电位被保持在像素828内的存储电容部830中。此外,在图17中,当一个帧期间的一个栅极选择期间以外的期间即扫描线823为 V_2 时,与位于 V_{D1} 至 V_{D2} 的范围内的信号线824的电位无关地,像素828内的存储电容部830保持在一个栅极选择期间输入的电位。

[0566] 如图17所示,通过使波形G1和波形G2的电位相同,可以增加成为像素晶体管829的沟道的区域,并且可以增加流过像素晶体管829的电流,所以可以使显示元件高速工作。作为以使波形G1和波形G2成为相同电位的方式进行驱动时的其他结构,可以举出如图18所示的设置第一扫描线驱动电路802A及第二扫描线驱动电路802B的结构。如图18所示,也可以采用如下结构:第一扫描线驱动电路802A及第二扫描线驱动电路802B利用供给扫描信号的第一扫描线823C及第二扫描线823D来控制晶体管。

[0567] 注意,与图13A和13B同样,图17所示的示出电位变化的概况的波形图只是一例,而也可以组合其他驱动方法而使用。作为其他驱动方法的一例,也可以使用如下驱动方法:针对每个一定期间、每个帧或每个像素,相对于公共电极的共用电位(公共电位)而使施加到像素电极的电压的极性反转的驱动方法(上述的所谓的反转驱动)。通过利用反转驱动,得到与上述同样的效果。

[0568] 图19示出图16所示的像素828的布局的一例。图19所示的晶体管是与实施方式1所示的晶体管相同的沟道蚀刻型。注意,图19所示的像素的布局图示出将对应于RGB(R是红色,G是绿色,B是蓝色)这三种颜色的像素排列并配置在扫描线823延伸的方向上的所谓的条形配置的实例,但是,不局限于此,而也可以采用进行三角配置、拜耳配置的布局。注意,不局限于RGB这三种颜色,例如,也可以采用RGBW(W是白色),或者对RGB追加诸如黄色、蓝绿色、紫红色等的一种以上的颜色。注意,也可以针对RGB的各颜色要素的像素而使其显示区的尺寸不同。

[0569] 图19的像素的电路示出用作作为扫描线823的布线及作为电容线832的一个电极的布线的的第一导电层1101、形成像素晶体管829的沟道区的氧化物半导体层1102、用作作为

信号线824的布线及作为电容线832的另一个电极的布线的第二导电层1103、作为像素电极831的像素电极层1104、连接到第一导电层1101的第三导电层1105、用来取得第二导电层1103与像素电极831之间的接触或者用来取得第一导电层1101与第三导电层1105之间的接触的开口部1106(也称为接触孔)。在图19中,示出在氧化物半导体层1102上方针对每个像素晶体管829而设置第三导电层1105的结构,但是,如图20所示,也可以采用覆盖第一导电层1101上方以及氧化物半导体层1102上方地设置第三导电层1105的结构。当作为图20所示的结构而利用具有遮光性的导电材料形成第三导电层1105时,与图19的布局图相比,可以进一步提高第三导电层1105的遮光性。

[0570] 注意,在图19等所示的布局图中,也可以使晶体管的源区及漏区的相对部分成为U形或C形。或者,也可以使用作栅电极的第一导电层1101成为U形或C形。注意,可以使用作第一栅电极的第一导电层1101的沟道长度方向上的宽度大于氧化物半导体层1102的宽度。注意,用作第二栅电极的第三导电层1105的宽度(沟道长度方向上的宽度)大于第一导电层1101的宽度,并且大于氧化物半导体层1102的宽度。

[0571] 如上所述,通过使用实施方式1至实施方式4中的任一个结构的晶体管,可以得到上述实施方式所说明的效果,并且可以使阈值电压成为适当的值。

[0572] 注意,在本实施方式中,可以自由地将各附图所述的内容与其他实施方式所述的内容适当地组合或替换等。

[0573] (实施方式7)

[0574] 在本实施方式中,说明应用实施方式1至实施方式4中的任一个所示的使用氧化物半导体层的晶体管的发光显示装置。作为发光显示装置所具有的显示元件,在此示出利用电致发光的发光元件作为例子。利用电致发光的发光元件根据发光材料是有机化合物还是无机化合物而被区分,前者称为有机EL元件,而后者称为无机EL元件。

[0575] 在有机EL元件中,通过对发光元件施加电压,来自一对电极的电子及空穴分别注入到包含发光性有机化合物的层中,由此电流流动。并且,这些载流子(电子及空穴)重新结合来使该发光性有机化合物形成激发态,并且当从该激发态回到基态时发光。具有这种机理的发光元件称为电流激发型发光元件。

[0576] 无机EL元件根据其元件结构而被分类为分散型无机EL元件和薄膜型无机EL元件。分散型无机EL元件包括将发光材料颗粒分散在粘合剂中的发光层,并且其发光机理是利用供体能级和受体能级的供体-受体复合型发光。薄膜型无机EL元件是将发光层夹在电介质层之间并进而夹在电极之间的结构,并且其发光机理是利用金属离子内壳层电子跃迁的定域型发光。

[0577] 注意,在本实施方式中,使用有机EL元件作为发光元件来进行说明。

[0578] 图21示出具备上述实施方式1至实施方式4中的任一个所述的晶体管的发光显示装置的像素的一例。

[0579] 说明发光显示装置所具备的像素的结构和工作。在此,示出如下实例:一个像素包括两个n沟道型晶体管,在每个n沟道型晶体管中,将氧化物半导体层(例如In-Ga-Zn-O类非单晶膜)用于沟道形成区。

[0580] 像素6400包括开关晶体管6401(第一晶体管)、驱动晶体管6402(第二晶体管)、电容元件6403以及发光元件6404。在开关晶体管6401中,第一栅电极连接到扫描线6406A,第

二栅电极连接到控制线6406B,第一电极(源电极及漏电极中的一个)连接到信号线6405,并且,第二电极(源电极及漏电极中的另一个)连接到驱动晶体管6402的栅极。在驱动晶体管6402中,第一栅电极通过电容元件6403连接到电源线6407,第二栅电极连接到控制线6406B,第一电极连接到电源线6407,并且第二电极连接到发光元件6404的第一电极(像素电极)。发光元件6404的第二电极相当于公共电极6408。公共电极6408电连接到形成在同一个衬底上的公共电位线,并且其连接部分可以用作公共连接部。

[0581] 另外,将发光元件6404的第二电极(公共电极6408)设定为低电源电位。注意,低电源电位是指以对电源线6407设定的高电源电位为基准而满足低电源电位<高电源电位的电位,并且作为低电源电位例如可以举出GND、0V等。将该高电源电位与低电源电位的电位差施加到发光元件6404,使电流流过发光元件6404以使发光元件6404发光,因此以使高电源电位与低电源电位的电位差成为发光元件6404的正向阈值电压以上的方式设定各电位。

[0582] 另外,还可以使用驱动晶体管6402的栅极电容来代替电容元件6403,由此省略电容元件6403。至于驱动晶体管6402的栅极电容,例如可以在沟道区与栅电极之间形成。

[0583] 当进行模拟灰度驱动时,对驱动晶体管6402的第一栅极施加发光元件6404的正向电压+驱动晶体管6402的阈值电压以上的电压。发光元件6404的正向电压是指在得到所希望的亮度时的电压,至少包括正向阈值电压。注意,通过输入使驱动晶体管6402在饱和区中工作的视频信号,可以使电流在发光元件6404中流动。为了使驱动晶体管6402在饱和区中工作,而将电源线6407的电位设定为高于驱动晶体管6402的第一栅极电位。通过将视频信号设定为模拟值,可以根据视频信号而使电流在发光元件6404中流动,而进行模拟灰度驱动。

[0584] 如图21所示,通过设置控制线6406B,与实施方式1至实施方式4中的任一个所示的晶体管同样,可以控制开关晶体管6401和驱动晶体管6402的阈值电压。尤其是,在驱动晶体管6402中,以使驱动晶体管6402在饱和区中工作的方式输入视频信号。因此,通过利用控制线6406B的电位来控制阈值电压,可以使由于阈值电压的漂移而发生的、要输入的视频信号与发光元件的亮度之间的偏离小。其结果,可以谋求实现显示装置的显示质量的提高。

[0585] 注意,开关晶体管6401是作为开关而工作的晶体管,所以也可以不进行利用控制线6406B的对第二栅极的电位的控制。就是说,也可以将控制线6406B只连接到驱动晶体管6402的第二栅极。

[0586] 注意,图21所示的像素结构不局限于此。例如,还可以对图21所示的像素追加开关、电阻元件、电容元件、晶体管或逻辑电路等。

[0587] 注意,在进行数字灰度驱动的情况下,对驱动晶体管6402的栅极输入使驱动晶体管6402成为完全导通或完全截止这两种状态中的任一种的视频信号。就是说,使驱动晶体管6402在线性区中工作。由于使驱动晶体管6402在线性区中工作,所以将驱动晶体管6402的第一栅极的电位设定为高于电源线6407的电位。注意,对信号线6405施加(电源线电压+驱动晶体管6402的 V_{th})以上的电压。可以采用与图21相同的像素结构。

[0588] 接下来,参照图22A至22C而说明发光元件的结构。在此,举出驱动晶体管是n沟道型晶体管的实例而说明像素的截面结构。图22A至22C所示的驱动晶体管即晶体管7001、晶体管7011及晶体管7021可以与实施方式1所示的晶体管471等同样地制造,并且将氧化物半导体层使用于沟道形成区。

[0589] 为了取出发光,发光元件的阳极和阴极中的至少一个为透明即可。并且,在衬底上形成晶体管及发光元件,该发光元件具有如下结构:从与衬底相反一侧的面取出发光的顶部发射结构(top-emission);从衬底一侧的面取出发光的底部发射结构(bottom-emission);从衬底一侧及与衬底相反一侧的面的双方取出发光的双面发射结构(dual-emission),而且,如图22A至22C所示,在本实施方式中,这些发射结构的任一个都可以应用。

[0590] 参照图22A而说明顶部发射结构的发光元件。

[0591] 图22A示出如下情况的像素的截面图:将实施方式1所示的晶体管7001用作配置在像素中的驱动晶体管,并且从电连接到晶体管7001的发光元件7002发射的光发射到阳极7005一侧。晶体管7001由保护层7007和树脂层7017覆盖,并在树脂层7017上具有使用氮化硅而形成的第二保护绝缘层7018,并且晶体管7001的沟道使用In-Zn-O类氧化物半导体形成。

[0592] 在图22A中,发光元件7002的阴极7003和作为驱动晶体管的晶体管7001电连接,并且在阴极7003上按顺序层叠形成有发光层7004、阳极7005。阴极7003只要是功函数低并反射光的导电材料,就可以使用各种材料。例如,优选采用Ca、Al、MgAg、AlLi等。

[0593] 注意,在图22A中,使用与阴极7003相同的材料形成的第二栅电极7009覆盖氧化物半导体层,并且第二栅电极7009对氧化物半导体层进行遮光。第二栅电极7009控制晶体管7001的阈值电压。通过使用相同材料以同一个层形成阴极7003和第二栅电极7009,可以削减工序数。

[0594] 并且,为了防止第二栅电极7009和阴极7003的短路,而设置有使用绝缘材料构成的分隔壁7006。以与从分隔壁7006的一部分露出的阴极7003的一部分和分隔壁7006这双方重叠的方式设置有发光层7004。

[0595] 而且,发光层7004可以使用单层或多层的叠层形成。在层叠多个层而形成时,在阴极7003上按顺序层叠形成电子注入层、电子传输层、发光层、空穴传输层、空穴注入层。注意,并不需要都设置这些层。使用透过光的具有透光性的导电材料形成阳极7005,例如也可以使用具有透光性的导电材料诸如包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物(下面,表示为ITO)、铟锌氧化物、或添加有氧化硅的铟锡氧化物等。

[0596] 使用阴极7003、阳极7005以及夹在阴极7003和阳极7005之间的发光层7004形成发光元件7002。在图22A所示的像素中,从发光元件7002发射的光如箭头所示发射到阳极7005一侧。

[0597] 接着,参照图22B而说明底部发射结构的发光元件。

[0598] 图22B示出如下情况的像素的截面图:将实施方式1所示的晶体管7011用作配置在像素中的驱动晶体管,并且从电连接到晶体管7011的发光元件7012发射的光发射到阴极7013一侧。晶体管7011由保护层7007和树脂层7017覆盖,并在树脂层7017上具有使用氮化硅而形成的第二保护绝缘层7018,并且晶体管7011的沟道使用In-Ga-Zn-O类氧化物半导体形成。

[0599] 在图22B中,在与作为驱动晶体管的晶体管7011电连接的具有透光性的导电膜7010上形成有发光元件7012的阴极7013,并且在阴极7013上按顺序层叠形成有发光层

7014、阳极7015。注意,在阳极7015具有透光性的情况下,也可以覆盖阳极7015上方地形成有用来反射光或遮光的屏蔽膜7016。与图22A的情况同样,阴极7013只要是功函数低的导电材料,就可以使用各种材料。但是,将其厚度设定为透过光的程度(优选为5nm至30nm左右)。例如,可以将厚度为20nm的铝膜用作阴极7013。

[0600] 而且,与图22A同样,发光层7014可以使用单层或多个层的叠层形成。阳极7015不需要透过光,但是可以与图22A同样地使用具有透光性的导电材料形成。并且,虽然屏蔽膜7016例如可以使用反射光的金属膜等,但是不局限于此。例如,也可以使用添加有黑色颜料的树脂等。

[0601] 注意,在图22B中,采用使用与具有透光性的导电膜7010相同的导电材料设置的第二栅电极7019覆盖氧化物半导体层的结构。在本实施方式中,作为第二栅电极7019的材料,使用包含氧化硅的铟锡氧化物。第二栅电极7019控制晶体管7011的阈值电压。通过使用相同材料以同一个层形成具有透光性的导电膜7010和第二栅电极7019,可以削减工序数。使用第二栅电极7019的上方的屏蔽膜7016来对晶体管7011的氧化物半导体层进行遮光。

[0602] 使用阴极7013、阳极7015以及夹在阴极7013和阳极7015之间的发光层7014形成发光元件7012。在图22B所示的像素中,从发光元件7012发射的光如箭头所示那样发射到阴极7013一侧。

[0603] 接着,参照图22C而说明双面发射结构的发光元件。

[0604] 图22C示出如下情况的像素的截面图:将实施方式1所示的晶体管7021用作配置在像素中的驱动晶体管,并且从电连接到晶体管7021的发光元件7022发射的光穿过阳极7025一侧和阴极7023一侧的双方。晶体管7021由保护层7007和树脂层7017覆盖,并在树脂层7017上具有使用氮化硅而形成的第二保护绝缘层7018,并且晶体管7021的沟道使用Zn-O类氧化物半导体形成。

[0605] 在与晶体管7021通过连接电极7028电连接的具有透光性的导电膜7027上形成有发光元件7022的阴极7023,并且在阴极7023上按顺序层叠形成有发光层7024、阳极7025。与图22A的情况同样,阴极7023只要是功函数低的导电材料,就可以使用各种材料。但是,将其厚度设定为透过光的程度(优选为5nm至30nm左右)。例如,可以将厚度为20nm的铝膜用作阴极7023。

[0606] 而且,与图22A同样,发光层7024可以使用单层或多个层的叠层形成。阳极7025可以与图22A同样地使用具有透光性的导电材料形成。

[0607] 使用阴极7023、阳极7025以及夹在阴极7023和阳极7025之间的发光层7024形成发光元件7022。在图22C所示的像素中,从发光元件7022发射的光如箭头所示那样发射到阳极7025一侧和阴极7023一侧的双方。

[0608] 注意,在图22C中,第二栅电极7029覆盖氧化物半导体层。从而,作为第二栅电极7029的材料,使用具有透光性的导电材料(例如,Ti、氮化钛、Al、W等)。在此,作为第二栅电极7029的材料,使用钛。利用第二栅电极7029控制晶体管7021的阈值电压。使用第二栅电极7029来对晶体管7021的氧化物半导体层进行遮光。通过使用与第二栅电极7029相同的材料(就是钛)以同一个层形成连接到晶体管7021的连接电极7028。

[0609] 注意,虽然在此说明作为发光元件而使用有机EL元件的情况,但是也可以作为发光元件而使用无机EL元件。

[0610] 注意,虽然在本实施方式中示出控制发光元件的驱动的晶体管(驱动晶体管)和发光元件连接的实例,但是也可以在驱动晶体管和发光元件之间连接有电流控制晶体管。

[0611] 接下来,参照图23A和23B而说明相当于半导体装置的一个方式的发光显示面板(也称为发光面板)的外观及截面。图23A是一种发光显示面板的俯视图,其中使用密封材料将形成在第一衬底上的晶体管及发光元件密封在第一衬底与第二衬底之间,而且图23B是沿图23A的H-I线的截面图。

[0612] 以围绕设置在第一衬底4500上的像素部4502、信号线驱动电路4503a、信号线驱动电路4503b、扫描线驱动电路4504a以及扫描线驱动电路4504b的方式设置有密封材料4505。此外,在像素部4502、信号线驱动电路4503a、信号线驱动电路4503b、扫描线驱动电路4504a以及扫描线驱动电路4504b上方设置有第二衬底4506。因此,像素部4502、信号线驱动电路4503a、信号线驱动电路4503b、扫描线驱动电路4504a以及扫描线驱动电路4504b与填充材料4503一起由第一衬底4500、密封材料4505和第二衬底4506密封。像这样,为防止暴露于外部空气而优选使用气密性高且漏气少的保护膜(贴合膜、紫外线固化树脂膜等)或覆盖材料进行封装(封入)。

[0613] 设置在第一衬底4500上的像素部4502、信号线驱动电路4503a、信号线驱动电路4503b、扫描线驱动电路4504a以及扫描线驱动电路4504b包括多个晶体管。在图23B中,例示了包括在像素部4502中的晶体管4510和包括在信号线驱动电路4503a中的晶体管4509。

[0614] 在此,在晶体管4509和晶体管4510中使用Zn-O类氧化物半导体。在本实施方式中,晶体管4509和晶体管4510是n沟道型晶体管。晶体管4509和晶体管4510由第一保护层4507上的树脂层4508、树脂层4508上的第二保护绝缘层4514覆盖。注意,使用氮化硅而形成的第二保护绝缘层4514被形成成为覆盖树脂层4508的顶面和侧面。在晶体管4509的上方设置有第二栅电极4522,并且在晶体管4510的上方设置有第二栅电极4521。第二栅电极4521和第二栅电极4522以同一层形成,并且它们控制晶体管的阈值电压,也用作氧化物半导体层的保护层。

[0615] 第二栅电极4522的宽度大于晶体管4509的栅电极的宽度,并且栅极电压可以施加到整个氧化物半导体层。在使用具有遮光性的导电材料形成第二栅电极4522的情况下,可以遮断射向晶体管4509的氧化物半导体层的光。在使用具有遮光性的导电材料形成第二栅电极4522的情况下,可以防止因氧化物半导体的光敏性而引起的晶体管的电特性的变化,因而可以使该晶体管稳定地工作。

[0616] 第二栅电极4521的宽度与第二栅电极4522的宽度不同,而将第二栅电极4521的宽度设定为小于晶体管4510的第一栅电极的宽度。通过使第二栅电极4521的宽度小于晶体管4510的第一栅电极的宽度,缩小该第二栅电极4521与晶体管4510的源电极或漏电极重叠的面积,可以降低寄生电容。第二栅电极4521的宽度小于晶体管4510的氧化物半导体层的宽度,从而仅对一部分进行遮光,但是进而在上方设置有第二电极层4513,并且,通过使用具有遮光性的导电材料而形成第二电极层4513,可以对整个氧化物半导体层进行遮光。

[0617] 发光元件4511所包括的像素电极即第一电极层4517连接到晶体管4510的源电极或漏电极。注意,发光元件4511具有层叠有第一电极层4517、电致发光层4512和第二电极层4513的结构,但是不局限于此。发光元件4511的结构可以根据从发光元件4511取出的光的方向等而适当地改变。

[0618] 分隔壁4520使用有机树脂膜、无机绝缘膜或有机聚硅氧烷来形成。特别地,优选的是,使用感光性材料来在第一电极层4517上形成开口部,使得该开口部的侧壁成为具有连续曲率的倾斜面,以形成分隔壁4520。

[0619] 电致发光层4512可以使用单层或多层的叠层来形成。

[0620] 为了防止氧、氢、水分、二氧化碳等进入发光元件4511,而也可以覆盖第二电极层4513和分隔壁4520地形成保护膜。作为保护膜,可以举出氮化硅膜、氮氧化硅膜、DLC膜等。

[0621] 供给到信号线驱动电路4503a、信号线驱动电路4503b、扫描线驱动电路4504a、扫描线驱动电路4504b或者像素部4502的各种信号和电位由FPC4518a和FPC4518b提供。

[0622] 在本实施方式中,连接端子电极4515使用与发光元件4511的第一电极层4517相同的材料以同一层形成。并且,端子电极4516使用与晶体管4509和晶体管4510所包括的源电极及漏电极相同的材料以同一层形成。注意,在端子电极4516下方具有晶体管4509和晶体管4510的栅极绝缘层4501。

[0623] 连接端子电极4515通过各向异性导电膜4519电连接到FPC4518a所包括的端子。

[0624] 位于从发光元件4511取出光的方向上的第二衬底4506需要具有透光性。在那种情况下,使用诸如玻璃板、塑料板、聚酯膜或丙烯酸树脂膜等具有透光性的衬底。

[0625] 注意,作为填充材料4503,除了氮或氩等惰性气体以外,还可以使用紫外线固化树脂或热固化树脂。例如,可以使用PVC(聚氯乙烯)、丙烯酸树脂、聚酰亚胺、环氧树脂、硅酮树脂、PVB(聚乙烯醇缩丁醛)或EVA(乙烯-醋酸乙烯酯)。在此,作为填充材料而使用氮。

[0626] 注意,在有需要时,既可以在发光元件的发射面上适当地设置诸如偏振片、圆偏振片(包括椭圆偏振片)、相位差板($\lambda/4$ 片、 $\lambda/2$ 片)、滤色片等的光学膜,又可以在偏振片、圆偏振片上设置抗反射膜。例如,可以进行防炫光(anti-glare)处理,其中,利用表面的凹凸来使反射光扩散,而可以减少炫光。

[0627] 信号线驱动电路4503a、信号线驱动电路4503b、扫描线驱动电路4504a以及扫描线驱动电路4504b也可以在另外的衬底上使用单晶半导体膜或多晶半导体膜来形成。注意,也可以在另外的衬底上只形成信号线驱动电路,或者在另外的衬底上形成扫描线驱动电路的一部分或全部。

[0628] 通过上述工序,可以制造可靠性高的发光显示装置(显示面板)作为半导体装置。

[0629] 本实施方式可以与其他实施方式所记载的结构适当地组合来实施。

[0630] (实施方式8)

[0631] 在本实施方式中,说明应用实施方式1至实施方式4中的任一个所示的使用氧化物半导体层的晶体管的液晶显示装置。通过将实施方式1至实施方式4中的任一个所示的使用氧化物半导体层的晶体管用于驱动电路并进而用于像素部,可以制造具有显示功能的液晶显示装置。注意,使用该晶体管并将驱动电路的一部分或全部形成在与像素部相同的衬底上,可以形成系统化面板(system-on-panel)。

[0632] 液晶显示装置包括作为显示元件的液晶元件(液晶显示元件)。

[0633] 注意,液晶显示装置包括处于密封有显示元件的状态的面板、处于在该面板上安装有包括控制器的IC等的状态的模块。再者,在相当于制造该液晶显示装置的过程中的、显示元件完成之前的一个方式的元件衬底中,各像素分别具备用来将电流供给到显示元件的单元。具体而言,元件衬底既可以是只形成有显示元件的像素电极的状态,又可以是形成成

为像素电极的导电膜之后且通过蚀刻形成像素电极之前的状态,而可以采用所有方式。

[0634] 注意,本说明书中的液晶显示装置是指图像显示器件、显示器件或光源(包括照明装置)。注意,液晶显示装置都包括安装有连接器诸如FPC(Flexible Printed Circuit;柔性印刷电路)、TAB(Tape Automated Bonding;载带自动键合)带或TCP(Tape Carrier Package;载带封装)的模块;将印刷线路板设置于TAB带或TCP的端部的模块;或者通过COG(Chip On Glass;玻璃上芯片)方式将IC(集成电路)直接安装到显示元件上的模块。

[0635] 参照图24A1至24B而说明相当于液晶显示装置的一个方式的液晶显示面板的外观及截面。图24A1及24A2示出使用密封材料4005将液晶元件4013密封在第一衬底4001和第二衬底4006之间的面板的俯视图,并且,图24B相当于沿着图24A1及24A2的M-N的截面图。

[0636] 在图24A1至24B中,以围绕设置在第一衬底4001上的像素部4002和扫描线驱动电路4004的方式设置有密封材料4005。此外,在像素部4002、扫描线驱动电路4004上方设置有第二衬底4006。因此,像素部4002和扫描线驱动电路4004与液晶层4008一起由第一衬底4001、密封材料4005、第二衬底4006密封。在本实施方式中,虽然没有特别的限制,但将呈现蓝相的液晶材料用于液晶层4008。呈现蓝相的液晶材料在从没有施加电压的状态到施加电压的状态下具有1msec以下的短响应速度,由此可以进行高速响应。呈现蓝相的液晶材料包括液晶及手性试剂。手性试剂用来将液晶取向为螺旋结构并呈现蓝相。例如,将混合有5wt%以上的手性试剂的液晶材料用于液晶层即可。作为液晶,使用热致液晶、低分子液晶、高分子液晶、铁电性液晶、反铁电性液晶等。

[0637] 在图24A1中,在第一衬底4001上的不同于密封材料4005所围绕的区域的区域中安装有信号线驱动电路4003,该信号线驱动电路4003在另行准备的衬底上使用单晶半导体膜或多晶半导体膜形成。

[0638] 图24A2是将信号线驱动电路的一部分形成在第一衬底4001上的实例,其中,在第一衬底4001上形成信号线驱动电路4003b,并且,安装有信号线驱动电路4003a,该信号线驱动电路4003a在另行准备的衬底上使用单晶半导体膜或多晶半导体膜形成。

[0639] 注意,对另行形成的驱动电路的连接方法没有特别的限制,而可以使用COG方法、引线键合方法、TAB方法等。图24A1是通过COG方法安装信号线驱动电路的实例,并且图24A2是通过TAB方法安装信号线驱动电路的实例。

[0640] 注意,设置在第一衬底4001上的像素部4002和扫描线驱动电路4004包括多个晶体管。图24B示出像素部4002所包括的晶体管4010和扫描线驱动电路4004所包括的晶体管4011。在晶体管4010和晶体管4011上设置有第一保护绝缘层4020、作为第二保护绝缘层的树脂层4021以及第三保护绝缘层4022。作为晶体管4010及晶体管4011,可以应用实施方式1至实施方式4中的任一个所示的晶体管。在本实施方式中,晶体管4010及晶体管4011是将氧化物半导体层用于沟道形成区的n沟道型晶体管。

[0641] 晶体管4010及晶体管4011由第一保护绝缘层4020、作为第二保护绝缘层的树脂层4021以及第三保护绝缘层4022覆盖。在晶体管4010及晶体管4011的氧化物半导体层及栅极绝缘层4019上方以接触的方式设置第一保护绝缘层4020。

[0642] 注意,用作平坦化绝缘膜的第二保护绝缘层即树脂层4021可以使用聚酰亚胺、丙烯酸树脂、苯并环丁烯、聚酰胺、环氧树脂等具有耐热性的有机材料来形成。此外,除了这些有机材料以外,还可以使用低介电常数材料(low-k材料)、硅氧烷类树脂、PSG(磷硅酸盐玻

璃)、BPSG(硼磷硅酸盐玻璃)等。注意,也可以层叠使用这些材料而形成的多个绝缘膜,来形成绝缘层。注意,树脂层4021是透光性树脂层,并且在本实施方式中使用感光性聚酰亚胺树脂。

[0643] 对绝缘层的形成方法没有特别的限制,可以根据其材料而使用如下:方法诸如溅射法、SOG法、旋涂、浸涂、喷涂、液滴喷射法(喷墨法、丝网印刷、胶印刷等);装置诸如刮刀、辊涂机、幕涂机、刮刀涂机等。

[0644] 注意,第三保护绝缘层4022用来防止在大气中漂浮的有机物、金属物或水蒸气等污染氧化物半导体层的杂质元素(钠等)进入,而优选为致密的膜。保护膜利用PCVD法或溅射法并使用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜或者氮氧化铝膜的单层或叠层来形成,即可。

[0645] 第三保护绝缘层4022使用利用等离子体CVD法以低功率条件而得到的氮化硅来形成。使用氮化硅形成的基底绝缘层4007和第三保护绝缘层4022具有在像素部的外侧接触的结构,并且它们也密封作为第二保护绝缘层的树脂层4021的侧面,利用氮化硅膜围绕晶体管4010及晶体管4011,以提高晶体管4010及晶体管4011的可靠性。

[0646] 在第一保护绝缘层4020上的与晶体管4011的氧化物半导体层重叠的位置上形成第二栅电极4028。在第三保护绝缘层4022上的与晶体管4010的氧化物半导体层重叠的位置上形成第二栅电极4029。

[0647] 在第一衬底4001上设置像素电极层4030和公共电极层4031,并且像素电极层4030与晶体管4010电连接。可以将第二栅电极4028及第二栅电极4029的电位设定为与公共电极层4031共同的电位。第二栅电极4028及第二栅电极4029使用公共电极层4031形成。当使用具有遮光性的材料形成第二栅电极4028及第二栅电极4029时,可以用作对晶体管4011及晶体管4010的氧化物半导体层进行遮光的遮光层。

[0648] 可以将第二栅电极4028及第二栅电极4029设定为与公共电极层4031不同的电位。在此情况下,设置与第二栅电极4028及第二栅电极4029电连接的控制线,并且利用控制线的电位来控制晶体管4010及晶体管4011的阈值电压。

[0649] 注意,不局限于上述记载,而既可以将第二栅电极4028及第二栅电极4029连接到第一栅电极,又可以使第二栅电极4028及第二栅电极4029成为浮动状态。

[0650] 液晶元件4013包括像素电极层4030、公共电极层4031及液晶层4008。在本实施方式中,使用一种方法,其中产生大致平行于衬底(即,水平方向)的电场,并在与衬底平行的面内使液晶分子活动,以控制灰度。作为这种方法,可以应用:在IPS(In Plane Switching:平面内切换)模式中使用的电极结构;在FFS(Fringe Field Switching:边缘场切换)模式中使用的电极结构。注意,在第一衬底4001及第二衬底4006的外侧分别设置有偏振片4032及偏振片4033。

[0651] 注意,作为第一衬底4001及第二衬底4006,可以使用具有透光性的玻璃衬底或者塑料衬底等。作为塑料衬底,可以使用FRP(玻璃纤维增强塑料)板、PVF(聚氟乙烯)膜、聚酯膜或丙烯酸树脂膜。或者,也可以使用具有将铝箔夹在PVF膜或聚酯膜之间的结构的薄片。

[0652] 柱形隔块4035是对绝缘膜进行选择性的蚀刻而得到的,它为调整液晶层4008的厚度(单元间隙)而提供。注意,不局限于此,而也可以使用球形间隔物。在与第二栅电极4029重叠的位置上配置柱形的柱形隔块4035。

[0653] 虽然在图24A1至24B的液晶显示装置中示出在衬底的外侧(可见一侧)设置偏振片的实例,但是也可以将偏振片设置在衬底的内侧。

[0654] 注意,也可以将用作黑基体(black matrix)的遮光层适当地设置在所需要的位置上。在图24A1至24B中,以覆盖晶体管4010及晶体管4011的上方的方式在第二衬底4006一侧设置有遮光层4034。通过设置遮光层4034,可以进一步提高对比度,并且可以使晶体管稳定地工作。

[0655] 通过设置遮光层4034,可以衰减对晶体管的氧化物半导体层入射的光的强度,并且,可以防止因氧化物半导体层的光敏性而引起的晶体管的电特性的变化,因而可以使该晶体管稳定地工作。

[0656] 可以使用诸如包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物(以下称为ITO)、铟锌氧化物或添加有氧化硅的铟锡氧化物等具有透光性的导电材料来形成像素电极层4030、公共电极层4031、第二栅电极4028及第二栅电极4029。

[0657] 或者,可以使用包含导电性高分子(也称为导电性聚合物)的导电性组合物来形成像素电极层4030、公共电极层4031、第二栅电极4028以及第二栅电极4029。

[0658] 供给到另行形成的信号线驱动电路4003、扫描线驱动电路4004或者像素部4002的各种信号及电位由FPC4018提供。

[0659] 由于晶体管易于被静电等损坏,所以优选针对栅极线或源极线而将驱动电路保护用的保护电路设置在同一个衬底上。保护电路优选利用使用氧化物半导体的非线性元件来设置。

[0660] 在图24A1至24B中,连接端子电极4015使用与像素电极层4030相同的层形成,并且端子电极4016使用与晶体管4010及晶体管4011的源电极及漏电极相同的层形成。

[0661] 连接端子电极4015通过各向异性导电膜4017电连接到FPC4018所包括的端子。

[0662] 虽然图24A1至24B示出另行形成信号线驱动电路4003并且将它安装到第一衬底4001的实例,但是不局限于此。既可以另行形成扫描线驱动电路并安装,又可以仅另行形成信号线驱动电路的一部分或扫描线驱动电路的一部分并安装。

[0663] 图25示出液晶显示装置的截面结构的一例,其中,采用密封材料2602将元件衬底2600和对置衬底2601固定,并且将包括晶体管等的元件层2603及液晶层2604设置在该元件衬底2600和对置衬底2601之间。

[0664] 在进行彩色显示的情况下,例如,可以将发射多种发光颜色的发光二极管配置在背光灯部。在RGB方式的情况下,将红色发光二极管2610R、绿色发光二极管2610G和蓝色发光二极管2610B分别配置在液晶显示装置的显示区被分割成多个而形成的分割区中。

[0665] 在对置衬底2601的外侧设置偏振片2606,并且在元件衬底2600的外侧设置偏振片2607以及光学片2613。光源使用红色发光二极管2610R、绿色发光二极管2610G、蓝色发光二极管2610B和反射板2611来形成。设置于电路衬底2612的LED控制电路2614利用柔性线路板2609连接到元件衬底2600的布线电路部2608,并且还组装有例如控制电路或电源电路等外部电路。

[0666] 虽然本实施方式示出利用这种LED控制电路2614来使LED分别发光,以得到场序制(field sequential)方式的液晶显示装置的实例,但是不局限于此,而也可以利用冷阴极

管或白色LED作为背光灯的光源并设置滤色片。

[0667] 虽然在本实施方式中示出在IPS模式中使用的电极结构的实例,但是不局限于此,而可以使用TN(Twisted Nematic:扭转向列)模式、MVA(Multi-domain Vertical Alignment:多区域垂直取向)模式、PVA(Patterned Vertical Alignment:垂直取向构型)模式、ASM(Axially Symmetric aligned Micro-cell:轴对称排列微胞)模式、OCB(Optical Compensated Birefringence:光学补偿双折射)模式、FLC(Ferroelectric Liquid Crystal:铁电性液晶)模式、AFLC(AntiFerroelectric Liquid Crystal:反铁电性液晶)模式等。

[0668] 本实施方式可以与其它实施方式所记载的结构适当地组合来实施。

[0669] (实施方式9)

[0670] 在本实施方式中,说明作为包括具有氧化物半导体层的多个晶体管的半导体装置的电子纸的一例。

[0671] 图26A示出有源矩阵型电子纸的截面图。作为配置于用于半导体装置的显示部的晶体管581,使用在实施方式1至实施方式4中的任一个中说明的晶体管。

[0672] 图26A的电子纸是采用旋转球显示方式的显示装置的一例。旋转球显示方式是指如下方法:将各以黑色和白色着色的球形粒子使用于显示元件,并将该球形粒子配置在第一电极层与第二电极层之间,并且在第一电极层与第二电极层之间发生电位差来控制球形粒子的方向,从而进行显示。

[0673] 晶体管581是底栅结构的晶体管,并且第一电极层587通过形成在第一保护绝缘层584、作为第二保护绝缘层的树脂层585以及第三保护绝缘层586中的开口部电连接到源电极或漏电极。第一保护绝缘层584覆盖晶体管581,并在第一保护绝缘层584上的树脂层585上设置第二栅电极582,并且覆盖第二栅电极582地设置第三保护绝缘层586。晶体管581所具有的氧化物半导体层由第一保护绝缘层584、作为第二保护绝缘层的树脂层585、第二栅电极582以及第三保护绝缘层586保护。

[0674] 在第一电极层587与第二电极层588之间设置有球形粒子589。该球形粒子589包括空洞594、黑色区590a及白色区590b,并且在球形粒子589的周围填充有树脂等的填充材料595(参照图26A)。第一电极层587相当于像素电极,而且第二电极层588相当于公共电极。第二电极层588电连接到设置在与晶体管581同一个衬底上的公共电位线。在公共连接部中,可以在一对衬底之间配置导电粒子来使第二电极层588与公共电位线电连接。

[0675] 或者,也可以使用电泳元件而代替旋转球。使用直径大约为10 μ m至200 μ m的微胶囊,其中,封装有透明液体、带正电的白色微粒和带负电的黑色微粒。在设置于第一电极层与第二电极层之间的微胶囊中,当在第一电极层与第二电极层之间发生电位差时,白色微粒和黑色微粒沿彼此相反的方向移动,使得可以显示白色或黑色。采用这种原理的显示元件是电泳显示元件,并且称为电子纸。电泳显示元件具有比液晶显示元件高的反射率,因此不需要辅助光,功耗低,并且在昏暗地方也可以识别显示部。另外,可以不将电力供给到显示部而保持显示过一次的图像。因此,当该电子纸具有利用无线从电波发送源供给信号及电力的结构时,即使将具有显示功能的半导体装置远离电波发送源,也可以储存显示过的图像。

[0676] 通过将在实施方式1至实施方式4中的任一个中说明的晶体管用作开关元件,可以

制造作为半导体装置的降低了制造成本的电子纸。电子纸可以用于显示信息的各种领域的电子设备。例如,电子纸可以用于电子书籍、海报、电车等交通工具中的广告、信用卡等各种卡的显示等。图26B示出电子设备的一例。

[0677] 图26B示出电子书籍2700的一例。电子书籍2700包括两个框体即第一框体2701和第二框体2703。第一框体2701和第二框体2703由轴部2711结合,并且可以以轴部2711为轴进行开闭工作。电子书籍2700利用该结构而可以与纸书籍同样地工作。

[0678] 第一框体2701安装有第一显示部2705,而且第二框体2703安装有第二显示部2707。第一显示部2705和第二显示部2707可以采用显示连续画面的结构或者显示不同画面的结构。通过采用显示不同画面的结构,例如可以将文章显示于右侧显示部(图26B的第一显示部2705),并且将图像显示于左侧显示部(图26B的第二显示部2707)。

[0679] 注意,图26B所示的电子书籍2700在第一框体2701中具备操作部等。例如,在第一框体2701中具备电源2721、操作键2723、扬声器2725等。可以利用操作键2723来翻页。注意,也可以在与框体的显示部同一个面上具备键盘、定位装置等。也可以在框体的背面或侧面上具备外部连接端子(耳机端子、USB端子、可以与AC适配器或USB电缆等各种电缆连接的端子等)、记录媒体插入部等。此外,电子书籍2700也可以具有作为电子词典的功能。

[0680] 电子书籍2700也可以采用利用无线通信进行信息的发送/接收的结构。也可以采用能够利用无线通信从电子书的服务器购买所希望的书籍数据等并下载的结构。

[0681] 本实施方式可以与其它实施方式所记载的结构适当地组合来实施。

[0682] (实施方式10)

[0683] 包括在实施方式1至实施方式4中的任一个中制造的晶体管的半导体装置可以应用于各种电子设备(也包括游戏机)。作为电子设备,例如可以举出电视装置(又称为电视或电视接收机)、连接到计算机等的监视器、数码相机、数字摄像机、数码相框、手机(又称为移动电话或移动电话机)、便携式游戏机、便携式信息终端、声音再现装置、诸如弹珠机等的大型游戏机等。

[0684] 在图27A所示的电视装置中,在框体9601中安装有显示部9603。可以利用显示部9603来显示影像。在此,示出将电视装置固定到墙壁9600以支撑框体9601的背侧的结构。

[0685] 可以利用框体9601所具备的操作开关或遥控操作机9610进行图27A所示的电视装置的操作。可以利用遥控操作机9610所具备的操作键9609进行频道、音量的操作,并且可以操作显示于显示部9603的影像。也可以在遥控操作机9610中设置显示从该遥控操作机9610输出的信息的显示部9607。

[0686] 注意,图27A所示的电视装置可以具有包括接收机、调制解调器等结构。利用接收机,可以接收一般电视广播。此外,通过调制解调器连接到有线或无线的通信网络,可以进行单向(从发送者到接收者)或双向(发送者与接收者之间或者接收者之间等)的信息通信。

[0687] 图27B所示的便携式游戏机包括两个框体即框体9881和框体9891。该框体9881和框体9891利用联结部9893联结为能够开闭。框体9881安装有显示部9882,而且框体9891安装有显示部9883。图27B所示的便携式游戏机还包括扬声器部9884、记录媒体插入部9886、LED灯9890、输入单元(操作键9885、连接端子9887、传感器9888(具有测量力、位移、位置、速度、加速度、角速度、旋转数、距离、光、液体、磁气、温度、化学物质、声音、时间、硬度、电场、

电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线的功能)、麦克风9889)等。当然,便携式游戏机的结构不局限于上述结构,而是至少具备半导体装置的结构即可,并且还可以是适当地设置有其他附属设备的结构。图27B所示的便携式游戏机具有如下功能:将储存在记录媒体中的程序或数据读出并显示于显示部的功能;利用无线通信与其他便携式游戏机之间共享信息的功能。注意,图27B所示的便携式游戏机所具有的功能不局限于此,而也可以具有其他各种功能。

[0688] 图28A示出手机1000的一例。手机1000包括安装到框体1001的显示部1002、操作按钮1003、外部连接端口1004、扬声器1005、麦克风1006等。

[0689] 图28A所示的手机1000可以利用手指等触摸显示部1002来输入信息。可以利用手指等触摸显示部1002来进行打电话或制作电子邮件等的操作。

[0690] 作为显示部1002的画面的模式,主要有三种模式。第一模式是以图像的显示为主的显示模式。第二模式是以文字等信息的输入为主的输入模式。第三模式是混合了显示模式和输入模式这两种模式的显示+输入模式。

[0691] 例如,在打电话或制作电子邮件的情况下,将显示部1002设定为以文字输入为主的文字输入模式,并进行显示在画面上的文字的输入操作,即可。在此情况下,优选的是,在显示部1002的画面的大部分上显示键盘或号码按钮。

[0692] 通过在手机1000的内部设置具有陀螺仪、加速度传感器等检测倾斜度的传感器的检测装置,来判断手机1000的方向(竖向还是横向),从而可以对显示部1002的画面显示进行自动切换。

[0693] 通过触摸显示部1002或对框体1001的操作按钮1003进行操作,切换画面模式。或者,还可以根据显示在显示部1002上的图像种类而切换画面模式。例如,当显示在显示部1002上的图像信号为动态图像的数据时,将画面模式切换成显示模式,并且当显示在显示部1002上的图像信号为文字数据时,将画面模式切换成输入模式,即可。

[0694] 此外,当在输入模式中检测出显示部1002的光传感器所检测的信号并且在一定期间中没有显示部1002的触摸操作输入时,可以以将画面模式从输入模式切换成显示模式的方式进行控制。

[0695] 还可以将显示部1002用作图像传感器。例如,当利用手掌或手指触摸显示部1002时,拍摄掌纹、指纹等,从而可以进行本人认证。此外,通过在显示部1002中使用发射近红外光的背光灯或发射近红外光的感测光源,也可以拍摄手指静脉、手掌静脉等。

[0696] 图28B所示的手机包括:在框体9411中具有显示部9412以及操作按钮9413的显示装置9410;以及在框体9401中具有操作按钮9402、外部输入端子9403、麦克风9404、扬声器9405以及在来电时发光的发光部9406的通信装置9400。具有显示功能的显示装置9410与具有电话功能的通信装置9400可以如箭头所示装卸。因此,可以将显示装置9410和通信装置9400的短轴彼此连接,或将显示装置9410和通信装置9400的长轴彼此连接。注意,当仅需要显示功能时,可以将通信装置9400和显示装置9410分开而单独使用显示装置9410。通信装置9400和显示装置9410可以利用无线通信或有线通信来进行图像或输入信息等的授受,并且可以分别具有可以进行充电的电池。

[0697] 本实施方式可以与其他实施方式所记载的结构适当地组合来实施。

[0698] [实施例1]

[0699] 作为检查晶体管的可靠性的方法之一,有偏压-热应力试验(以下,称为BT试验)。BT试验是加速试验的一种,它可以在短时间内评价由于使用很长时间而发生的晶体管的特性变化。尤其是,BT试验前后的晶体管的阈值电压的变化量是用于检查可靠性的重要的指标。在BT试验前后,阈值电压的变化量越少,可靠性越高。

[0700] 具体而言,将形成有晶体管的衬底的温度(衬底温度)维持为恒定,使晶体管的源极及漏极成为相同的电位,并且在一定期间内对栅极施加与源极及漏极不同的电位。根据试验的目的而适当地设定衬底温度即可。注意,将施加到栅极的电位比源极及漏极的电位高的情况称为+BT试验,并且将施加到栅极的电位比源极及漏极的电位低的情况称为-BT试验。

[0701] BT试验的试验强度可以根据衬底温度、施加到栅极绝缘膜的电场强度、电场施加时间而决定。栅极绝缘膜中的电场强度通过使栅极、源极及漏极之间的电位差除以栅极绝缘膜的厚度来决定。例如,在想要将厚度为100nm的栅极绝缘膜中的电场强度设定为2MV/cm的情况下,将电位差设定为20V,即可。

[0702] 在本实施例中,说明对三种样品分别进行BT试验的结果。该三种样品是如下样品:在制造晶体管时在形成源极及漏极之前在氮气气氛下以250℃、350℃、450℃的温度进行热处理。

[0703] 注意,电压是指两点之间的电位差,并且电位是指某一点处的静电场中的单位电荷所具有的静电能(电位能),但是,因为在电子电路中,在很多情况下将某一点处的电位和作为基准的电位(例如接地电位)之间的电位差表示为该某一点处的电位,所以在以下说明中,当将某一点处的电位和作为基准的电位(例如接地电位)之间的差表示为该某一点处的电位时,除了特别指定的情况以外,将该某一点处的电位也称为电压。

[0704] 在BT试验中,将衬底温度设定为150℃,将栅极绝缘膜中的电场强度设定为2MV/cm,将时间设定为1个小时,以分别进行+BT试验及-BT试验。

[0705] 首先,说明+BT试验。为了测量作为BT试验的对象的晶体管的初始特性而测量如下情况时的源极-漏极电流(以下,称为漏极电流)的变化特性,即 V_g-I_d 特性:将衬底温度设定为40℃,将源极-漏极之间的电压(以下,称为漏极电压)设定为10V,并且将源极-栅极之间的电压(以下,称为栅极电压)在-20V至+20V的范围内变化。虽然在此作为样品表面的吸湿对策而将衬底温度设定为40℃,但是如果没有特别的问题,则也可以在室温(25℃)下进行测量。

[0706] 接着,在将衬底温度上升到150℃后,将晶体管的源极及漏极的电位设定为0V。接着,以使栅极绝缘膜中的电场强度成为2MV/cm的方式对栅极施加电压。在此,因为晶体管的栅极绝缘膜的厚度为100nm,所以对栅极施加+20V,并保持1个小时。虽然在此将时间设定为1个小时,但是也可以根据目的而适当地改变时间。

[0707] 接着,在保持对源极、漏极及栅极施加电压的情况下,将衬底温度降低到40℃。此时,如果在衬底温度的降低结束之前停止电压的施加,则由于余热的影响而会使晶体管所受到的损伤恢复,所以需要在保持电压施加的情况下降低衬底温度。在衬底温度成为40℃后,结束电压的施加。

[0708] 接着,在与初始特性的测量相同的条件下测量 V_g-I_d 特性,以得到+BT试验后的 V_g-I_d 特性。

[0709] 接着,说明-BT试验。-BT试验也利用与+BT试验相同的程序进行,但是如下点与+BT试验不同:将在使衬底温度上升到150℃后对栅极施加的电压设定为-20V。

[0710] 注意,当进行BT试验时利用一次也没有进行BT试验的晶体管进行试验是重要的。例如,当利用进行过一次+BT试验的晶体管进行-BT试验时,由于以前进行的+BT试验的影响,而不能正确地评价-BT试验结果。利用进行过一次+BT试验的晶体管再次进行+BT试验的情况等也是同样的。但是,在考虑到这些影响而反复进行BT试验的情况不局限于此。

[0711] 图29A至29C示出+BT试验前后的晶体管的 V_g - I_d 特性。图29A是以如下条件制造的晶体管的+BT试验结果:在形成源极及漏极之前在氮气气氛下并以250℃的温度进行热处理。图29B是在形成源极及漏极之前在氮气气氛下并以350℃的温度进行热处理时的+BT试验结果,并且,图29C是在形成源极及漏极之前在氮气气氛下并以450℃的温度进行热处理时的+BT试验结果。

[0712] 图30A至30C示出-BT试验前后的晶体管的 V_g - I_d 特性。图30A是以如下条件制造的晶体管的-BT试验结果:在形成源极及漏极之前在氮气气氛下并以250℃的温度进行热处理。图30B是在形成源极及漏极之前在氮气气氛下并以350℃的温度进行热处理时的-BT试验结果,并且,图30C是在形成源极及漏极之前在氮气气氛下并以450℃的温度进行热处理时的-BT试验结果。

[0713] 注意,在上述的图29A至29C及图30A至30C中,第二栅电极具有层叠有钛层(50nm)、铝层(100nm)和钛层(5nm)的三层的叠层结构。第二栅电极具有针对各像素独立引绕的结构。注意,作为比较例,将在不设置第二栅电极的情况下的+BT试验结果示出于图31A至31C中,并且将-BT试验结果示出于图32A至32C中。图31A是250℃时的+BT试验结果,图31B是350℃时的+BT试验结果,并且图31C是450℃时的+BT试验结果。图32A是250℃时的-BT试验结果,图32B是350℃时的-BT试验结果,并且图32C是450℃时的-BT试验结果。

[0714] 在各附图中,横轴都以对数刻度表示栅电压(V_g)并且纵轴都以对数刻度表示漏电流(I_d)。注意,实线表示初始特性,而且虚线表示施加应力后的特性。

[0715] 根据图29A至29C及图31A至31C,可以知道如下事实:350℃下的阈值电压的变化量比250℃下的阈值电压的变化量小,并且,450℃下的阈值电压的变化量比350℃下的阈值电压的变化量小,就是说,热处理的温度越高,+BT试验后的阈值电压的变化量越小。并且,根据图30A至30C及图32A至32C的比较,而可以知道如下事实:通过设置第二栅电极,-BT试验后的阈值电压的变化量变小。

[0716] 根据图29A至29C及图31A至31C,在形成源极及漏极之前进行的热处理的温度大约为400℃以上时,可以至少提高+BT试验中的可靠性。并且,根据图30A至30C及图32A至32C,通过设置第二栅电极,可以提高-BT试验中的可靠性。从而,通过将在形成源极及漏极之前进行的热处理的温度设定为大约400℃以上,并且设置第二栅电极,可以提高+BT试验及-BT试验中的可靠性。

[0717] 如上所述,如本实施例所示,根据本发明的一种方式,可以一起提高+BT试验及-BT试验中的可靠性。

[0718] 注意,将这种-BT试验中的可靠性高的晶体管应用于显示装置的驱动电路部的驱动电路是特别有效的。

[0719] [实施例2]

[0720] 在本实施例中,参照图34、图35及图36而说明利用升温脱离分析装置(Thermal Desorption Spectroscopy;热脱附谱,以下称为TDS)测量来测量分配加热温度的条件并在氮气气氛下进行了加热处理的多个样品而得到的结果。

[0721] TDS是一种分析装置,其中,利用四极质量分析计(quadrupole mass analyzer,四极质谱计)检测并识别当在高真空中对样品进行加热并提高该样品的温度时从该样品脱离并发生的气体成分。并且,当利用TDS时,可以观察到从样品的表面和内部脱离的气体及分子。利用日本电子科学株式会社制造的TDS(产品名称:1024amu QMS),将测量条件设定为升温大约 $10^{\circ}\text{C}/\text{分}$,从 $1 \times 10^{-8}(\text{Pa})$ 开始测量,并且当进行测量时是大约 $1 \times 10^{-7}(\text{Pa})$ 的真空度。

[0722] 图34是示出对只有玻璃衬底的样品(比较样品)和在玻璃衬底上形成设定厚度为50nm(实际上,由于受到蚀刻而厚度大约为30nm)的In-Ga-Zn-O类非单晶膜的样品(样品1)进行比较的利用TDS的测量结果的图表。虽然图34是示出对 H_2O 进行的利用TDS的测量结果的图表,但是由于在 300°C 附近观察到峰值,因此可以确认从In-Ga-Zn-O类非单晶膜脱离了水分(H_2O)等杂质。

[0723] 图35是对在玻璃衬底上形成设定厚度为50nm的In-Ga-Zn-O类非单晶膜的样品(样品1)、在玻璃衬底上形成设定厚度为50nm的In-Ga-Zn-O类非单晶膜后在大气气氛下以 350°C 的加热温度进行1个小时的加热处理的样品(样品2)、在氮气气氛下以 350°C 的加热温度进行1个小时的加热处理的样品(样品3)进行比较的图表,并且它示出对 H_2O 进行的利用TDS的测量结果。根据图35的结果,由于样品3在 300°C 附近的峰值比样品2降低,因此可以确认到如下事实:由于氮气气氛下的加热处理而脱离了水分(H_2O)等杂质。从而,可以知道如下事实:当在氮气气氛下进行加热处理时,与在大气气氛下进行加热处理时相比,更降低了膜中的水分(H_2O)等杂质。

[0724] 图36是对在玻璃衬底上形成设定厚度为50nm的In-Ga-Zn-O类非单晶膜的样品(样品1)、在氮气气氛下以 250°C 的加热温度进行1个小时的加热处理的样品(样品4)、在氮气气氛下以 350°C 的加热温度进行1个小时的加热处理的样品(样品3)、在氮气气氛下以 450°C 的加热温度进行1个小时的加热处理的样品(样品5)、在氮气气氛下以 350°C 的加热温度进行10个小时的加热处理的样品(样品6)进行比较的图表,并且它示出对 H_2O 进行的利用TDS的测量结果。根据图36的结果,可以知道如下事实:在所测量的温度的范围内,氮气气氛下的加热温度越高,从In-Ga-Zn-O类非单晶膜中脱离的水分(H_2O)等杂质越减少。

[0725] 在图35及图36的图表中,可以确认到如下峰值:可以在 200°C 至 250°C 附近确认的示出水分(H_2O)等杂质脱离的情况的第一峰值;在 300°C 附近示出水分(H_2O)等杂质脱离的情况的第二峰值。

[0726] 注意,在氮气气氛下以 450°C 进行加热处理的样品此后即使以室温放置在大气中一个星期左右也没有观察到以 200°C 以上脱离的水分,而判明了如下事实:由于加热处理而使In-Ga-Zn-O类非单晶膜变得稳定。

[0727] 在此,图33示出将氮气气氛下的加热温度条件设定为 150°C 、 175°C 、 200°C 、 225°C 、 250°C 、 275°C 、 300°C 、 325°C 、 350°C 、 375°C 、 400°C 、 425°C 、 450°C 并且分别测量各载流子浓度的结果。注意,当在In-Ga-Zn-O类非单晶膜上形成氧化物绝缘膜时,图33中的虚线所示的载流子浓度成为 $1 \times 10^{14}/\text{cm}^3$ 以下。

[0728] 接着,说明载流子浓度和Hall(霍尔)迁移率的测量。图37A示出用来评价氧化物半

导体膜(In-Ga-Zn-O类非单晶膜)的物性(载流子浓度和Hall迁移率)的物性评价用样品510的立体图。在此,制造物性评价用样品510,在室温下进行Hall效应测量,以评价氧化物半导体膜的载流子浓度和Hall迁移率。物性评价用样品510利用如下工序来制造:在衬底500上形成使用氮化硅形成的绝缘膜501,在其上形成作为评价对象的10mm×10mm的氧化物半导体膜502,并且在其上形成直径分别为1mm的电极503、电极504、电极505及电极506。图37B示出Hall迁移率的测量结果,并且图37C示出导电率的测量结果。注意,将从Hall效应测量求得的氧化物半导体膜的载流子浓度示出于图33中。

[0729] 根据图33、图34、图35、图36的结果,而可以知道如下事实:在250℃以上的温度下从In-Ga-Zn-O类非单晶膜中脱离水分(H₂O)等杂质的现象与载流子浓度的变动之间有关系。就是说,可以知道如下事实:从In-Ga-Zn-O类非单晶膜中脱离水分(H₂O)等杂质而使载流子浓度提高。

[0730] 注意,当利用TDS测量除了测量H₂O以外还分别测量H、O、OH、H₂、O₂、N、N₂及Ar时,可以清楚地观察到H、O及OH的峰值,但是不能观察到H₂、O₂、N、N₂及Ar的峰值。作为样品,使用在玻璃衬底上形成设定厚度为50nm的In-Ga-Zn-O类非单晶膜的样品。作为加热条件,而如下所述地分别进行设定:在氮气气氛下以250℃进行1个小时;在氮气气氛下以350℃进行1个小时;在氮气气氛下以350℃进行10个小时;在氮气气氛下以450℃进行1个小时。作为比较例,分别测量不进行加热处理的In-Ga-Zn-O类非单晶膜和仅玻璃衬底。图38示出H的TDS结果,图39示出O的TDS结果,图40示出OH的TDS结果,并且图41示出H₂的TDS结果。注意,在上述加热条件下,氮气气氛的氧密度为20ppm以下。

[0731] [实施例3]

[0732] 在本实施例中,参照图42及图43而说明对具有氧密度高的区域及氧密度低的区域的氧化物半导体层中的由于加热处理而发生的氧的扩散现象进行计算而得到的结果。在此,作为计算用的软件,使用日本富士通株式会社制造的Materials Explorer5.0。

[0733] 图42示出用于计算的氧化物半导体层的模型。在此,氧化物半导体层701具有在氧密度低的层703上层叠氧密度高的层705的结构。

[0734] 在此,氧密度低的层703具有包括15个In原子、15个Ga原子、15个Zn原子以及54个O原子的非晶结构。

[0735] 并且,氧密度高的层705具有包括15个In原子、15个Ga原子、15个Zn原子以及66个O原子的非晶结构。

[0736] 并且,将氧化物半导体层701的密度设定为5.9g/cm³。

[0737] 接着,在NVT系综(NVT ensemble)且温度为250℃的条件下对氧化物半导体层701进行经典MD(分子动力学)计算。将时间步长设定为0.2fs,并且将总计算时间设定为200ps。作为电势,将Born-Mayer-Huggins型电势应用于金属-氧耦合以及氧-氧耦合。并且,将氧化物半导体层701的上端和下端的原子的移动固定。

[0738] 图43示出计算结果。从z轴坐标的0nm到1.15nm是氧密度低的层703,并且从z轴坐标的1.15nm到2.3nm是氧密度高的层705。MD计算前的氧的密度分布利用实线707表示,并且MD计算后的氧的密度分布利用虚线709表示。

[0739] 可以知道如下事实:在实线707中,在从氧密度低的层703与氧密度高的层705的界面到氧密度高的层705的区域中,氧的密度高。另一方面,在虚线709中,在氧密度低的层703

及氧密度高的层705中,氧密度均匀。

[0740] 根据上述,可以知道如下事实:当像氧密度低的层703及氧密度高的层705的叠层状态那样氧密度的分布有偏差时,由于加热处理而氧从其密度高的地方扩散到低的地方,而氧密度成为均匀。

[0741] 就是说,如实施方式1所示,在氧化物半导体层403上使用绝缘氧化物来形成第一保护绝缘层407,由此,在氧化物半导体层403及使用绝缘氧化物形成的第一保护绝缘层407的界面上氧密度提高,所以该氧扩散到氧化物半导体层403的氧密度低的地方,而氧化物半导体层431高电阻化。如上所述,可以提高本发明的一种方式的显示装置所具有的晶体管的可靠性。

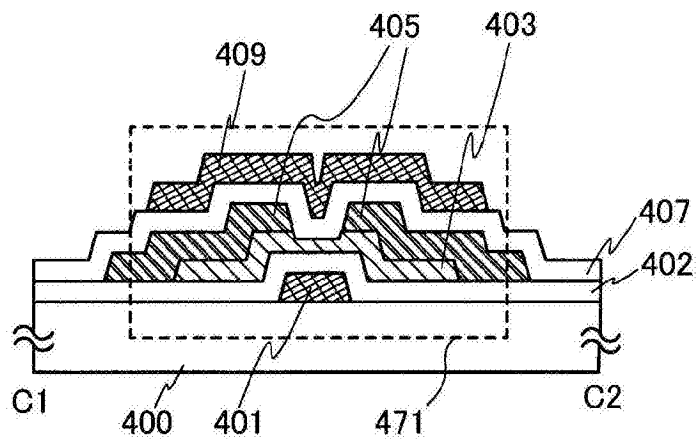


图1A

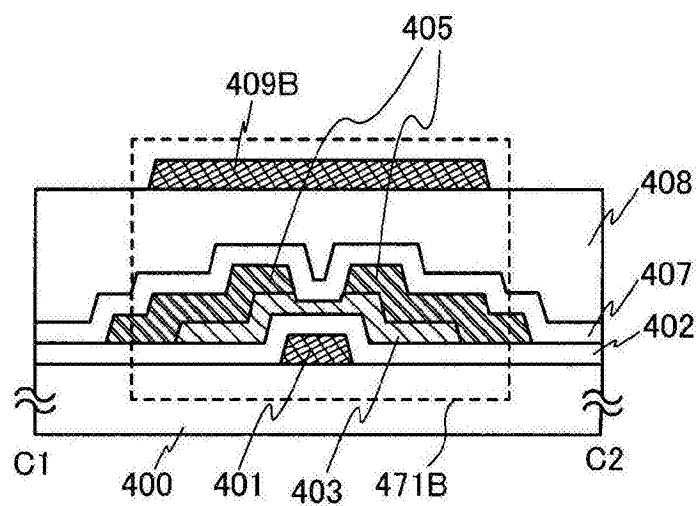


图1B

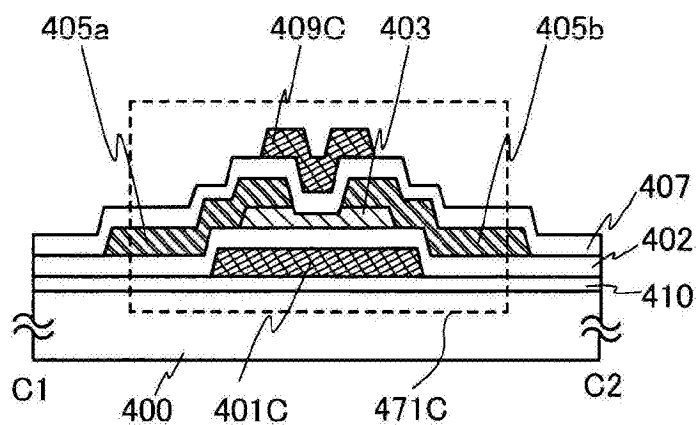


图1C

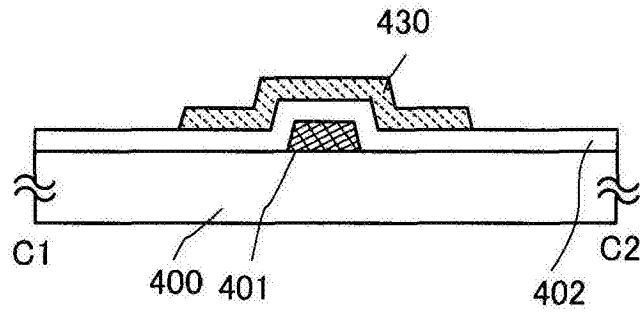


图2A

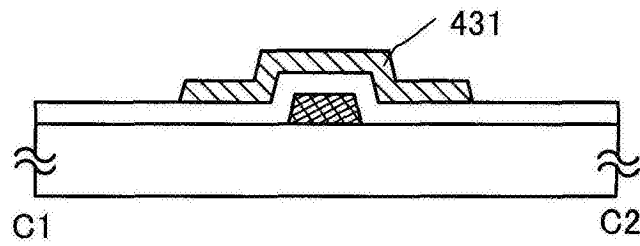


图2B

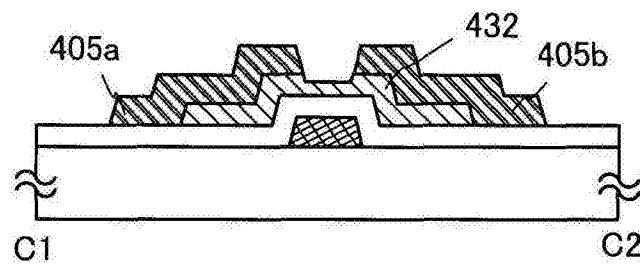


图2C

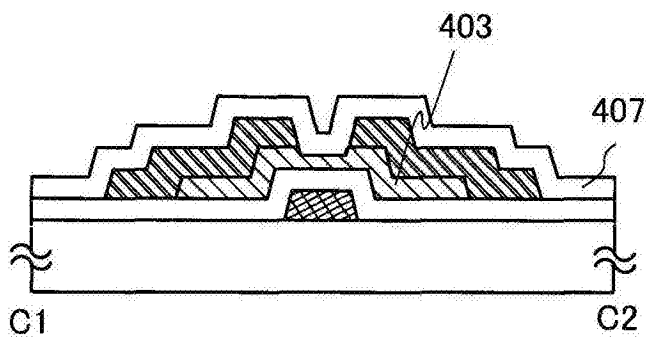


图2D

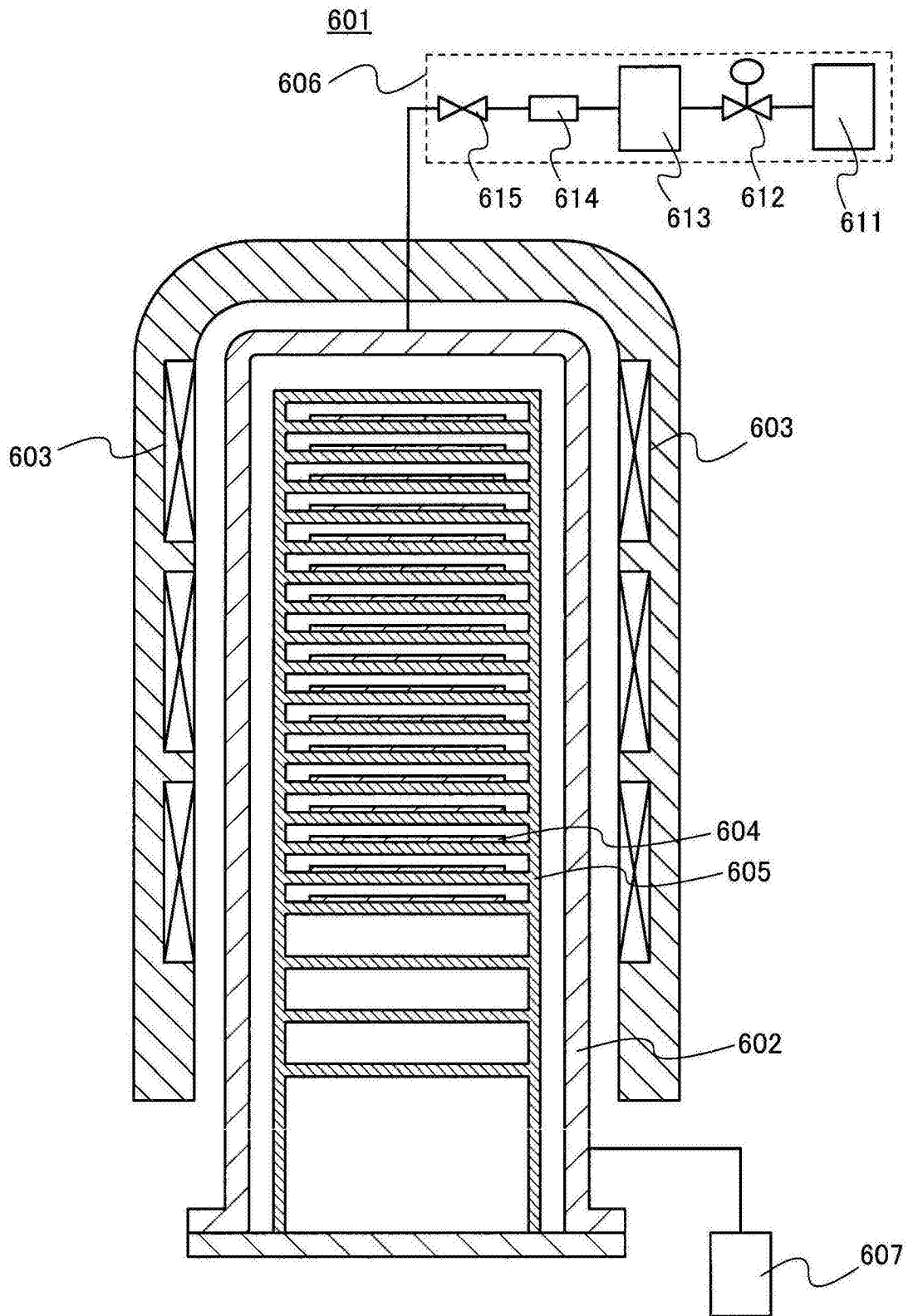


图3

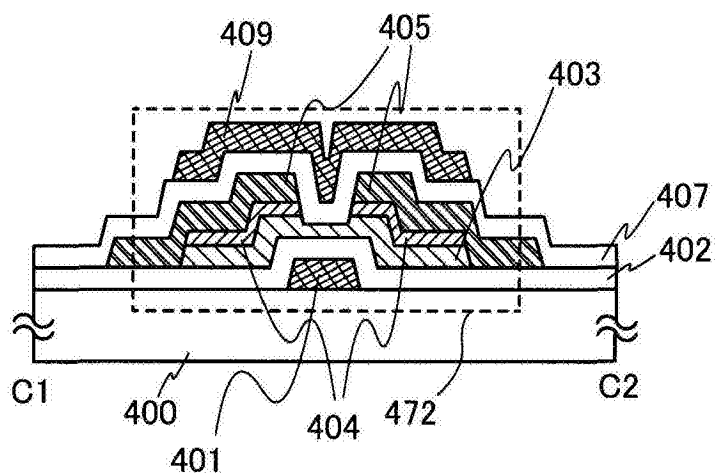


图4A

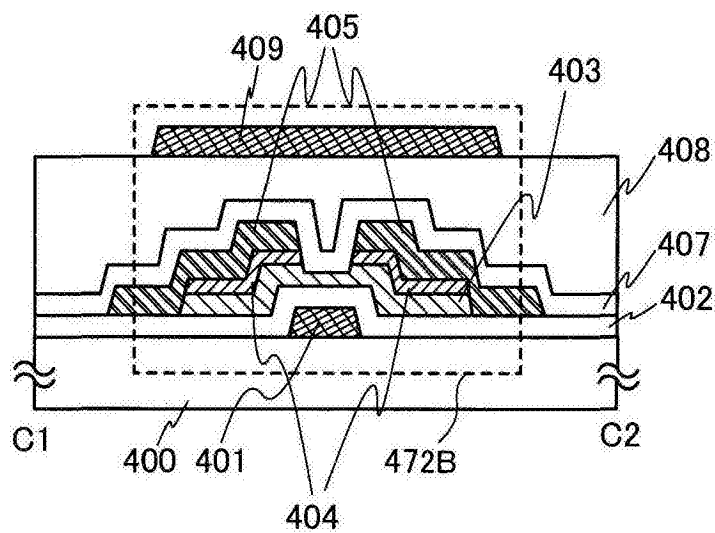


图4B

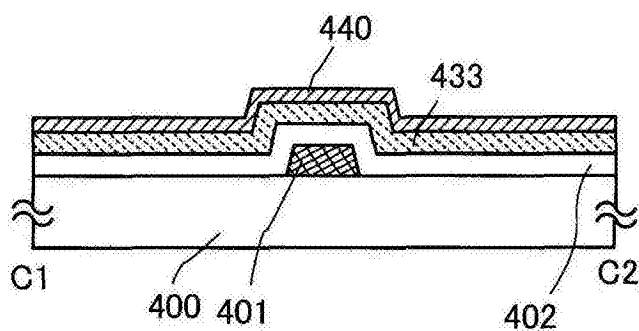


图5A

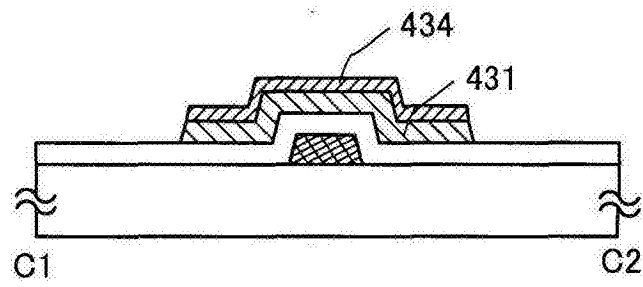


图5B

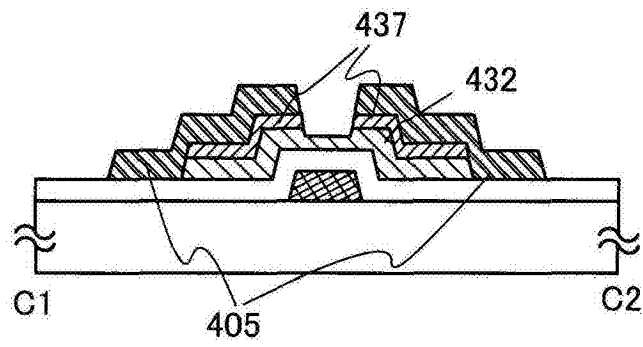


图5C

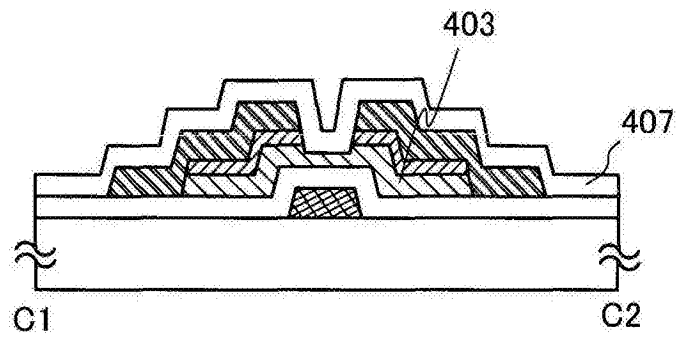


图5D

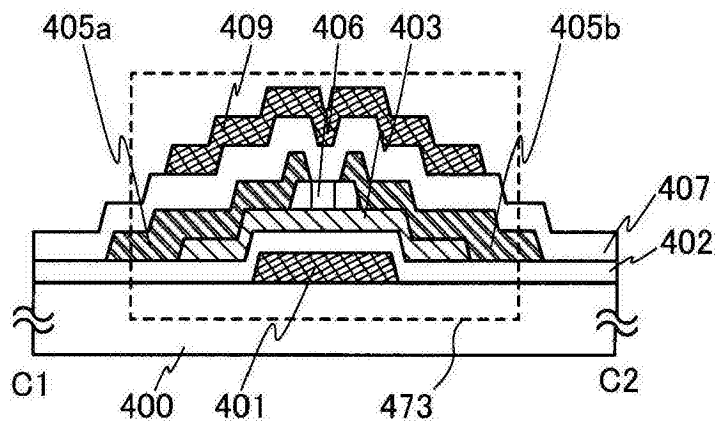


图6A

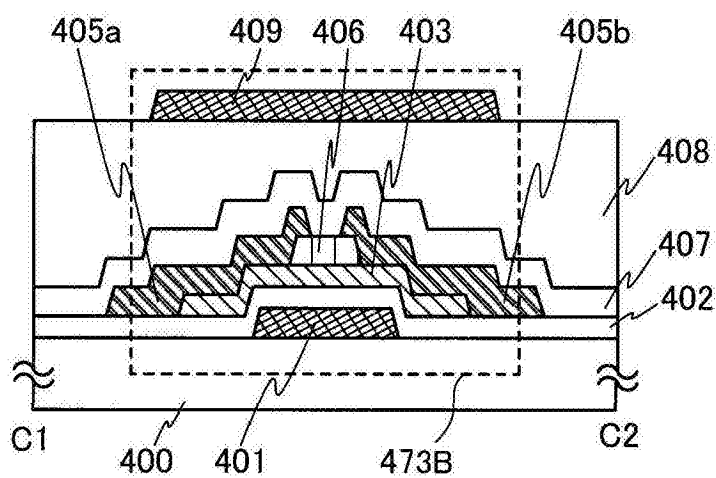


图6B

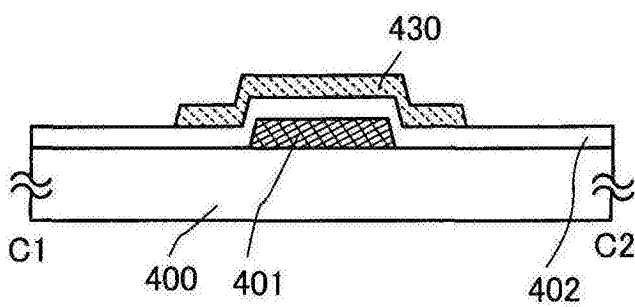


图7A

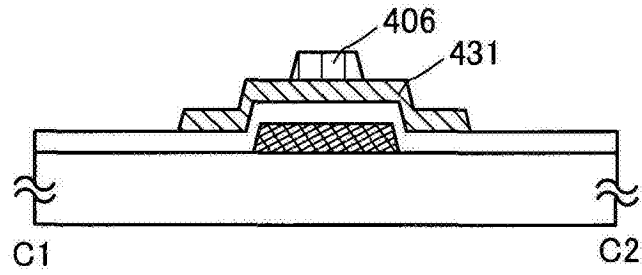


图7B

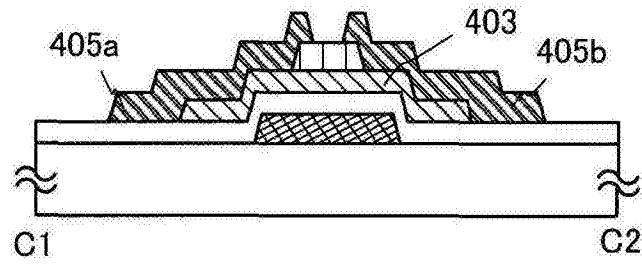


图7C

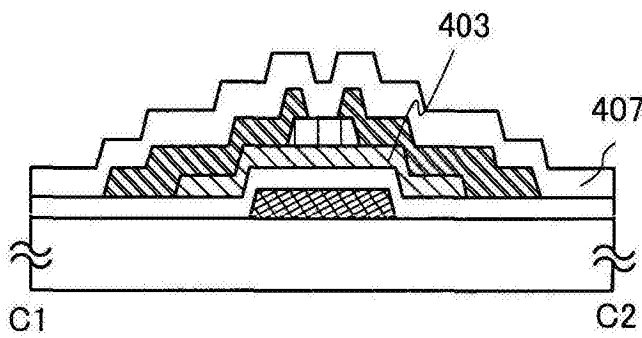


图7D

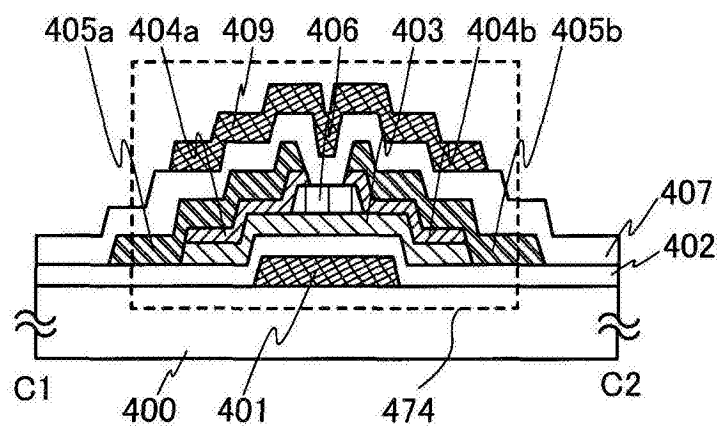


图8A

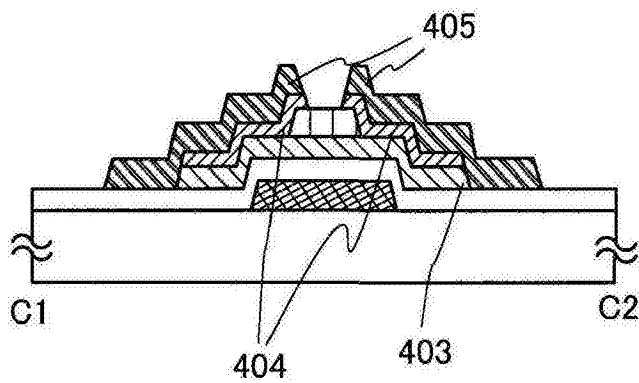


图9C

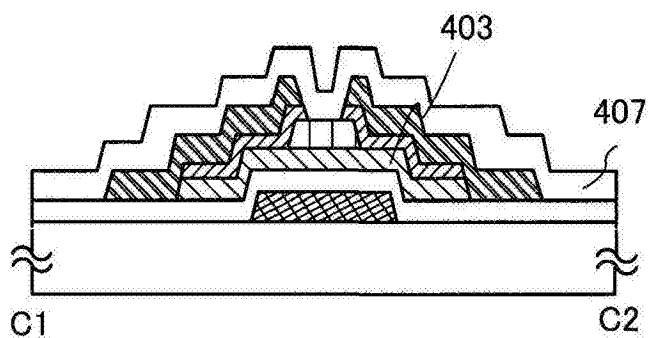


图9D

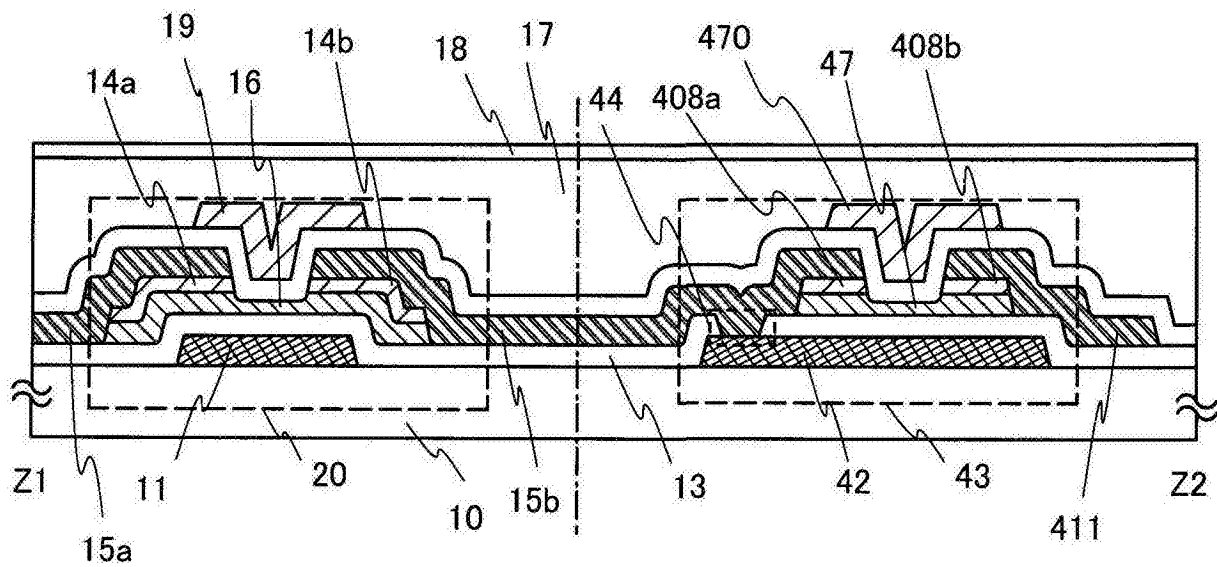


图10A

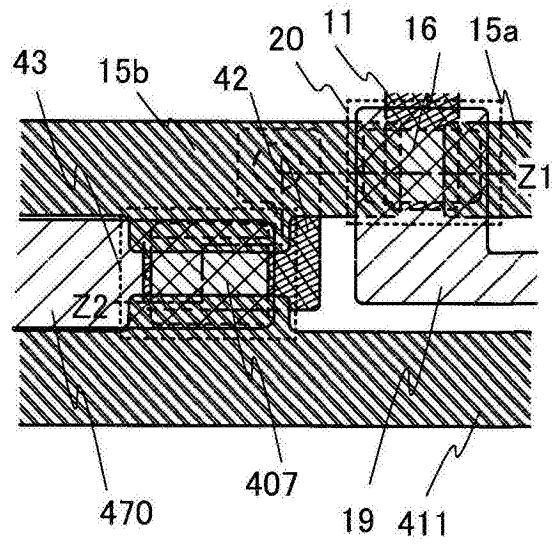


图10B

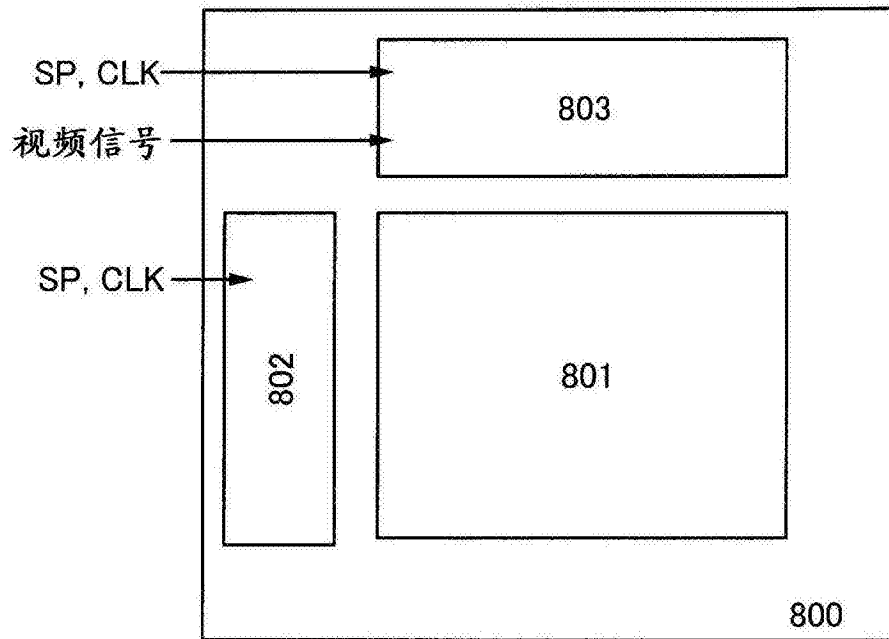


图11A

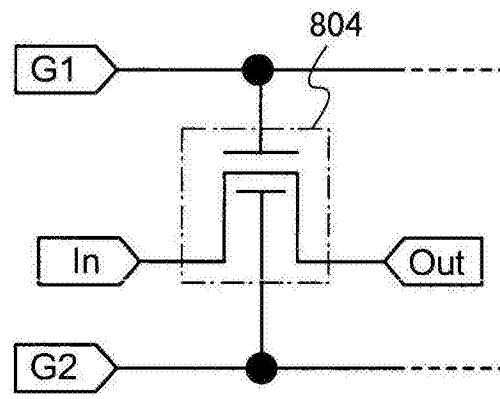


图11B

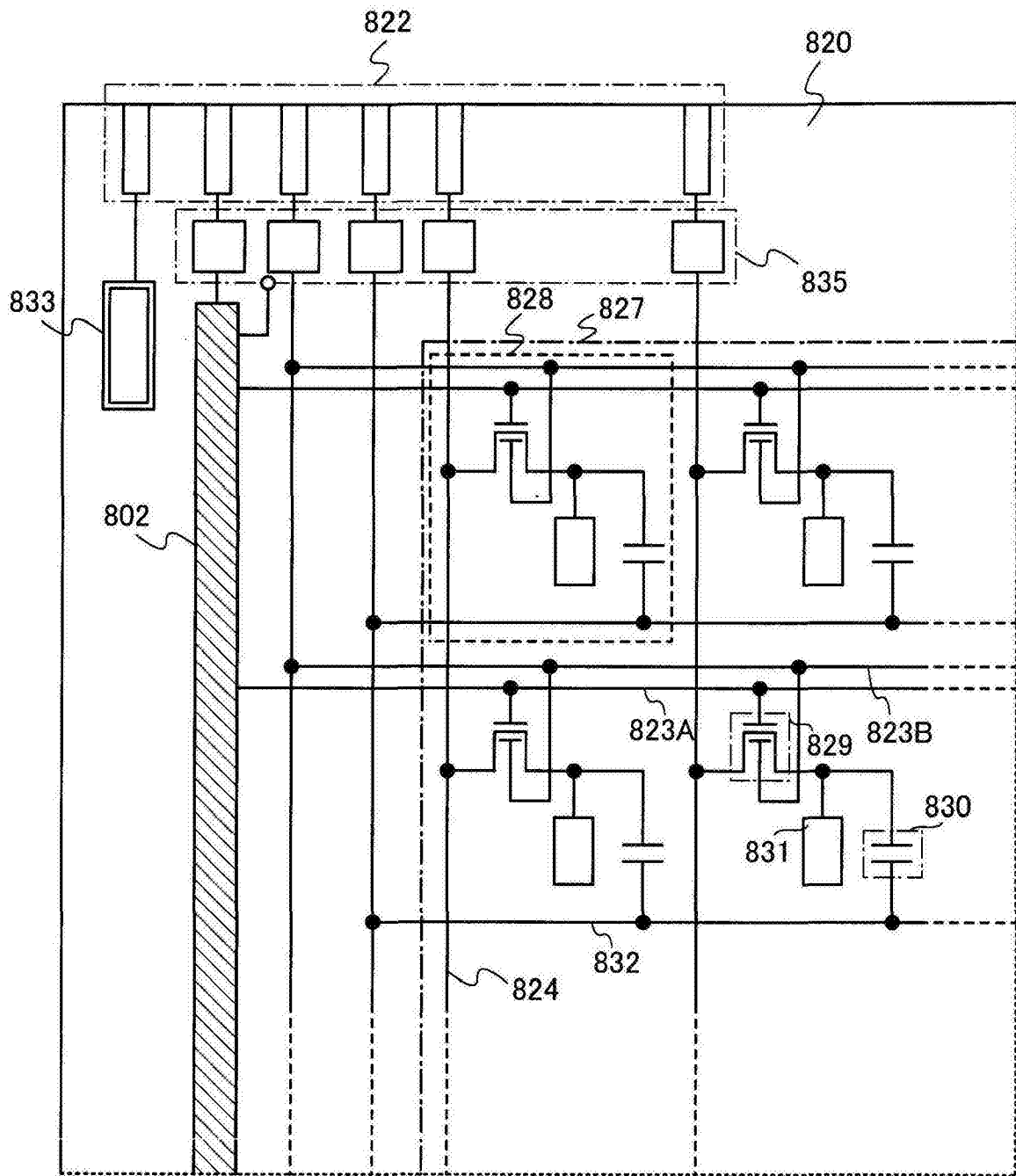


图12

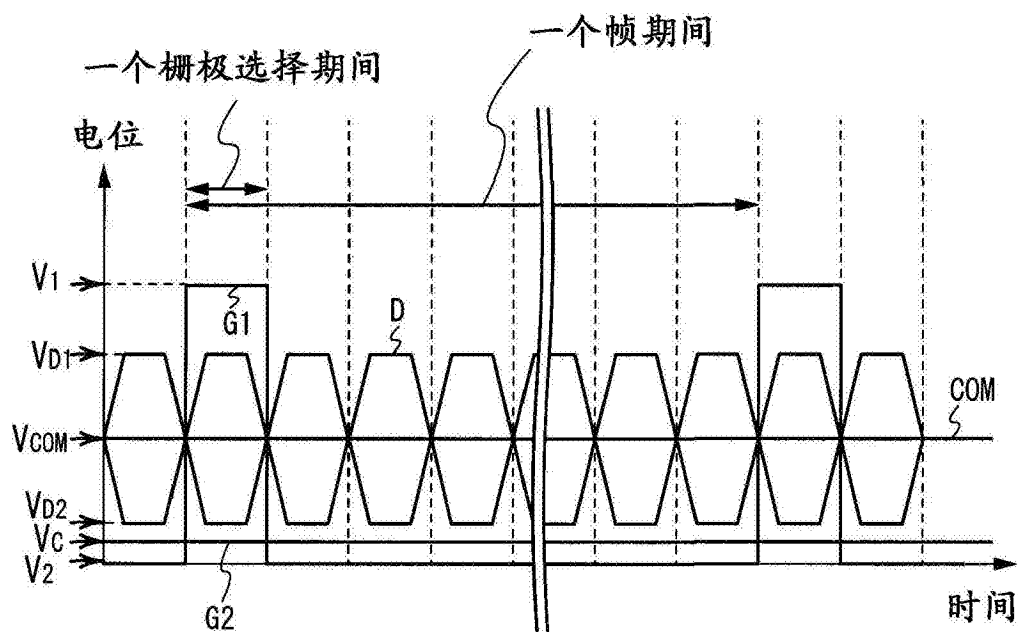


图13A

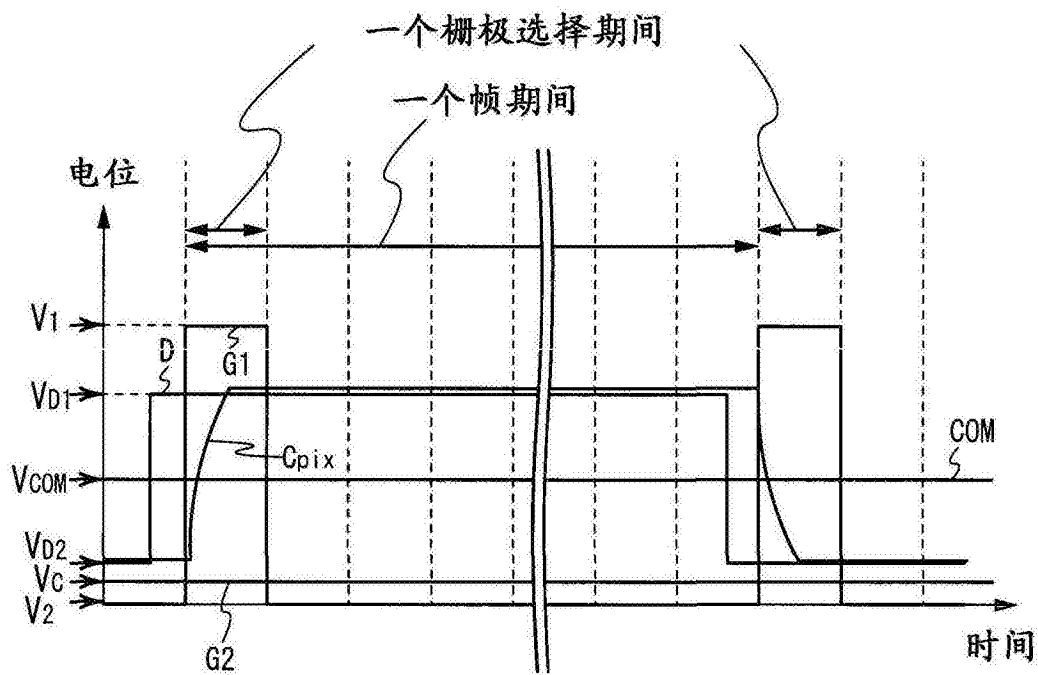


图13B

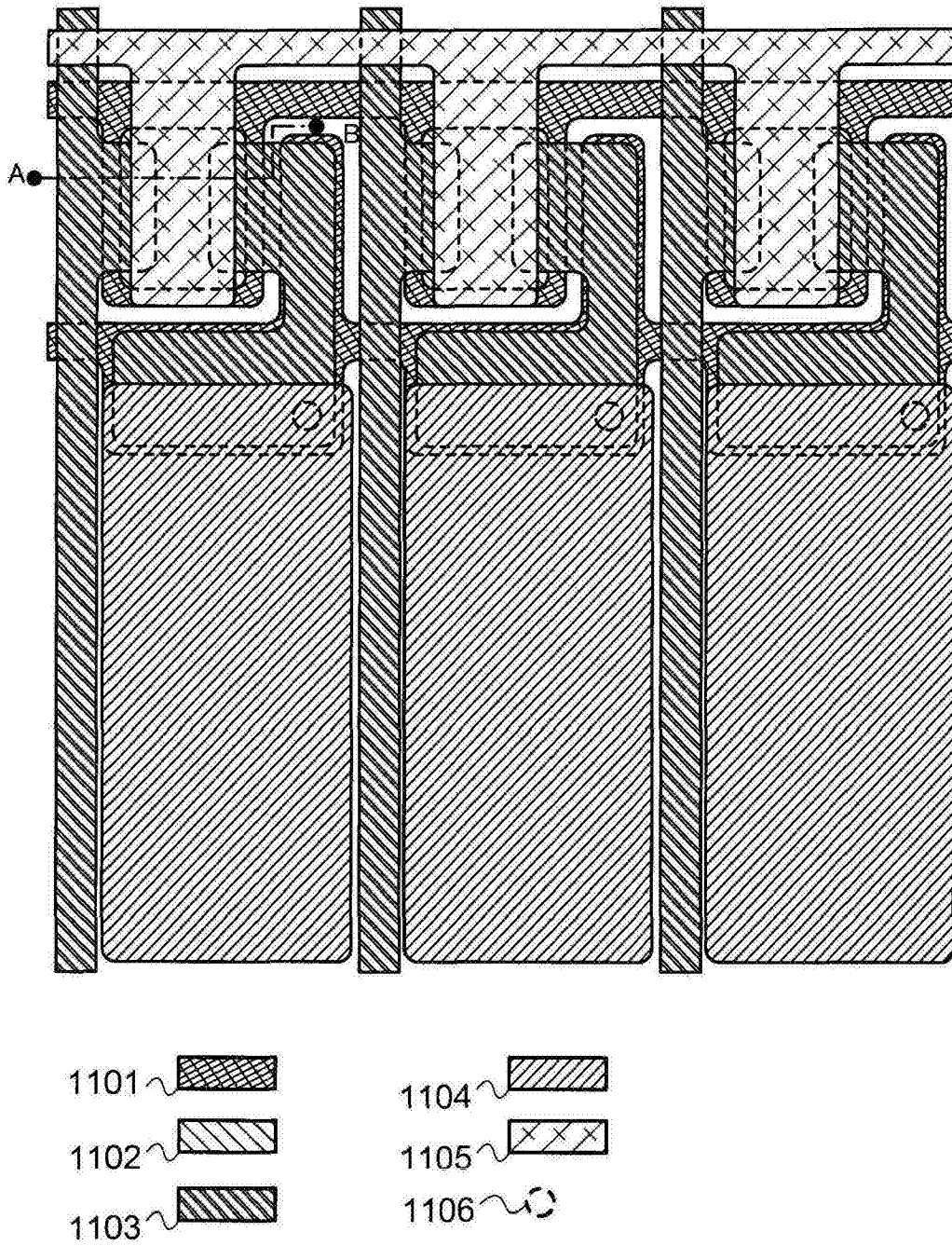


图14

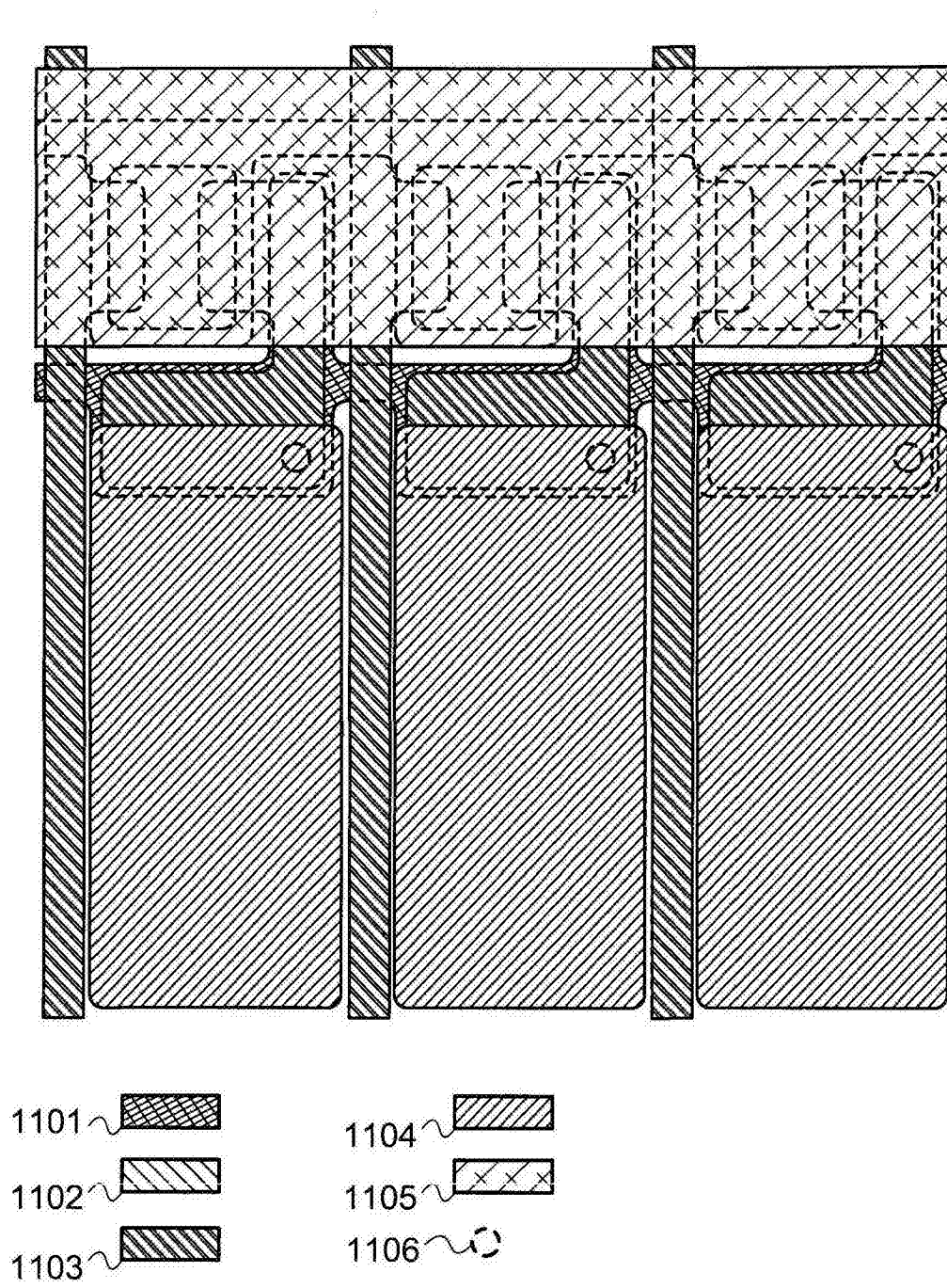


图15

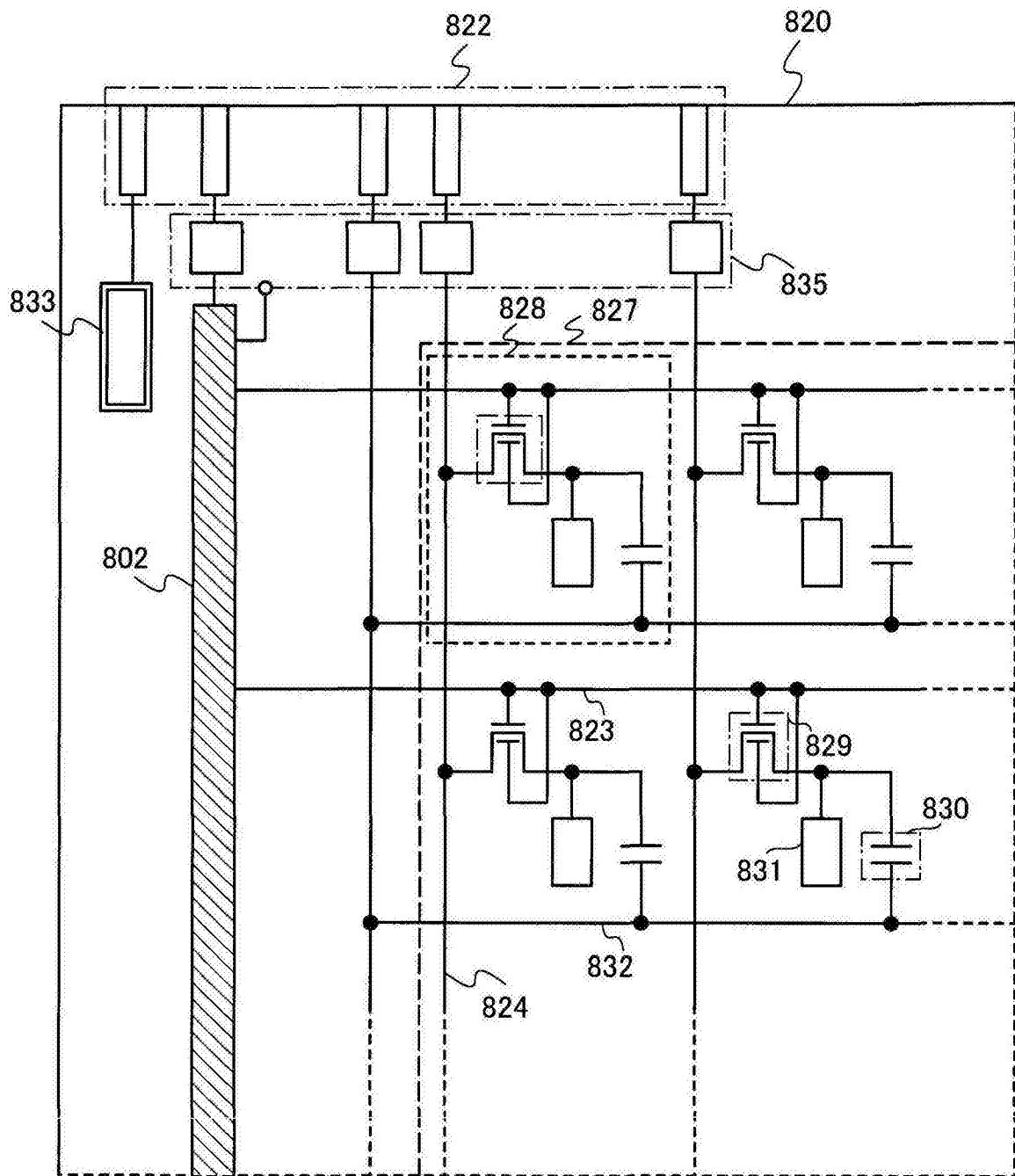


图16

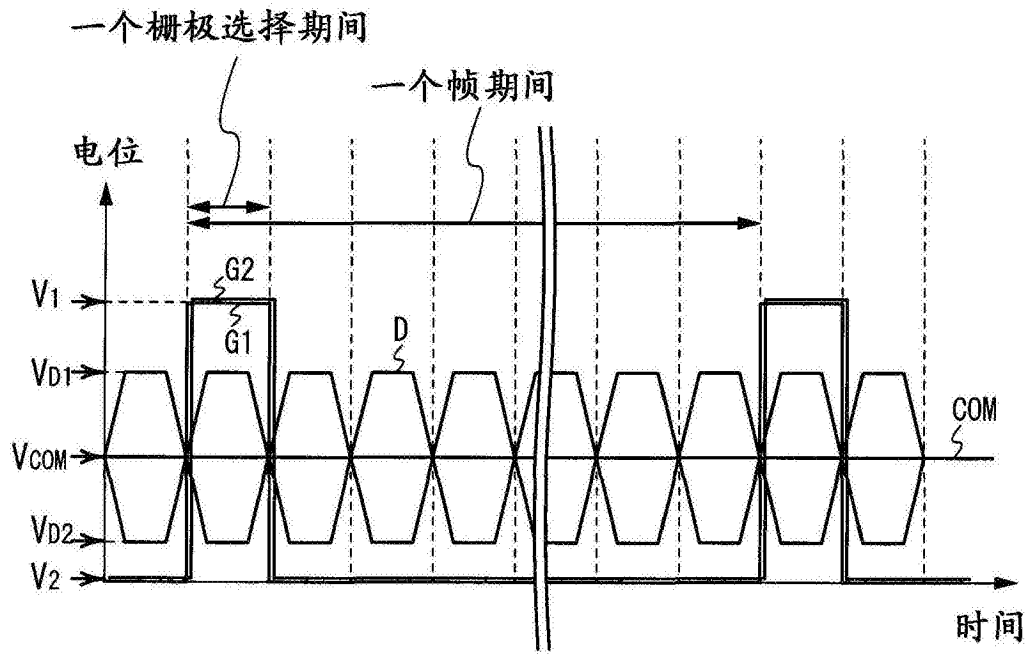


图17

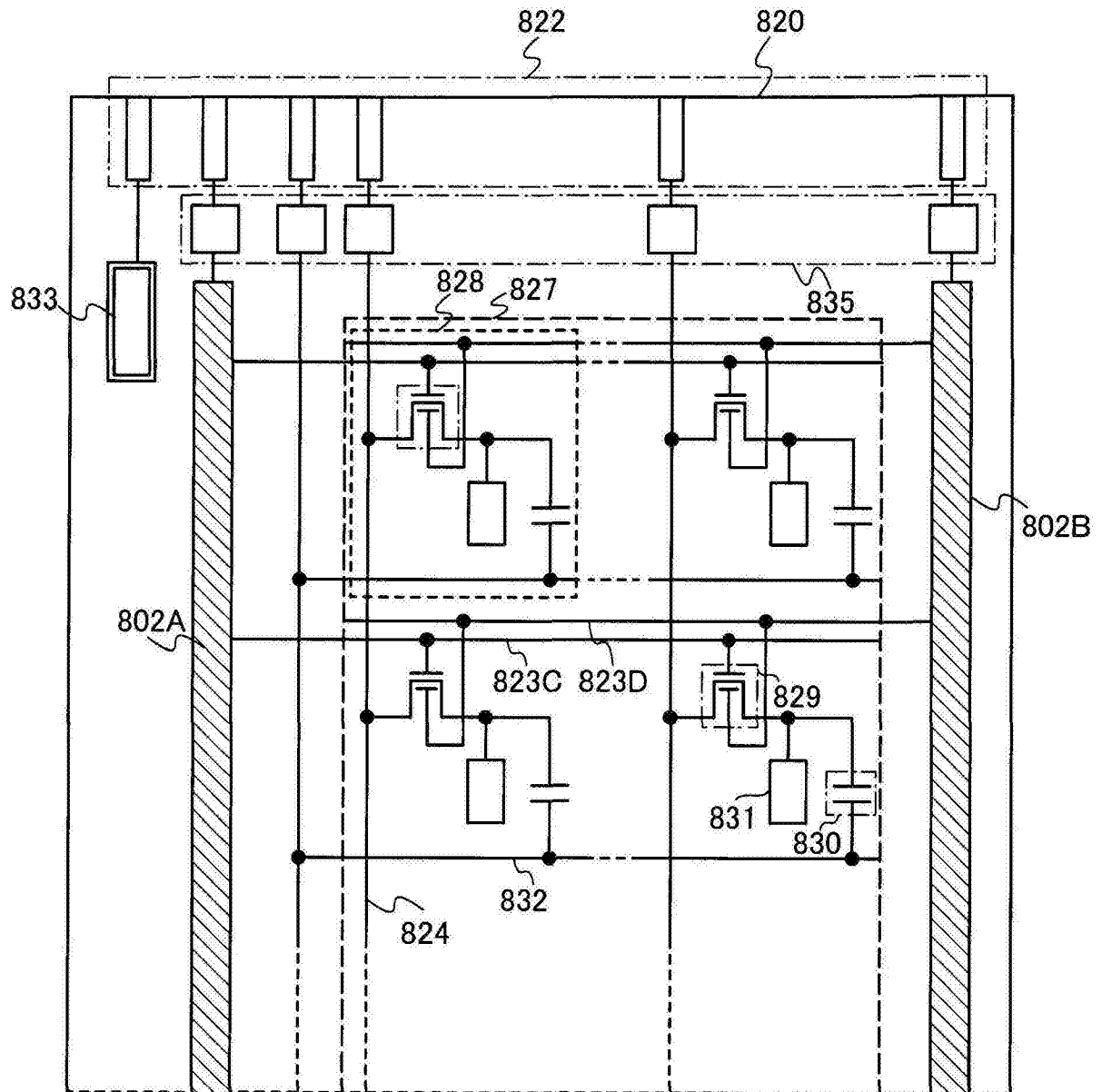
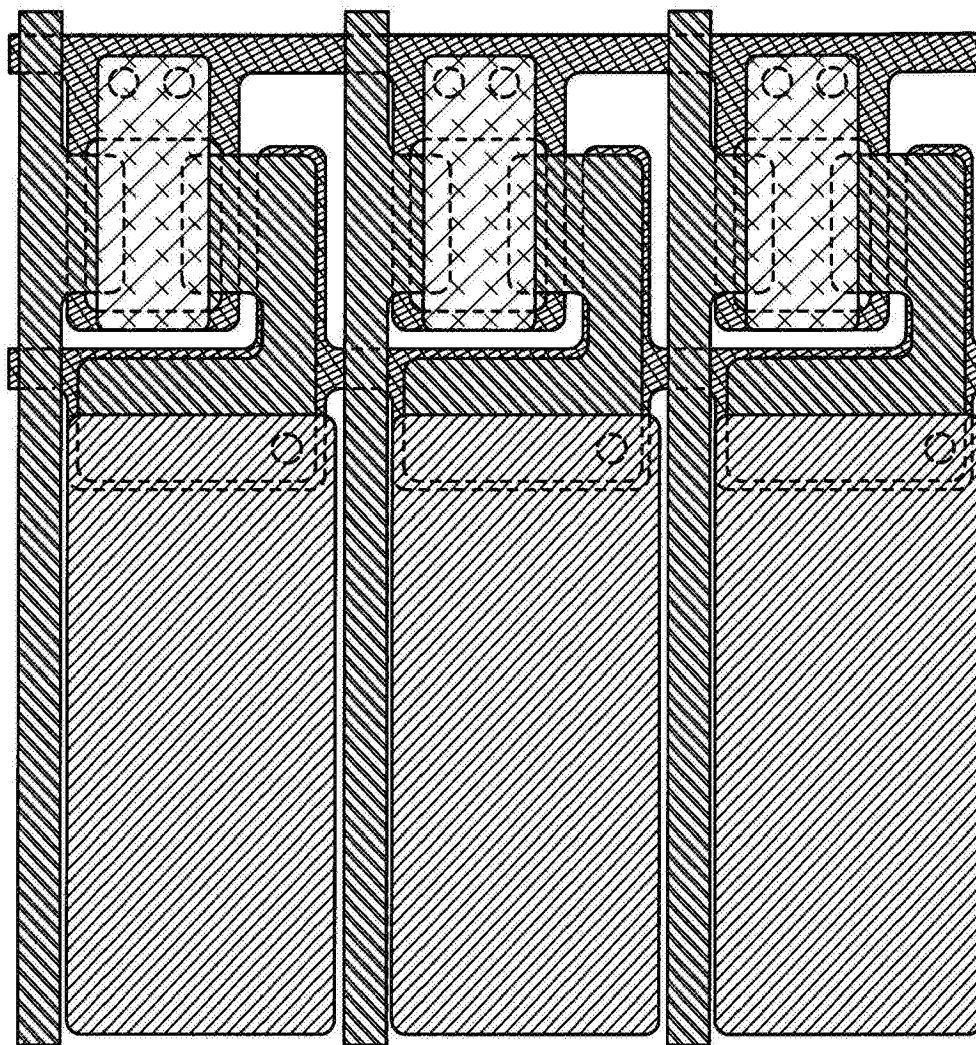
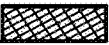


图18



1101 ~ 
1102 ~ 
1103 ~ 

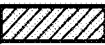
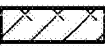
1104 ~ 
1105 ~ 
1106 ~ 

图19

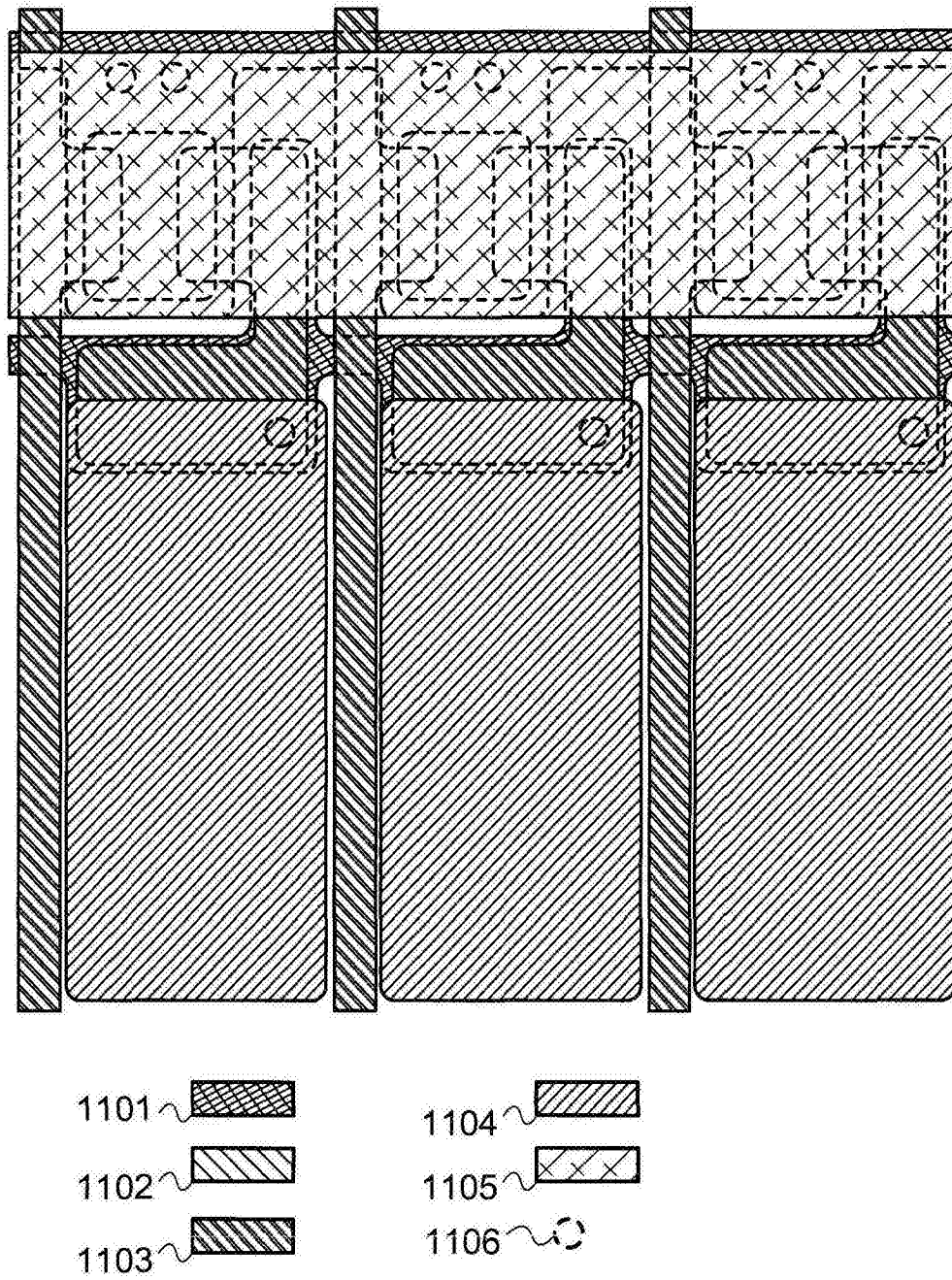


图20

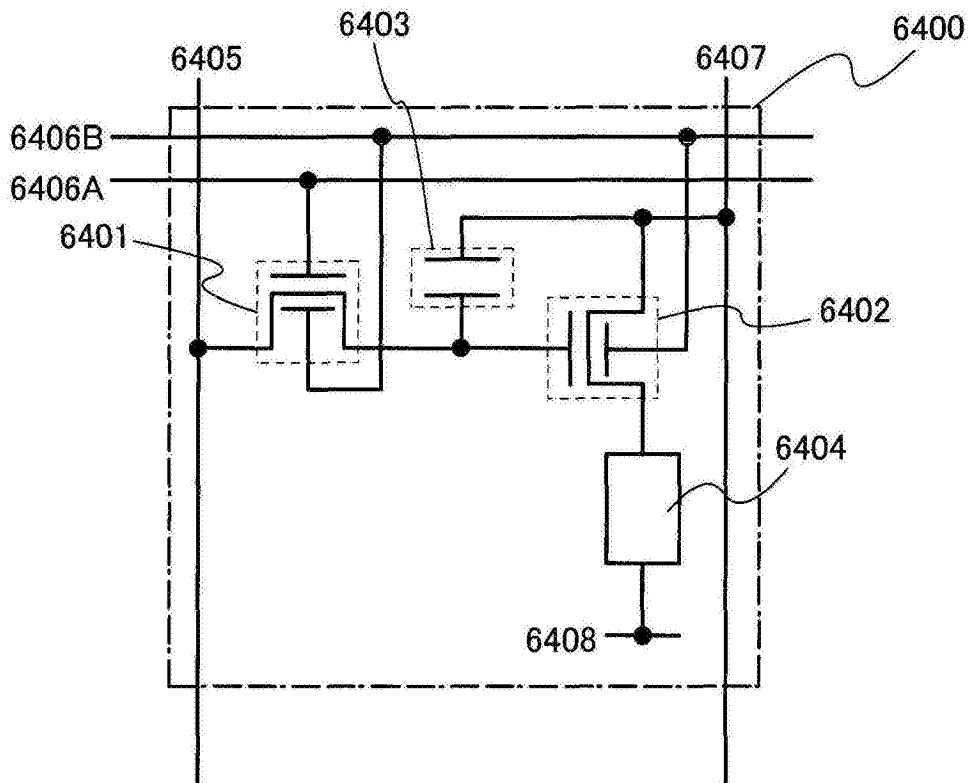


图21

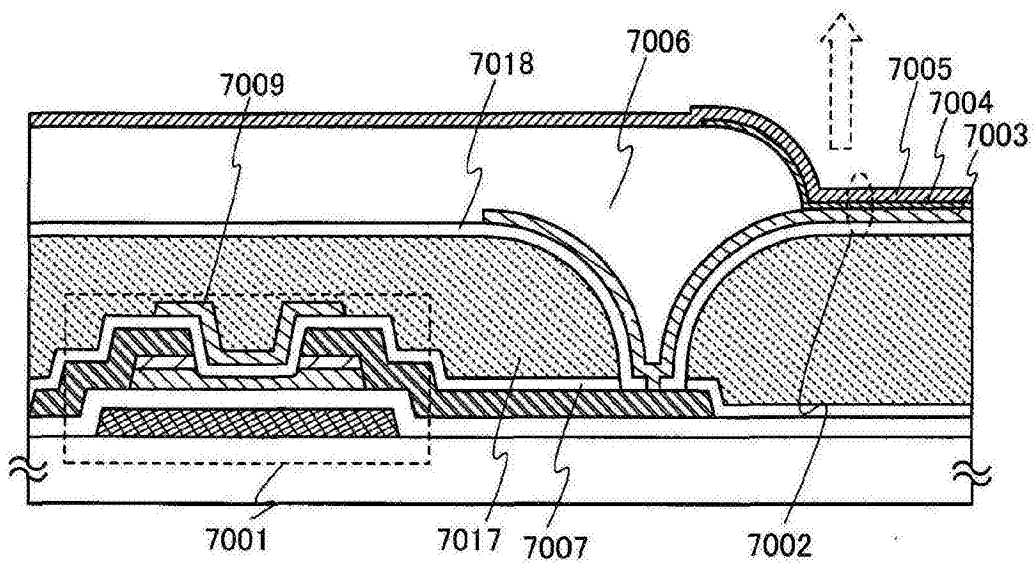


图22A

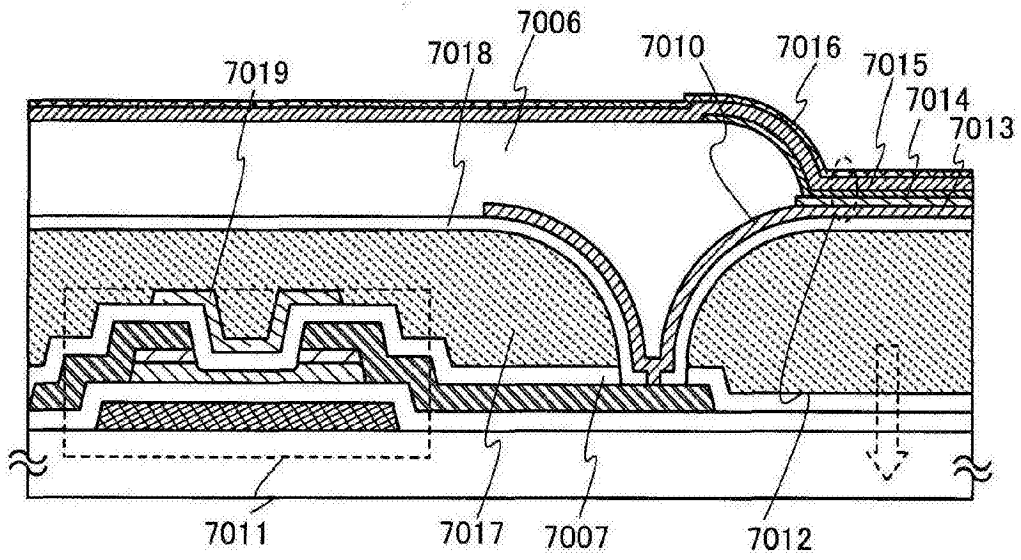


图22B

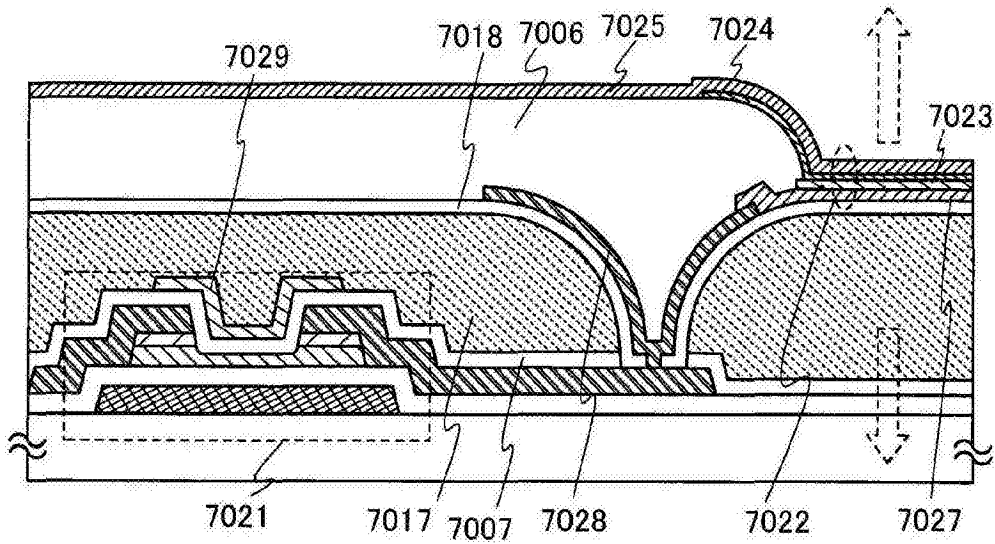
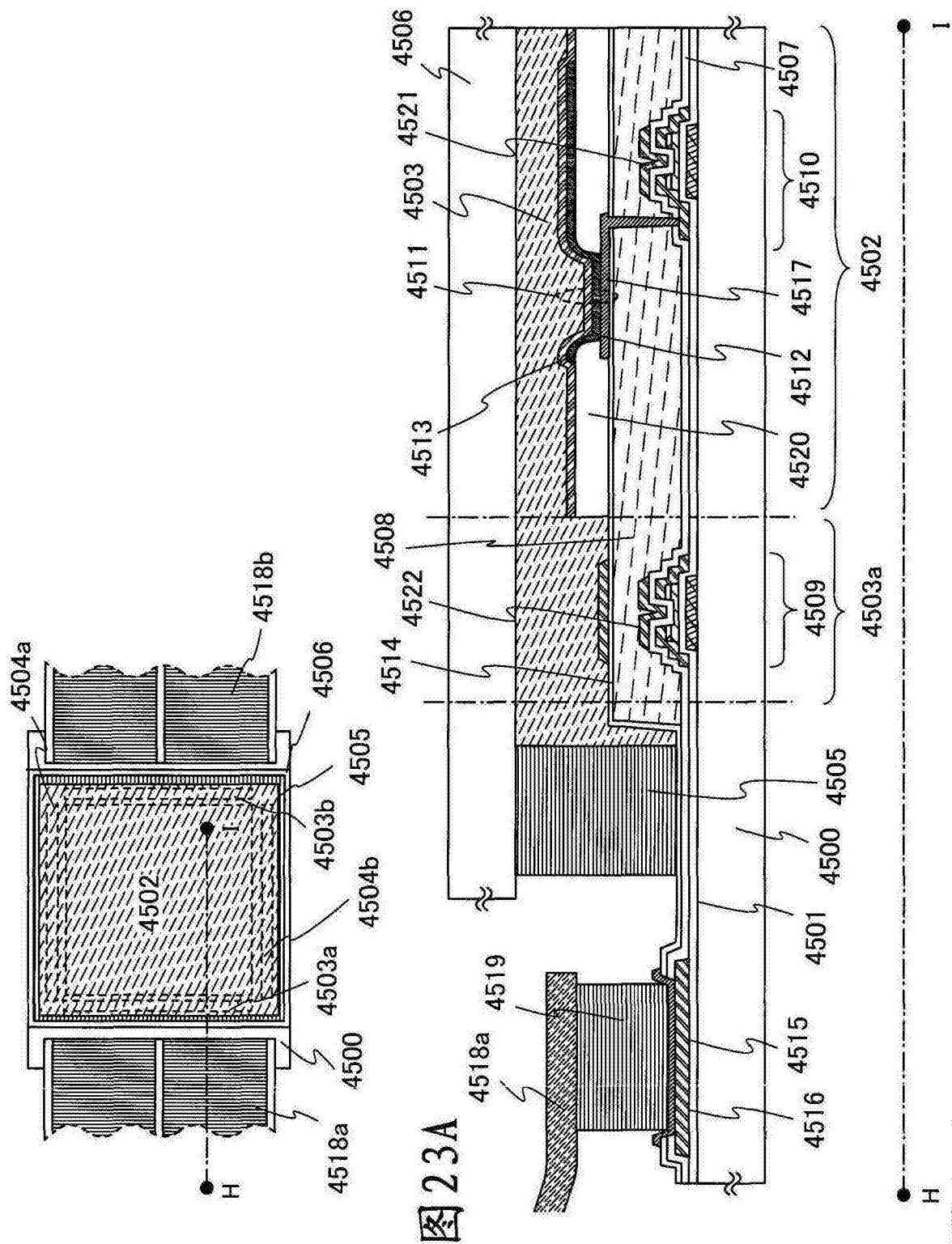


图22C



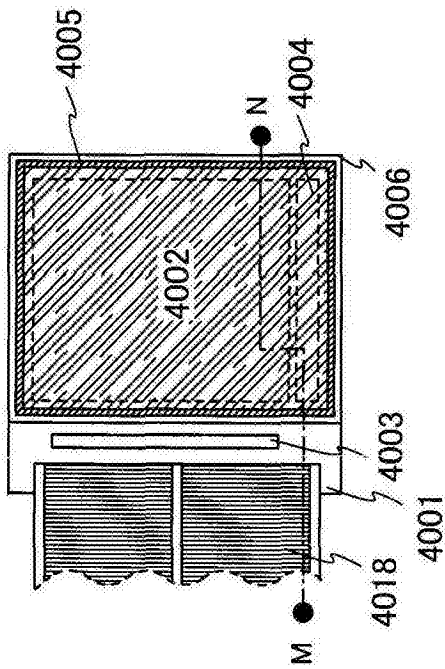


图24A1

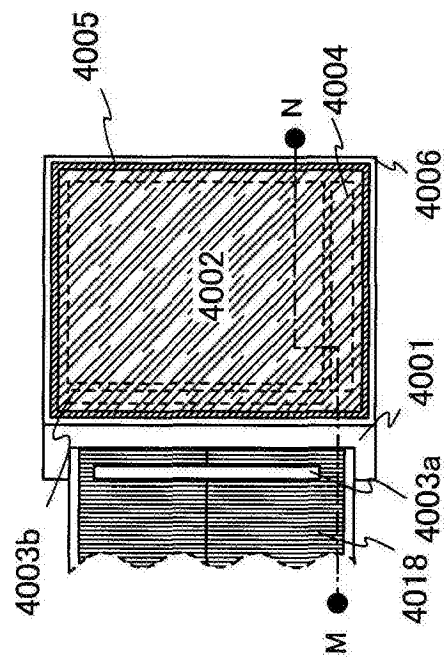


图24A2

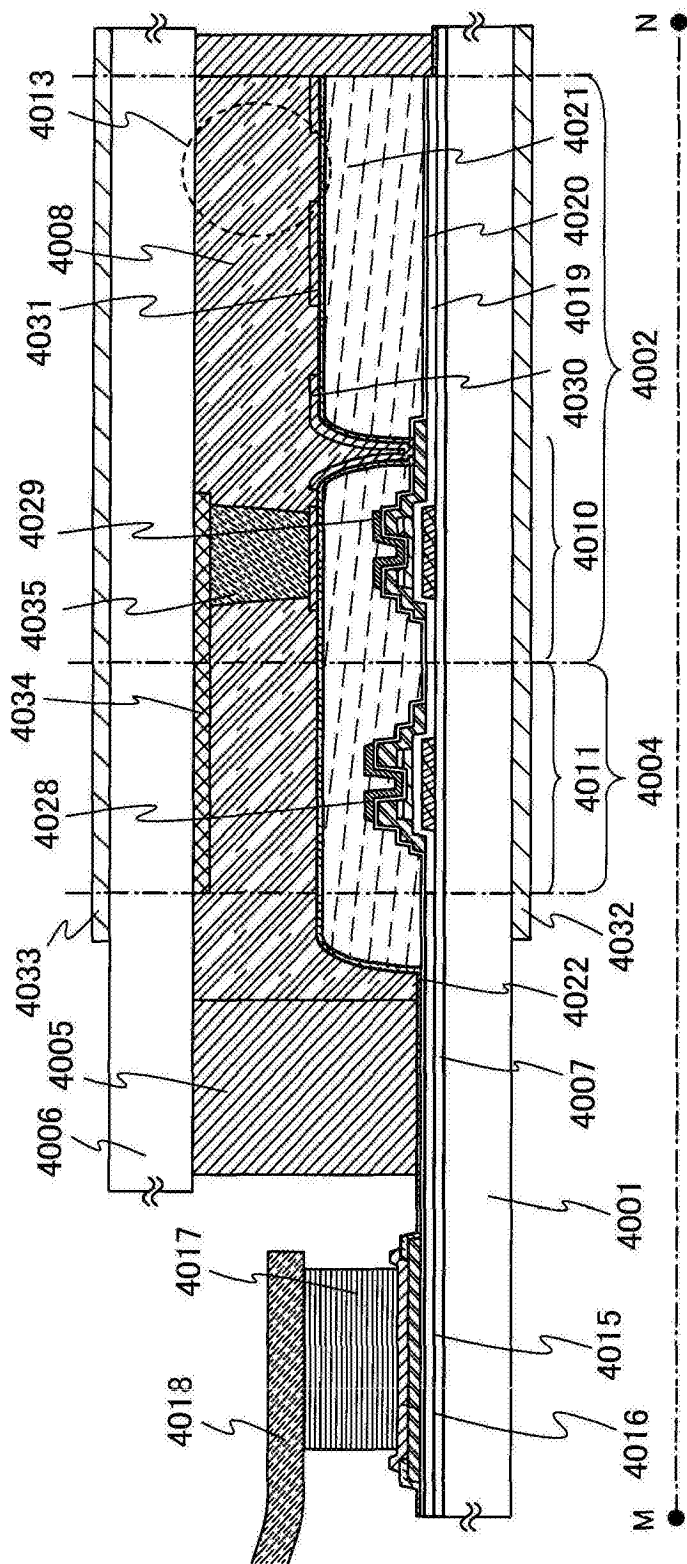


图24B

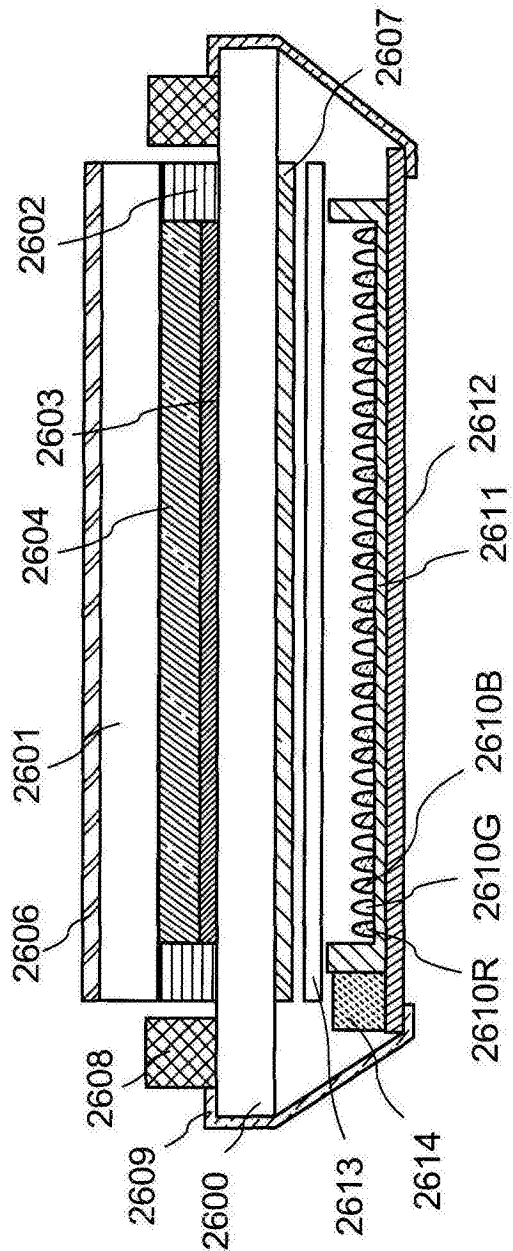


图25

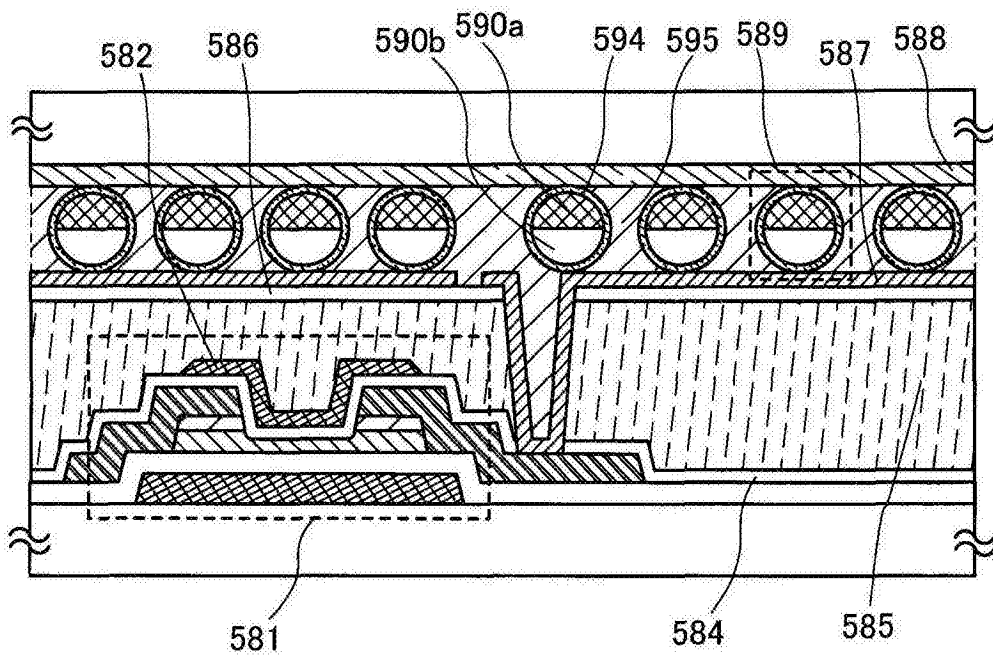


图26A

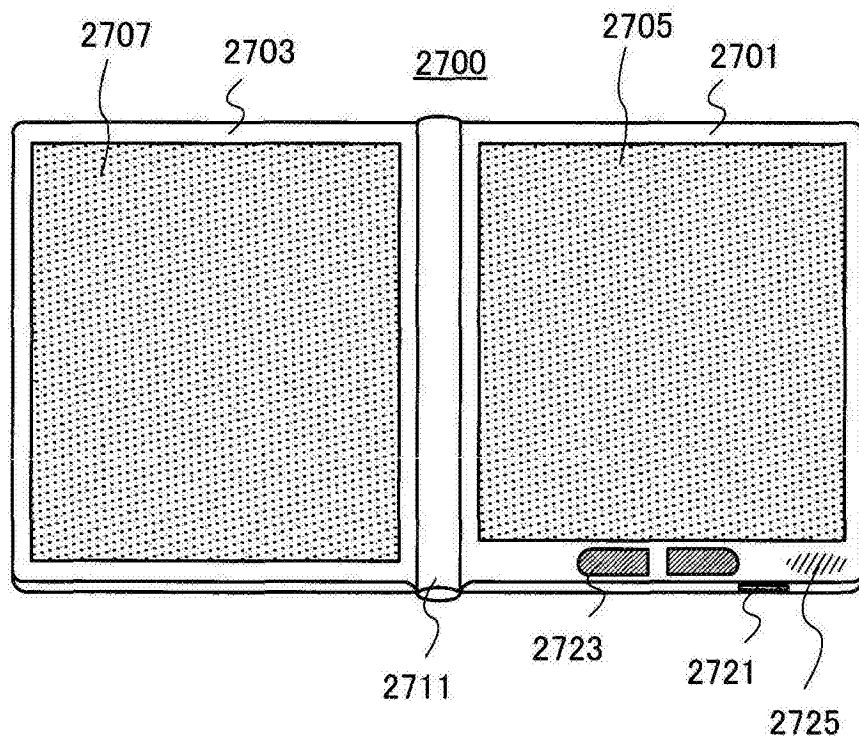


图26B

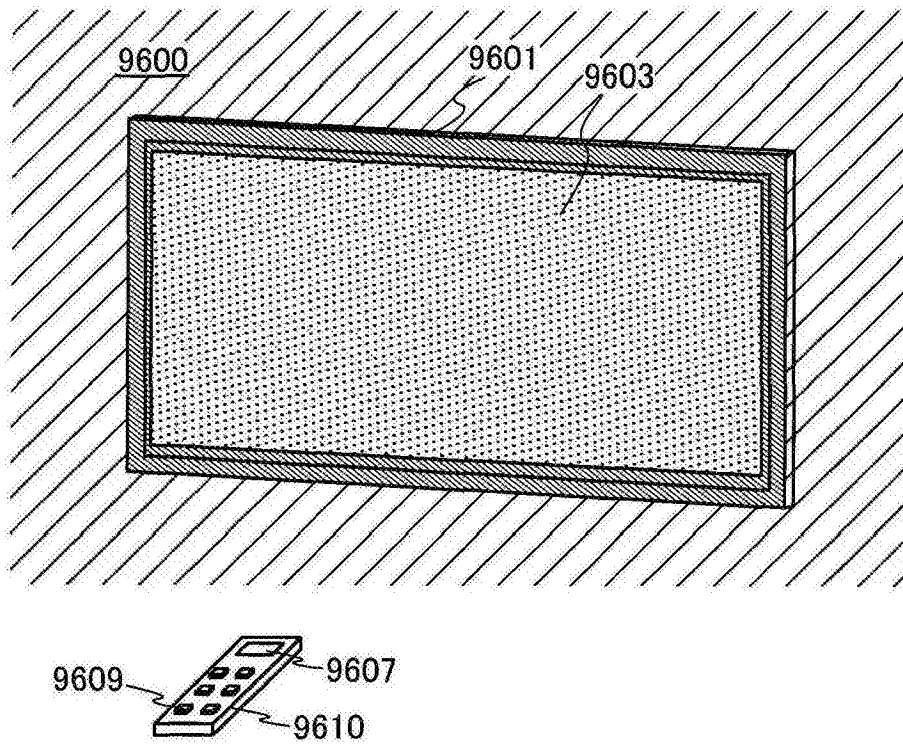


图27A

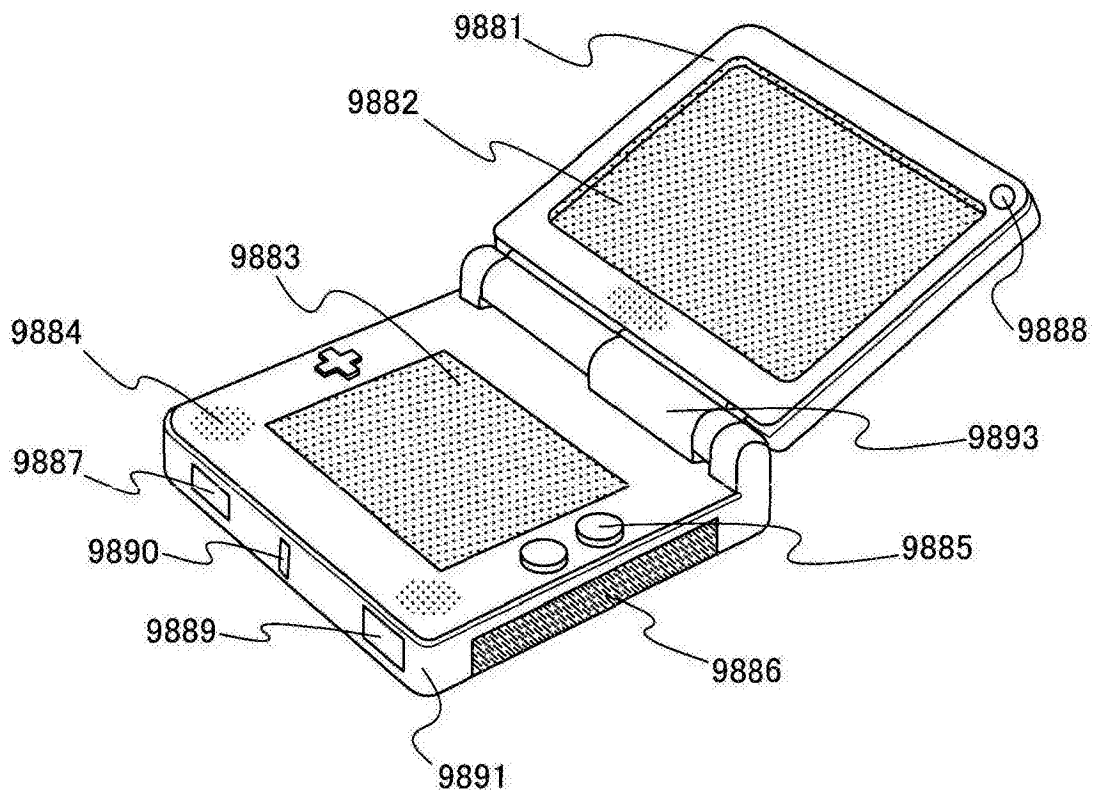


图27B

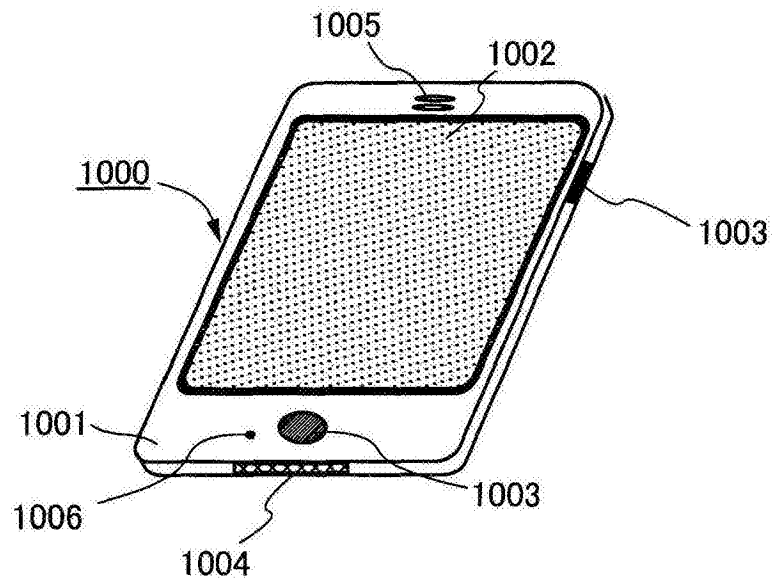


图28A

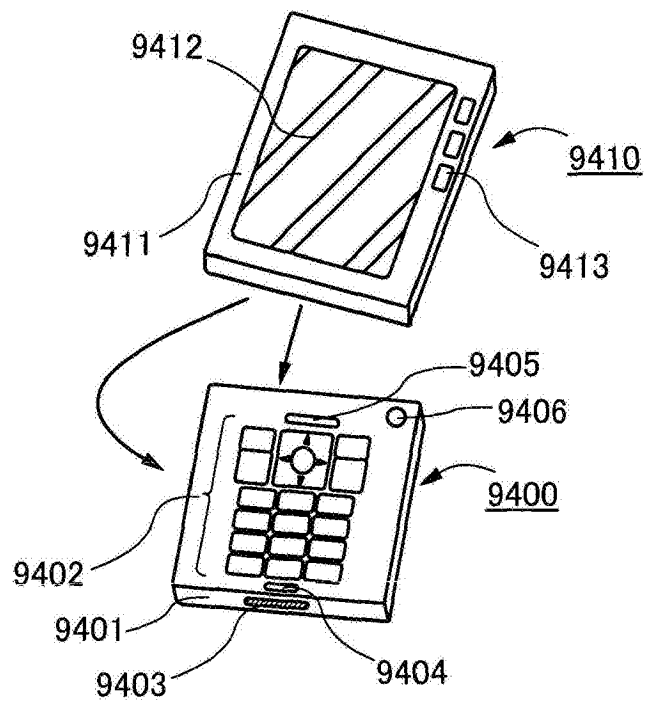


图28B

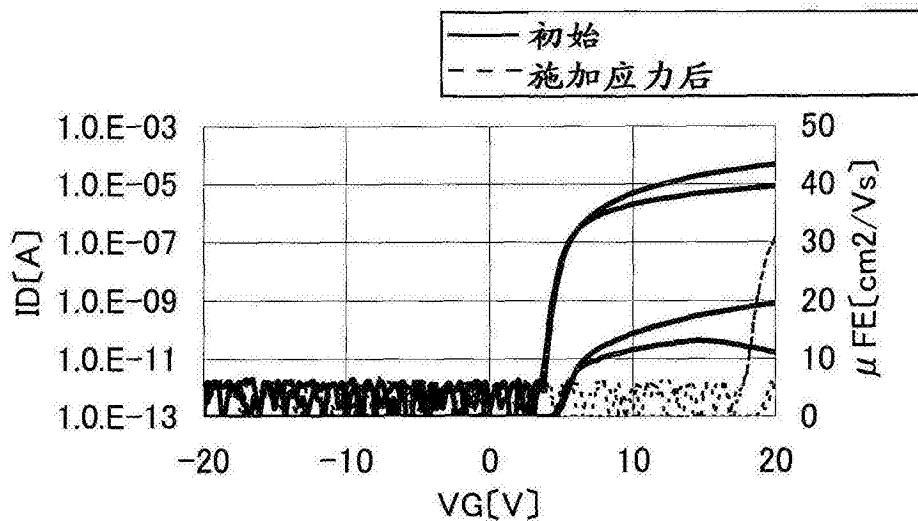


图29A

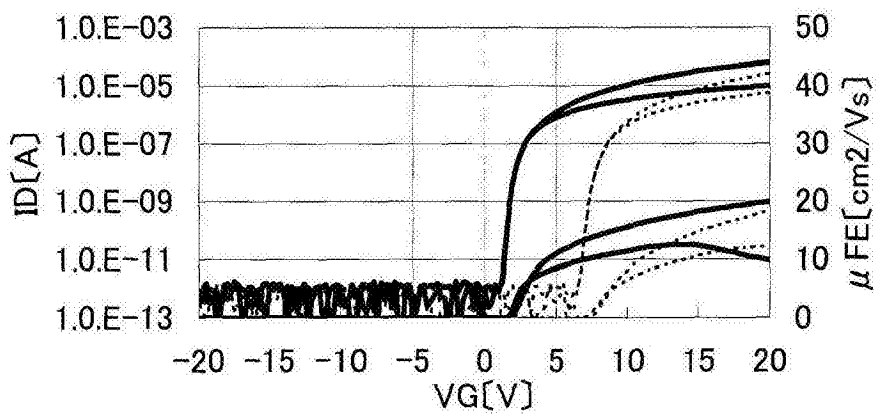


图29B

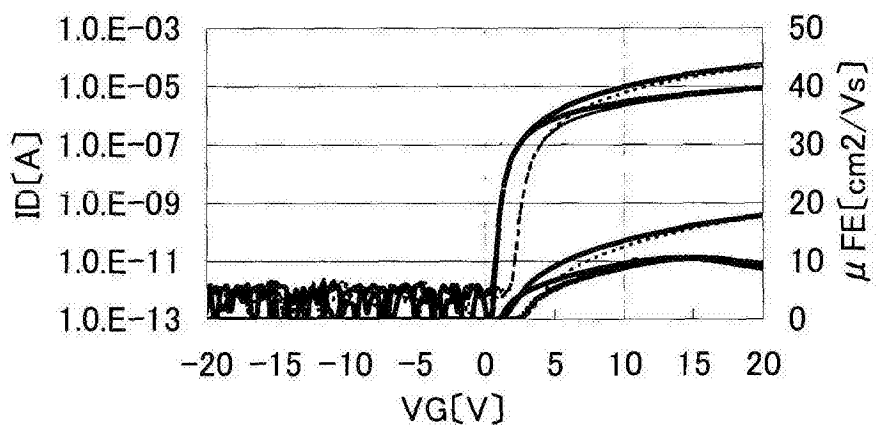


图29C

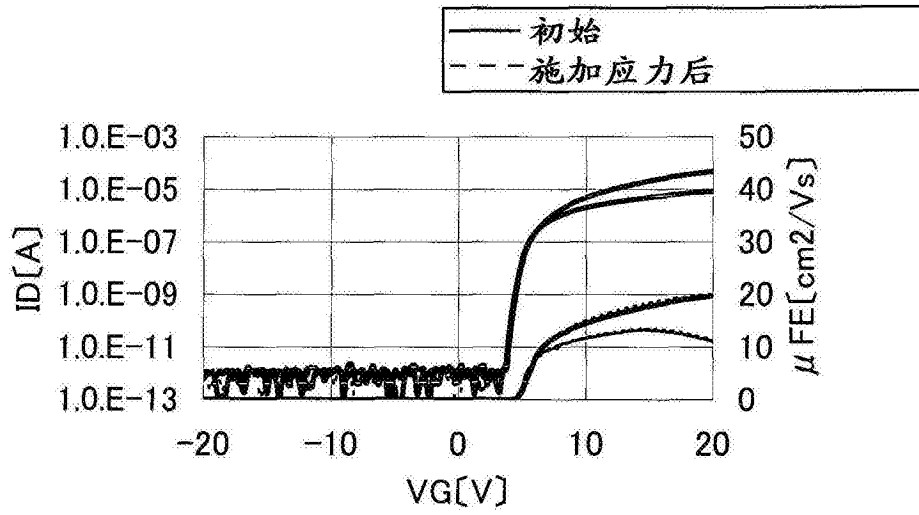


图30A

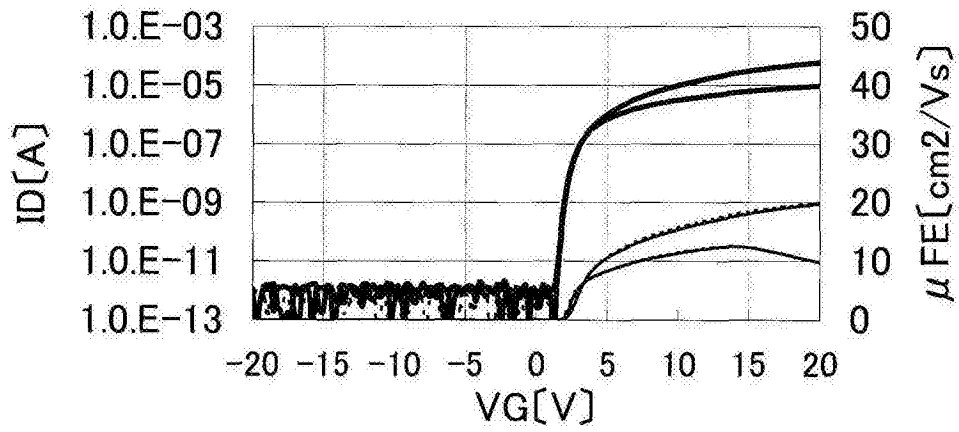


图30B

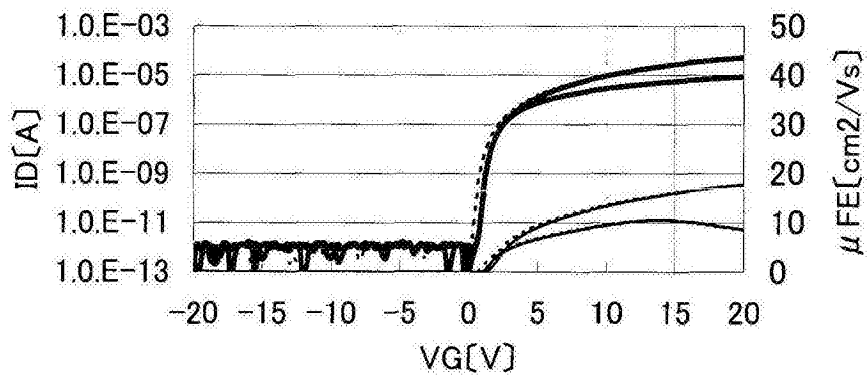


图30C

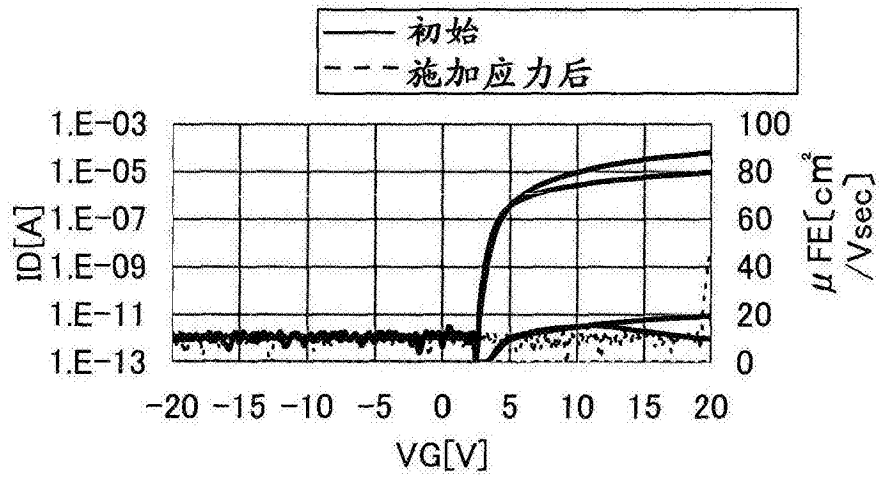


图31A

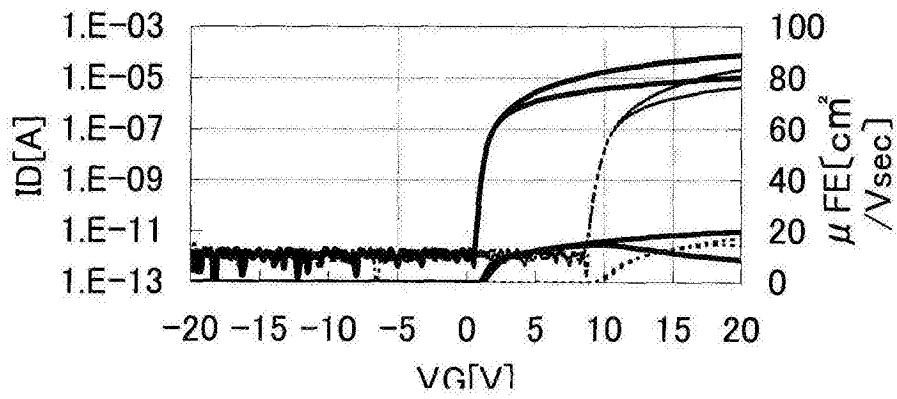


图31B

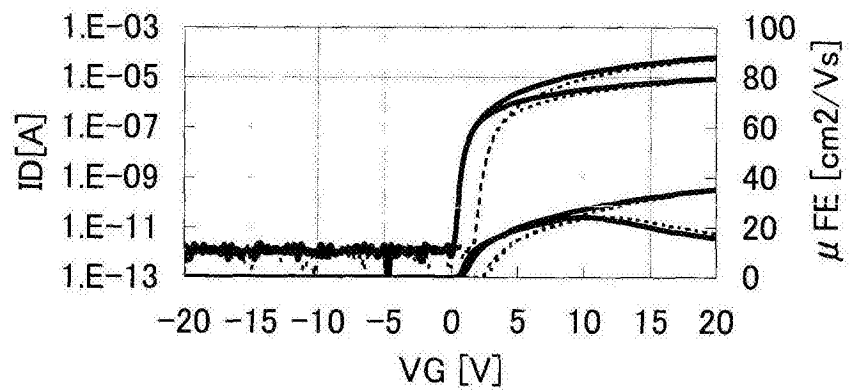


图31C

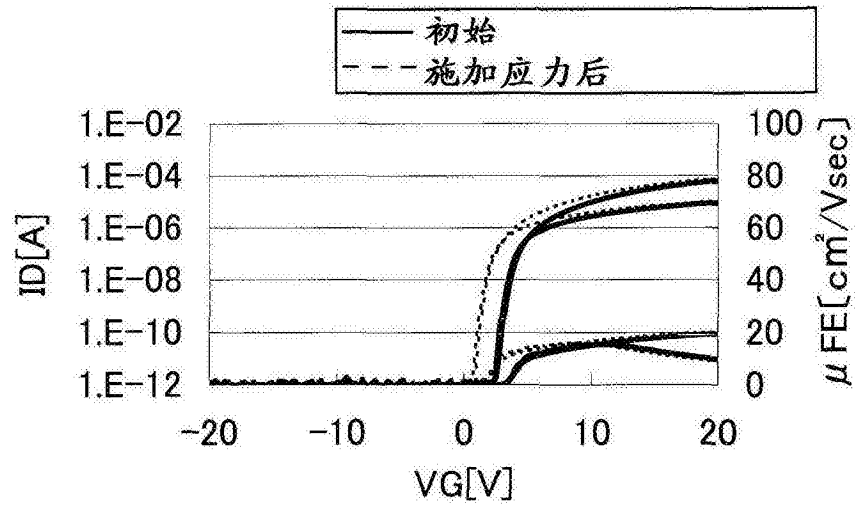


图32A

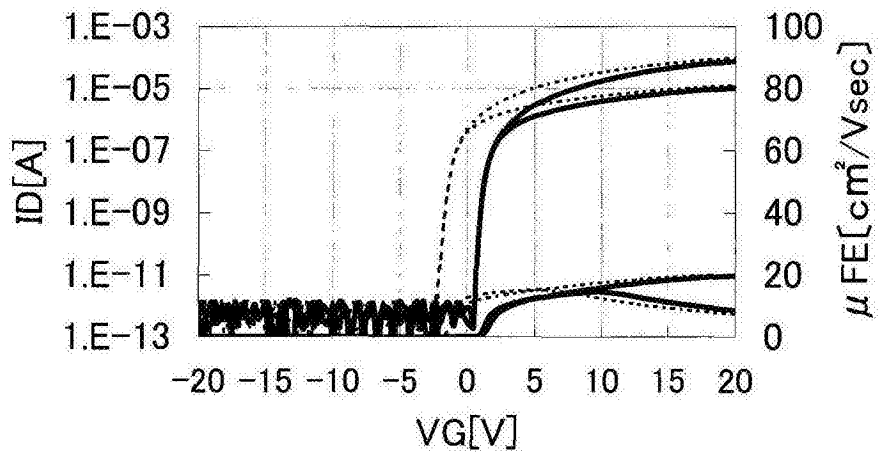


图32B

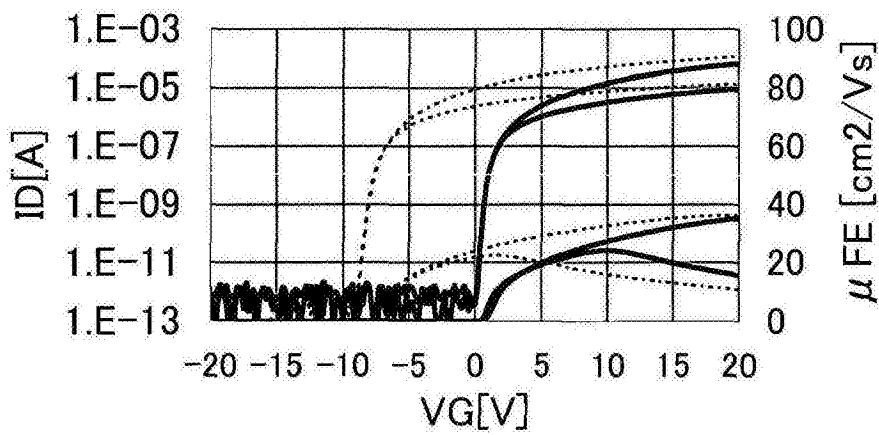


图32C

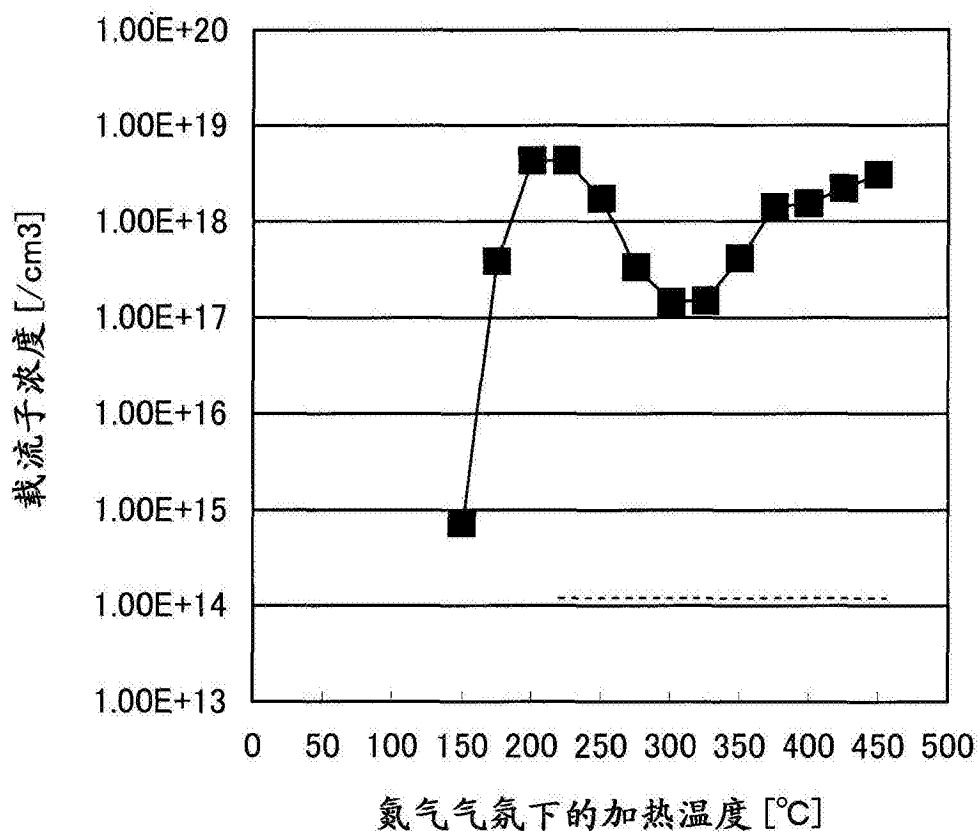


图33

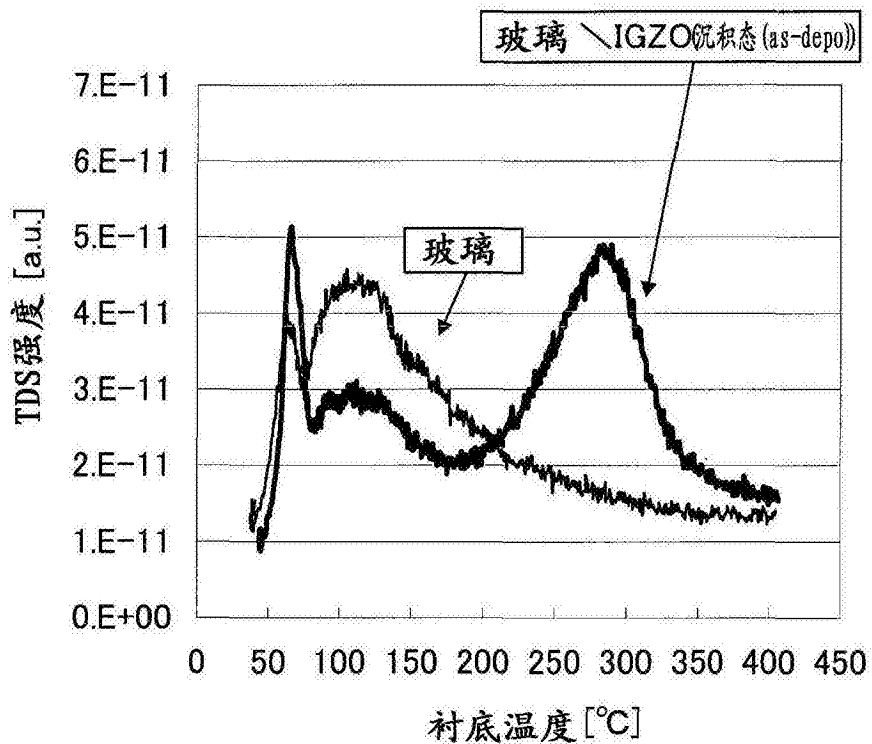


图34

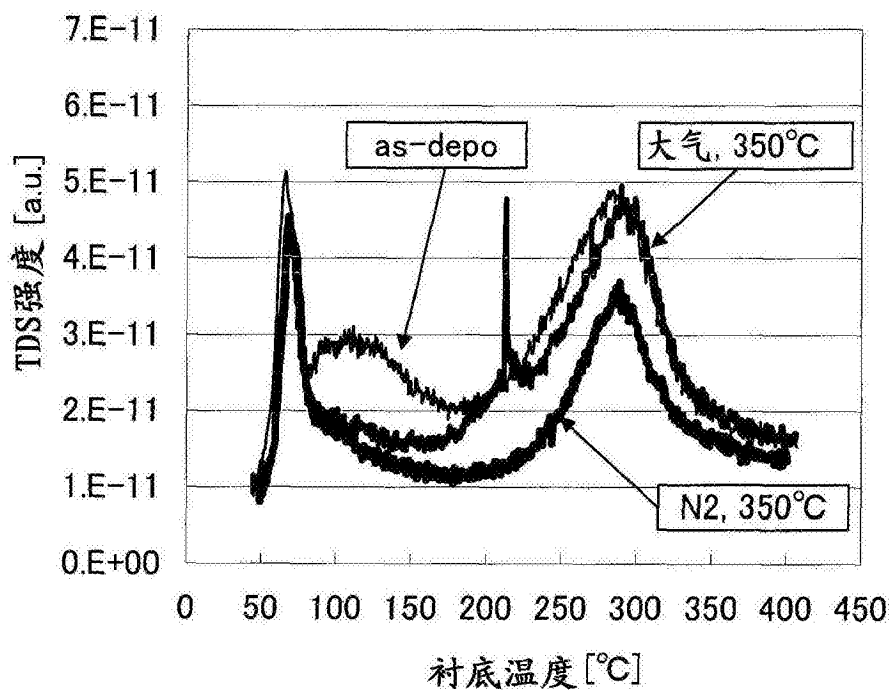


图35

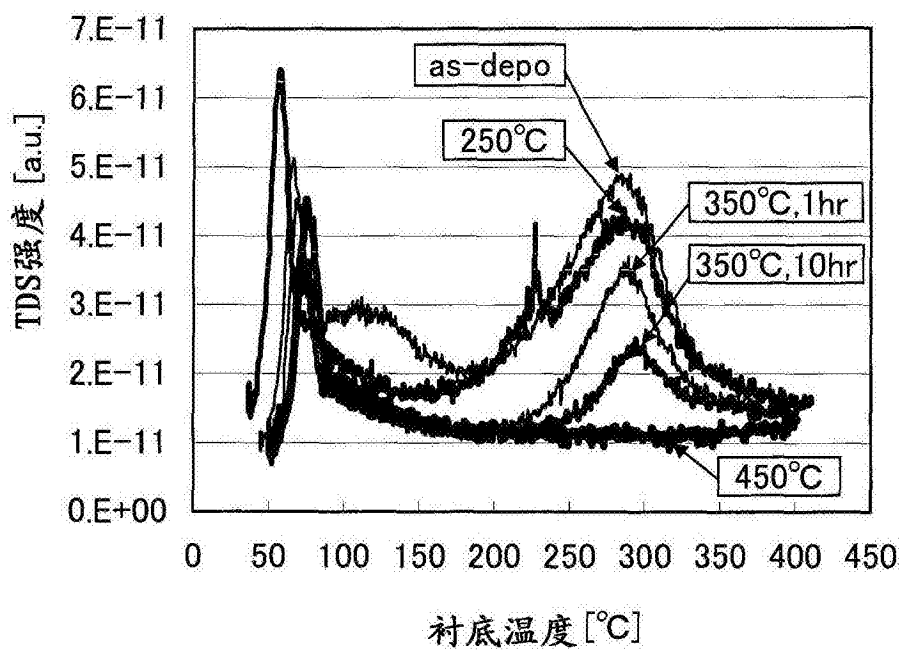


图36

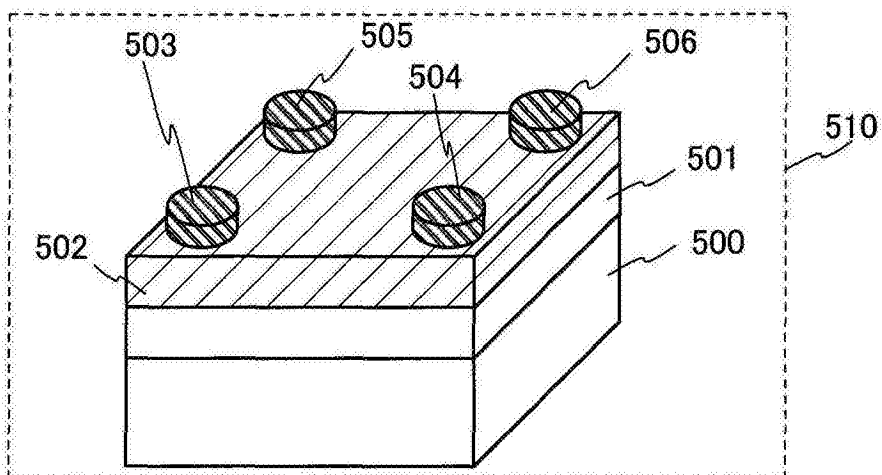


图37A

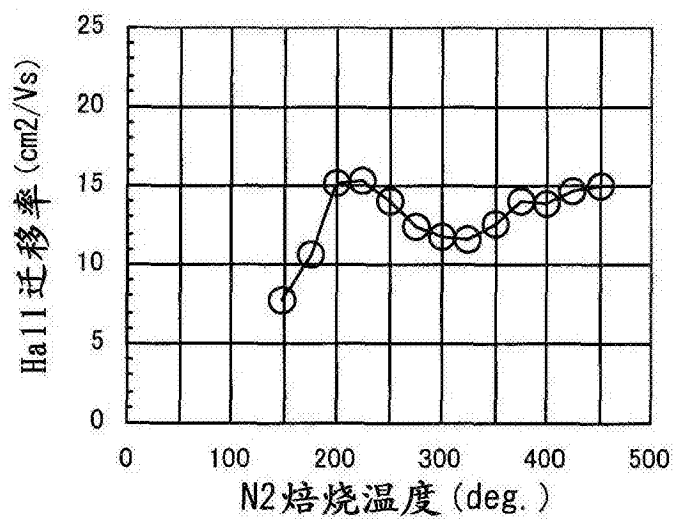


图37B

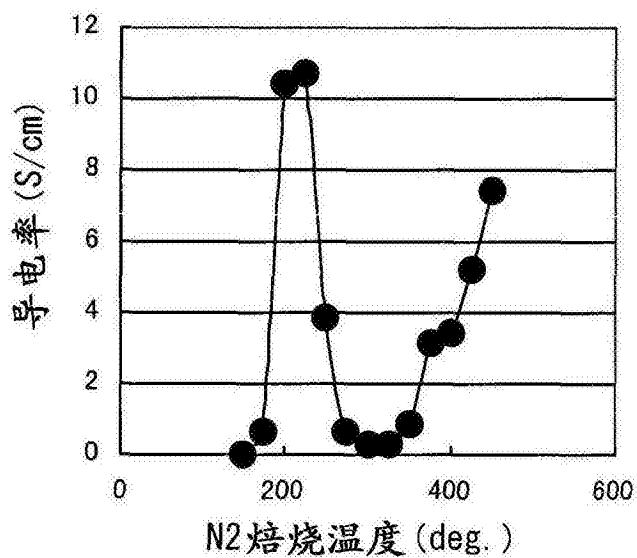


图37C

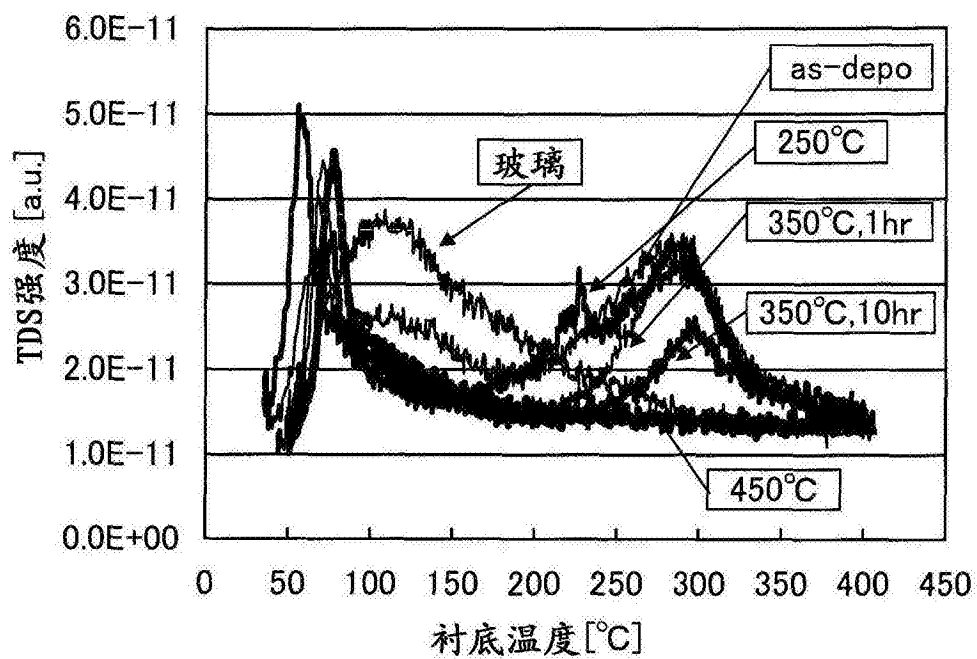


图38

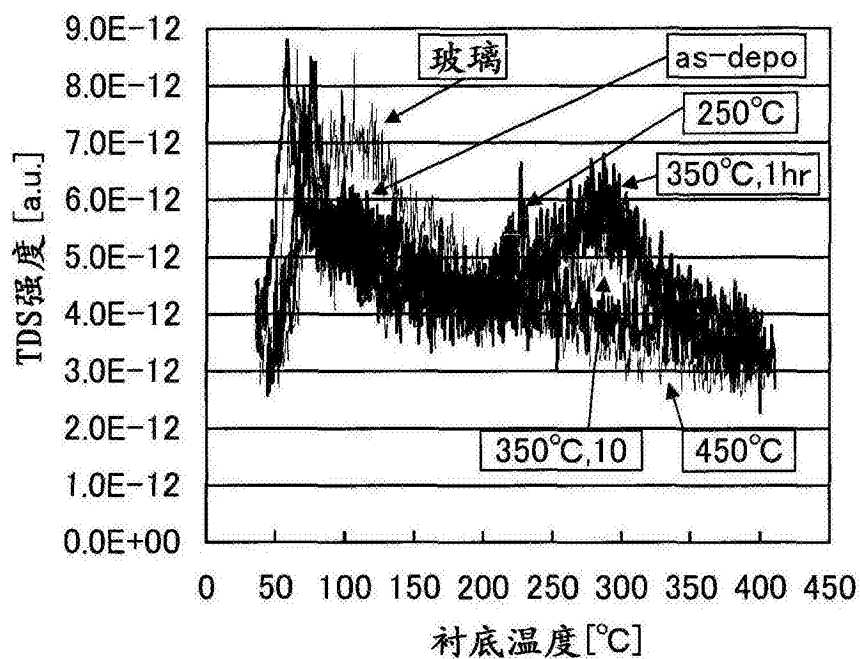


图39

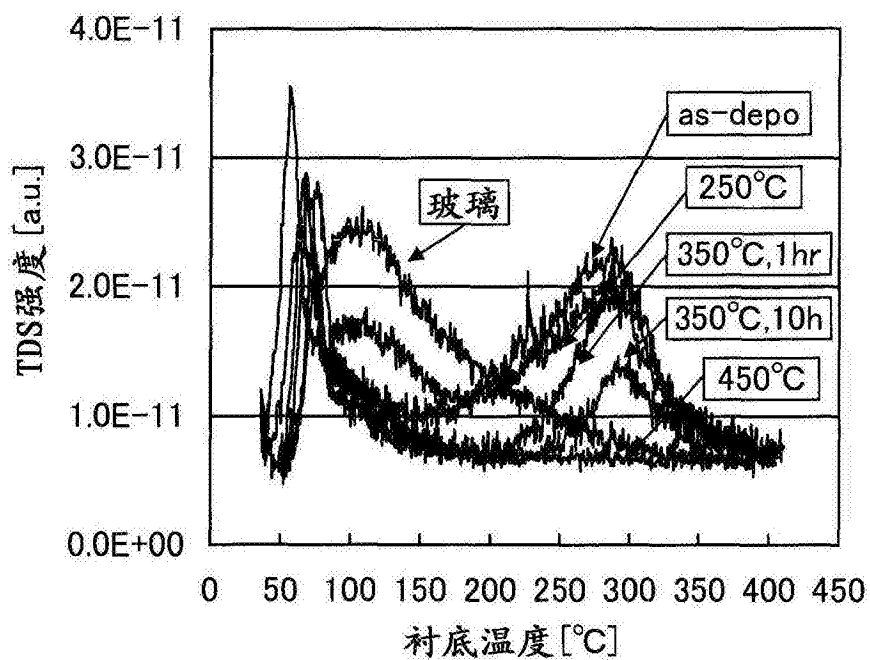


图40

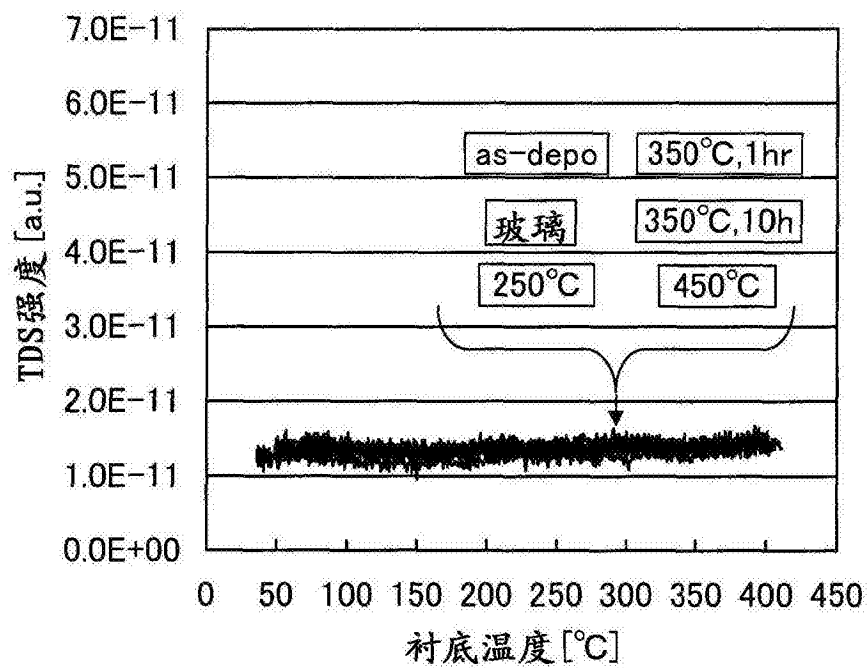


图41

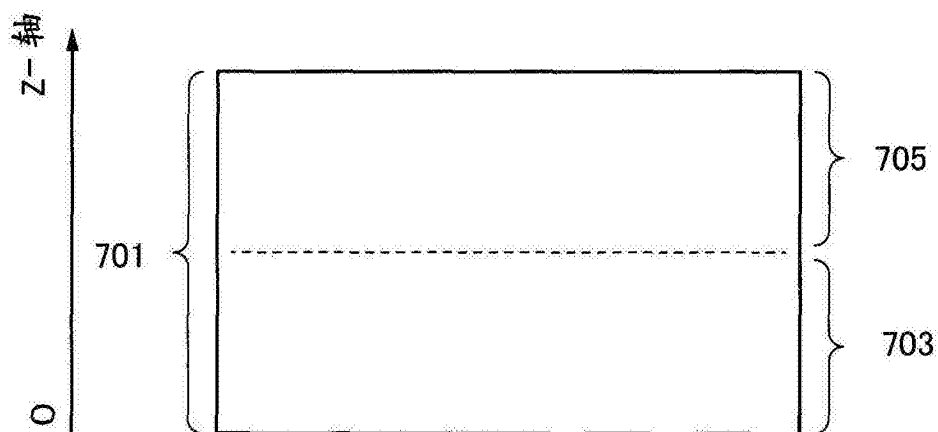


图42

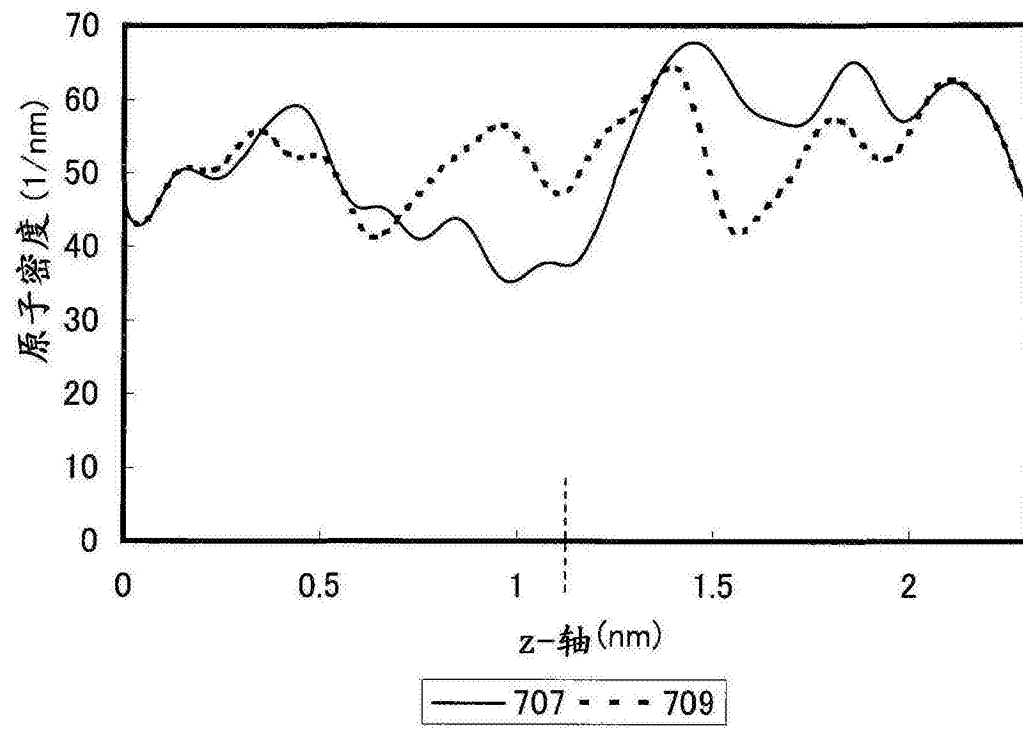


图43