

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 8 月 7 日 (07.08.2008)

PCT

(10) 国際公開番号
WO 2008/093487 A1

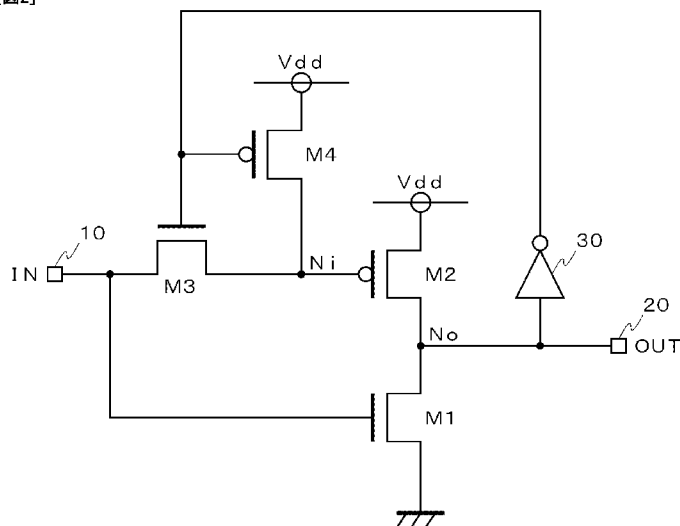
- (51) 国際特許分類:
H03K 19/0185 (2006.01) H03K 19/0948 (2006.01)
- (21) 国際出願番号: PCT/JP2008/000004
- (22) 国際出願日: 2008 年 1 月 8 日 (08.01.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-019983 2007 年 1 月 30 日 (30.01.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山田光一 (YAMADA, Kouichi) [JP/JP]; 〒5016095 岐阜県羽島郡笠松町中川町 5 Gifu (JP).
- (74) 代理人: 森下賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西 2-11-12 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: INVERTER CIRCUIT

(54) 発明の名称: インバータ回路

[図2]



100

(57) Abstract: A first switch (M1) receives an input signal. A second switch (M2) receives an input signal in parallel with the first switch (M1). An output potential detection inverter (30) detects a potential of an output signal obtained from a connection point between the first switch (M1) and the second switch (M2). An input switch (M3) receives an output of the output potential detection inverter (30) and controls whether to supply an input signal to the second switch (M2). The output potential detection inverter (30) controls to turn OFF the input switch (M3) if the output signal potential exceeds a predetermined threshold voltage.

(57) 要約: 第1スイッチM1は入力信号を受ける。第2スイッチM2は、第1スイッチM1と並列に、入力信号を受ける。出力電位検知インバータ30は第1スイッチM1と第2スイッチM2との接続点から得られる出力信号の電位を検知する。入力スイッチM3は、出力電位検知インバータ30を受けて、

[続葉有]

WO 2008/093487 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,

SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

インバータ回路

技術分野

[0001] 本発明は、クロック信号などを生成するためのインバータ回路に関する。

背景技術

[0002] 携帯機器を代表とする電池駆動される機器に搭載されるLSI (Large Scale Integration) は、消費電力の低減が求められる。LSIで消費される電力の20%~45%が、クロック信号による容量の充放電の電力として消費されるため、LSIの消費電力の低減には、この充放電の電力の低減が効果的である。

[0003] クロック信号の充放電の電力は、電源電圧の2乗に比例することから、クロック信号のスイッチングにより消費される電力を削減するため、クロック信号の振幅を小さくする手法が提案されている。

[0004] 特許文献1は、CMOS (Complementary Metal Oxide Semiconductor) インバータゲートの出力信号の振幅レベルを低くする手法を開示する。図1に示すように、PチャンネルMOSトランジスタ1と出力信号線12との間、およびNチャンネルMOSトランジスタ2と出力信号線12との間にそれぞれダイオード13、14が挿入されることにより、出力信号線12の電位が低振幅に調整される。

特許文献1：特開平5-198755号公報（図1参照）

発明の開示

発明が解決しようとする課題

[0005] 上述した回路では、出力信号の振幅レベルはダイオードの順方向電圧 V_f に依存する。ダイオードの順方向電圧 V_f は、PN接合の仕事関数差で決定されるため、任意の電位に振幅レベルを調整することが困難である。また、電源電圧が低電圧である場合、例えば1.8V程度より低い場合、その電圧からさらに低い電位を生成することも困難である。

[0006] 本発明はこうした状況に鑑みてなされたものであり、その目的のひとつは、出力信号の振幅レベルを柔軟に設定することができるインバータ回路の提供にある。

課題を解決するための手段

[0007] 本発明のある態様のインバータ回路は、入力信号を並列に受けるNチャンネル型の第1スイッチと、Pチャンネル型の第2スイッチと、第1スイッチと第2スイッチとの接続点から得られる出力信号の電位を検知する検知回路と、検知回路の出力を受けて、第1スイッチまたは第2スイッチのいずれか一方に入力信号を入力するか否かを制御する入力スイッチと、を備える。検知回路は、出力信号の電位が所定の閾値電圧を超えると、入力スイッチをオフするよう制御する。

発明の効果

[0008] 本発明によれば、出力信号の振幅レベルを柔軟に設定することができる。

図面の簡単な説明

[0009] [図1]従来技術に係るインバータ回路の構成を示す回路図である。

[図2]実施の形態1に係るインバータ回路の構成を示す回路図である。

[図3]実施の形態2に係るインバータ回路の構成を示す回路図である。

[図4]実施の形態2に係るインバータ回路の動作を説明するためのタイミングチャートである。

符号の説明

[0010] M1 第1スイッチ、 M2 第2スイッチ、 M3 入力スイッチ、
M4 第1補償スイッチ、 M5 第2補償スイッチ、 M6 第1検知スイッチ、 M7 第1負荷スイッチ、 M8 第2検知スイッチ、 M9 第2負荷スイッチ、 10 入力端子、 20 出力端子、 30 出力電位検知インバータ、 100 インバータ回路、 110 インバータ回路。

発明を実施するための最良の形態

[0011] まず、本発明を詳細に説明する前に代表的な実施態様について説明する。

本発明のある態様のインバータ回路は、入力信号を並列に受けるNチャンネル型の第1スイッチと、Pチャンネル型の第2スイッチと、第1スイッチと第2スイッチとの接続点から得られる出力信号の電位を検知する検知回路と、検知回路の出力を受けて、第1スイッチまたは第2スイッチのいずれか一方に入力信号を入力するか否かを制御する入力スイッチと、を備える。検知回路は、出力信号の電位が所定の閾値電圧を超えると、入力スイッチをオフするよう制御する。「入力スイッチ」は、検知回路の出力をゲート端子で受けるNチャンネル型のトランジスタであってもよい。

[0012] この態様によると、検知回路および入力スイッチを設け、第1スイッチまたは第2スイッチのいずれか一方に入力信号を入力するか否かを制御することにより、出力信号の電位を上昇または降下させるための電流を供給するスイッチをオフするタイミングを所定のタイミングに設定することができる。よって、出力信号のハイレベルの電位を設計者が柔軟に設定することができる。

[0013] 検知回路の出力を受けて、入力スイッチがオフしている期間、入力スイッチが接続された第1スイッチまたは第2スイッチのゲート端子に所定の固定電位を供給する第1補償スイッチをさらに備えてもよい。入力スイッチがオフで第1スイッチまたは第2スイッチに対する入力信号が遮断された状態でも、第1スイッチまたは第2スイッチがオフすべき期間にオフさせることができる。

[0014] 検知回路は、出力信号を受ける第1検知スイッチと第1負荷スイッチとを接続した制御用インバータと、入力信号を受ける第2検知スイッチと第2負荷スイッチとを接続した補償用インバータと、を含んでもよく、制御用インバータと補償用インバータとは、相補的に接続されていてもよい。これによると、制御用インバータにおける貫通電流の発生を抑制することができる。

[0015] 第1補償スイッチと並列に接続された第2補償スイッチをさらに備えてもよく、第1補償スイッチおよび第2補償スイッチは、制御用インバータの出

力または補償用インバータの出力の少なくとも一方により制御されてもよい。

[0016] 本インバータ回路は複数段接続され、少なくとも２段目以降のインバータ回路には、そのインバータ回路の電源電圧よりも低い電圧に低振幅化された入力信号が入力されてもよい。偶数段接続して、入力信号と同相の出力信号を出力してもよい。

[0017] なお、以上の構成要素の任意の組合せ、本発明の表現を、方法、装置などの間で変換したものもまた、本発明の態様として有効である。

[0018] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0019] 図２は、実施の形態１に係るインバータ回路１００の構成を示す回路図である。

インバータ回路１００は、入出力端子として、入力信号ＩＮが入力される入力端子１０、出力信号ＯＵＴが出力される出力端子２０を備える。以下、入力信号ＩＮを全振幅クロック、出力信号ＯＵＴを低振幅クロックとする例を説明する。全振幅クロックは、ローレベルが接地電位、ハイレベルが電源電位Ｖｄｄに設計されているものとし、低振幅クロックは、ローレベルが接地電位、ハイレベルが電源電位Ｖｄｄの半分程度の電位に設計されているものとする。すなわち、インバータ回路１００は低振幅クロック発生回路として機能する。

[0020] インバータ回路１００は、第１スイッチＭ１および第２スイッチＭ２を含む。第１スイッチＭ１はＮチャンネルＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）で構成され、第２スイッチＭ２はＰチャンネルＭＯＳＦＥＴで構成される。第１スイッチＭ１および第２スイッチＭ２

は、入力信号 I_N に応じて相補的にオンオフするプッシュプル回路を構成する。第 1 スイッチ M_1 と第 2 スイッチ M_2 との間の出力ノード N_O の電位が、インバータ回路 100 の出力信号 $O_U T$ となる。

[0021] 第 2 スイッチ M_2 のソース端子には第 1 の固定電位（電源電位 V_{dd} ）が印加され、そのゲート端子には入力スイッチ M_3 を介して入力信号 I_N が入力される。第 1 スイッチ M_1 のソース端子には第 2 の固定電位（接地電位）が印加され、そのゲート端子には入力信号 I_N が入力される。第 1 スイッチ M_1 のドレイン端子と第 2 スイッチ M_2 のドレイン端子とが接続される。

[0022] 入力スイッチ M_3 は N チャンネル $MOSFET$ で構成される。入力スイッチ M_3 のソース端子またはドレイン端子の一方は入力端子 10 と接続され、ソース端子またはドレイン端子の他方は第 2 スイッチ M_2 のゲート端子に接続され、そのゲート端子は後述する出力電位検知インバータ 30 の出力レベルを受ける。入力スイッチ M_3 は、第 2 スイッチ M_2 のゲート端子に入力信号 I_N を入力するか否かを制御するためのスイッチとして機能する。

[0023] 出力電位検知インバータ 30 は、出力信号 $O_U T$ のレベルを検知する。より具体的には、出力ノード N_O の電位を検知して、所定の閾値電圧 V_{t*} を超えたとき、出力信号 $O_U T$ のレベルを反転させる。よって、この閾値電圧 V_{t*} は論理閾値となる。本実施の形態の前提として、この閾値電圧 V_{t*} は、第 1 の固定電位（電源電位 V_{dd} ）の $1/2$ の電位またはその電位より若干低い電位に設定している。なお、設計者はこの閾値電圧 V_{t*} を調整することにより、出力信号 $O_U T$ のハイレベルの電位を所望の電位に設定することができる。

[0024] 第 1 補償スイッチ M_4 は、 P チャンネル $MOSFET$ で構成される。第 1 補償スイッチ M_4 のソース端子には第 1 の固定電位（電源電位 V_{dd} ）が印加され、そのゲート端子には出力電位検知インバータ 30 の出力レベルが入力される。第 1 補償スイッチ M_4 のドレイン端子は、第 2 スイッチ M_2 のゲート端子と入力スイッチ M_3 とを結ぶ信号線に接続される。

[0025] 以下、本実施の形態に係るインバータ回路 100 の動作について説明する

。初期状態として、入力信号 I_N はハイレベルであり、第1スイッチ M_1 のゲート端子にハイレベルが印加され、出力信号 $O_U T$ がローレベルであるとする。したがって、出力電位検知インバータ 30 は、出力信号 $O_U T$ のローレベルを反転させたハイレベルを出力している。そのため、第1補償スイッチ M_4 はオフ状態になり、入力スイッチ M_3 は、オン状態になっている。入力スイッチ M_3 がオン状態であるため、第2スイッチ M_2 のゲート端子には入力信号 I_N のハイレベルが印加されている。

[0026] この状態から、入力信号 I_N がハイレベルからローレベルに遷移すると、第1スイッチ M_1 がオフとなり、第2スイッチ M_2 のゲート端子にローレベルが入力され、第2スイッチ M_2 がオンする。これにより、出力ノード N_O の電位が上昇しはじめる。出力ノード N_O の電位が出力電位検知インバータ 30 の上記閾値電圧 V_{t*} まで上昇すると、出力電位検知インバータ 30 の出力がハイレベルからローレベルに遷移する。

[0027] 出力電位検知インバータ 30 の出力がローレベルに遷移すると、入力スイッチ M_3 がオフ、第1補償スイッチ M_4 がオンする。これにより、第2スイッチ M_2 のゲート端子は入力端子 10 と切り離され、第1補償スイッチ M_4 を介して第1の固定電位（電源電位 V_{dd} ）が印加される。第2スイッチ M_2 のゲート端子の電位が第2スイッチ M_2 の閾値電圧まで上昇すると、第2スイッチ M_2 はオフする。第2スイッチ M_2 がオフすると、出力ノード N_O への充電が停止し、出力信号 $O_U T$ の電位の上昇も停止する。その後、入力信号 I_N がローレベルからハイレベルに遷移すると、第1スイッチ M_1 がオンとなり、出力ノード N_O の電位が下降しはじめ、やがて出力信号 $O_U T$ がローレベルになる。出力ノード N_O の電位が出力電位検知インバータ 30 の上記閾値電圧 V_{t*} を下回ると、出力電位検知インバータ 30 の出力がローレベルからハイレベルに遷移し、入力スイッチ M_3 がオンする。

[0028] このように、本実施の形態によれば、出力電位検知インバータ 30 の上記閾値電圧 V_{t*} の設定値により、出力信号 $O_U T$ の電位の上昇を停止させるタイミングを設定することができる。よって、出力信号 $O_U T$ のハイレベル

を所定の電位に設定することができ、出力信号OUTの振幅レベルを柔軟に設定することができる。

[0029] また、入力信号INがローレベルからハイレベルへ遷移する過渡的状态のとき、第1補償スイッチM4のオンにより、第2スイッチM2がオフしているため、第1スイッチM1および第2スイッチM2が共にオンすることを回避することができる。よって、第1スイッチM1および第2スイッチM2に貫通電流が流れず、消費電力を低減することができる。

[0030] 図3は、実施の形態2に係るインバータ回路110の構成を示す回路図である。実施の形態2に係るインバータ回路110は、実施の形態1に係るインバータ回路100と比較し、出力電位検知インバータ30の代わりに、レベルシフタ回路40を設け、第2補償スイッチM5を追加した構成である。

[0031] レベルシフタ回路40は、第1検知スイッチM6、第1負荷スイッチM7、第2検知スイッチM8および第2負荷スイッチM9を含む。第1検知スイッチM6はNチャンネルMOSFETで構成され、第1負荷スイッチM7はPチャンネルMOSFETで構成される。第1検知スイッチM6のソース端子には第2の固定電位（接地電位）が印加され、そのゲート端子には出力信号OUTが入力される。第1検知スイッチM6のドレイン端子は第1負荷スイッチM7のドレイン端子と接続される。第1負荷スイッチM7のソース端子には第1の固定電位（電源電位V_{dd}）が印加され、そのゲート端子には第2検知スイッチM8と第2負荷スイッチM9との間の第2ノードN2の電位が入力される。その第2ノードN2の電位が第2検知スイッチM8および第2負荷スイッチM9で構成される補償用インバータの出力信号となる。

[0032] 第1検知スイッチM6および第1負荷スイッチM7は、実施の形態1に係る出力電位検知インバータ30に相当する。第1検知スイッチM6のドレイン端子と第1負荷スイッチM7のドレイン端子との間の第1ノードN1の電位が、第1検知スイッチM6および第1負荷スイッチM7で構成される制御用インバータの出力信号となる。その制御用インバータの出力信号のレベルが、本インバータ回路110の出力信号OUTの電位が上記閾値電圧V_t*

に達したとき反転するよう、第 1 検知スイッチ M 6 および第 1 負荷スイッチ M 7 の駆動能力が設定される。

[0033] 第 2 検知スイッチ M 8 は N チャンネル MOS F E T で構成され、第 2 負荷スイッチ M 9 は P チャンネル MOS F E T で構成される。第 2 検知スイッチ M 8 のソース端子には第 2 の固定電位（接地電位）が印加され、そのゲート端子には入力信号 I N が入力される。第 2 検知スイッチ M 8 のドレイン端子は第 2 負荷スイッチ M 9 のドレイン端子と接続される。第 2 負荷スイッチ M 9 のソース端子には第 1 の固定電位（電源電位 V d d）が印加され、そのゲート端子には第 1 検知スイッチ M 6 と第 1 負荷スイッチ M 7 との間の第 1 ノード N 1 の電位が入力される。第 1 ノード N 1 の電位と第 2 ノード N 2 の電位が同振幅で逆位相になるよう、第 2 検知スイッチ M 8 および第 2 負荷スイッチ M 9 の駆動能力が設定される。

[0034] 入力信号 I N の振幅より出力信号 O U T の振幅が低い場合、第 1 検知スイッチ M 6 および第 2 検知スイッチ M 8 のゲート端子に入力される振幅レベルが異なるため、第 2 検知スイッチ M 8 の駆動能力を第 1 検知スイッチ M 6 の駆動能力より小さくして、調整する必要がある。後述するように、入力信号 I N と出力信号 O U T の振幅が同じ場合、第 1 検知スイッチ M 6 および第 2 検知スイッチ M 8 のゲート端子に入力される振幅レベルも同じになるため、第 2 検知スイッチ M 8 および第 1 検知スイッチ M 6 の駆動能力も同じに設定する。第 2 負荷スイッチ M 9 および第 1 負荷スイッチ M 7 の駆動能力は、第 2 検知スイッチ M 8 および第 1 検知スイッチ M 6 の駆動能力に対応させる。

[0035] 第 2 補償スイッチ M 5 は P チャンネル MOS F E T で構成される。第 2 補償スイッチ M 5 のソース端子には第 1 の固定電位（電源電位 V d d）が印加され、そのゲート端子には第 2 ノード N 2 の電位が入力される。第 2 補償スイッチ M 5 のドレイン端子は、第 1 スイッチ M 1 のゲート端子と入力スイッチ M 3 とを結ぶ信号線に接続される。このとき、第 2 補償スイッチ M 5 の駆動能力は、入力スイッチ M 3 の駆動能力より小さい。

[0036] 図 4 は、実施の形態 2 に係るインバータ回路 1 1 0 の動作を説明するため

のタイミングチャートである。初期状態 t_0 として、入力信号 I_N がハイレベルであり、第1スイッチ M_1 のゲート端子にハイレベルが印加されているとする。この状態では、出力信号 O_{UT} がローレベル、第1ノード N_1 の出力がハイレベル、第2ノード N_2 の出力がローレベルである。第2補償スイッチ M_5 がオン状態であるため、入力信号 I_N が低振幅クロック信号のハイレベル LH (図4中、太線で示す。)であっても、入力ノード N_i は電源電位 V_{dd} レベル、すなわちフルレンジのハイレベルである。

[0037] 時刻 t_1 にて、入力信号 I_N がローレベルに下降しはじめ、第1スイッチ M_1 のゲートレベルがその閾値電圧を超えるとオフする。また、入力スイッチ M_3 を介して入力ノード N_i の電位もハイレベルからローレベルに下降しはじめる。その結果、第2スイッチ M_2 のゲート端子がローレベルとなり、第2スイッチ M_2 がオンするので、出力信号 O_{UT} がローレベルからハイレベルへ上昇しはじめる。時刻 t_2 にて、出力信号 O_{UT} の電位が制御用インバータの上記閾値電圧 V_{t*} に達すると、第1ノード N_1 がハイレベルからローレベルになる。また、第2ノード N_2 がローレベルからハイレベルになる。その後、第1ノード N_1 のレベルに応じて、入力スイッチ M_3 がオフすると共に、第1補償スイッチ M_4 が徐々に導通し、第2スイッチ M_2 のゲートレベルがその閾値電圧を超えると、第2スイッチ M_2 はオフする。これにより、出力ノード N_o への充電が停止し、出力信号 O_{UT} の電位の上昇も停止する。

[0038] なお、設計者は、第1ノード N_1 の電位がハイレベルからローレベルに下降しはじめてから、出力信号 O_{UT} の電位の上昇が停止するまでの遅延時間を考慮して、上記閾値電圧 V_t を設定するとよい。

[0039] 時刻 t_3 にて、入力信号 I_N がローレベルからハイレベルに上昇しはじめると、第1スイッチ M_1 は徐々に導通し、出力信号 O_{UT} がハイレベル LH からローレベルへ下降しはじめる。時刻 t_4 にて、第2検知スイッチ M_8 のゲートレベルがハイレベルになることに伴い、第2ノード N_2 がハイレベルからローレベルに下降しはじめる。同時に、第1ノード N_1 がローレベルから

ハイレベルに上昇しはじめる。その後、出力ノードN_oの電位がすべて放電すると、出力信号OUTがローレベルになる。

[0040] このように、実施の形態2によれば、実施の形態1に係る効果に加えて以下の効果を奏する。実施の形態1では、出力電位検知インバータ30の入力レベルが上記閾値電圧 V_t *近傍になったとき、貫通電流が生じる場合がある。

[0041] これに関して、実施の形態2では、第1検知スイッチM6および第1負荷スイッチM7で構成される制御用インバータに加えて、逆位相で動作する第2検知スイッチM8および第2負荷スイッチM9で構成される補償用インバータを設けている。したがって、出力信号OUTの電位を検知するための制御用インバータにおける貫通電流の発生を抑制することができる。

[0042] 上述の実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0043] 例えば、構成されるトランジスタのPチャンネル、Nチャンネルの極性を入れ替えることで、出力信号のハイレベルが電源電圧、ローレベルが接地電圧よりも高い電位とする低振幅クロックを生成することも可能である。

[0044] 実施の形態で説明したインバータ回路100、110を複数段、接続することができる。偶数段接続した場合、入力信号と出力信号の位相が同相となる。実施の形態2に係るインバータ回路110を複数段、接続した場合、初段の入力信号INがフル振幅となり、2段目以降の入力信号INが低振幅となる。したがって、2段目以降の第1検知スイッチM6および第2検知スイッチM8のゲート端子に入力される振幅のハイレベルが揃うため、第1検知スイッチM6と第2検知スイッチM8、および第1負荷スイッチM7と第2負荷スイッチM9の駆動能力を同じに設定する。このように実施の形態に係るインバータ回路を複数段、接続することにより、任意のバッファ回路やレベルシフト回路を構成することができる。例えば、駆動能力や段数を任意に設定することにより、応答速度や位相を任意に調整することができる。

[0045] また、実施の形態では、トランジスタにMOSFETを用いたが、バイポーラ型トランジスタを用いてもよい。その場合、ベースに電流を供給する必要がある。

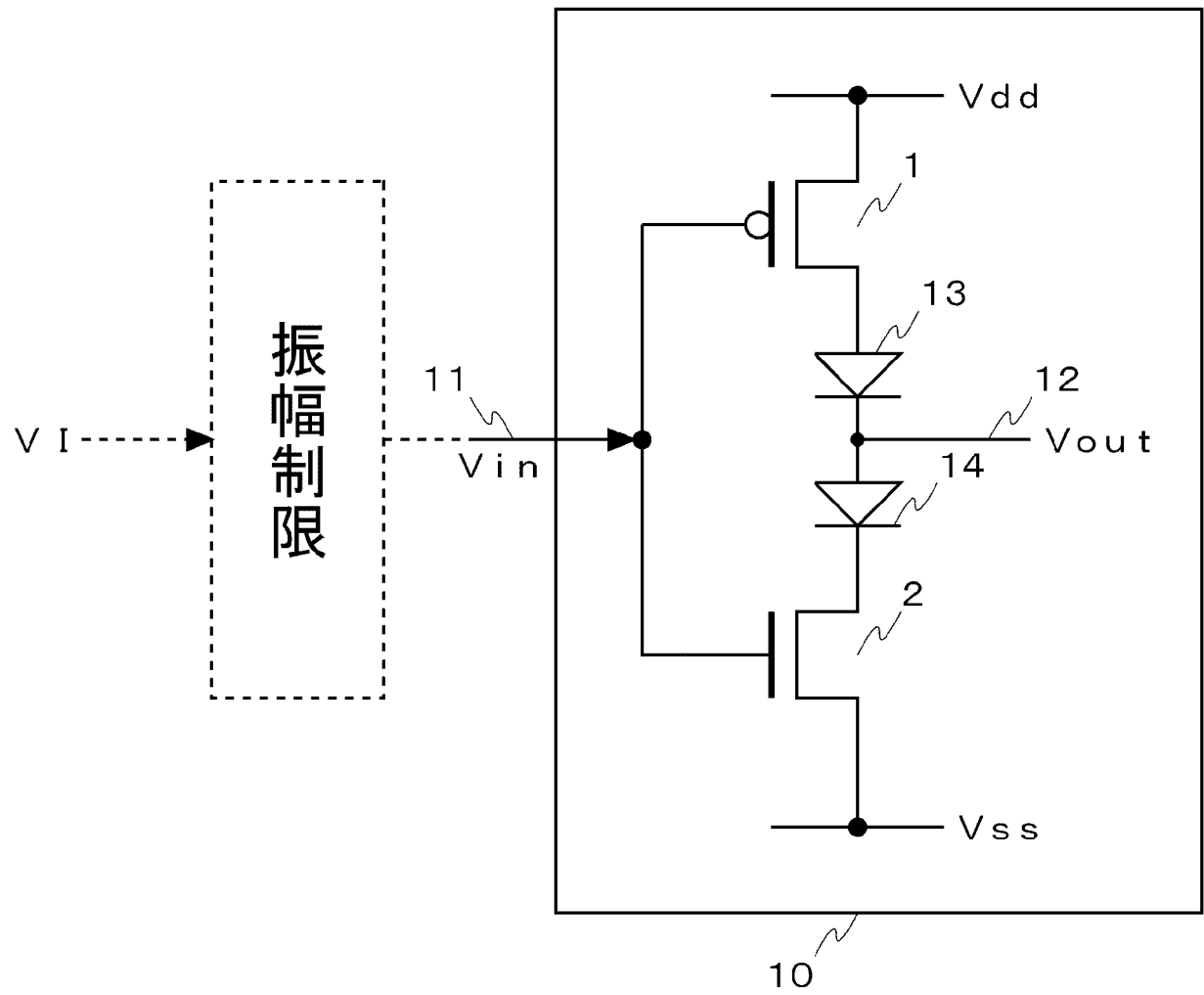
産業上の利用可能性

[0046] 本発明によれば、出力信号の振幅レベルを柔軟に設定することができる。

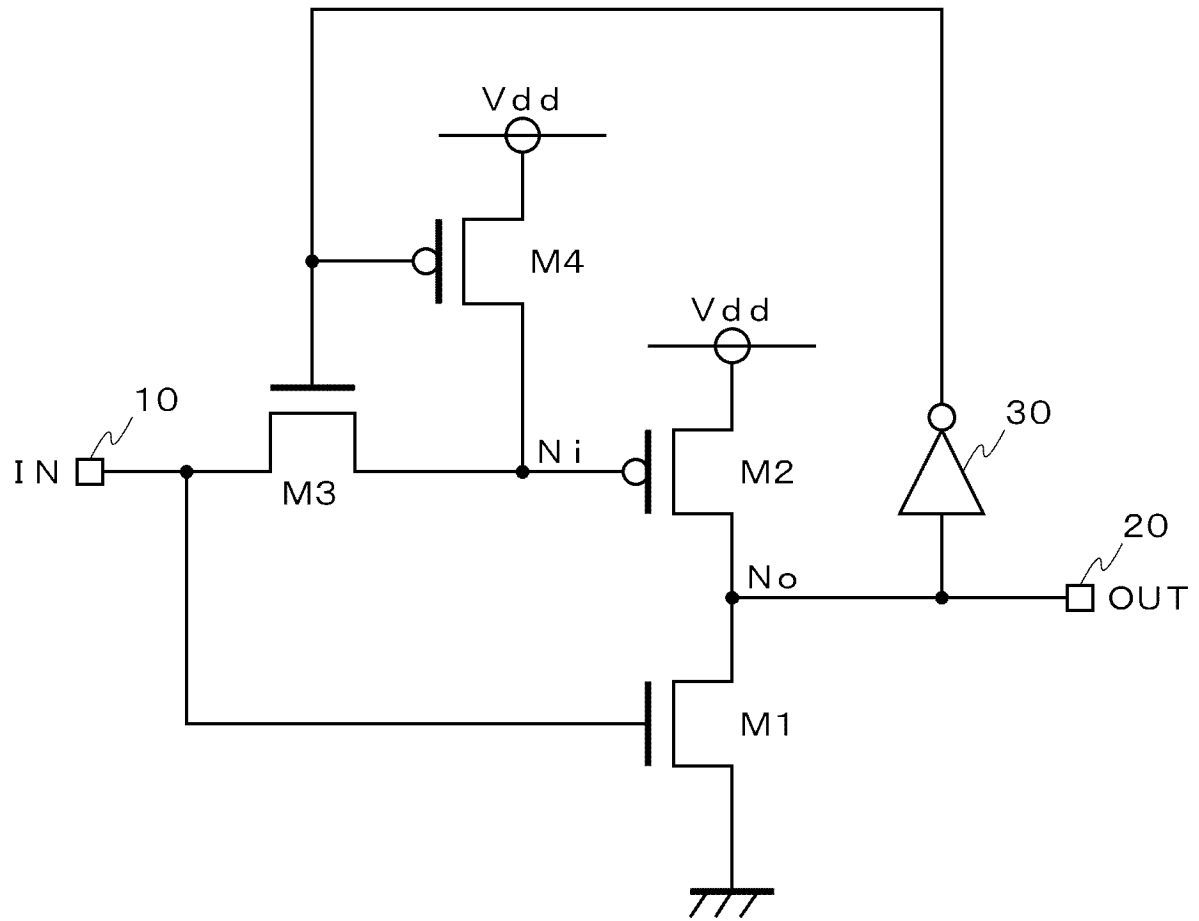
請求の範囲

- [1] 入力信号を並列に受けるNチャンネル型の第1スイッチと、Pチャンネル型の第2スイッチと、
- 前記第1スイッチと前記第2スイッチとの接続点から得られる出力信号の電位を検知する検知回路と、
- 前記検知回路の出力を受けて、前記第1スイッチまたは前記第2スイッチのいずれか一方に前記入力信号を入力するか否かを制御する入力スイッチと、を備えることを特徴とするインバータ回路。
- [2] 前記検知回路の出力を受けて、前記入力スイッチがオフしている期間、前記入力スイッチが接続された前記第1スイッチまたは前記第2スイッチのゲート端子に所定の固定電位を供給する第1補償スイッチをさらに備えることを特徴とする請求項1に記載のインバータ回路。
- [3] 前記検知回路は、
- 前記出力信号を受ける第1検知スイッチと、第1負荷スイッチとを接続した制御用インバータと、
- 前記入力信号を受ける第2検知スイッチと、第2負荷スイッチとを接続した補償用インバータと、を含み、
- 前記制御用インバータと前記補償用インバータとは、相補的に接続されていることを特徴とする請求項1または2に記載のインバータ回路。
- [4] 前記第1補償スイッチと並列に接続された第2補償スイッチをさらに備え、
- 前記第1補償スイッチおよび前記第2補償スイッチは、前記制御用インバータの出力または前記補償用インバータの出力の少なくとも一方により制御されることを特徴とする請求項3に記載のインバータ回路。
- [5] 本インバータ回路は複数段接続され、少なくとも2段目以降のインバータ回路には、そのインバータ回路の電源電圧よりも低い電圧に低振幅化された入力信号が入力されることを特徴とする請求項1から4のいずれかに記載のインバータ回路。

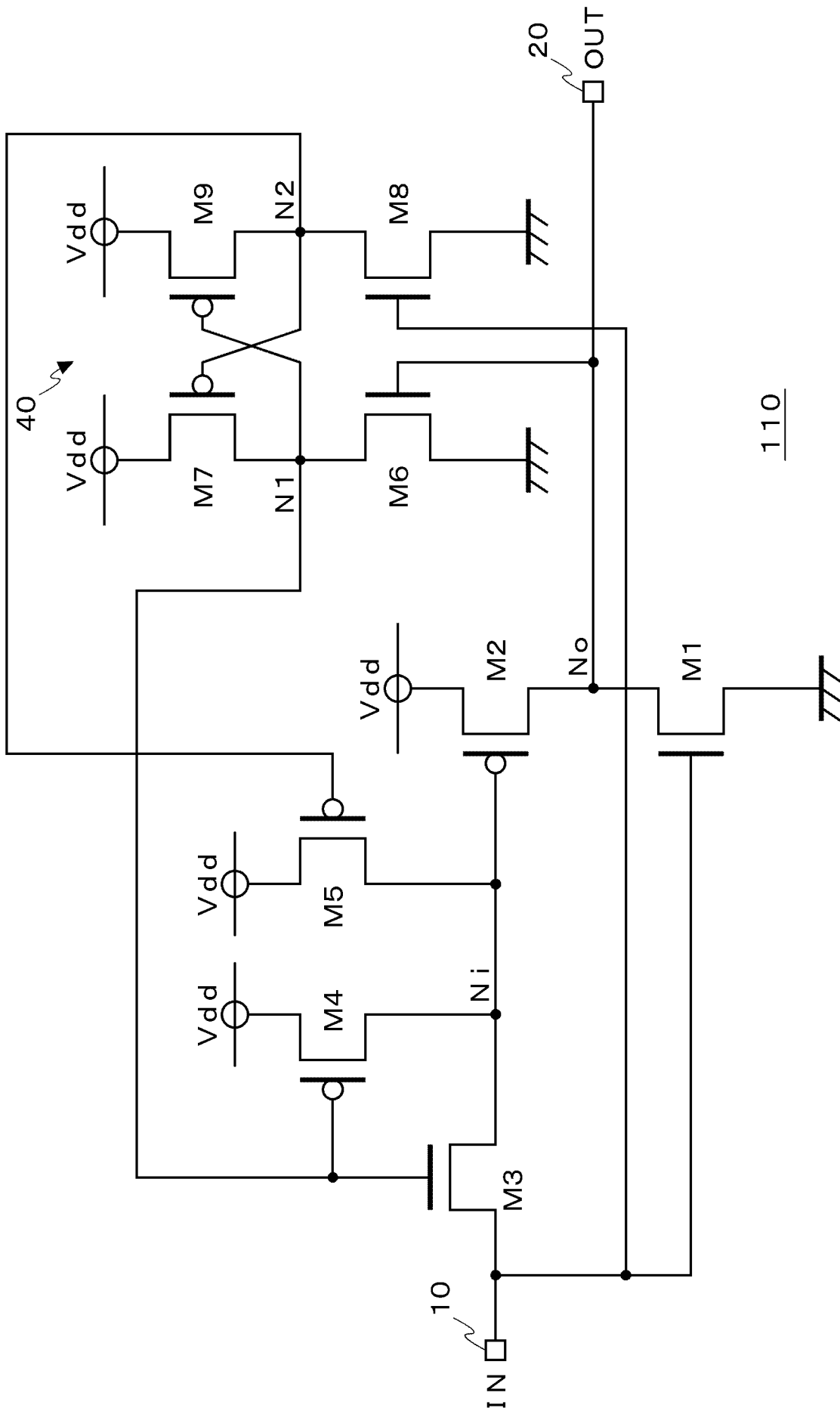
[図1]



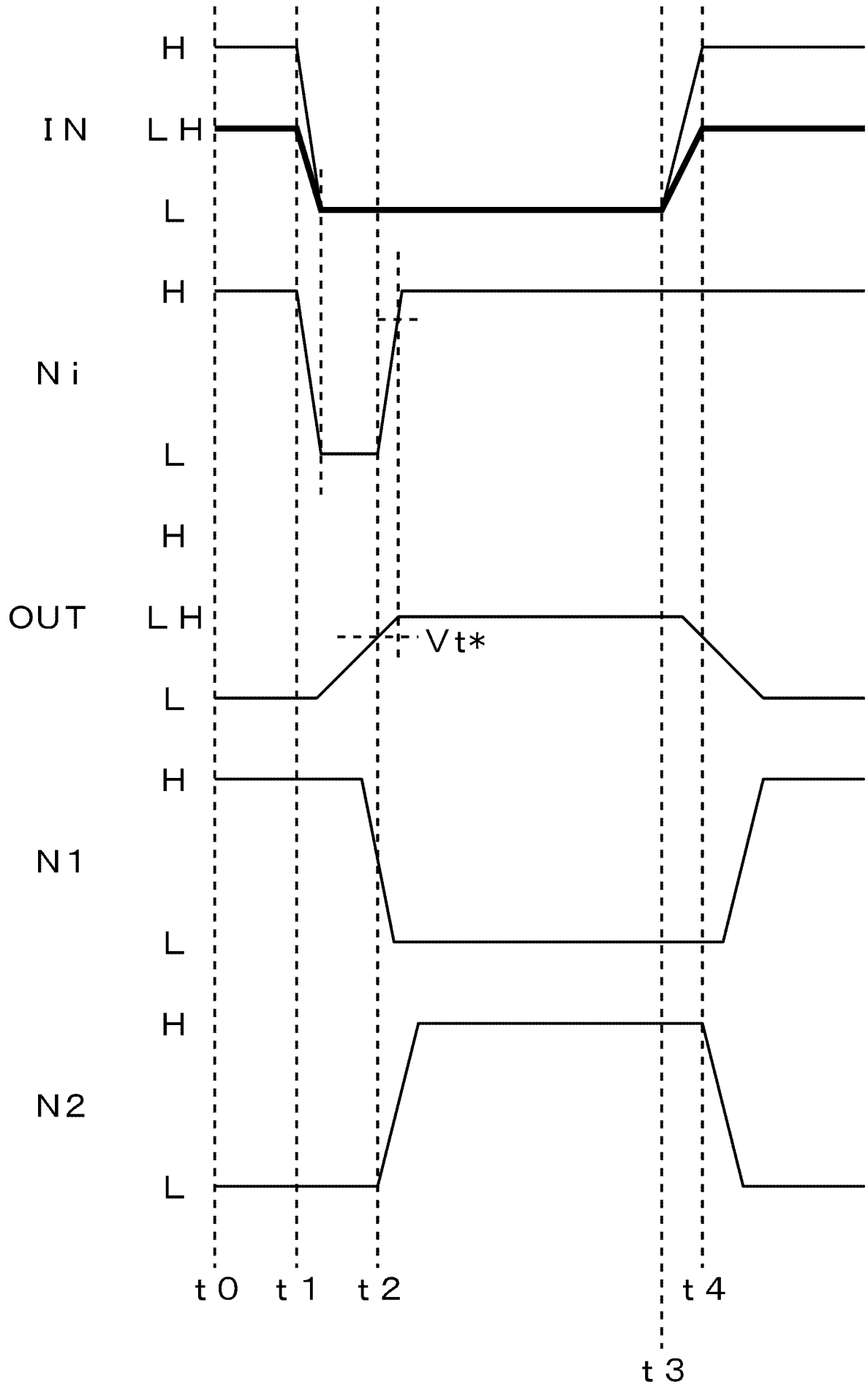
[図2]

100

[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/000004

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/0185(2006.01)i, H03K19/0948(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/0185, H03K19/0948

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 58-145232 A (NEC Corp.), 30 August, 1983 (30.08.83), All pages; Figs. 2, 3 (Family: none)	1-5
A	JP 2001-251176 A (Matsushita Electric Industrial Co., Ltd.), 14 September, 2001 (14.09.01), Par. Nos. [0045] to [0059]; Figs. 6 to 10 (Family: none)	1-5
A	JP 10-190435 A (Toshiba Micro-Electronics Corp.), 21 July, 1998 (21.07.98), All pages; Fig. 1 (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 April, 2008 (03.04.08)

Date of mailing of the international search report
15 April, 2008 (15.04.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H03K19/0185 (2006.01) i, H03K19/0948 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K19/0185, H03K19/0948

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 58-145232 A（日本電気株式会社）1983.08.30, 全頁, 図2, 3（ファミリーなし）	1 - 5
A	JP 2001-251176 A（松下電器産業株式会社）2001.09.14, 【0045】 - 【0059】, 図6 - 10（ファミリーなし）	1 - 5
A	JP 10-190435 A（東芝マイクロエレクトロニクス株式会社）1998.07.21, 全頁, 図1（ファミリーなし）	1 - 5

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 4 . 2 0 0 8

国際調査報告の発送日

1 5 . 0 4 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮島 郁美

電話番号 03-3581-1101 内線 3596

5 X

8 5 2 3