

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5914153号
(P5914153)

(45) 発行日 平成28年5月11日(2016.5.11)

(24) 登録日 平成28年4月8日(2016.4.8)

(51) Int.Cl.	F 1
HO3K 19/173 (2006.01)	HO3K 19/173 1 O 1
HO1L 21/82 (2006.01)	HO1L 21/82 S
HO1L 21/822 (2006.01)	HO1L 21/82 A
HO1L 27/04 (2006.01)	HO1L 27/04 M

請求項の数 5 (全 45 頁)

(21) 出願番号	特願2012-110283 (P2012-110283)
(22) 出願日	平成24年5月14日(2012.5.14)
(65) 公開番号	特開2012-257215 (P2012-257215A)
(43) 公開日	平成24年12月27日(2012.12.27)
審査請求日	平成27年5月7日(2015.5.7)
(31) 優先権主張番号	特願2011-112804 (P2011-112804)
(32) 優先日	平成23年5月19日(2011.5.19)
(33) 優先権主張国	日本国(JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	武分 善也 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査官	白井 亮

最終頁に続く

(54) 【発明の名称】論理回路

(57) 【特許請求の範囲】

【請求項 1】

N A N D 回路としての機能と、N O R 回路としての機能と、を切り替えることができる論理回路であって、

第1乃至第5のトランジスタと、ノードと、配線と、を有し、
前記ノードは、前記第1のトランジスタを介して前記配線と電気的に接続され、
前記ノードは、前記第2乃至第5のトランジスタのゲートと電気的に接続され、
前記第1のトランジスタは、酸化物半導体を有し、
前記第1のトランジスタは、前記ノードと前記配線との導通又は非導通を制御して、前記第2乃至第5のトランジスタの導通又は非導通を制御する機能を有し、
前記第2及び第3のトランジスタが導通し、前記第4及び前記第5のトランジスタが非導通の場合、前記N A N D 回路として機能し、
前記第4及び第5のトランジスタが導通し、前記第2及び前記第3のトランジスタが非導通の場合、前記N O R 回路として機能することを特徴とする論理回路。

【請求項 2】

直列に接続した第1乃至第4のトランジスタと、
 直列に接続した第5乃至第8のトランジスタと、
 ゲートが接続した第9のトランジスタおよび第10のトランジスタと、
 ソースまたはドレインの一方が、前記第9のトランジスタおよび前記第10のトランジスタのゲートと接続する第11のトランジスタと、を有し、

前記第1のトランジスタおよび前記第5のトランジスタのソースまたはドレインの一方は高電位電源線に接続され、

前記第4のトランジスタおよび前記第8のトランジスタのソースまたはドレインの一方は接地または低電位電源線に接続され、

前記第1のトランジスタ、前記第3のトランジスタおよび前記第8のトランジスタのゲートは第1の信号線に接続され、

前記第2のトランジスタ、前記第4のトランジスタおよび前記第5のトランジスタのゲートは第2の信号線に接続され、

前記第6のトランジスタ、前記第7のトランジスタ、前記第9のトランジスタおよび前記第10のトランジスタのゲートは、前記第11のトランジスタのソースまたはドレインの一方と接続してノードを形成し、

前記第11のトランジスタのソースまたはドレインの他方は、第3の信号線と接続し、前記第11のトランジスタのゲートは第5の信号線と接続し、

前記第9のトランジスタのソースまたはドレインの一方は、前記第1のトランジスタのソースまたはドレインの他方および前記第2のトランジスタのソースまたはドレインの一方と接続し、

前記第9のトランジスタのソースまたはドレインの他方は、前記第5のトランジスタのソースまたはドレインの他方および前記第6のトランジスタのソースまたはドレインの一方と接続し、

前記第10のトランジスタのソースまたはドレインの一方は、前記第3のトランジスタのソースまたはドレインの一方および前記第4のトランジスタのソースまたはドレインの他方と接続し、

前記第10のトランジスタのソースまたはドレインの他方は、前記第7のトランジスタのソースまたはドレインの一方および前記第8のトランジスタのソースまたはドレインの他方と接続し、

前記第2のトランジスタのソースまたはドレインの他方、前記第3のトランジスタのソースまたはドレインの他方、前記第6のトランジスタのソースまたはドレインの他方および前記第7のトランジスタのソースまたはドレインの他方は、第4の信号線と接続し、

前記第11のトランジスタは酸化物半導体を有することを特徴とする論理回路。

【請求項3】

請求項2において、

前記ノードと接続する容量素子を有することを特徴とする論理回路。

【請求項4】

請求項2又は請求項3において、

前記第1のトランジスタ、前記第2のトランジスタ、前記第5のトランジスタ、前記第6のトランジスタおよび前記第9のトランジスタはpチャネルトランジスタであり、

前記第3のトランジスタ、前記第4のトランジスタ、前記第7のトランジスタ、前記第8のトランジスタ、前記第10のトランジスタおよび前記第11のトランジスタはnチャネルトランジスタであることを特徴とする論理回路。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記酸化物半導体は、In、Ga、SnおよびZnから選ばれた一種以上の元素を含むことを特徴とする論理回路。

【発明の詳細な説明】

【技術分野】

【0001】

論理回路および当該論理回路を用いた半導体装置に関する。また、当該半導体装置を用いた電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置

10

20

30

40

50

全般を指し、電気光学装置、発光表示装置、大規模集積回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

通常、大規模集積回路 (LSI: Large Scale Integration) ともいう。) に代表される半導体集積回路は、製造時に回路構成を固定され、製造後に回路構成を変更することはできない。これに対して、プログラマブルロジックデバイス (PLD: Programmable Logic Device) と呼ばれる半導体集積回路は、複数の論理回路からなる論理ブロックを単位として、各論理ブロックが配線を介して電気的に接続される構造となっている。プログラマブルロジックデバイスでは、各論理ブロックの回路構成を電気信号によって制御することができる。

【0004】

これにより、プログラマブルロジックデバイスは、製造後も設計変更を行うことが可能となるので、プログラマブルロジックデバイスを用いることにより、半導体集積回路の設計、開発に費やされる期間およびコストを大幅に削減させることができる。

【0005】

プログラマブルロジックデバイスには、CPLD (Complex PLD)、FPGA (Field Programmable Gate Array) と呼ばれるものも存在する。いずれにおいても、論理ブロックに設けられている、メモリ部に格納されたデータ (コンフィギュレーションデータ) に従ってスイッチの切換を行うプログラマブルスイッチによって各論理ブロックの回路構成を制御している。つまり、各プログラマブルスイッチにデータをプログラミングすることで、プログラマブルロジックデバイスの回路構成を変更することができる。

【0006】

上記メモリ部には、SRAM (Static Random Access Memory) などの揮発性メモリが主に用いられている。また、その一方で特許文献1に示すように、当該メモリ部に、フラッシュメモリのようにフローティングゲートトランジスタからなる不揮発性メモリを用いる技術も存在する (特許文献1参照。)。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2004-15060号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

このようにプログラマブルロジックデバイスにおいて、メモリ部に格納されたデータに従いスイッチの切換を行うプログラマブルスイッチによって、各論理ブロックの回路構成を制御しているが、プログラマブルスイッチのメモリ部にSRAMなどの揮発性メモリを用いる場合、電源電圧の供給が遮断された時に、メモリ部に格納されていたコンフィギュレーションデータが失われる。これにより、プログラマブルスイッチのメモリ部に揮発性メモリを用いたプログラマブルロジックデバイスでは、電源投入の度に、当該揮発性メモリにコンフィギュレーションデータを毎回書き込む必要がある。よって、電源投入を行ってから論理ブロックを動作させるまでに大きな遅延時間が生じる。

【0009】

また、プログラマブルロジックデバイスにおいて、プログラマブルスイッチのメモリ部にフローティングゲートトランジスタを用いてメモリ部の不揮発化を図る場合、電源電圧の供給を遮断してもコンフィギュレーションデータは保持される。しかし、データを書き込む際にはフローティングゲートに電子を注入する必要があるため、高い電位の印加が必要となり、書き込みに長い時間を要する。そのため、消費電力が増加するという問題がある。また、当該書き込みの際に生じるトンネル電流によりフローティングゲートのゲート絶

10

20

30

40

50

縁層が劣化するという問題もある。

【0010】

上述の問題に鑑み、本発明では電源電位の供給が遮断されたときでも論理回路の切り替え状態の保持が可能で、電源投入後の論理ブロックの起動時間が短く、低消費電力化が可能な、否定論理積（NAND）回路および否定論理和（NOR）回路を容易に切り替えることができる論理回路を提供することを課題の一とする。

【課題を解決するための手段】

【0011】

本発明の一態様では、NAND回路およびNOR回路を切り替えるためにオフ電流の十分に小さいトランジスタを用いる。トランジスタのオフ電流を十分に小さくすることができる材料としては、例えばワイドバンドギャップ半導体である酸化物半導体を用いて当該トランジスタを構成することができる。このようなトランジスタのオフ電流を十分に小さくすることができる半導体材料を用いることで、電源電位の供給が遮断されたときでも論理回路の切り替え状態を保持することが可能となる。

10

【0012】

トランジスタのオフ電流は、トランジスタのチャネル幅 $1 \mu m$ 当たりのオフ電流を $1 \times 10^{-18} A$ 以下、好ましくは $1 \times 10^{-21} A$ 以下、より好ましくは $1 \times 10^{-24} A$ 以下とする。このようなトランジスタを用いることにより、データの保持特性に優れ、消費電力の小さいメモリセルを作製することができる。

20

【0013】

本発明の一態様は、直列に接続した第1乃至第4のトランジスタと、直列に接続した第5乃至第8のトランジスタと、ゲートが接続した第9のトランジスタおよび第10のトランジスタと、ソースまたはドレインの一方が、第9のトランジスタおよび第10のトランジスタのゲートと接続する第11のトランジスタと、を有し、第1のトランジスタおよび第5のトランジスタのソースまたはドレインの一方は高電位電源線に接続され、第4のトランジスタおよび第8のトランジスタのソースまたはドレインの一方は接地または低電位電源線に接続され、第1のトランジスタ、第3のトランジスタおよび第8のトランジスタのゲートは第1の信号線に接続され、第2のトランジスタ、第4のトランジスタおよび第5のトランジスタのゲートは第2の信号線に接続され、第6のトランジスタ、第7のトランジスタ、第9のトランジスタおよび第10のトランジスタのゲートは、第11のトランジスタのソースまたはドレインの一方と接続してノードを形成し、第11のトランジスタのゲートは第5の信号線と接続し、第9のトランジスタのソースまたはドレインの一方は、第1のトランジスタのソースまたはドレインの他方は、第3の信号線と接続し、第11のトランジスタのゲートは第5の信号線と接続し、第9のトランジスタのソースまたはドレインの他方は、第5のトランジスタのソースまたはドレインの他方および第6のトランジスタのソースまたはドレインの一方と接続し、第10のトランジスタのソースまたはドレインの一方は、第3のトランジスタのソースまたはドレインの他方と接続し、第10のトランジスタのソースまたはドレインの他方は、第7のトランジスタのソースまたはドレインの一方および第8のトランジスタのソースまたはドレインの他方と接続し、第2のトランジスタのソースまたはドレインの他方、第3のトランジスタのソースまたはドレインの他方および第7のトランジスタのソースまたはドレインの他方は、第4の信号線と接続し、第11のトランジスタは酸化物半導体を有する論理回路である。

30

【0014】

また本発明の一態様は、上記ノードと接続する容量素子を有する論理回路である。

【0015】

本発明の一態様は、上記ノードにおける電荷保持状態を切り替えることによって、否定論理和または否定論理積へ切り替えることができる論理回路である。

【0016】

40

50

本発明の一態様において、上記第1のトランジスタ、第2のトランジスタ、第5のトランジスタ、第6のトランジスタおよび第9のトランジスタはpチャネルトランジスタであり、第3のトランジスタ、第4のトランジスタ、第7のトランジスタ、第8のトランジスタ、第10のトランジスタおよび第11のトランジスタはnチャネルトランジスタである。例えば、第1乃至第10のトランジスタは、シリコンをチャネル領域に用いたトランジスタにより形成し、第11のトランジスタは、酸化物半導体をチャネル領域に用いたトランジスタとした場合、第1乃至第10のトランジスタと積層させて第11のトランジスタを形成することができるため、回路における占有面積を縮小させることができる。

【0017】

また、本発明の一態様は、上記酸化物半導体は、In、Ga、SnおよびZnから選ばれた一種以上の元素を含む酸化物半導体である。このような酸化物半導体をトランジスタのチャネル領域に用いることにより、低いオフ電流を有するトランジスタを形成することができる。それにより、酸化物半導体を用いたトランジスタを論理回路に適用することによって、消費電力を低減させることができる。

【発明の効果】

【0018】

本発明の一態様により、電源電位の供給が遮断されたときでも論理回路の切り替え状態の保持が可能で、電源投入後の論理ブロックの起動時間が短く、低消費電力化が可能な、否定論理積(NAND)回路および否定論理和(NOR)回路を容易に切り替えることができる論理回路を提供することができる。

10

20

【図面の簡単な説明】

【0019】

【図1】本発明の一態様である論理回路を説明する回路図。

【図2】本発明の一態様である論理回路を説明する回路図。

【図3】本発明の一態様である論理回路を説明する回路図。

【図4】本発明の一態様である論理回路におけるトランジスタの作製工程を示す図。

【図5】本発明の一態様である論理回路におけるトランジスタの作製工程を示す図。

【図6】本発明の一態様である論理回路におけるトランジスタの作製工程を示す図。

【図7】本発明の一態様である論理回路におけるトランジスタの作製工程を示す図。

【図8】携帯用の電子機器のブロック図。

30

【図9】電子書籍のブロック図。

【図10】本発明の一態様に係る酸化物材料の構造を説明する図。

【図11】本発明の一態様に係る酸化物材料の構造を説明する図。

【図12】本発明の一態様に係る酸化物材料の構造を説明する図。

【図13】計算によって得られた移動度のゲート電圧依存性を説明する図。

【図14】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

。

【図15】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

。

【図16】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図

40

。

【図17】計算に用いたトランジスタの断面構造を説明する図。

【図18】酸化物半導体膜を用いたトランジスタ特性のグラフ。

【図19】試料Aおよび試料BのXRDスペクトルを示す図。

【図20】トランジスタのオフ電流と測定時基板温度との関係を示す図。

【図21】 I_d および電界効果移動度の V_g 依存性を示す図。

【図22】基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す図。

【図23】測定に用いたトランジスタの上面図および断面図を示す図。

【発明を実施するための形態】

50

【0020】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様な機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0021】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。
10

【0022】

また、本明細書にて用いる第1、第2、第3などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。

【0023】

また、本明細書においては、トランジスタのソースとドレインは、一方をドレインと呼ぶとき他方をソースと呼ぶ。すなわち、電位の高低によって、それらを区別しない。従って、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

【0024】

また、本明細書において「電気的に接続」とは、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限はない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0025】

本明細書において、回路図上は独立している構成要素どうしが電気的に接続しているように図示されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。
30

【0026】

(実施の形態1)

本実施の形態では、本発明の一態様であるNAND回路およびNOR回路を切り替えることができる論理回路について、図1を用いて説明する。

【0027】

図1に示す論理回路は、第1のトランジスタ101、第2のトランジスタ102、第3のトランジスタ103、第4のトランジスタ104が直列に接続し、第5のトランジスタ105、第6のトランジスタ106、第7のトランジスタ107、第8のトランジスタ108が直列に接続し、第1のトランジスタ101および第5のトランジスタ105のソースまたはドレインの一方が高電位電源線VDDと接続し、第4のトランジスタ104および第8のトランジスタ108のソースまたはドレインの一方が低電位電源線VSSと接続している。また、第1のトランジスタ101、第3のトランジスタ103および第8のトランジスタ108のゲートは、第1の信号線S1に接続され、第2のトランジスタ102、第4のトランジスタ104および第5のトランジスタ105のゲートは第2の信号線S2に接続され、第6のトランジスタ106、第7のトランジスタ107、第9のトランジスタ109および第10のトランジスタ110のゲートは、第11のトランジスタ111のソースまたはドレインの一方と接続してノードNを形成している。さらに、第11のトランジスタ111のソースまたはドレインの他方は、第3の信号線S3と接続し、第11のトランジスタ111のソースまたはドレインの他方は、第3の信号線S3と接続し、第11の
40
50

トランジスタ 111 のゲートは第 5 の信号線 S5 と接続し、第 9 のトランジスタ 109 のソースまたはドレインの一方は、第 1 のトランジスタ 101 のソースまたはドレインの他方および第 2 のトランジスタ 102 のソースまたはドレインの一方と接続し、第 9 のトランジスタ 109 のソースまたはドレインの他方は、第 5 のトランジスタ 105 のソースまたはドレインの他方および第 6 のトランジスタ 106 のソースまたはドレインの一方と接続し、第 10 のトランジスタ 110 のソースまたはドレインの一方は、第 3 のトランジスタ 103 のソースまたはドレインの一方および第 4 のトランジスタ 104 のソースまたはドレインの他方と接続し、第 10 のトランジスタ 110 のソースまたはドレインの他方は、第 7 のトランジスタ 107 のソースまたはドレインの一方および第 8 のトランジスタ 108 のソースまたはドレインの他方、第 3 のトランジスタ 103 のソースまたはドレインの他方、第 6 のトランジスタ 106 のソースまたはドレインの他方および第 7 のトランジスタ 107 のソースまたはドレインの他方は、第 4 の信号線 S4 と接続している。

【0028】

図 1 に示す論理回路において、第 1 のトランジスタ 101、第 2 のトランジスタ 102、第 5 のトランジスタ 105、第 6 のトランジスタ 106 および第 9 のトランジスタ 109 は p チャネルトランジスタであり、第 3 のトランジスタ 103、第 4 のトランジスタ 104、第 7 のトランジスタ 107、第 8 のトランジスタ 108、第 10 のトランジスタ 110 および第 11 のトランジスタ 111 は n チャネルトランジスタである。

【0029】

また、第 11 のトランジスタ 111 は酸化物半導体を有するトランジスタである。

【0030】

図 1 のような回路構成によって形成されたノード N における電荷の保持状態を切り替えることによって、NAND 回路または NOR 回路へ切り替えることができる論理回路を形成することができる。

【0031】

ノード N における電荷保持状態を切り替えるには、第 11 のトランジスタ 111 のオンオフを切り替えることによって制御する。ノード N に電荷を保持する場合は、第 5 の信号線 S5 の電位を High (H) にして第 11 のトランジスタ 111 をオン状態にしてから第 3 の信号線 S3 から電位を入力し、その後第 5 の信号線 S5 の電位を Low (L) することによって第 11 のトランジスタ 111 をオフ状態にすることで、ノード N に電荷を保持することができる。

【0032】

また、ノード N に保持された電荷は、第 5 の信号線 S5 の電位を H にして第 11 のトランジスタ 111 をオン状態にし、第 3 の信号線 S3 の電位を接地させることによって、ノード N に保持した電荷を逃がすことができる。

【0033】

さらに、信号線 S3 から入力する電位は、第 7 のトランジスタ 107 および第 10 のトランジスタ 110 をオン状態にし、かつ第 6 のトランジスタ 106 および第 9 のトランジスタ 109 をオフ状態とするような電位とする。それにより、ノード N に電荷が保持されることで、第 7 のトランジスタ 107 および第 10 のトランジスタ 110 がオン状態になり、第 6 のトランジスタ 106 および第 9 のトランジスタ 109 はオフ状態となる。またノード N に電荷が保持されていない状態（接地された状態）においては、第 7 のトランジスタ 107 および第 10 のトランジスタ 110 はオフ状態となり、第 6 のトランジスタ 106 および第 9 のトランジスタ 109 はオン状態となる。

【0034】

次に、ノード N の電荷保持状態によって、図 1 に示す論理回路が NAND 回路と NOR 回路に切り替わることについて説明する。なお、オフ状態（非導通状態）のトランジスタについては、図中においてバツ印を付けて示す。さらに、酸化物半導体を有するトランジスタを、図中において OS と示す。

10

20

30

40

50

【0035】

ノードNに電荷を保持すると第7のトランジスタ107および第10のトランジスタ110がオン状態となり、第6のトランジスタ106および第9のトランジスタ109はオフ状態となる。このように、ノードNに電荷が保持された状態の回路は、NOR回路として機能する。NOR回路の動作について図2を用いて説明する。

【0036】

例えば、第1の信号線S1の電位にH、第2の信号線S2の電位にLを入力した場合の論理回路の動作を図2に示す。図2に示すように、第2のトランジスタ102、第3のトランジスタ103、第5のトランジスタ105、第7のトランジスタ107、第8のトランジスタ108および第10のトランジスタ110がオン状態（導通状態）となり、第1のトランジスタ101、第4のトランジスタ104、第6のトランジスタ106、第9のトランジスタ109および第11のトランジスタ111がオフ状態（非導通状態）となる。そのため、低電位電源線VSSに入力されるLの信号が、第4の信号線S4にLとして出力される。

10

【0037】

このように、図2に示すNOR回路において、信号線S1および信号線S2の電位にHまたはLを入力した場合の信号線S4に出力される信号についてまとめた真理値表を表1に示す。

【0038】

【表1】

20

NOR回路		
S1	S2	S4
L	L	H
L	H	L
H	L	L
H	H	L

【0039】

表1に示すように、ノードNに電荷を保持することによって、本実施の形態における論理回路を、NOR回路として機能させることができる。

30

【0040】

次に、ノードNに電荷を保持していない状態では、第7のトランジスタ107および第10のトランジスタ110がオフ状態となり、第6のトランジスタ106および第9のトランジスタ109はオン状態となる。このように、ノードNに電荷を保持していない状態の回路は、NAND回路として機能する。NAND回路の動作について図3を用いて説明する。

【0041】

例えば、第1の信号線S1にH、第2の信号線S2にLを入力した場合の論理回路の動作を図3に示す。図3に示すように、第2のトランジスタ102、第3のトランジスタ103、第5のトランジスタ105、第6のトランジスタ106、第8のトランジスタ108および第9のトランジスタ109がオン状態（導通状態）となり、第1のトランジスタ101、第4のトランジスタ104、第7のトランジスタ107、第10のトランジスタ110および第11のトランジスタ111がオフ状態（非導通状態）となる。そのため、高電位電源線VDDに入力されるHの信号が、第4の信号線S4にHとして出力される。

40

【0042】

このように、図3に示すNAND回路において、信号線S1および信号線S2にHまたはLを入力した場合の信号線S4に出力される信号についてまとめたものを表2に示す。

【0043】

【表2】

NAND回路		
S1	S2	S4
L	L	H
L	H	H
H	L	H
H	H	L

【0044】

表2に示すように、ノードNに電荷を保持していないことによって、本実施の形態における論理回路を、NAND回路として機能させることができる。 10

【0045】

このように、NOR回路およびNAND回路を切り替えるためのノードNに接続されるトランジスタに、トランジスタのオフ電流を十分に小さくすることができる、酸化物半導体のようなワイドバンドギャップ半導体を用いることにより、電源電位の供給が遮断されている間も長期間に渡ってノードNに保持した電荷を保持し、論理回路の切り替え状態を保持することができる。これにより、例えば半導体装置全体またはその一部への電源電圧の供給を一時的に遮断し、必要なときのみ必要な回路ブロックにおいて電源電圧供給を選択する駆動方法（ノーマリオフの駆動方法）を用いて、当該論理回路への電源電位の供給を遮断しても、論理回路の切り替え状態は保持される。よって、ノーマリオフの駆動方法を用いて、電源投入を行うときに、ノードNへの電荷の注入（書き込み）を省略することができる。故に、本実施の形態に示す論理回路を用いることで、ノーマリオフの駆動方法を用いて低消費電力化を図ることができる。 20

【0046】

また、第11のトランジスタ111を介して、論理回路の切り替えに必要な電位をノードNに与えることで論理回路を切り替えることができるため、プログラマブルスイッチのメモリ部にフローティングゲートを用いて電子注入でコンフィギュレーションデータを書き込む場合と比較して、書き込みに必要な電位および時間を大幅に低減することができる。また、フローティングゲートに電子注入を行うときに生じたトンネル電流によるゲート絶縁層の劣化の問題も生じないので、データの書き換え可能回数を増やすことができる。 30

【0047】

また、一般的にプログラマブルロジックデバイスは、当該プログラマブルロジックデバイスを有する半導体装置の動作を停止した状態で、プログラマブルスイッチの切り替えを行なって論理ブロックの回路構成の変更を行う。これをコンフィギュレーションと呼ぶ。コンフィギュレーションに対して、当該半導体装置の動作中にコンフィギュレーションを行うことを動的コンフィギュレーションと呼ぶ。上述のように、本実施の形態に示すプログラマブルスイッチはコンフィギュレーションデータの書き込みが高速化されているので、動的コンフィギュレーションも容易に行うことができる。 40

【0048】

以上のように、本実施の形態に示す回路構成とすることにより、電源電位の供給が遮断されたときでも論理回路の切り替え状態の保持が可能で、電源投入後の論理ブロックの起動時間が短く、低消費電力化が可能な、否定論理積（NAND）回路および否定論理和（NOR）回路を容易に切り替えることができる論理回路を提供することができる。 40

【0049】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0050】

(実施の形態2)

本実施の形態においては、実施の形態1に示す論理回路におけるトランジスタの作製方法について、図4乃至図7を用いて説明する。例として図1に示す論理回路における、トランジスタの構造を示す。 50

ンジスタ111、トランジスタ107およびトランジスタ106の作製方法について説明する。なお、図4乃至図7において、A-Bに示す断面図は、酸化物半導体膜を有するトランジスタ111、nチャネルトランジスタ107及びpチャネルトランジスタ106が形成される領域の断面図に相当し、トランジスタ111は、トランジスタ107及びトランジスタ106と積層させて形成されており、C-Dに示す断面図は、酸化物半導体膜を有するトランジスタ111のソース電極またはドレイン電極の一方とnチャネルトランジスタ107のゲート電極とが接続されたノードNにおける断面図に相当する。なお、本実施の形態では、直接図示しないが、図1に示すようにpチャネルトランジスタ106のゲート電極もノードNと電気的に接続される。

【0051】

10

まず、図4(A)に示すように、n型の半導体基板201に素子分離領域203を形成した後、n型の半導体基板201の一部にpウェル領域205を形成する。

【0052】

n型の半導体基板201としては、n型の導電型を有する単結晶シリコン基板(シリコンウェハー)、化合物半導体基板(SiC基板、サファイア基板、GaN基板等)を用いることができる。

【0053】

また、n型の半導体基板201の代わりに、SOI(Silicon On Insulator)基板として、鏡面研磨ウェハーに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて作られた所謂SIMOX(Separation by Implanted Oxygen)基板や、水素イオン注入により形成された微小ボイドの熱処理による成長を利用して半導体基板を劈開するスマートカット法等を用いて形成したSOI基板を用いてもよい。

20

【0054】

素子分離領域203は、LOCOS(Local Oxidation of Silicon)法またはSTI(Shallow Trench Isolation)法等を用いて形成する。

【0055】

pウェル領域205は、ホウ素等のp型を付与する不純物元素が、 $5 \times 10^{15} \text{ cm}^{-3}$ ~ $1 \times 10^{16} \text{ cm}^{-3}$ 程度の濃度で添加されている。pウェル領域205は、半導体基板201の一部にマスクを形成したのち、半導体基板201の一部にホウ素等のp型を付与する不純物元素を添加して、形成される。

30

【0056】

なお、ここでは、n型の半導体基板を用いているが、p型の半導体基板を用い、p型の半導体基板にn型を付与するリン、ヒ素等の不純物元素が添加されたnウェル領域を形成してもよい。

【0057】

次に、図4(B)に示すように、半導体基板201上にゲート絶縁膜207a、ゲート絶縁膜207b、ゲート電極209aおよびゲート電極209bを形成する。

40

【0058】

まず熱処理を行い半導体基板201の表面を酸化した酸化シリコン膜を形成する。または、熱酸化法により酸化シリコン膜を形成した後に、窒化処理を行うことによって酸化シリコン膜の表面を窒化させることにより、酸化シリコン膜と酸素と窒素を有するシリコン膜(酸化窒化シリコン膜)との積層構造で形成する。次に、酸化シリコン膜または酸窒化シリコン膜の一部を選択的にエッチングして、ゲート絶縁膜207aおよびゲート絶縁膜207bを形成する。若しくは、厚さ5~50nmの酸化シリコン、酸化窒化シリコン、高誘電率物質(high-k材料ともいう。)であるタンタル酸化物、酸化ハフニウム、酸化ハフニウムシリケート、酸化ジルコニア、酸化アルミニウム、酸化チタンなどの金属酸化物、または酸化ランタンなどの希土類酸化物等を、CVD法、スパッタリング法等を

50

用いて形成した後、選択的に一部をエッティングして、ゲート絶縁膜 207a およびゲート絶縁膜 207b を形成する。

【0059】

ゲート電極 209a およびゲート電極 209b は、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造でゲート電極 209a およびゲート電極 209b を形成してもよい。金属窒化物としては、窒化タンタル、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。

10

【0060】

ゲート電極 209a およびゲート電極 209b は、導電膜をスパッタリング法、CVD 法等により形成した後、該導電膜の一部を選択的にエッティングして形成される。

【0061】

ここでは、熱処理を行い、半導体基板 201 上の表面を酸化した酸化シリコン膜を形成し、該酸化シリコン膜上に窒化タンタル膜及びタングステン膜が積層された導電膜をスパッタリング法により形成した後、酸化シリコン膜及び導電膜のそれぞれ一部を選択的にエッティングして、ゲート絶縁膜 207a、ゲート絶縁膜 207b、ゲート電極 209a およびゲート電極 209b を形成する。

20

【0062】

なお、トランジスタの特性を重視する場合には、ゲート電極 209a およびゲート電極 209b の側面にサイドウォール絶縁層を設けた構成としてもよい。しかし、図 4 に示すように、高集積化を実現するためには、ゲート電極 209a およびゲート電極 209b の側面にサイドウォール絶縁層を有しない構成とすることが望ましい。

【0063】

次に、図 4 (C) に示すように、半導体基板 201 に p 型を付与する不純物元素を添加して p 型の不純物領域 213a、p 型の不純物領域 213b を形成する。また、p ウェル領域 205 に n 型を付与する不純物元素を添加して、n 型の不純物領域 211a、n 型の不純物領域 211b を形成する。n 型の不純物領域 211a、n 型の不純物領域 211b、p 型の不純物領域 213a 及び p 型の不純物領域 213b における n 型を付与する不純物元素及び p 型を付与する不純物元素の濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。n 型を付与する不純物元素及び p 型を付与する不純物元素は、イオンドーピング法、イオン注入法等を適宜用いて、半導体基板 201 及び p ウェル領域 205 に添加する。

30

【0064】

また、ゲート電極 209a およびゲート電極 209b の側面にサイドウォール絶縁層を設ける場合、当該サイドウォール絶縁層と重畳する領域に、n 型の不純物領域 211a、n 型の不純物領域 211b、p 型の不純物領域 213a 及び p 型の不純物領域 213b とは異なる不純物濃度の不純物領域を形成することができる。

40

【0065】

次に、図 4 (D) に示すように、半導体基板 201、素子分離領域 203、ゲート絶縁膜 207a、ゲート絶縁膜 207b、ゲート電極 209a およびゲート電極 209b 上に、スパッタリング法、CVD 法等により、絶縁膜 215 および絶縁膜 217 を形成する。

【0066】

絶縁膜 215 および絶縁膜 217 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。なお、絶縁膜 215 を CVD 法により形成することで、絶縁膜 215 の水素含有量が高まる。このような絶縁膜 215 を形成後に加熱処理を行うことにより、半導体基板を水素化し、水素によりダング

50

リングボンドを終端させ、当該半導体基板中の欠陥を低減することができる。

【0067】

また、絶縁膜217として、BPSG (Boron Phosphorus Silic on Glass)などの無機材料、または、ポリイミド、アクリルなどの有機材料を用いて形成することで、絶縁膜217の平坦性を高めることができる。

【0068】

絶縁膜215または絶縁膜217を形成した後、n型の不純物領域211a、n型の不純物領域211b、p型の不純物領域213a、p型の不純物領域213bに添加された不純物元素を活性化するための熱処理を行う。

【0069】

以上の工程により、図4(D)に示すように、n型のトランジスタ107およびp型のトランジスタ106を作製することができる。

【0070】

次に、絶縁膜215、217の一部を選択的にエッチングして、開口部を形成する。次に、開口部にコンタクトプラグ219a乃至コンタクトプラグ219dを形成する。代表的には、スパッタリング法、CVD法等により導電膜を形成した後、CMP (Chemical Mechanical Polishing)法やエッチングなどにより平坦化処理を行い、導電膜の表面の不要な部分を除去して、導電膜を形成する。

【0071】

コンタクトプラグ219a乃至コンタクトプラグ219dとなる導電膜は、WF₆ガスとSiH₄ガスからCVD法でタンゲステンシリサイドを形成し、開口部に導電膜を埋め込むことで形成される。

【0072】

次に、絶縁膜217及びコンタクトプラグ219a乃至コンタクトプラグ219d上に、スパッタリング法、CVD法等により絶縁膜を形成した後、該絶縁膜の一部を選択的にエッチングし、溝部を有する絶縁膜221を形成する。次に、スパッタリング法、CVD法等により導電膜を形成した後、CMP法やエッチングなどにより平坦化処理を行い、該導電膜の表面の不要な部分を除去して、配線223a乃至配線223cを形成する(図5(A)参照。)。

【0073】

絶縁膜221は、絶縁膜215と同様の材料を用いて形成することができる。

【0074】

配線223a乃至配線223cとして、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタンゲステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タンゲステン膜上にチタン膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0075】

平坦化された絶縁膜221及び配線223a乃至配線223cを用いることで、後に形成する酸化物半導体膜を有するトランジスタにおける電気特性のばらつきを低減することができる。また、歩留まり高く酸化物半導体膜を有するトランジスタを形成することができる。

【0076】

次に、加熱処理またはプラズマ処理により、絶縁膜221及び配線223a乃至配線223cに含まれる水素を脱離させることが好ましい。この結果、後の加熱処理において、後に形成される絶縁膜及び酸化物半導体膜中に水素が拡散することを防ぐことができる。なお、加熱処理は、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気にて、100以上基

10

20

30

40

50

板の歪み点未満で行う。また、プラズマ処理は、希ガス、酸素、窒素または酸化窒素（亜酸化窒素、一酸化窒素、二酸化窒素など）を用いる。

【0077】

次に、絶縁膜221及び配線223a乃至配線223c上に、スパッタリング法、CVD法等により、絶縁膜225を形成する。絶縁膜225としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウムを単層または積層して形成する。また、絶縁膜225として、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成することが好ましい。加熱により酸素の一部が脱離する酸化絶縁膜としては、化学量論的組成比を満たす酸素よりも多くの酸素を含む酸化絶縁膜を用いる。加熱により酸素の一部が脱離する酸化絶縁膜は、加熱により酸素が脱離するため、後の工程で行う加熱により酸化物半導体膜に酸素を拡散させることができる。10

【0078】

また、絶縁膜225は、CMP処理などを行って平坦化を図ることが望ましい。絶縁膜225の表面の平均面粗さ（Ra）は、1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下とする。

【0079】

なお、本明細書などにおいて平均面粗さ（Ra）とは、JIS B 0601：2001（ISO 4287：1997）で定義されている中心線平均粗さ（Ra）を、測定面に対して適用できるよう三次元に拡張したものであり、基準面から指定面までの偏差の絶対値を平均した値で表現される。20

【0080】

平均面粗さ（Ra）は、測定データの示す面である測定面を $Z = F(X, Y)$ で表すとき、基準面から指定面までの偏差の絶対値を平均した値で表現され、次の式（1）で与えられる。

【0081】

【数1】

$$R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dXdY \quad (1)$$

30

【0082】

ここで、指定面とは、粗さ計測の対象となる面であり、座標（ X_1, Y_1 ）（ X_1, Y_2 ）（ X_2, Y_1 ）（ X_2, Y_2 ）で表される4点により囲まれる長方形の領域とし、指定面が理想的にフラットであるとしたときの面積を S_0 とする。また、基準面とは、指定面の平均の高さにおける、XY平面と平行な面のことである。つまり、指定面の高さの平均値を Z_0 とするとき、基準面の高さも Z_0 で表される。平均面粗さ（Ra）は原子間力顕微鏡（AFM：Atomic Force Microscope）にて評価可能である。

【0083】

上記CMP処理は、1回行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁膜225の表面の平坦性をさらに向上させることができる。40

【0084】

また、絶縁膜225を平坦化させる処理としては、プラズマ処理を用いることもできる。プラズマ処理は、真空のチャンバーに不活性ガス、例えばアルゴンガスなどの希ガスを導入し、被処理面を陰極とする電界を印加して行う。その原理としてはプラズマドライエッティング法と同等であるが、不活性ガスを用いて行う。すなわち、このプラズマ処理は、被処理面に不活性ガスのイオンを照射して、スパッタリング効果により表面の微細な凹凸を平坦化する処理である。このことから、当該プラズマ処理を「逆スパッタ処理」と呼ぶこ50

ともできる。

【0085】

このプラズマ処理時、プラズマ中には電子とアルゴンの陽イオンが存在し、陰極方向にアルゴンの陽イオンが加速される。加速されたアルゴンの陽イオンは被処理面をスパッタする。このとき、該被処理面の凸部から優先的にスパッタされる。被処理面からスパッタされた粒子は、被処理面の別の場所に付着する。このとき、該被処理面の凹部に優先的に付着する。このように凸部を削り、凹部を埋めることで被処理面の平坦性が向上する。なお、プラズマ処理とCMP処理と併用することにより絶縁膜225のさらなる平坦化を図ることができる。

【0086】

なお、当該プラズマ処理によって、絶縁膜225表面に付着した水分、有機物などの不純物をスパッタリングの効果で除去することも可能である。

【0087】

なお、酸化物半導体の成膜を行う前に、処理室の加熱および排気を行って、処理室中の水素、水、水酸基、水素化物などの不純物を除去しておくことが好ましい。特に処理室の内壁に吸着して存在するこれらの不純物を除去することが重要である。ここで、加熱処理は、例えば、100以上450以下で行えばよい。また、処理室の排気は、ドライポンプなどの粗引きポンプと、スパッタイオンポンプ、ターボ分子ポンプ及びクライオポンプなどの高真空ポンプとを適宜組み合わせて行うとよい。ターボ分子ポンプは大きいサイズの分子の排気が優れる一方、水素や水の排気能力が低い。さらに、ターボ分子ポンプと、水の排気能力の高いクライオポンプまたは水素の排気能力の高いスパッタイオンポンプを組み合わせることが有効となる。またこのとき、不活性ガスを導入しながら不純物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。このような処理を行って酸化物半導体の成膜前に処理室の不純物を除去することにより、酸化物半導体への水素、水、水酸基、水素化物などの混入を低減することができる。

【0088】

また、酸化物半導体膜をスパッタリング装置で成膜する前に、スパッタリング装置にダミー基板を搬入し、ダミー基板上に酸化物半導体膜を成膜して、ターゲット表面、または防着板に付着した水素、水分を取り除く工程を行ってもよい。

【0089】

次に、絶縁膜225上に、スパッタリング法、塗布法、印刷法、パルスレーザー蒸着法等を用いて酸化物半導体膜227を形成する(図5(B)参照。)。ここでは、酸化物半導体膜227として、スパッタリング法により、1nm以上50nm以下、更に好ましくは3nm以上30nm以下の厚さで酸化物半導体膜を形成する。酸化物半導体膜227の厚さを上記厚さとすることで、トランジスタの微細化に伴って発生するおそれのある短チャネル効果を抑制することができる。

【0090】

酸化物半導体膜227に用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

【0091】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ル

10

20

30

40

50

テチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

【0092】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属酸化物であるIn-Ga-Zn系酸化物 (IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。また、上記酸化物半導体に酸化シリコンを含んでもよい。ここで、例えば、In-Ga-Zn系酸化物とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。このとき、上記酸化物半導体においては、化学量論比に対し、酸素を過剰にすると好ましい。酸素を過剰にすることで酸化物半導体膜の酸素欠損に起因するキャリアの生成を抑制することができる。

【0093】

また、酸化物半導体として、 $InMO_3 (ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_3SnO_5 (ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0094】

なお、酸化物半導体膜227において、アルカリ金属またはアルカリ土類金属の濃度は、 1×10^{18} atoms/cm³以下、さらに好ましくは 2×10^{16} atoms/cm³以下であることが望ましい。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアが生成されることがあり、トランジスタのオフ電流の上昇の原因となるためである。

【0095】

また、酸化物半導体膜227には、 5×10^{18} atoms/cm³以下の窒素が含まれてもよい。

【0096】

なお、酸化物半導体膜227に用いることが可能な酸化物半導体は、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも小さい、ワイドバンドギャップ半導体とする。このように、バンドギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

【0097】

酸化物半導体膜227は、単結晶構造であってもよいし、非単結晶構造であってもよい。後者の場合、アモルファス構造でも、多結晶構造でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファス構造でもよい。

【0098】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるために、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0099】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面

10

20

30

40

50

の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、上述のように、絶縁膜225の表面の平均面粗さ(R_a)を、1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下とし、その上に酸化物半導体膜227を形成することが好ましい。

【0100】

ここでは、酸化物半導体膜227をスパッタリング法により形成する。

【0101】

スパッタリング法に用いるターゲットとしては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。
10

【0102】

酸化物半導体としてIn-Ga-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、例えば、原子数比でIn:Ga:Zn=1:1:1(=1/3:1/3:1/3)(モル数比に換算すると $In_2O_3:Ga_2O_3:ZnO=1:1:2$)、In:Ga:Zn=2:2:1(=2/5:2/5:1/5)(モル数比に換算すると $In_2O_3:Ga_2O_3:ZnO=1:1:1$)などとすればよい。このような原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物をターゲットとして用いることができる。

【0103】

また、酸化物半導体としてIn-Sn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、例えば、原子数比で、In:Sn:Zn=1:1:1(=1/3:1/3:1/3)、In:Sn:Zn=2:1:3(=1/3:1/6:1/2)、In:Sn:Zn=2:1:5(=1/4:1/8:5/8)、In:Sn:Zn=1:2:2(=1/5:2/5:2/5)、In:Sn:Zn=20:45:35などとすればよい。このような原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物をターゲットとして用いることができる。
30

【0104】

酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In:Zn=50:1~1:2(モル数比に換算すると $In_2O_3:ZnO=25:1~1:4$)、好ましくはIn:Zn=20:1~1:1(モル数比に換算すると $In_2O_3:ZnO=10:1~1:2$)、さらに好ましくはIn:Zn=15:1~1.5:1(モル数比に換算すると $In_2O_3:ZnO=15:2~3:4$)とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比がIn:Zn:O=X:Y:Zのとき、Z>1.5X+Yとする。このような原子数比のIn-Zn-O系酸化物やその組成の近傍の酸化物をターゲットとして用いることができる。
40

【0105】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度
50

等を適切なものとすることが好ましい。

【0106】

例えば、In - Sn - Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0107】

なお、例えば、In、Ga、Znの原子数比がIn : Ga : Zn = a : b : c (a + b + c = 1)である酸化物の組成が、原子数比がIn : Ga : Zn = A : B : C (A + B + C = 1)の酸化物の組成の近傍であるとは、a、b、cが、(a - A)² + (b - B)² + (c - C)² / r²を満たすことをいい、rは、例えば、0.05とすればよい。他の酸化物でも同様である。

【0108】

なお、スパッタリングガスは、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。また、スパッタリングガスは、酸化物半導体膜への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

【0109】

スパッタリング法において、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。

【0110】

なお、酸化物半導体膜を成膜する処理室は、リーケートを1 × 10⁻¹⁰ Pa · m³ / 秒以下とすることが好ましく、それによりスパッタリング法により成膜する際、膜中への不純物の混入を低減することができる。このように、酸化物半導体膜の成膜工程において、更に好ましくは酸化絶縁膜の成膜工程において、処理室の圧力、処理室のリーケートなどにおいて、不純物の混入を極力抑えることによって、酸化物半導体膜に含まれる水素を含む不純物の混入を低減することができる。また、酸化絶縁膜から酸化物半導体膜への水素などの不純物の拡散を低減することができる。

【0111】

また、酸化物半導体膜として、CAAC-OS (CAxis Aligned Crystalline Oxide Semiconductor) 膜を用いてもよい。

【0112】

CAAC-OSとは、c軸配向し、かつab面、表面または界面の方向から見て三角形状または六角形状の原子配列を有し、c軸においては、金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面（あるいは表面または界面）においては、a軸またはb軸の向きが異なる（c軸を中心に回転した）結晶を含む酸化物半導体のことである。

【0113】

広義に、CAAC-OSとは、非単結晶であって、そのab面に垂直な方向から見て、三角形もしくは六角形、または正三角形もしくは正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て金属原子が層状または金属原子と酸素原子が層状に配列した相を含む酸化物半導体をいう。

【0114】

CAAC-OSは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAAC-OSは結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できることもある。

【0115】

CAAC-OSを構成する酸素の一部は窒素で置換されてもよい。また、CAAC-OSを構成する個々の結晶部分のc軸は一定の方向（例えば、CAAC-OSを形成する基板

10

20

30

40

50

面や C A A C - O S の表面や膜面、界面等に垂直な方向) に揃っていてもよい。あるいは、C A A C - O S を構成する個々の結晶部分の a b 面の法線は一定の方向(例えば、基板面、表面、膜面、界面等に垂直な方向)を向いていてもよい。

【 0 1 1 6 】

このような c 軸配向を有する結晶を含む酸化物半導体膜を設けることにより、可視光や紫外光の照射による電気的特性の変化を抑制することができる。特に、上述のように、絶縁膜 225 の表面の平均面粗さ(R a)を、1 nm 以下、好ましくは 0.3 nm 以下、より好ましくは 0.1 nm 以下とし、その上に c 軸配向を有する結晶を含む酸化物半導体膜を形成することが好ましい。これにより、c 軸配向を有する結晶を含む酸化物半導体膜の結晶性を向上させ、当該酸化物半導体膜を用いたトランジスタの移動度の向上を図ることができる。

10

【 0 1 1 7 】

C A A C - O S に含まれる結晶構造の一例について図 10 乃至図 12 を用いて詳細に説明する。なお、特に断りがない限り、図 10 乃至図 12 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 10 において、丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

【 0 1 1 8 】

図 10 (A) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子(以下 4 配位の O)と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 10 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 10 (A) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 10 (A) に示す小グループは電荷が 0 である。

20

【 0 1 1 9 】

図 10 (B) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子(以下 3 配位の O)と、G a に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 10 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 10 (B) に示す構造をとりうる。図 10 (B) に示す小グループは電荷が 0 である。

【 0 1 2 0 】

30

図 10 (C) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、を有する構造を示す。図 10 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。または、図 10 (C) の上半分に 3 個の 4 配位の O があり、下半分に 1 個の 4 配位の O があってもよい。図 10 (C) に示す小グループは電荷が 0 である。

【 0 1 2 1 】

図 10 (D) に、1 個の 6 配位の S n と、S n に近接の 6 個の 4 配位の O と、を有する構造を示す。図 10 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 10 (D) に示す小グループは電荷が +1 となる。

【 0 1 2 2 】

図 10 (E) に、2 個の Z n を含む小グループを示す。図 10 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 10 (E) に示す小グループは電荷が -1 となる。

40

【 0 1 2 3 】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ(ユニットセルともいう。)と呼ぶ。

【 0 1 2 4 】

ここで、これらの小グループ同士が結合する規則について説明する。図 10 (A) に示す 6 配位の I n の上半分の 3 個の O は下方向にそれぞれ 3 個の近接 I n を有し、下半分の 3 個の O は上方向にそれぞれ 3 個の近接 I n を有する。図 10 (B) に示す 5 配位の G a の上半分の 1 個の O は下方向に 1 個の近接 G a を有し、下半分の 1 個の O は上方向に 1 個の

50

近接 G a を有する。図 10 (C) に示す 4 配位の Z n の上半分の 1 個の O は下方向に 1 個の近接 Z n を有し、下半分の 3 個の O は上方にそれぞれ 3 個の近接 Z n を有する。この様に、金属原子の上方に 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方にある近接金属原子の数は等しい。O は 4 配位なので、下方向にある近接金属原子の数と、上方にある近接金属原子の数の和は 4 になる。従って、金属原子の上方に 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6 配位の金属原子 (I n または S n) が下半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子 (G a または I n) または 4 配位の金属原子 (Z n) のいずれかと結合することになる。

【 0125 】

これらの配位数を有する金属原子は、c 軸方向において、4 配位の O を介して結合する。また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

【 0126 】

図 11 (A) に、I n - S n - Z n - O 系の層構造を構成する中グループのモデル図を示す。図 11 (B) に、3 つの中グループで構成される大グループを示す。なお、図 11 (C) は、図 11 (B) の層構造を c 軸方向から観察した場合の原子配列を示す。

【 0127 】

図 11 (A) においては、簡単のため、3 配位の O は省略し、4 配位の O は個数のみ示し、例えば、S n の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O があることを丸枠の 3 として示している。同様に、図 11 (A) において、I n の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O があり、丸枠の 1 として示している。また、同様に、図 11 (A) において、下半分には 1 個の 4 配位の O があり、上半分には 3 個の 4 配位の O がある Z n と、上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある Z n とを示している。

【 0128 】

図 11 (A) において、I n - S n - Z n - O 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある S n が、4 配位の O が 1 個ずつ上半分および下半分にある I n と結合し、その I n が、上半分に 3 個の 4 配位の O がある Z n と結合し、その Z n の下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある I n と結合し、その I n が、上半分に 1 個の 4 配位の O がある Z n 2 個からなる小グループと結合し、この小グループの下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある S n と結合している構成である。この中グループが複数結合して大グループを構成する。

【 0129 】

ここで、3 配位の O および 4 配位の O の場合、結合 1 本当たりの電荷はそれぞれ -0.6 67、-0.5 と考えることができる。例えば、I n (6 配位または 5 配位)、Z n (4 配位)、S n (5 配位または 6 配位) の電荷は、それぞれ +3、+2、+4 である。従って、S n を含む小グループは電荷が +1 となる。そのため、S n を含む層構造を形成するためには、電荷 +1 を打ち消す電荷 -1 が必要となる。電荷 -1 をとる構造として、図 10 (E) に示すように、2 個の Z n を含む小グループが挙げられる。例えば、S n を含む小グループが 1 個に対し、2 個の Z n を含む小グループが 1 個あれば、電荷が打ち消されるため、層構造の合計の電荷を 0 とすることができる。

【 0130 】

具体的には、図 11 (B) に示した大グループが繰り返されることで、I n - S n - Z n - O 系の結晶 (I n₂ S n Z n₃ O₈) を得ることができる。なお、得られる I n - S n - Z n - O 系の層構造は、I n₂ S n Z n₂ O₇ (Z n O)_m (m は 0 または自然数。) とする組成式で表すことができる。

10

20

30

40

50

【0131】

また、このほかにも、四元系金属酸化物である In - Sn - Ga - Zn 系酸化物や、三元系金属酸化物である In - Ga - Zn 系酸化物 (IGZOとも表記する。)、In - Al - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物や、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物や、二元系金属酸化物である In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物や、In - Ga 系酸化物、などを用いた場合も同様である。

【0132】

例えば、図 12 (A) に、In - Ga - Zn - O 系の層構造を構成する中グループのモデル図を示す。

【0133】

図 12 (A) において、In - Ga - Zn - O 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある In が、4 配位の O が 1 個上半分にある Zn と結合し、その Zn の下半分の 3 個の 4 配位の O を介して、4 配位の O が 1 個ずつ上半分および下半分にある Ga と結合し、その Ga の下半分の 1 個の 4 配位の O を介して、4 配位の O が 3 個ずつ上半分および下半分にある In と結合している構成である。この中グループが複数結合して大グループを構成する。

【0134】

図 12 (B) に 3 つの中グループで構成される大グループを示す。なお、図 12 (C) は、図 12 (B) の層構造を c 軸方向から観察した場合の原子配列を示している。

【0135】

ここで、In (6 配位または 5 配位)、Zn (4 配位)、Ga (5 配位) の電荷は、それぞれ +3、+2、+3 であるため、In、Zn および Ga のいずれかを含む小グループは、電荷が 0 となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に 0 となる。

【0136】

また、In - Ga - Zn - O 系の層構造を構成する中グループは、図 12 (A) に示した中グループに限定されず、In、Ga、Zn の配列が異なる中グループを組み合わせた大グループを取りうる。

【0137】

酸化物半導体膜 227 を CAAc - OS 膜とする場合は、酸化物半導体膜 227 を成膜する際に、基板温度が 200 を超えて 700 以下、好ましくは 300 を超えて 500 以下、より好ましくは 400 以上 450 以下となるように、基板を加熱する。このように、基板を加熱しながら酸化物半導体膜 227 を成膜することにより、酸化物半導体膜 227 を CAAc - OS 膜とすることができる。

【0138】

また、上記の温度範囲で加熱しながら、一原子層以上 10 nm 以下、好ましくは 2 nm 以上 5 nm 以下の薄い膜厚の第 1 の酸化物半導体膜を成膜したのち、同様の方法で加熱しながらさらに厚い膜厚の第 2 の酸化物半導体膜を成膜し、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜を積層して、CAAc - OS の酸化物半導体膜 227 を形成しても良い。

【0139】

また、酸化物半導体膜 227 を非晶質構造とする場合は、酸化物半導体膜 227 を成膜する際に、基板の加熱を行わない、または基板温度を 200 未満、より好ましくは 180 未満として基板を加熱する。このように、酸化物半導体膜 227 を成膜することにより、酸化物半導体膜 227 を非晶質構造とすることができます。

【0140】

また、上記の方法で酸化物半導体膜を非晶質構造として成膜した後、250以上700以下、好ましくは400以上、より好ましくは500、さらに好ましくは550以上の温度で加熱処理を行って、当該非晶質構造の酸化物半導体膜の少なくとも一部を結晶化し、CAC-O₅の酸化物半導体膜227を形成しても良い。なお、当該熱処理は不活性ガス雰囲気下で行うことができる。不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。また、当該熱処理は、後述する脱水化または脱水素化の熱処理などで兼ねることも可能である。

【0141】

酸化物半導体膜227形成後、酸化物半導体膜227に対して、熱処理(第1の熱処理)を行ってもよい。熱処理を行うことによって、酸化物半導体膜227中に含まれる水素原子を含む物質をさらに除去し、酸化物半導体膜227の構造を整え、バンドギャップ中の欠陥準位を低減することができる。当該熱処理は不活性ガス雰囲気下で行い、熱処理の温度は、300以上700以下、好ましくは450以上600以下、また、基板が歪み点を有する場合は基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0142】

当該熱処理は、例えば、抵抗発熱体などを用いた電気炉に半導体基板201を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。

【0143】

また、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、LRTA(Lamp Rapid Thermal Annealing)装置、GRTA(Gas Rapid Thermal Annealing)装置等のRTA(Rapid Thermal Annealing)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。なお、加熱処理装置としてGRTA装置を用いる場合には、その熱処理時間が短いため、650~700の高温に加熱した不活性ガス中で基板を加熱してもよい。

【0144】

また、上記熱処理で酸化物半導体膜227を加熱した後、同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気。)を導入することが好ましい。特にこれらのガスには、水、水素などが含まれないことが好ましい。また、同じ炉に導入する酸素ガスまたはN₂Oガスの純度を、6N以上好ましくは7N以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下。)とすることが好ましい。酸素ガスまたはN₂Oガスの作用によって、脱水化または脱水素化処理による不純物の排除工程で低減してしまった酸化物半導体を構成する主成分材料の一つである酸素を供給すること

ができる。

【0145】

なお、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水化または脱水素化などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体層を島状に加工する前、ゲート絶縁膜の形成後などのタイミングにおいて行うことも可能である。また、このような脱水化または脱水素化の熱処理は、一回に限らず複数回行っても良い。

【0146】

次に、酸化物半導体膜227の一部を選択的にエッチングして、酸化物半導体膜229を形成する。それから、酸化物半導体膜229上に、スパッタリング法、CVD法等により絶縁膜231を形成する。そして、絶縁膜231上にゲート電極233を形成する(図6(A)参照。)。

【0147】

絶縁膜231は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはGa-Zn-O系金属酸化物膜などを用いればよく、積層または単層で設ける。また、絶縁膜231は、絶縁膜225に示すような、加熱により酸素が脱離する酸化絶縁膜を用いてもよい。絶縁膜231に加熱により酸素が脱離する膜を用いることで、後の加熱処理により酸化物半導体膜229に生じる酸素欠損を修復することができ、トランジスタの電気特性の劣化を抑制できる。

【0148】

また、絶縁膜231として、ハフニウムシリケート(HfSiO_x)、窒素が添加されたハフニウムシリケート(HfSi_xO_yN_z)、窒素が添加されたハフニウムアルミニート(HfAl_xO_yN_z)、酸化ハフニウム、酸化イットリウムなどのhigh-k材料を用いることでゲート絶縁膜の厚さを薄くしてもゲートリーキを低減できる。

【0149】

絶縁膜231の厚さは、10nm以上300nm以下、より好ましくは5nm以上50nm以下、より好ましくは10nm以上30nm以下とするといい。

【0150】

ゲート電極233は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンゲステンから選ばれた金属元素、または上述した金属元素を成分とする合金などを用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、ゲート電極233は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタンゲステン膜を積層する二層構造、窒化タンタル膜上にタンゲステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タンゲステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素との合金膜、もしくは窒化膜を用いてもよい。

【0151】

また、ゲート電極233は、インジウム錫酸化物、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0152】

ゲート電極233は、印刷法またはインクジェット法により形成される。若しくは、スパッタリング法、CVD法、蒸着法等で導電膜を形成した後、該導電膜の一部を選択的にエッチングして、形成される。

【0153】

10

20

30

40

50

なお、ゲート電極 233 と絶縁膜 231との間に、絶縁膜 231に接する材料層として、窒素を含む In - Ga - Zn - O 膜や、窒素を含む In - Sn - O 膜や、窒素を含む In - Ga - O 膜や、窒素を含む In - Zn - O 膜や、窒素を含む Sn - O 膜や、窒素を含む In - O 膜や、金属窒化膜 (InN, ZnN など) を設けることが好ましい。これらの膜は 5 eV、好ましくは 5.5 eV 以上の仕事関数を有し、トランジスタのしきい値電圧をプラスにすることができ、所謂ノーマリオフのスイッチング素子を実現できる。例えば、窒素を含む In - Ga - Zn - O 膜を用いる場合、少なくとも酸化物半導体膜 229 より高い窒素濃度、具体的には 7 原子% 以上の窒素を含む In - Ga - Zn - O 膜を用いる。

【0154】

この後、加熱処理を行うことが好ましい。当該加熱処理により、絶縁膜 225 及び絶縁膜 231 から酸化物半導体膜 229 に酸素を拡散させて、酸化物半導体膜 229 に含まれる酸素欠陥を補填し、酸素欠陥を低減することができる。

10

【0155】

なお、絶縁膜 231 の成膜後に、不活性ガス雰囲気下、または酸素雰囲気下で熱処理（第 2 の熱処理。）を行ってもよい。熱処理の温度は、200 以上 450 以下とするのが好ましく、250 以上 350 以下とするのがより好ましい。このような熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、酸化物半導体膜 229 と接する絶縁膜 231 または絶縁膜 225 が酸素を含む場合、酸化物半導体膜 229 に酸素を供給し、該酸化物半導体膜 229 の酸素欠損を補填することもできる。このように、上述の熱処理には酸素を供給する効果があるため、当該熱処理を、加酸化（加酸素化）などと呼ぶこともできる。

20

【0156】

なお、本実施の形態では、絶縁膜 231 の形成後に加酸化の熱処理を行っているが、加酸化の熱処理のタイミングはこれに限定されず、絶縁膜 231 の形成後に適宜行えばよい。

【0157】

上述のように、脱水化または脱水素化の熱処理と加酸化の熱処理を適用し、酸化物半導体膜 229 中の不純物を低減し、酸素欠損を補填することで、酸化物半導体膜 229 を、その主成分以外の不純物が極力含まれないように高純度化することができる。

【0158】

次に、ゲート電極 233 をマスクとして、酸化物半導体膜 229 にドーパントを添加する処理を行う。この結果、図 6 (B) に示すように、ゲート電極 233 に覆われ、ドーパントが添加されない第 1 の領域 235a と、ドーパントを含む一対の第 2 の領域 235b、第 2 の領域 235c を形成する。ゲート電極 233 をマスクにしてドーパントを添加するため、セルフアラインで、ドーパントが添加されない第 1 の領域 235a、及びドーパントを含む一対の第 2 の領域 235b、第 2 の領域 235c を形成することができる。なお、ゲート電極 233 と重畳する第 1 の領域 235a はチャネル領域として機能する。また、ドーパントを含む一対の第 2 の領域 235b、第 2 の領域 235c は、ソース領域およびドレイン領域として機能する。また、第 1 の領域 235a、及びドーパントを含む一対の第 2 の領域 235b、第 2 の領域 235c を酸化物半導体膜 235 と示す。

30

【0159】

酸化物半導体膜 235 の第 1 の領域 235a は、水素濃度を 5×10^{-8} atoms/cm³ 未満、好ましくは 1×10^{-8} atoms/cm³ 以下、より好ましくは 5×10^{-7} atoms/cm³ 以下、さらに好ましくは 1×10^{-6} atoms/cm³ 以下とすることが好ましい。酸化物半導体及び水素の結合により、水素の一部がドナーとなり、キャリアである電子が生じてしまう。これらのため、酸化物半導体膜 235 の第 1 の領域 235a 中の水素濃度を低減することで、しきい値電圧のマイナスシフトを低減することができる。

40

【0160】

ドーパントを含む一対の第 2 の領域 235b、第 2 の領域 235c に含まれるドーパントの濃度は、 5×10^{-8} atoms/cm³ 以上 1×10^{-2} atoms/cm³ 以下、

50

好ましくは 5×10^{18} atoms/cm³ 以上 5×10^{19} atoms/cm³ 未満とする。

【0161】

ドーパントを含む一对の第2の領域235b、第2の領域235cはドーパントを含むため、キャリア密度または欠陥を増加させることができる。このため、ドーパントを含まない第1の領域235aと比較して導電性を高めることができる。なお、ドーパント濃度を増加させすぎると、ドーパントがキャリアの移動を阻害することになり、ドーパントを含む一对の第2の領域235b、第2の領域235cの導電性を低下させることになる。

【0162】

ドーパントを含む一对の第2の領域235b、第2の領域235cは、導電率が0.1S/cm以上1000S/cm以下、好ましくは10S/cm以上1000S/cm以下とすることが好ましい。

【0163】

酸化物半導体膜229にドーパントを添加する方法として、イオンドーピング法またはイオンインプランテーション法を用いることができる。また、添加するドーパントとしては、ホウ素、窒素、リン、及びヒ素の少なくとも一以上がある。または、ドーパントとしては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの少なくとも一以上がある。または、ドーパントとしては、水素がある。なお、ドーパントとして、ホウ素、窒素、リン、及びヒ素の一以上と、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの一以上と、水素とを適宜組み合わせてもよい。

20

【0164】

また、酸化物半導体膜229へのドーパントの添加は、酸化物半導体膜229を覆って、絶縁膜などが形成されている状態を示したが、酸化物半導体膜229が露出している状態でドーパントの添加を行ってもよい。

【0165】

さらに、上記ドーパントの添加はイオンドーピング法またはイオンインプランテーション法などによる注入する以外の方法でも行うことができる。例えば、添加する元素を含むガス雰囲気にてプラズマを発生させて、被添加物に対してプラズマ処理を行うことによって、ドーパントを添加することができる。上記プラズマを発生させる装置としては、ドライエッキング装置やプラズマCVD装置、高密度プラズマCVD装置などを用いることができる。

30

【0166】

この後、加熱処理を行ってもよい。当該加熱処理の温度は、代表的には、150以上450以下、好ましくは250以上325以下とする。または、250から325まで徐々に温度上昇させながら加熱してもよい。

【0167】

当該加熱処理により、ドーパントを含む一对の第2の領域235b、第2の領域235cの抵抗を低減することができる。なお、当該加熱処理において、ドーパントを含む一对の第2の領域235b、第2の領域235cは、結晶状態でも非晶質状態でもよい。

40

【0168】

次に、図6(C)に示すように、ゲート電極233の側面にサイドウォール絶縁膜237、及びゲート絶縁膜239、並びに電極241a、電極241bを形成する。

【0169】

サイドウォール絶縁膜237は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。なお、サイドウォール絶縁膜237として、絶縁膜225と同様に、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成してもよい。

【0170】

加熱により酸素の一部が脱離する酸化絶縁膜は、酸化絶縁膜の成膜後に酸素を注入するこ

50

とによって形成してもよい。

【0171】

ここで、サイドウォール絶縁膜237の形成方法について説明する。

【0172】

まず、絶縁膜231およびゲート電極233上に、後にサイドウォール絶縁膜237となる絶縁膜を形成する。絶縁膜は、スパッタリング法、CVD法等により形成する。また、当該絶縁膜の厚さは特に限定はないが、ゲート電極233の形状に応じる被覆性を考慮して、適宜選択すればよい。

【0173】

次に、絶縁膜をエッティングすることによりサイドウォール絶縁膜237を形成する。該エッティングは、異方性の高いエッティングであり、サイドウォール絶縁膜237は、絶縁膜に異方性の高いエッティング工程を行うことでセルフアラインに形成することができる。

10

【0174】

また、ドーパントを含む一対の第2の領域235b、第2の領域235cにおいて、電界緩和領域として機能する幅は、サイドウォール絶縁膜237の幅に対応し、またサイドウォール絶縁膜237の幅は、ゲート電極233の厚さにも影響されることから、電界緩和領域の範囲が、所望の範囲となるように、ゲート電極233の厚さを決めればよい。

【0175】

また、サイドウォール絶縁膜237の形成工程と共に、異方性の高いエッティングを用いて絶縁膜231をエッティングし、酸化物半導体膜235を露出させることで、ゲート絶縁膜239を形成することができる。

20

【0176】

一対の電極241a、電極241bは配線223a乃至配線223cと同様の材料を適宜用いて形成することができる。なお、一対の電極241a、電極241bは配線として機能させてもよい。

【0177】

一対の電極241a、電極241bは、印刷法またはインクジェット法を用いて形成される。または、スパッタリング法、CVD法、蒸着法等で導電膜を形成した後、該導電膜の一部を選択的にエッティングして、一対の電極241a、電極241bを形成する。

【0178】

30

一対の電極241a、電極241bは、サイドウォール絶縁膜237及びゲート絶縁膜239の側面と接するように形成されることが好ましい。即ち、トランジスタの一対の電極241a、電極241bの端部がサイドウォール絶縁膜237上に位置し、酸化物半導体膜235において、ドーパントを含む一対の第2の領域235b、第2の領域235cの露出部を、チャネル長方向において全て覆っていることが好ましい。この結果、ドーパントが含まれる一対の第2の領域235b、第2の領域235cにおいて、一対の電極241a、電極241bと接する領域がソース領域及びドレイン領域として機能すると共に、サイドウォール絶縁膜237及びゲート絶縁膜239と重なる領域が電界緩和領域として機能する。また、サイドウォール絶縁膜237の長さにより電界緩和領域の幅が制御できるため、一対の電極241a、電極241bを形成するためのマスク合わせの精度を緩和することができる。よって、複数のトランジスタにおけるばらつきを低減することができる。

40

【0179】

なお、本実施の形態では、ゲート電極233の側面に接してサイドウォール絶縁膜237を設けたが、本発明はこれに限られるものではなく、サイドウォール絶縁膜237を設けない構成とすることもできる。また、本実施の形態では、一対の第2の領域235b、第2の領域235cを形成した後でサイドウォール絶縁膜237を設けたが、本発明はこれに限られるものではなく、サイドウォール絶縁膜237を設けた後で一対の第2の領域235b、第2の領域235cを形成しても良い。

【0180】

50

次に、図7(A)に示すように、スパッタリング法、CVD法、塗布法、印刷法等により、絶縁膜243及び絶縁膜245を形成する。

【0181】

絶縁膜243、絶縁膜245は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。なお、絶縁膜245として、外部への酸素の拡散を防ぐ絶縁膜を用いることで、絶縁膜243から脱離する酸素を酸化物半導体膜に供給することができる。外部への酸素の拡散を防ぐ絶縁膜の代表例としては、酸化アルミニウム、酸化窒化アルミニウム等がある。また、絶縁膜245として、外部からの水素の拡散を防ぐ絶縁膜を用いることで、外部から酸化物半導体膜への水素の拡散を低減することが可能であり、酸化物半導体膜の欠損を低減することができる。外部からの水素の拡散を防ぐ絶縁膜の代表例としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。また、絶縁膜243を、加熱により酸素の一部が脱離する酸化絶縁膜、外部への酸素の拡散を防ぐ絶縁膜と、酸化絶縁膜との3層構造とすることで、効率よく酸化物半導体膜へ酸素を拡散すると共に、外部への酸素の脱離を抑制することができる、温度及び湿度の高い状態でも、トランジスタの特性の変動を低減することができる。10

【0182】

以上の工程により、図7(A)に示すように、酸化物半導体膜を有するトランジスタ111を作製することができる。なお、上記トランジスタ111のチャネル部は、i型(真性半導体)またはi型に限りなく近い酸化物半導体膜235を有するため、極めて優れた特性を示す。20

【0183】

なお、本実施の形態でトランジスタ111をトップゲート構造としたが、本発明はこれに限られるものではなく、例えばボトムゲート構造としても良い。また、本実施の形態でトランジスタ111は、一対の電極241aおよび電極241bが、一対の第2の領域235bおよび第2の領域235cの上面の少なくとも一部と接する構成としているが、本発明はこれに限られるものではない。

【0184】

次に、絶縁膜215、絶縁膜217、絶縁膜221、絶縁膜225、絶縁膜243、絶縁膜245のそれぞれ一部を選択的にエッチングし、開口部を形成して、ゲート電極209a、電極241aおよび電極241bのそれぞれ一部を露出する。次に、開口部に導電膜を成膜した後、該導電膜の一部を選択的にエッチングして、配線249および配線250を形成する。配線249および配線250は、コンタクトプラグ219a～219dに示す材料を適宜用いることができる。30

【0185】

ここで、配線249は、トランジスタ111のソース電極またはドレイン電極の一方(電極241a)とトランジスタ107のゲート電極209aとを電気的に接続するノードNとして機能する。なお、図7(B)では、直接的に示していないが、同様に配線249は、トランジスタ106のゲート電極209bとも電気的に接続されるものとする。また、配線250は、トランジスタ111のソース電極またはドレイン電極の他方(電極241b)として機能し、図3に示す信号線S3と電気的に接続される。また、図7(B)では直接的に示していないが、トランジスタ111のゲート電極233も、図3に示す信号線S5と電気的に接続されるものとする。40

【0186】

以上の工程により、トランジスタ111、トランジスタ107およびトランジスタ106を有する論理回路を作成することができる。

【0187】

以上に示すように、酸化物半導体のようなワイドバンドギャップ半導体を用いることによりトランジスタのオフ電流を十分に小さくすることができる。さらに、該トランジスタを50

ノードNにおける電荷保持状態を切り替えるためのトランジスタとして用いることにより、電源電位の供給が遮断されたときでもノードNの電荷保持状態を保つことが可能な論理回路を作製することができる。つまり、酸化物半導体を用いたトランジスタは、ノードNにおける電荷保持状態を切り替えることによって、不揮発性のメモリとして機能する。また、電源投入後の論理ブロックの起動時間を短くした論理回路を作製することができる。これにより、ノーマリオフの駆動方法を用いて、低消費電力化を図ることができるプログラマブルロジックデバイスを提供することができる。

【0188】

ところで、不揮発性のランダムアクセスメモリとして磁気トンネル接合素子（MTJ素子）が知られている。MTJ素子は、絶縁膜を介して上下に配置している膜中のスピンの向きが平行であれば低抵抗状態、反平行であれば高抵抗状態となることで情報を記憶する素子である。したがって、本実施の形態で示す酸化物半導体を用いたトランジスタによるメモリとは原理が全く異なっている。表3はMTJ素子と、本実施の形態に係る半導体装置との対比を示す。

【0189】

【表3】

	スピントロニクス(MTJ素子)	OS/Si
1) 耐熱性	キュリー温度	プロセス温度500°C (信頼性150°C)
2) 駆動方式	電流駆動	電圧駆動
3) 書き込み原理	磁性体のスピンの向きを変える	FETのオン/オフ
4) Si LSI	バイポーラLSI向き (バイポーラは高集積化には不向きなため、高集積化回路ではMOSの方が好みしい。ただし、Wが大きくなる。)	MOSLSI向き
5) オーバーヘッド	大きい (ジュール熱が大きいため)	2~3桁以上小さい (寄生容量の充放電)
6) 不揮発性	スピンを利用	オフ電流が小さいことを利用
7) 読み出し回数	無制限	無制限
8) 3D化	難(それでも二層まで)	容易(何層でも可)
9) 集積化度(F ²)	4F ² ~15F ²	3D化の積層数で決まる (上層OSFET工程のプロセス耐熱性の確保が必要)
10) 材料	磁性を有する希土類	OS材料
11) ビットコスト	高い	低い (OSを構成する材料によっては(Inなど)、多少コスト高の可能性有り)
12) 磁界耐性	弱い	強い

10

20

30

40

【0190】

MTJ素子は磁性材料を使用するためキュリー温度以上にすると磁性が失われてしまうという欠点がある。また、MTJ素子は電流駆動であるため、シリコンのバイポーラデバイスと相性が良いが、バイポーラデバイスは集積化に不向きである。そして、MTJ素子は書き込み電流が微少とはいえたメモリの大容量化によって消費電力が増大してしまうといった問題がある。

【0191】

原理的にMTJ素子は磁界耐性に弱く強磁界にさらされるとスピンの向きが狂いやすい。また、MTJ素子に用いる磁性体のナノスケール化によって生じる磁化揺らぎを制御する必要がある。

【0192】

さらに、MTJ素子は希土類元素を使用するため、金属汚染を嫌うシリコン半導体のプロセスに組み入れるには相当の注意を要する。MTJ素子はビット当たりの材料コストから見ても高価であると考えられる。

【0193】

50

一方、本実施の形態で示す酸化物半導体を用いたトランジスタは、チャネルを形成する半導体材料が金属酸化物であること以外は、素子構造や動作原理がシリコンMOSFETと同様である。また、酸化物半導体を用いたトランジスタは磁界の影響を受けず、ソフトエラーも生じ得ないといった特質を有する。このことからシリコン集積回路と非常に整合性が良いといえる。

【0194】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す構成、方法どうして組み合わせて用いることもでき、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることもできる。

【0195】

10

(実施の形態3)

本実施の形態では、先の実施の形態で示した酸化物半導体膜を有するトランジスタについて、電界効果移動度を理論的に導出し、当該電界効果移動度を用いてトランジスタ特性を導出する。

【0196】

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

20

【0197】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁(粒界等)が存在すると仮定すると、次の式(2)で表現できる。

【0198】

【数2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad (2)$$

【0199】

ここで、Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、次の式(3)で表現できる。

30

【0200】

【数3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad (3)$$

【0201】

ここで、eは電気素量、Nはチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、nは単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、tはチャネルの厚さである。なお、厚さ30nm以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。線形領域におけるドレイン電流 I_d は、次の式(4)で表現できる。

40

【0202】

【数4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad (4)$$

【0203】

ここで、Lはチャネル長、Wはチャネル幅であり、ここでは、L = W = 10 μmである。また、 V_d はドレイン電圧である。式(4)の両辺を V_g で割り、更に両辺の対数を取る

50

と、次の式(5)となる。

【0204】

【数5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \quad (5)$$

【0205】

式(5)の右辺は V_g の関数である。この式からわかるように、縦軸を $1/n$ (I_d / V_g)、横軸を $1/V_g$ とする直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム(I_n)、スズ(S_n)、亜鉛(Z_n)の比率が、 $I_n : S_n : Z_n = 1 : 1 : 1$ のものでは欠陥密度 N は $1 \times 10^{12} \text{ cm}^{-2}$ 程度である。
10

【0206】

このようにして求めた欠陥密度等をもとに式(2)および式(3)より $\mu_0 = 120 \text{ cm}^2 / \text{Vs}$ が導出される。欠陥のある $I_n - S_n - Z_n$ 酸化物で測定される移動度は $40 \text{ cm}^2 / \text{Vs}$ 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 \text{ cm}^2 / \text{Vs}$ となると予想できる。

【0207】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁物との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁物界面から x だけ離れた場所における移動度 μ_1 は、次の式(6)で表現できる。
20

【0208】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right) \quad (6)$$

【0209】

ここで、 D はゲート方向の電界、 B 、 l は定数である。 B および l は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $l = 10 \text{ nm}$ (界面散乱が及ぶ深さ)である。 D が増加する(すなわち、ゲート電圧が高くなる)と式(6)の第2項が増加するため、移動度 μ_1 は低下することがわかる。
30

【0210】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ を計算した結果を図13に示す。なお、計算にはシノブシス社製デバイスシミュレーションソフト、*Sentaurus Device*を使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、 2.8 電子ボルト、 4.7 電子ボルト、 15 、 15 nm とした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【0211】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、 5.5 電子ボルト、 4.6 電子ボルト、 4.6 電子ボルトとした。また、ゲート絶縁物の厚さは 100 nm 、比誘電率は 4.1 とした。チャネル長およびチャネル幅はともに $10 \mu\text{m}$ 、ドレイン電圧 V_d は 0.1 V である。
40

【0212】

図13で示されるように、ゲート電圧 1 V 強で移動度 $100 \text{ cm}^2 / \text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること(*ALF* : *A t o m i c L a y e r F l a t n e s s*)が望ましい。

【0213】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特
50

性を計算した結果を図14乃至図16に示す。なお、計算に用いたトランジスタの断面構造を図17に示す。図17に示すトランジスタは酸化物半導体層に n^+ の導電型を呈する第2の領域1103bおよび第2の領域1103cを有する。第2の領域1103bおよび第2の領域1103cの抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

【0214】

図17(A)に示すトランジスタは、下地絶縁膜1101と、下地絶縁膜1101に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物1102の上に形成される。トランジスタは第2の領域1103b、第2の領域1103cと、それらに挟まれ、チャネル形成領域となる真性の第1の領域1103aと、ゲート電極1105を有する。ゲート電極1105の幅(つまりチャネル長にあたる。)を33nmとする。

10

【0215】

ゲート電極1105と第1の領域1103aの間には、ゲート絶縁膜1104を有し、また、ゲート電極1105の両側面にはサイドウォール絶縁膜1106aおよびサイドウォール絶縁膜1106b、ゲート電極1105の上部には、ゲート電極1105と他の配線との短絡を防止するための絶縁物1107を有する。サイドウォール絶縁膜の幅は5nmとする。また、第2の領域1103bおよび第2の領域1103cに接して、ソース電極1108aおよびドレイン電極1108bを有する。なお、このトランジスタにおけるチャネル幅を40nmとする。

【0216】

図17(B)に示すトランジスタは、下地絶縁膜1101と、酸化アルミニウムよりなる埋め込み絶縁物1102の上に形成され、第2の領域1103b、第2の領域1103cと、それらに挟まれた真性の第1の領域1103aと、幅33nmのゲート電極1105とゲート絶縁膜1104とサイドウォール絶縁膜1106aおよびサイドウォール絶縁膜1106bと絶縁物1107とソース電極1108aおよびドレイン電極1108bを有する点で図17(A)に示すトランジスタと同じである。

20

【0217】

図17(A)に示すトランジスタと図17(B)に示すトランジスタの相違点は、サイドウォール絶縁膜1106aおよびサイドウォール絶縁膜1106bの下の半導体領域の導電型である。図17(A)に示すトランジスタでは、サイドウォール絶縁膜1106aおよびサイドウォール絶縁膜1106bの下の半導体領域は n^+ の導電型を呈する第2の領域1103bおよび第2の領域1103cであるが、図17(B)に示すトランジスタでは、真性の第1の領域1103aである。すなわち、第2の領域1103b(第2の領域1103c)とゲート電極1105がLooffだけ重ならない領域ができている。この領域をオフセット領域といい、その幅Looffをオフセット長という。図から明らかなように、オフセット長は、サイドウォール絶縁膜1106a(サイドウォール絶縁膜1106b)の幅と同じである。

30

【0218】

その他の計算に使用するパラメータは上述の通りである。計算にはシノブシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用した。図14は、図17(A)に示される構造のトランジスタのドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧 V_g (ゲートとソースの電位差)依存性を示す。ドレイン電流 I_d は、ドレイン電圧(ドレインとソースの電位差)を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。

40

【0219】

図14(A)はゲート絶縁膜の厚さを15nmとしたものであり、図14(B)は10nmとしたものであり、図14(C)は5nmとしたものである。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流)が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流)には目立った変化が無い。ゲート電圧1V前後で、ドレイン電流はメモリ素子等で必要とされる10 μ Aを超えることが示された。

50

【0220】

図15は、図17(B)に示される構造のトランジスタで、オフセット長 L_{off} を5nmとしたもののドレン電流 I_d (実線)および移動度 μ (点線)のゲート電圧 V_g 依存性を示す。ドレン電流 I_d は、ドレン電圧を+1Vとし、移動度 μ はドレン電圧を+0.1Vとして計算したものである。図15(A)はゲート絶縁膜の厚さを15nmとしたものであり、図15(B)は10nmとしたものであり、図15(C)は5nmとしたものである。

【0221】

また、図16は、図17(B)に示される構造のトランジスタで、オフセット長 L_{off} を15nmとしたもののドレン電流 I_d (実線)および移動度 μ (点線)のゲート電圧依存性を示す。ドレン電流 I_d は、ドレン電圧を+1Vとし、移動度 μ はドレン電圧を+0.1Vとして計算したものである。図16(A)はゲート絶縁膜の厚さを15nmとしたものであり、図16(B)は10nmとしたものであり、図16(C)は5nmとしたものである。

10

【0222】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0223】

なお、移動度 μ のピークは、図14では $80\text{ cm}^2/\text{Vs}$ 程度であるが、図15では $60\text{ cm}^2/\text{Vs}$ 程度、図16では $40\text{ cm}^2/\text{Vs}$ と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流にはオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧1V前後で、ドレン電流はメモリ素子等で必要とされる10 μA を超えることが示された。また、このように移動度の高いトランジスタを、先の実施の形態で示した論理回路を切り替えるためのトランジスタに用いることにより、ノードNへの書き込みを高速でおこなうことができるので、動的コンフィギュレーションを容易に行うことができるプログラマブルロジックデバイスを提供することができる。

20

【0224】

(実施の形態4)

本実施の形態では、先の実施の形態で示した酸化物半導体膜を有するトランジスタについて、特にIn、Sn、Znを主成分とする酸化物半導体膜を有するトランジスタについて説明する。

30

【0225】

In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5atomic%以上含まれる元素をいう。

【0226】

In、Sn、Znを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることができるとなる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリオフ化させることができるとなる。以下、In、Sn、Znを主成分とする酸化物半導体膜を有するトランジスタを作製して各種測定を行った結果について説明する。

40

【0227】

まず、本実施の形態で各種測定に用いたトランジスタの構造について図23を用いて説明する。図23(A)は、当該トランジスタの平面図であり、図23(B)は図23(A)の一点鎖線A-Bに対応する断面図である。

【0228】

図23(B)に示すトランジスタは、基板600と、基板600上に設けられた下地絶縁膜602と、下地絶縁膜602上に設けられた酸化物半導体膜606と、酸化物半導体膜

50

606と接する一対の電極614と、酸化物半導体膜606および一対の電極614上に設けられたゲート絶縁膜608と、ゲート絶縁膜608を介して酸化物半導体膜606と重畠して設けられたゲート電極610と、ゲート絶縁膜608およびゲート電極610を覆って設けられた層間絶縁膜616と、ゲート絶縁膜608および層間絶縁膜616に設けられた開口部を介して一対の電極614と接続する配線618と、層間絶縁膜616および配線618を覆って設けられた保護膜620と、を有する。ここで、一対の電極614は、当該トランジスタのソース電極およびドレイン電極として機能する。

【0229】

基板600としてはガラス基板を、下地絶縁膜602としては酸化シリコン膜を、酸化物半導体膜606としてはIn-Sn-Zn-O膜を、一対の電極614としてはタンゲステン膜を、ゲート絶縁膜608としては酸化シリコン膜を、ゲート電極610としては窒化タンタル膜とタンゲステン膜との積層構造を、層間絶縁膜616としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線618としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜620としてはポリイミド膜を、それぞれ用いた。

【0230】

なお、図23(A)に示す構造のトランジスタにおいて、ゲート電極610と一対の電極614との重畠する幅をL_{0V}と呼ぶ。同様に、酸化物半導体膜606に対する一対の電極614のはみ出しをdWと呼ぶ。

【0231】

図18(A)～図18(C)は、図23に示すトランジスタにおいて、チャネル長Lが3μm、チャネル幅Wが10μmである酸化物半導体膜と、厚さ100nmのゲート絶縁膜を用いたトランジスタの特性(ドレイン電流I_d(実線)および移動度μ(点線)のゲート電圧依存性)である。なお、V_dは10Vとした。

【0232】

図18(A)は基板を意図的に加熱せずにスパッタリング法でIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は18.8cm²/Vsが得られている。一方、基板を意図的に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることができる。図18(B)は基板を200℃に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は32.2cm²/Vsが得られている。

【0233】

電界効果移動度は、In、Sn、Znを主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図18(C)は、In、Sn、Znを主成分とする酸化物半導体膜を200℃でスパッタリング成膜した後、650℃で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は34.5cm²/Vsが得られている。

【0234】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによって、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には100cm²/Vsを超える電界効果移動度を実現することも可能になると推定される。

【0235】

In、Sn、Znを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はそ

10

20

30

40

50

の後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0236】

基板を意図的に加熱して成膜すること及び成膜後に熱処理すること、の効果は、電界効果移動度の向上のみならず、トランジスタのノーマリオフ化を図ることにも寄与している。基板を意図的に加熱しないで形成されたIn、Sn、Znを主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリオフとなる方向に動き、このような傾向は図18(A)と図18(B)の対比からも確認することができる。

【0237】

なお、しきい値電圧はIn、Sn及びZnの比率を変えることによっても制御することができる、組成比としてIn:Sn:Zn = 2:1:3とすることでトランジスタのノーマリオフ化を期待することができる。また、ターゲットの組成比をIn:Sn:Zn = 2:1:3とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0238】

意図的な基板加熱温度若しくは熱処理温度は、150以上、好ましくは200以上、より好ましくは400以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリオフ化を図ることが可能となる。

【0239】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

【0240】

酸化物半導体中及び積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することができる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $2 \times 10^{20} \text{ cm}^{-3}$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

【0241】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることでもより安定な酸化物半導体膜を得ることができる。例えば、組成比In:Sn:Zn = 1:1:1のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折(XRD: X-Ray Diffraction)でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば650の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0242】

実際に、In-Sn-Zn-O膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

【0243】

XRD分析を行った試料として、試料Aおよび試料Bを用意した。以下に試料Aおよび試料Bの作製方法を説明する。

【0244】

脱水素化処理済みの石英基板上にIn-Sn-Zn-O膜を100nmの厚さで成膜した。

10

20

30

40

50

【0245】

In-Sn-Zn-O膜は、スパッタリング装置を用い、酸素雰囲気で電力を100W(DC)として成膜した。ターゲットは、In:Sn:Zn=1:1:1[原子数比]のIn-Sn-Zn-Oターゲットを用いた。なお、成膜時の基板加熱温度は200とした。このようにして作製した試料を試料Aとした。

【0246】

次に、試料Aと同様の方法で作製した試料に対し加熱処理を650の温度で行った。加熱処理は、はじめに窒素雰囲気で1時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。

【0247】

図19に試料Aおよび試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、2が35deg近傍および37deg～38degに結晶由来のピークが観測された。

【0248】

このように、In、Sn、Znを主成分とする酸化物半導体は成膜時に意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0249】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによつてトランジスタのノーマリオフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を1aA/μm以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅1μmあたりの電流値を示す。

【0250】

図20に、トランジスタのオフ電流と測定時の基板温度(絶対温度)の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に1000を掛けた数値(1000/T)を横軸としている。

【0251】

具体的には、図20に示すように、基板温度が125の場合には1aA/μm($1 \times 10^{-18} \text{ A} / \mu \text{m}$)以下、85の場合には100zA/μm($1 \times 10^{-19} \text{ A} / \mu \text{m}$)以下、室温(27)の場合には1zA/μm($1 \times 10^{-21} \text{ A} / \mu \text{m}$)以下にすることができる。好ましくは、125において0.1aA/μm($1 \times 10^{-19} \text{ A} / \mu \text{m}$)以下に、85において10zA/μm($1 \times 10^{-20} \text{ A} / \mu \text{m}$)以下に、室温において0.1zA/μm($1 \times 10^{-22} \text{ A} / \mu \text{m}$)以下にすることができる。

【0252】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、処理室外部からのリークや処理室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点-70以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていてないように、高純度化されたターゲットを用いることが好ましい。In、Sn、Znを主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、Znを主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【0253】

また、酸化物半導体膜成膜後に650の加熱処理を行った試料のトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0254】

測定に用いたトランジスタは、チャネル長Lが3μm、チャネル幅Wが10μm、L₀V_dが片側3μm(合計6μm)、dWが0μmである。なお、V_dは10Vとした。なお、

10

20

30

40

50

基板温度は - 40 、 - 25 、 25 、 75 、 125 および 150 で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畠する幅を L_{ov} と呼び、酸化物半導体膜に対する一対の電極のはみ出しを d_W と呼ぶ。

【 0255 】

図 21 に、 I_d (実線) および電界効果移動度 (点線) の V_g 依存性を示す。また、図 22 (A) に基板温度としきい値電圧の関係を、図 22 (B) に基板温度と電界効果移動度の関係を示す。

【 0256 】

図 22 (A) より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は - 40 ~ 150 で 1.09V ~ - 0.23V であった。

10

【 0257 】

また、図 22 (B) より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は - 40 ~ 150 で $36 \text{ cm}^2 / \text{Vs} \sim 32 \text{ cm}^2 / \text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【 0258 】

上記のような In 、 Sn 、 Zn を主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ aA} / \mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2 / \text{Vs}$ 以上、好ましくは $40 \text{ cm}^2 / \text{Vs}$ 以上、より好ましくは $60 \text{ cm}^2 / \text{Vs}$ 以上とし、 LSI で要求されるオン電流の値を満たすことができる。例えば、 $L / W = 33 \text{ nm} / 40 \text{ nm}$ の FET で、ゲート電圧 2.7 V 、ドレイン電圧 1.0 V のとき $12 \mu\text{A}$ 以上のオン電流を流すことができる。

20

【 0259 】

このようにオフ電流の低いトランジスタを、先の実施の形態で示した論理回路を切り替えるためのトランジスタに用いることにより、電源電位の供給が遮断されたときでもノード N の電荷保持状態を保つことが可能となる。これにより、電源投入後のノード N へのデータの書き込みを省略することができる。よって、ノーマリオフの駆動方法を用いて、低消費電力化を図ることができるプログラマブルロジックデバイスを提供することができる。

【 0260 】

また、このように移動度の高いトランジスタを、先の実施の形態で示した論理回路を切り替えるためのトランジスタに用いることにより、ノード N へのデータの書き込みを高速でおこなうことができるので、動的コンフィギュレーションを容易に行うことができるプログラマブルロジックデバイスを提供することができる。

30

【 0261 】

また、このような特性であれば、 Si 半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることのないプログラマブルロジックデバイスを提供することができる。

【 0262 】

(実施の形態 5)

本発明の一態様に係る論理回路を用いることで、消費電力の低い電子機器を提供することができる。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い半導体装置をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。

40

【 0263 】

本発明の一態様における論理回路を用いた半導体装置は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置 (代表的には DVD : Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置) に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディス

50

プレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。

【0264】

本発明の一態様における論理回路を用いた半導体装置を、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器に応用した場合について説明する。

【0265】

図8は、携帯用の電子機器のブロック図である。図8に示す携帯用の電子機器はR F回路421、アナログベースバンド回路422、デジタルベースバンド回路423、バッテリー424、電源回路425、アプリケーションプロセッサ426、フラッシュメモリ430、ディスプレイコントローラ431、メモリ回路432、ディスプレイ433、タッチセンサ439、音声回路437、キーボード438などより構成されている。ディスプレイ433は表示部434、ソースドライバ435、ゲートドライバ436によって構成されている。アプリケーションプロセッサ426はCPU427、DSP428、インターフェース429を有している。例えば、CPU427、デジタルベースバンド回路423、メモリ回路432、DSP428、インターフェース429、ディスプレイコントローラ431、音声回路437のいずれかまたは全てに上記実施の形態で示したプログラマブルロジックデバイスを採用することによって、消費電力を低減することができる。

10

【0266】

図9は電子書籍のブロック図である。電子書籍はバッテリー451、電源回路452、マイクロプロセッサ453、フラッシュメモリ454、音声回路455、キーボード456、メモリ回路457、タッチパネル458、ディスプレイ459、ディスプレイコントローラ460によって構成される。マイクロプロセッサ453はCPU461、DSP462、インターフェース463を有している。例えば、CPU461、音声回路455、メモリ回路457、ディスプレイコントローラ460、DSP462、インターフェース463のいずれかまたは全てに上記実施の形態で示したプログラマブルロジックデバイスを採用することで、消費電力を低減することができる。

20

【0267】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0268】

30

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【符号の説明】

【0269】

101	トランジスタ
102	トランジスタ
103	トランジスタ
104	トランジスタ
105	トランジスタ
106	トランジスタ
107	トランジスタ
108	トランジスタ
109	トランジスタ
110	トランジスタ
111	トランジスタ
201	半導体基板
203	素子分離領域
205	pウェル領域
215	絶縁膜
217	絶縁膜

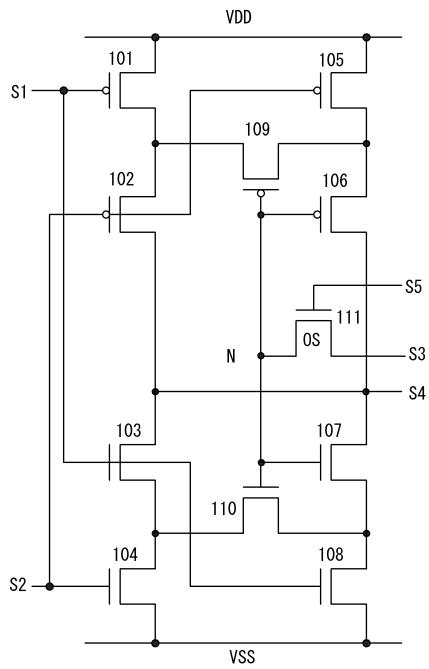
40

50

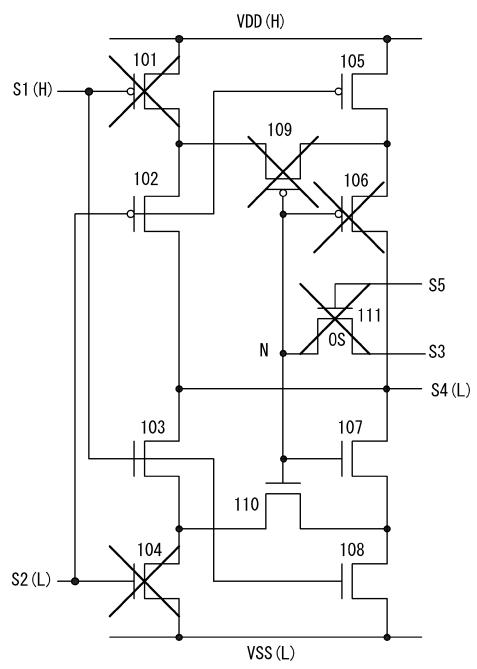
2 2 1	絶縁膜	
2 2 5	絶縁膜	
2 2 7	酸化物半導体膜	
2 2 9	酸化物半導体膜	
2 3 1	絶縁膜	
2 3 3	ゲート電極	
2 3 5	酸化物半導体膜	
2 3 7	サイドウォール絶縁膜	
2 3 9	ゲート絶縁膜	
2 4 3	絶縁膜	10
2 4 5	絶縁膜	
2 4 9	配線	
2 5 0	配線	
4 2 1	R F 回路	
4 2 2	アナログベースバンド回路	
4 2 3	デジタルベースバンド回路	
4 2 4	バッテリー	
4 2 5	電源回路	
4 2 6	アプリケーションプロセッサ	
4 2 7	C P U	20
4 2 8	D S P	
4 2 9	インターフェース	
4 3 0	フラッシュメモリ	
4 3 1	ディスプレイコントローラ	
4 3 2	メモリ回路	
4 3 3	ディスプレイ	
4 3 4	表示部	
4 3 5	ソースドライバ	
4 3 6	ゲートドライバ	
4 3 7	音声回路	30
4 3 8	キー ボード	
4 3 9	タッチセンサ	
4 5 1	バッテリー	
4 5 2	電源回路	
4 5 3	マイクロプロセッサ	
4 5 4	フラッシュメモリ	
4 5 5	音声回路	
4 5 6	キー ボード	
4 5 7	メモリ回路	
4 5 8	タッチパネル	40
4 5 9	ディスプレイ	
4 6 0	ディスプレイコントローラ	
4 6 1	C P U	
4 6 2	D S P	
4 6 3	インターフェース	
6 0 0	基板	
6 0 2	下地絶縁膜	
6 0 6	酸化物半導体膜	
6 0 8	ゲート絶縁膜	
6 1 0	ゲート電極	50

6 1 4	電極	
6 1 6	層間絶縁膜	
6 1 8	配線	
6 2 0	保護膜	
1 1 0 1	下地絶縁膜	
1 1 0 2	絶縁物	
1 1 0 4	ゲート絶縁膜	
1 1 0 5	ゲート電極	
1 1 0 7	絶縁物	
2 0 7 a	ゲート絶縁膜	10
2 0 7 b	ゲート絶縁膜	
2 0 9 a	ゲート電極	
2 0 9 b	ゲート電極	
2 1 1 a	不純物領域	
2 1 1 b	不純物領域	
2 1 3 a	不純物領域	
2 1 3 b	不純物領域	
2 1 9 a	コントラクトプラグ	
2 1 9 b	コントラクトプラグ	
2 1 9 c	コントラクトプラグ	20
2 1 9 d	コントラクトプラグ	
2 2 3 a	配線	
2 2 3 b	配線	
2 2 3 c	配線	
2 3 5 a	領域	
2 3 5 b	領域	
2 3 5 c	領域	
2 4 1 a	電極	
2 4 1 b	電極	
1 1 0 3 a	領域	30
1 1 0 3 b	領域	
1 1 0 3 c	領域	
1 1 0 6 a	サイドウォール絶縁膜	
1 1 0 6 b	サイドウォール絶縁膜	
1 1 0 8 a	ソース電極	
1 1 0 8 b	ドレイン電極	

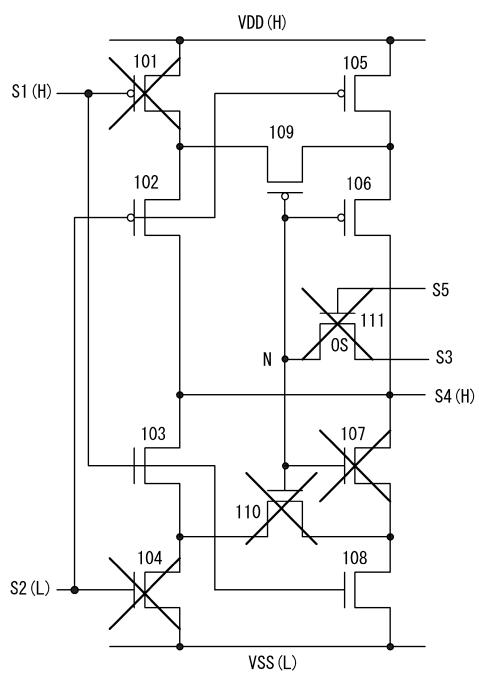
【 义 1 】



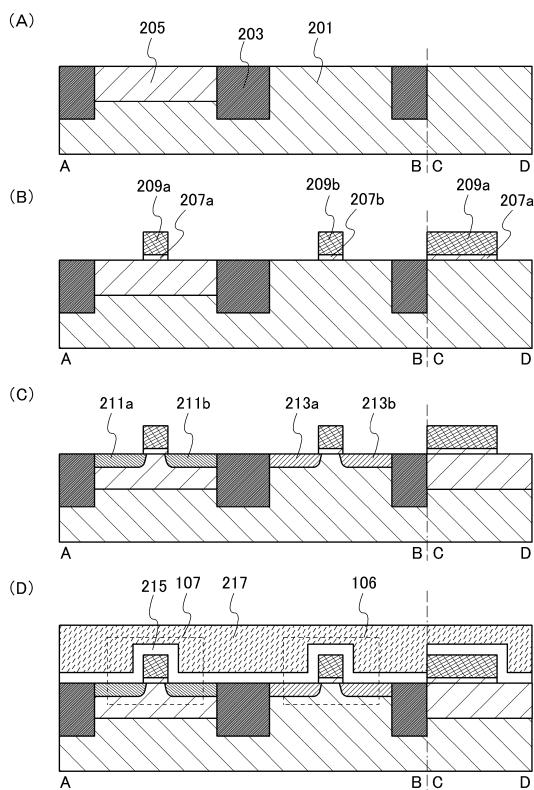
【図2】



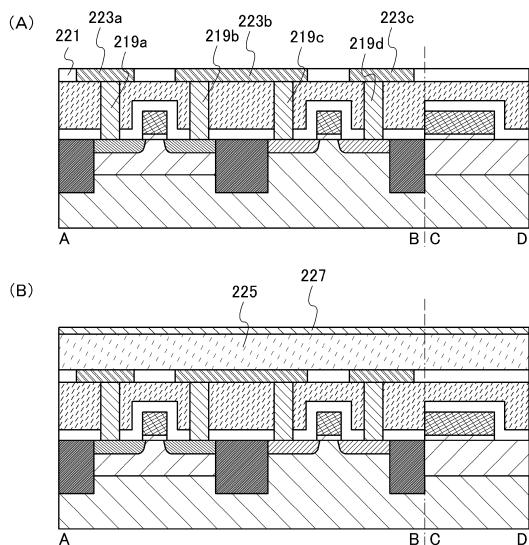
【図3】



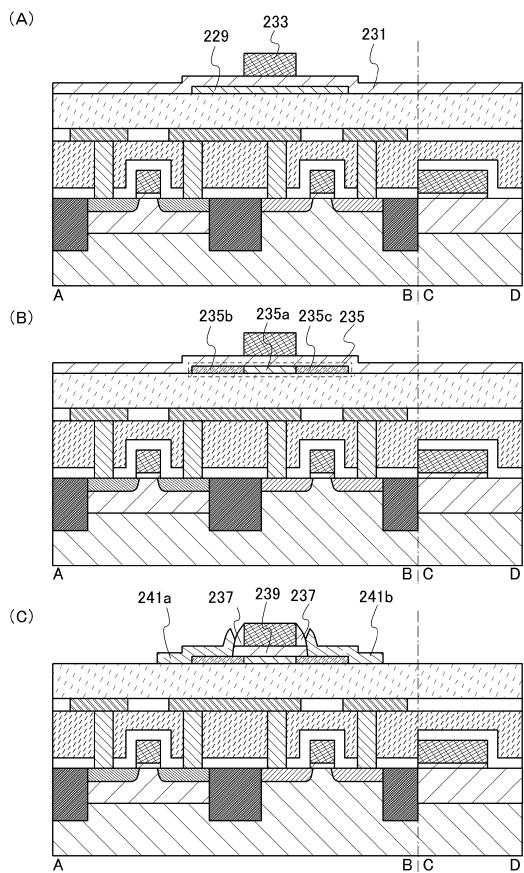
【図4】



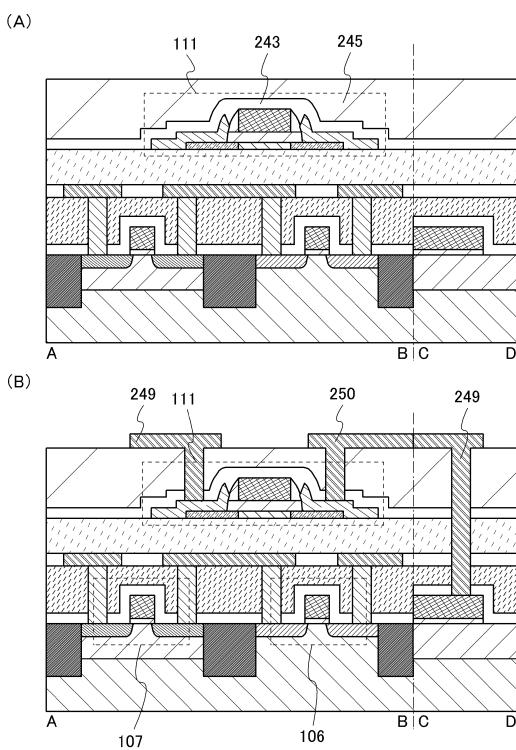
【図5】



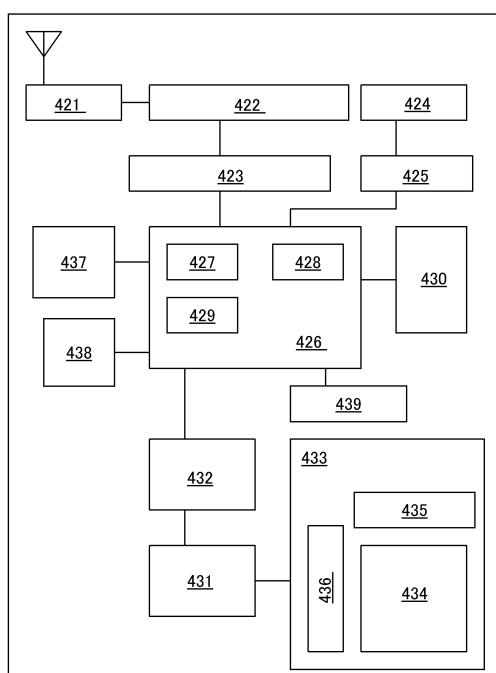
【図6】



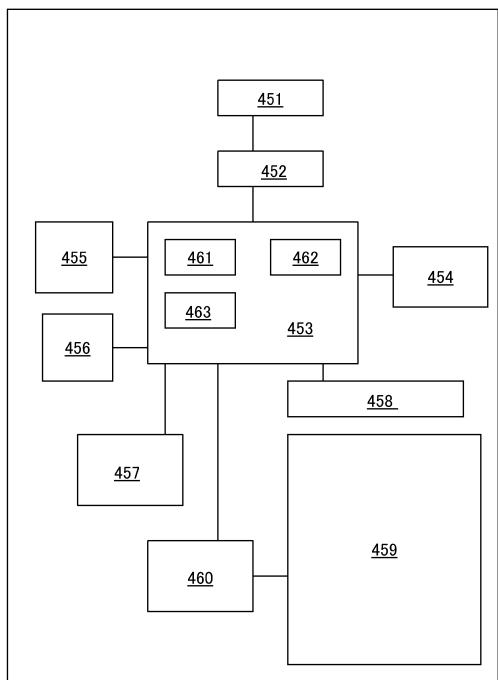
【図7】



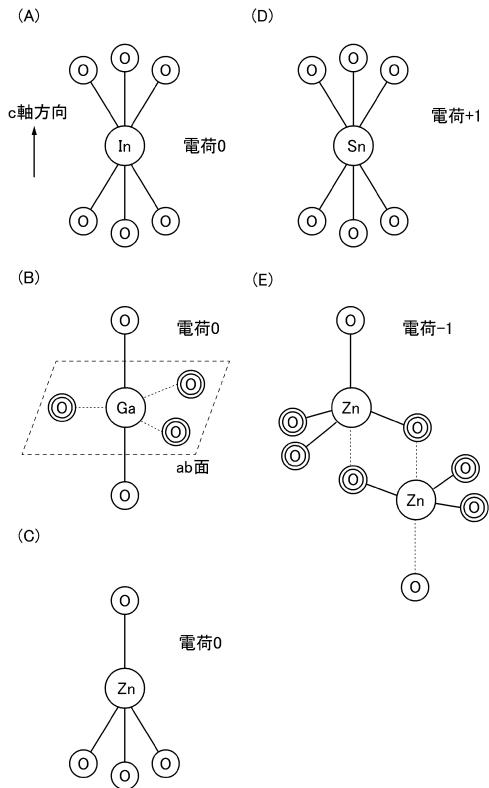
【図8】



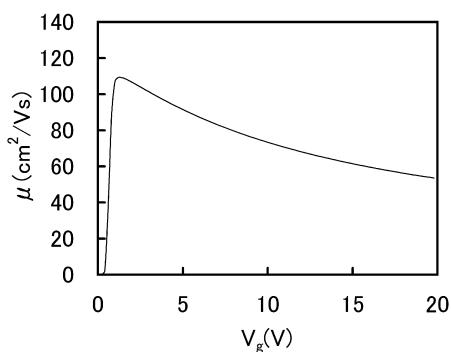
【図9】



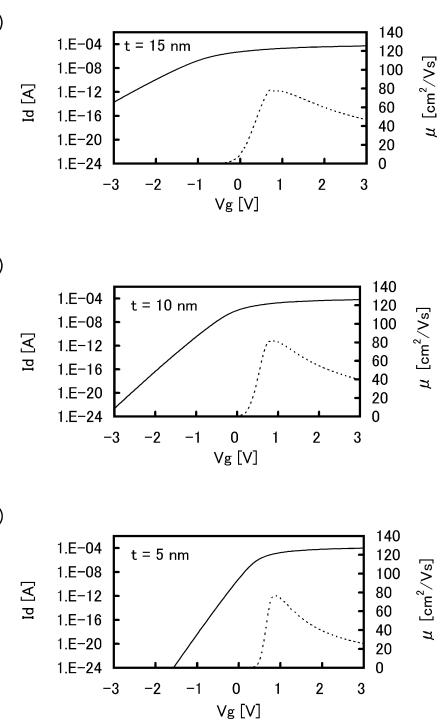
【図10】



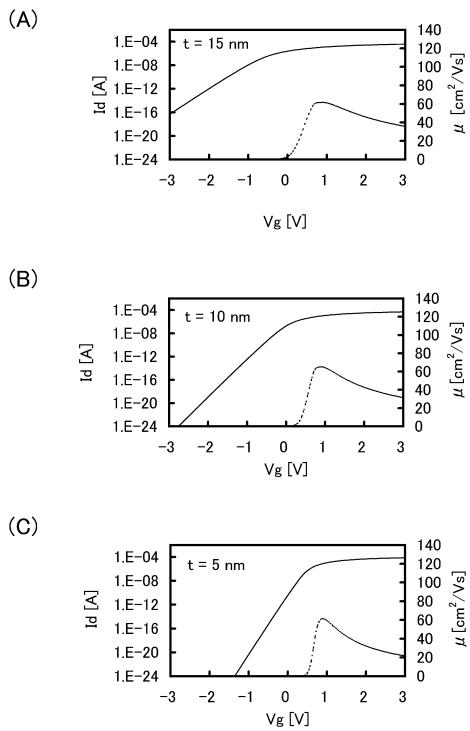
【図13】



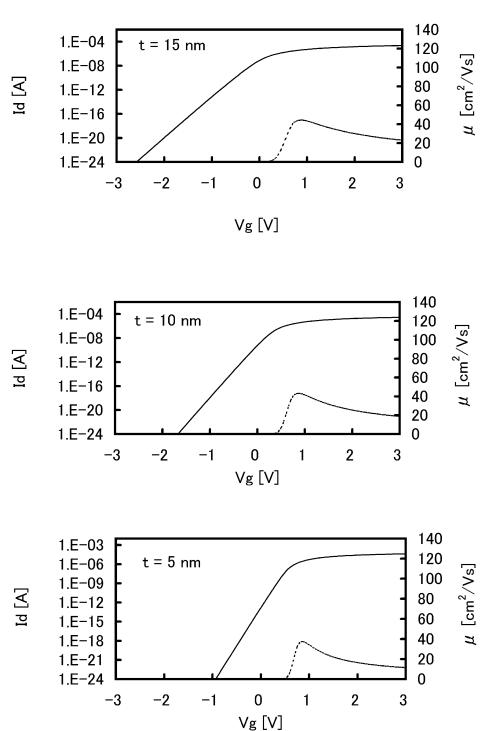
【図14】



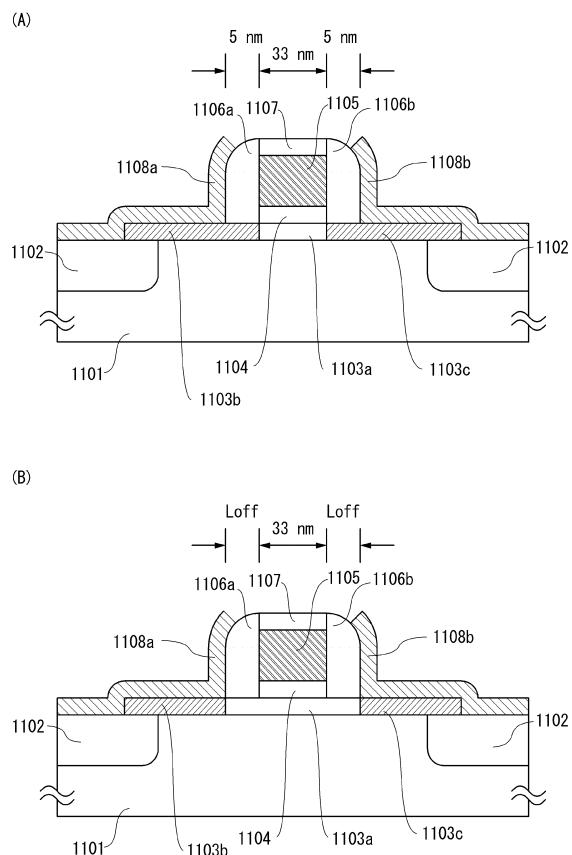
【図15】



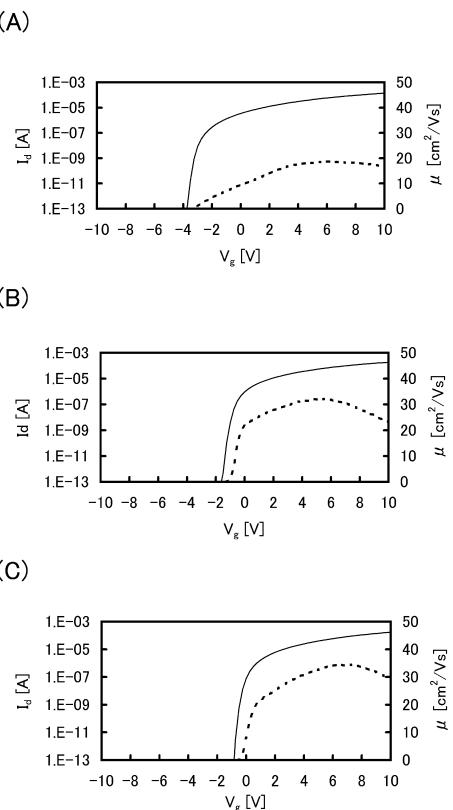
【図16】



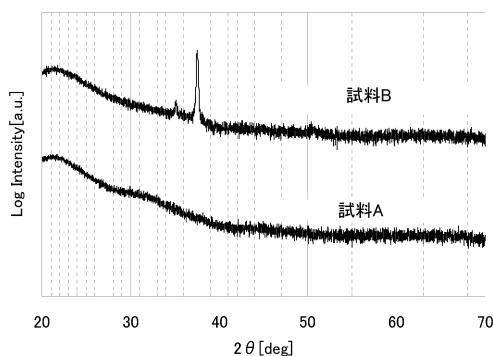
【図17】



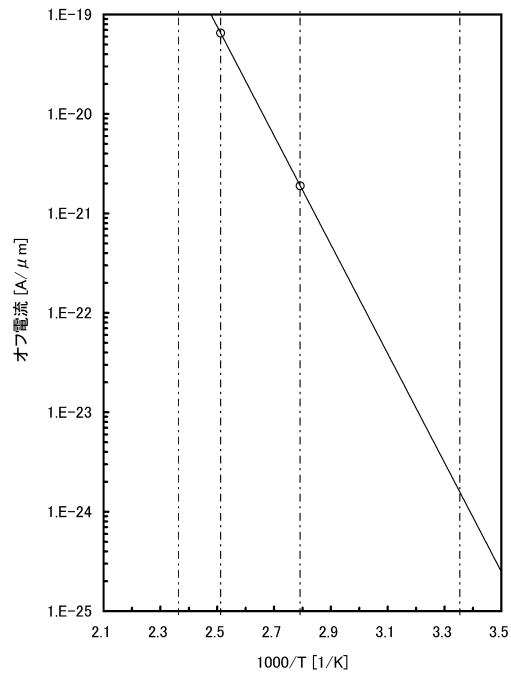
【図18】



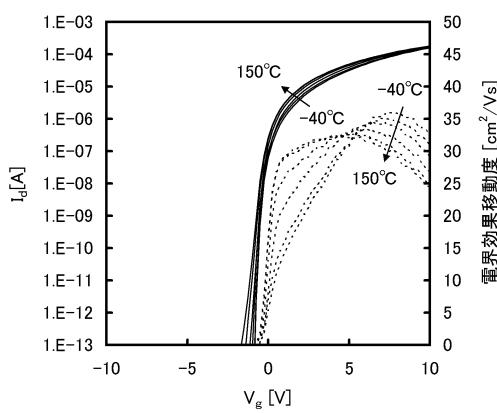
【図19】



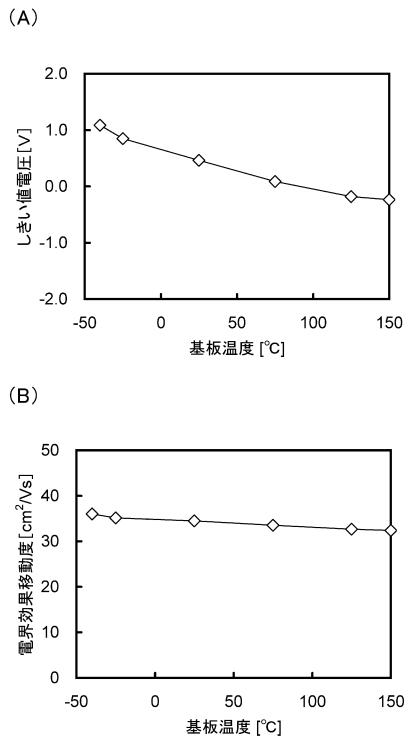
【図20】



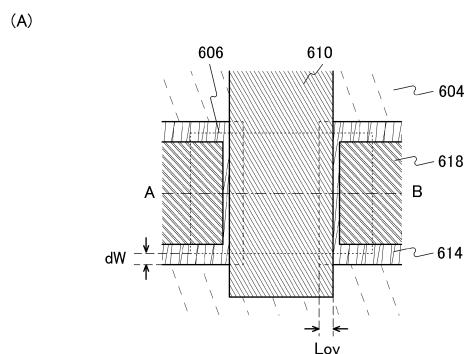
【図21】



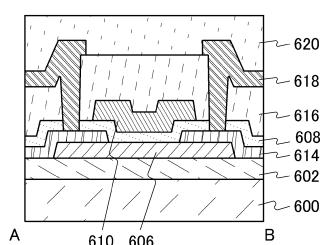
【図22】



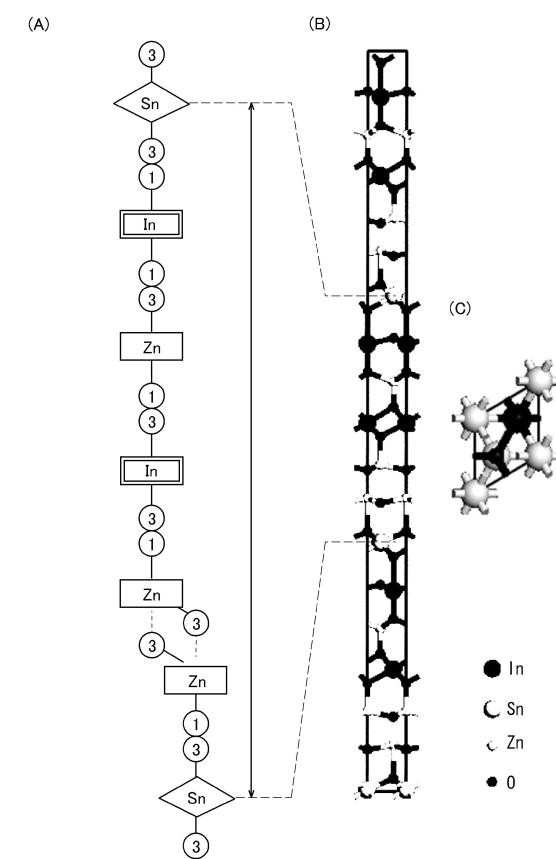
【図23】



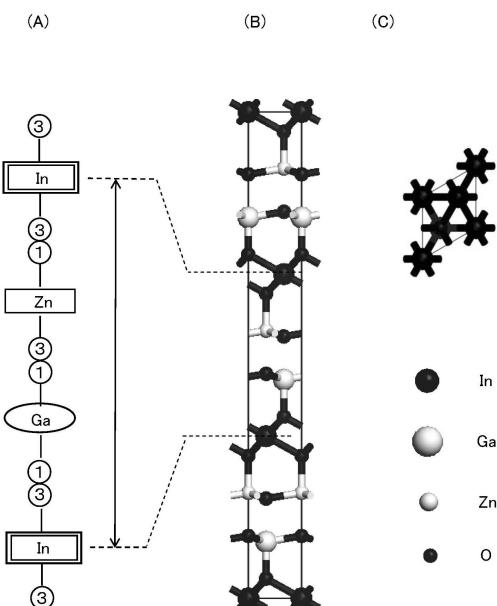
(B)



【図11】



【図12】



フロントページの続き

(56)参考文献 特開平04-127615(JP, A)
特開2011-086929(JP, A)
特開平01-295527(JP, A)
特開平08-095818(JP, A)
特開2000-151389(JP, A)
米国特許第05568067(US, A)
特開平06-112449(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/173
H01L 21/82
H01L 21/822
H01L 27/04