申請日期	90.3.27.
案號	90107129
類別	G11C 7/00

A4
C4

594782

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體記憶裝置
	英文	SEMICONDUCTOR MEMORY DEVICE
二、發明 ~~創作~~ 人	姓名	1.窪田典彥 NORIHIKO KUBOTA 2.吉川定男 SADAO YOSHIKAWA
	國籍	日本國
	住、居所	1.日本國岐阜縣揖斐郡揖斐川町和田 56-2 56-2, Wada, Ibigawa-cho, Ibi-gun, GIFU 501-0623 JAPAN 2.日本國岐阜縣養老郡養老町大卷 758-1 758-1, Ohmaki, Yoro-cho, Yoro-gun, GIFU 503-1275 JAPAN
三、申請人	姓名（名稱）	三洋電機股份有限公司 SANYO ELECTRIC CO., LTD.
	國籍	日本國
	住、居所（事務所）	日本國大阪府守口市京阪本通 2 丁目 5 番 5 號 5-5, Keihan-Hondori, 2-chome, Moriguchi-City, Osaka, Japan
	代表人姓名	桑野幸德 YUKINORI KUWANO

裝 訂 線

經濟部智慧財產局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

日本 國（地區） 申請專利，申請日期： 案號： ，☑有 ☐無主張優先權

2000 年 3 月 27 日 特願 2000-85824(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

A7
B7

五、發明說明（ 1 ）

[發明所屬技術領域]

本發明係提供一種半導體記憶裝置，乃關於將其他位元之資料，串列地輸出入的半導體記憶裝置。

[習知技術]

按，半導體記憶裝置係將記憶的資料或位址資料等，與外部裝置進行串列地交換。此類具備串列介面的半導體記憶裝置，雖在資料輸出入上頗為耗時，但因減少輸出入的端子數，所以可使封裝體小型化。

第 2 圖係顯示串列地執行資料輸出入之習知半導體記憶裝置的結構方塊圖。

記憶晶胞陣列 1 係將複數記憶晶胞採行列式配置，同時依可選擇性地使各記憶晶胞活化的方式，在各行、各列上設計選擇電路。位址解碼器 2 係應答適當數目位元的位址資料 AD-P，而選擇性地使記憶晶胞陣列 1 內之特定行與列活化。讀出放大器 3 係與記憶晶胞陣列 1 之各記憶晶胞的各列相連接，對記憶於依照位址解碼器 2 而活化之記憶晶胞中的資料進行判斷，並輸出讀出資料 RD-P。寫入放大器 4 係如同讀出放大器 3，與記憶晶胞陣列 1 之各記憶晶胞的各列相連接，對依照位址解碼器 2 而活化之記憶晶胞，將寫入資料 WD-P 寫入。

指令解碼器 5 係應答指令資料 CC-D，而控制記憶晶胞陣列 1 的動作。譬如，當指令資料 CC-D 指示讀取動作時，便使記憶晶胞陣列 1 以讀取模式動作，並將依照位址解碼器 2 而活化之記憶晶胞陣列 1 內的記憶晶胞，連接於

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 2 ）

讀出放大器 3。另，當指令資料 CC-D 指示寫入動作時，便使記憶晶胞陣列 1 以寫入模式動作，並將依照位址解碼器 2 而活化之記憶晶胞陣列 1 內的記憶晶胞，連接於寫入放大器 4。此指令解碼器除控制寫入動作或讀出動作之外，尚亦可執行記憶晶胞陣列 1 之記憶晶胞的消除單位設定控制、或記憶資料之位元數的切換控制等。

資料轉換電路 6 係連接於位址解碼器 2，並將串列輸入的位址資料 AD-S 轉換成並列，作為位址資料 AD-P 而供給至位址解碼器。另，資料轉換電路 6 係連接於讀出放大器 3 與寫入放大器 4。然後，在讀取模式下，將從讀出放大器 3 並列輸入的讀出資料 RD-P 轉換成串列後，作為讀出資料 RD-P 供給至輸出入電路 7。在寫入模式下，將從輸出入電路 7 串列輸入的寫入資料 WD-P 轉換成並列後，作為寫入資料 WD-P 供給至寫入放大器 4。資料轉換電路 6 連接於指令解碼器 5，並將串列輸入的指令資料 CC-D 轉換成並列後，作為指令資料 CC-P 供給至指令解碼器 5。輸出入電路 7 連接於資料轉換電路 6，並在外部裝置與資料轉換電路 6 之間，進行讀出資料 RD-S、寫入資料 WD-S、位址資料 AD-S、及指令資料 CC-S 之受授。

以上各部分全部在半導體基板上積體化，並對應輸出入電路 7 與外部裝置間各資料的輸出入而設置輸出入端子。此時半導體記憶裝置的輸出入端子，因為對各資料僅需設置 1 位元份便可，即便位址資料的位元數或記憶資料的位元數較多時，亦無需增加端子數。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 3 ）

[發明欲解決之課題]

資料轉換電路 6 係透過各資料各 1 位元份的配線，連接於輸出入電路 7。而且，係透過對應各資料的位元數份的配線，分別連接於位址解碼器 2、讀出放大器 3、寫入放大器 4、及指令解碼器 5。如此將在記憶晶胞陣列 1 的容量變大，資料轉換電路 6 與位址解碼器 2、讀出放大器 3、寫入放大器 4 或指令解碼器 5 間的距離變長時，造成連接該等間之配線變長。此配線因為必須對應各資料的位元數份並列配置，所以便造成配線區域增大的問題。此種配線區域增大，不僅導致積體化晶片尺寸的大型化，同時亦會降低電路配置的自由度。

有鑑於此，本發明之目的在於削減積體電路內的配線區域。

[解決課題之手段]

本發明係為解決上述課題而作成者，其特徵在於具備有:記憶晶胞陣列、位址解碼器、讀出放大器、輸出入電路、第 1 串列/並列轉換電路、及並列/串列轉換電路；該記憶晶胞陣列係將複數記憶晶胞行列式配置者；該位址解碼器係根據位址資料，指定上述記憶晶胞陣列內的特定記憶晶胞，並予以活化者；該讀出放大器係對記憶於依照上述位址解碼器而活化之記憶晶胞中的資料進行判斷者；該輸出入電路係將預定位元數的位址資料，從外部串列輸入，同時將從上述記憶晶胞讀出的資料串列輸出者；該第 1 串列/並列轉換電路係鄰接上述位置解碼器而配置，並從上述輸

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 4 ）

出入電路串列接收上述位址資料，再並列供給至上述位址解碼器者；該並列/串列轉換電路係鄰接上述讀出放大器而配置，並從上述讀出放大器並列接收從上述記憶晶胞讀出的資料，再串列供給至該輸出入電路者。

藉由本發明，即便在輸出入電路與位址解碼器或讀出放大器間的距離較分離的情況下，因為可利用 1 位元份的配線連接於該等之間，所以可防止配線區域增加的情形發生。

[發明的實施形態]

第 1 圖所示係本發明半導體記憶裝置之結構的方塊圖。

記憶晶胞陣列 11 係將複數記憶晶胞採行列式配置，並在各行與各列間設置選擇電路。位址解碼器 12 係與記憶晶胞陣列 11 的各選擇電路相連接，回應位址資料 AD-P 而選擇性的將記憶晶胞陣列 11 內之特定行及列予以活化。讀出放大器 13 係與記憶晶胞陣列 11 之各記憶晶胞的各列相連接，判斷記憶於記憶晶胞中的資料，而輸出讀出資料 RD-P。寫入放大器 14 係與記憶晶胞陣列 11 之各記憶晶胞的各列相連接，並將寫入資料 WD-P 寫入記憶晶胞中。該等記憶晶胞陣列 11、位址解碼器 12、讀出放大器 13 及寫入放大器 14 係與第 2 圖所示各部分相同者。

指令解碼器 15 應答指令資料 CC-D，控制記憶晶胞陣列 1 的動作。譬如，當指令資料 CC-D 指示讀取動作時，便使記憶晶胞陣列 11 以讀取模式動作，並使依照位址解碼

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 5 ）

器 12 而活化的記憶晶胞陣列 11 內之記憶晶胞，連接於讀出放大器 13。另，當指令資料 CC-D 指示寫入動作時，便使記憶晶胞陣列 1 以寫入模式動作，並將依照位址解碼器 12 而活化的記憶晶胞陣列 11 內之記憶晶胞，連接於寫入放大器 14。

第 1 串列/並列轉換電路 16a 係鄰接位址解碼器 12 而配置，將串列輸入的位址資料 AD-S 轉換成並列後，再當作位址資料 AD-P 而供給至位址解碼器 12。並列/串列轉換電路 16b 係鄰接讀出放大器而配置，在讀取動作時，將從讀出放大器 13 並列輸入的讀出資料 RD-P 轉換成串列後，再當作讀出資料 RD-P 供給至輸出入電路 17。第 2 串列/並列轉換電路 16c 係鄰接寫入放大器 14 而配置，並將從輸出入電路 17 串列輸入的寫入資料 WD-S 轉換成並列後，再當作寫入資料 WD-P 而供給至寫入放大器 14。第 3 串列/並列轉換電路 16d 係鄰接指令解碼器 15 而配置，並將串列輸入的指令資料 CC-S 轉換成並列後，再當作指令資料 CC-P 供給至指令解碼器 15。

輸出入電路 17 係與各串列/並列轉換電路 16a,16c,16d、及並列/串列轉換電路 16b 相連接。然後將從外部裝置串列輸入的位址資料 AD-S、寫入資料 WD-S、及指令資料 CC-S，直接以串列形式分別供給至各串列/並列轉換電路 16a,16c,16d，且將從並列/串列轉換電路 16b 串列輸入的讀出資料 RD-S，直接以串列形式輸出至外部裝置。在輸出入電路 17 與各串列/並列轉換電路 16a,16c,16d 及並列/串列

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 6 ）

轉換電路 16b 之間，無關各資料的位元數，分別各自利用 1 組的連接線進行連接。

當將上述半導體記憶裝置積體化於半導體基板上時，使各串列/並列轉換電路 16a,16c,16d 分別鄰接於位址解碼器 12、寫入放大器 14、及指令解碼器 15 而配置，並使並列/串列轉換電路 16b 鄰接於讀出放大器 13 而配置。藉此，即便將位址解碼器 12、讀出放大器 13、寫入放大器 14 及指令解碼器 15，離開輸出入電路 17 而配置的情況下，因為連接於該等間的配線，分別為 1 組，所以便可防止配線區域的增大。故可相對於記憶晶胞陣列 11 自由選擇位址解碼器 12、讀出放大器 13、寫入放大器 14 及指令解碼器 15 的配置位置。

在以上的實施形態中，雖舉採用可寫入資料的記憶晶胞為例說明，但亦可用於唯讀記憶晶胞、非揮發性記憶晶胞。當採用唯讀記憶晶胞時，便不需要寫入放大器 14、及第 2 串列/並列轉換電路 16c。

[發明功效]

藉由本發明，在防止配線區域的增大而達縮小晶片面積之功效時，同時可提昇積體化時的電路配置自由度。特別是在記憶容量較大、記憶晶胞陣列部分面積較大時，更為有效。

[圖式之簡單說明]

第 1 圖係本發明半導體記憶裝置結構的方塊圖。

第 2 圖係習知半導體記憶裝置結構的方塊圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 7 ）

[元件符號說明]

1	記憶晶胞陣列	11	記憶晶胞陣列
12	位址解碼器	13	讀出放大器
14	寫入放大器	15	指令解碼器
16a	第 1 串列/並列轉換電路		
16b	並列/串列轉換電路		
16c	第 2 串列/並列轉換電路		
16d	第 3 串列/並列轉換電路		
17	輸出入電路	2	位址解碼器
3	讀出放大器	4	寫入放大器
5	指令解碼器	6	資料轉換電路
7	輸出入電路	AD-P	位址資料
AD-S	位址資料	CC-D	指令資料
CC-P	指令資料	CC-S	指令資料
RD-P	讀出資料	RD-S	讀出資料

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　　）

半導體記憶裝置

一種可簡化傳送儲存的資料或位址資料所用的配線之半導體記憶裝置，其係在記憶晶胞陣列 11 的周邊配置位址解碼器 12、讀出放大器 13、寫入放大器 14 及指令解碼器 15。第 1 串列/並列轉換電路 16a 係鄰接於位址解碼器 12 而配置，並列/串列轉換電路 16b 係鄰接於讀出放大器 13 而配置，第 2 串列/並列轉換電路 16c 係鄰接於寫入放大器 14 而配置。輸出入電路 17 與串列/並列轉換電路 16a、16c、16d 和並列/串列轉換電路 16b 之間，係分別藉由一組線而相連接。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

經濟部智慧財產局員工消費合作社印製

A8
B8
C8
D8

六、申請專利範圍

1. 一種半導體記憶裝置，係具備有：

記憶晶胞陣列，係將複數記憶晶胞行列式配置者；

位址解碼器，係根據位址資料，指定上述記憶晶胞陣列內的特定記憶晶胞，並予以活化者；讀出放大器，係對記憶於依照上述位址解碼器而活化之記憶晶胞中的資料進行判斷者；

輸出入電路，係將預定位元數的位址資料，由外部串列輸入，同時將從上述記憶晶胞讀出的資料串列輸出者；

第1串列/並列轉換電路，係鄰接上述位址解碼器而配置，並從上述輸出入電路串列接收上述位址資料，再並列供給至上述位址解碼器者；以及

並列/串列轉換電路，係鄰接上述讀出放大器而配置，並從上述讀出放大器並列接收從上述記憶晶胞讀出的資料，再串列供給至上述輸出入電路者。

2. 如申請專利範圍第1項之半導體記憶裝置，更進一步具備有：

指令解碼器，係根據預定位元之指令資料，控制上述記憶晶胞的動作者；以及

第2串列/並列轉換電路，係鄰接於上述指令解碼器而配置，並從上述輸出入電路串列接收上述指令資料，而並列供給至上述指令解碼器者。

3. 如申請專利範圍第1項之半導體記憶裝置，更進一步具備有：

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

A8
B8
C8
D8

六、申請專利範圍

寫入放大器，係對依照上述位址解碼器而活化的記憶晶胞寫入資料者；以及

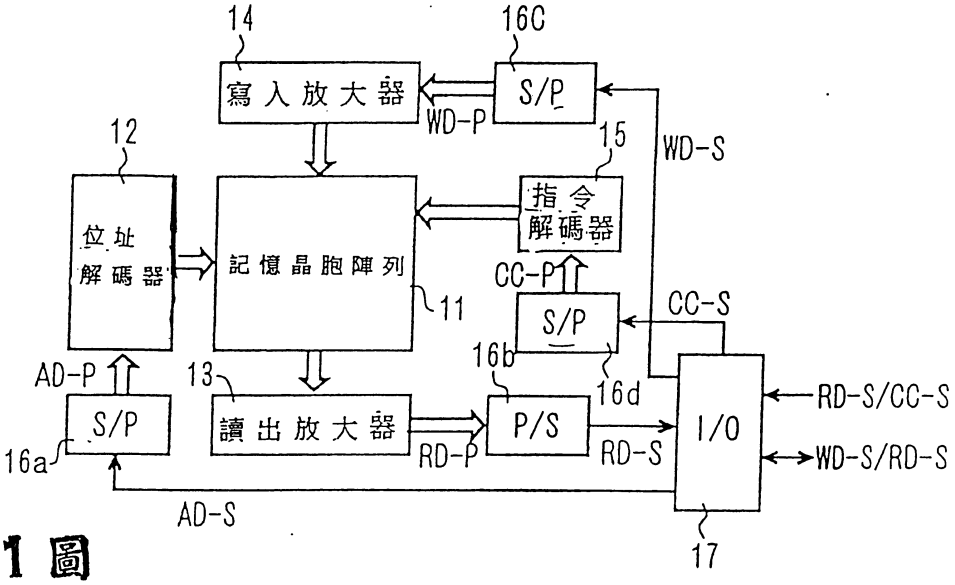
第2串列/並列轉換電路，係鄰接於上述寫入放大器而配置，並從上述輸出入電路串列接收上述資料，而並列供給至上述寫入放大器者；

其中，與該位址資料共同寫入的資料係串列輸入上述輸出入電路。

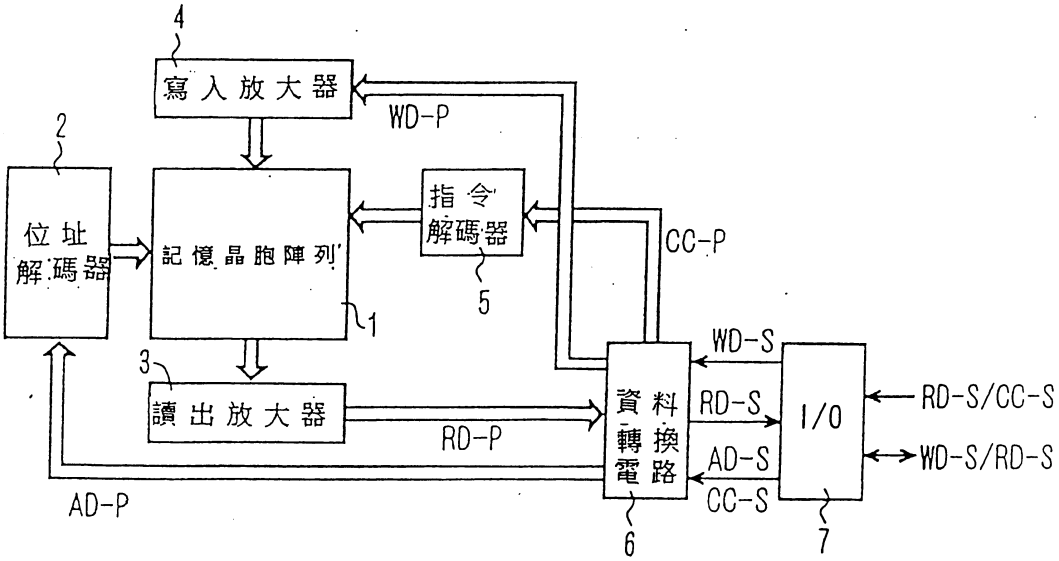
（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

91.11.21 修正
年 月 日 補充

附件二



第 1 圖



第 2 圖

(修正圖)