

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P412787P

※ 申請日期：P48.17

※IPC 分類：H01L 29/768, 29/76
(2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND PRODUCTION METHODS
THEREFOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商羅姆股份有限公司

ROHM CO., LTD.

代表人：(中文/英文)

佐藤 研一郎

SATO, KENICHIRO

住居所或營業所地址：(中文/英文)

日本國京都府京都市右京區西院溝崎町21番地

21, SAIIN MIZOSAKI-CHO UKYO-KU, KYOTO 615-8585, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

山中 貴光

YAMANAKA, TAKAMITSU

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2004年08月17日；特願2004-237207
2. 日本；2004年08月17日；特願2004-237208
3. 日本；2004年08月17日；特願2004-237209
4. 日本；2004年08月17日；特願2004-237210
5. 日本；2004年08月17日；特願2004-237211

☐ 無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種於半導體基板上共同搭載不同耐壓的複數的元件之半導體裝置及其製造方法。又，本發明係有關於一種於半導體基板上具有第1領域及第2領域(例如低耐壓領域及高耐壓領域)之半導體裝置之製造方法。進而，本發明係有關於一種於半導體基板上至少具有不同膜厚的3個氧化膜之半導體裝置之製造方法。進而，本發明係有關於一種具有鄰接於通道領域且被埋入氧化矽之溝渠之半導體裝置之製造方法。進而，本發明係有關於一種具有於閘極電極的端部配置比閘極絕緣膜厚的氧化膜之漂移·汲極構造之電晶體之半導體裝置之製造方法。

【先前技術】

例如用以構成液晶顯示面板的驅動電路之積體電路(驅動IC)或數位相機等自動聚焦控制用的積體電路(自動聚焦IC)等半導體裝置係有於半導體基板上搭載不同耐壓的複數種類的電晶體元件(典型為MOS型場效電晶體)而構成之情形。此半導體裝置例如於半導體基板上具備被形成低耐壓電晶體的低耐壓領域及被形成高耐壓電晶體的高耐壓領域。

用以形成各電晶體元件的元件領域的分離係以LOCOS(local oxidation of silicon)法進行或以STI(Shallow Trench Isolation(淺溝隔絕層))法進行。LOCOS法係藉著於矽基板的表面選擇性地使熱氧化膜成長而使元件領域分離

之方法。另一方面，STI法係藉著於經形成於矽基板的淺溝渠(深度4000 Å左右)內埋入絕緣體(例如氧化矽)而使元件形成領域分離之方法。

於半導體基板上具有低耐壓領域及高耐壓領域兩者的半導體裝置中，過去至今係採用於兩領域一致適用LOCOS法的構造(例如日本特開平10-284615號公報及日本特開2002-76288號公報)或於兩領域一致適用STI法之構造。

但是，於低耐壓領域適用LOCOS法時，會阻礙該低耐壓領域中的元件的微細化。另一方面，於高耐壓領域適用STI法時，於溝渠的端部會產生顯著的電場集中，招來耐壓的劣化。

更具體而言，高耐壓的MOS型電晶體有採用藉著於閘極電極的端部配置比閘極氧化膜厚的氧化膜，而緩和閘極電極端部的電場集中之漂移，汲極構造之情形。該厚的氧化膜於採用藉著LOCOS法的元件分離構造時以LOCOS氧化膜形成，於採用藉著STI法的元件分離構造時以STI部形成。然後，於以STI部形成厚的氧化膜時，於位於閘極電極端部的正下方的STI部的角隅部(溝渠的角隅部)中會產生電場集中。

另一方面，於LOCOS法中，於矽基板的表面經由墊氧化膜形成氮化膜，於該氮化膜上形成抗蝕膜的圖案。以該抗蝕膜作為遮罩，藉著反應性離子蝕刻蝕刻氮化膜，於應形成LOCOS氧化膜的領域形成開口。將抗蝕膜去除後，以氮化膜作為耐氧化性遮罩進行熱氧化處理時，於氮化膜的開

口部成長厚的LOCOS氧化膜。之後，將氮化膜以熱磷酸液溼蝕刻，進一步去除墊氧化膜後，於藉著LOCOS氧化膜分離的領域形成薄的閘極氧化膜。

但是，被形成於低耐壓領域的電晶體與被形成於高耐壓領域的電晶體其閘極氧化膜的膜厚全然不同。因此，高耐壓電晶體的閘極氧化膜與低電壓電晶體的閘極氧化膜必須以另外的步驟分別形成。

即，於形成高耐壓電晶體的閘極氧化膜時，低耐壓領域必須預先以耐氧化性遮罩被覆，對高耐壓領域選擇性地進行熱氧化處理。

但是，於LOCOS法中用以去除作為耐氧化性遮罩的氮化膜所使用的熱磷酸液亦會溶解抗蝕膜。因此，以熱磷酸液進行溼蝕刻時，會將半導體基板上的氮化膜全部去除，亦失去低耐壓領域的耐氧化性遮罩。

因此，考慮使用作為用以將氮化膜蝕刻之其他方法之反應性離子蝕刻。即，將低耐壓領域以抗蝕膜覆蓋，選擇性地乾蝕刻通道領域上的氮化膜之方法。

但是，若以反應性離子蝕刻去除通道領域上的氮化膜，就無法避免因電漿而損傷通道領域。因此，即使於受到該損傷的通道領域上形成閘極氧化膜，亦無法得到信賴性高的閘極氧化膜，無法形成所要特性的電晶體。

即使於元件領域的分離上適用STI(淺溝隔絕層)法時，亦因為閘極氧化膜的形成係藉著熱氧化法，故會面臨到與上述情形相同的問題。

將適用 LOCOS 法的具體例顯示於圖 10(a)~圖 10(d)。首先，如圖 10(a)所示，於半導體基板 1 上藉著以經形成圖案的氮化膜 2 作為遮罩的選擇性熱氧化形成厚的 LOCOS 氧化膜 3，分離出低耐壓元件領域 4 及高耐壓元件領域 5 後，如圖 10(b)所示，將氮化膜 2 去除，進一步藉著進行熱氧化處理於高耐壓元件領域 5 形成閘極氧化膜 6。此時，於低耐壓元件領域 4 亦同樣成長氧化膜 6a。因此，如圖 10(c)所示，形成將高耐壓元件領域 5 覆蓋、使低耐壓元件領域 4 露出之具圖案的抗蝕膜 7，以該抗蝕膜 7 作為遮罩，藉著氫氟酸液去除低耐壓元件領域 4 表面的氧化膜 6a(被去除的部份以斜線表示)。接著，如圖 10(d)所示，藉著於去除抗蝕膜 7 後進行熱氧化處理，形成對應於低耐壓元件領域 4 的閘極氧化膜 8。

藉此，於半導體基板 1 的表面形成 LOCOS 氧化膜 3、比 LOCOS 氧化膜 3 薄的閘極氧化膜 6 及進一步比閘極氧化膜 6 薄的閘極氧化膜 8 之 3 種膜厚的氧化膜。

抗蝕膜 7 若能配合藉著 LOCOS 氧化膜 3 而分離的低耐壓元件領域 4 的端部而形成係最理想的，但是由於必須考慮遮罩調整的空間，故該端部位於 LOCOS 氧化膜 3 上。因此，於圖 10(c)的溼蝕刻時受到侵蝕，產生階段部 9。

藉此，因為 LOCOS 氧化膜 3 的一部份的膜厚變小，故有成為元件分離耐壓不良的原因之虞。此問題雖然只要將 LOCOS 氧化膜 3 的膜厚擴大即可避免，但如此一來會使 LOCOS 氧化膜 3 的鳥嘴變大，犧牲元件尺寸的控制性。

又，階段部9由於與後續步驟中的微影聚焦範圍的下降有關，故有對微細加工帶來問題之虞。

圖11係用以說明具有漂移・汲極構造的電晶體之半導體裝置之構造之圖解截面圖，圖12係圖解平面圖。於半導體基板101上形成挾著通道領域102的一對漂移層103。於該漂移層103的表面部份形成鄰接於通道領域102的淺溝渠104，於該淺溝渠104內被埋入氧化矽105。於通道領域102的表面形成閘極氧化膜106。於該閘極氧化膜106上形成閘極電極107(於圖12中以假想線表示)，該閘極電極107的端部到達至氧化矽105的上方。依該構造可緩和閘極電極107的端部的電場集中。

溝渠104如圖12所示，於通道領域104的寬度方向w的兩側亦被形成，形成與被形成於半導體基板101上的其他元件的分離構造(所謂的淺溝隔絕層)。

圖13(a)~圖13(f)係顯示前述半導體裝置之製造步驟的圖解截面圖，溝渠104的部份被放大顯示。溝渠104如圖13(a)所示，係藉著以氮化矽膜111作為硬遮罩使用的反應性離子蝕刻(RIE)將半導體基板101蝕刻而形成。然後，如圖13(b)所示，以CVD(化學氣相沈積)法於全面形成氧化矽膜112。接著，以CMP(化學機械研磨)法如圖13(c)所示，進行平坦化處理至氮化矽膜111露出，成為氧化矽105被埋入溝渠104的狀態。

然後，如圖13(d)所示，將氮化矽膜111去除。之後，進行用以形成漂移領域103的擴散步驟等，但每回步驟半導

體基板101都受到氫氟酸的洗淨(光蝕刻)處理。因此，雖然會造成氧化矽膜112的膜減少，但該膜減少係等方性地進行，且半導體基板101全部不溶於氫氟酸。因此，至形成閘極氧化膜106為止，如圖13(e)所示，氧化矽105的角隅部由溝渠104的緣部向內側後退，與通道領域102的交界部形成凹洞(凹陷區；divot)113(於圖12中以粗線表示)。

於此狀態，如圖13(f)所示，形成閘極氧化膜106，進而於由通道領域102至溝渠104的上方的領域形成閘極電極107。

因此，閘極氧化膜106於與溝渠104的交界部、即於通道領域102的端部具有膜厚比其他部份薄的薄膜部106a。此薄膜部106a會成為閘極氧化膜耐壓降低或電晶體靜特性不良(臨界值變得不安定之突起(hump)現象等)的原因。

於圖14(a)~圖14(d)中係模式地顯示具有使用LOCOS法的漂移·汲極構造的電晶體之半導體裝置之製造方法。首先，如圖14(a)所示，於半導體基板201上形成氮化膜202，該氮化膜202係以抗蝕膜210作為遮罩而被圖案化。該氮化膜202於挾著通道領域203相對的領域具有一對開口202a。藉著以該氮化膜202作為耐氧化性遮罩進行熱氧化，如圖14(b)所示，於半導體基板201的表面形成厚的LOCOS氧化膜204。

接著，如圖14(c)所示，將氮化膜202去除後，藉著進行離子佈植及佈植離子的熱擴散(驅入)，形成P型井205。進而，將通道領域203及井205以外的領域覆蓋地形成抗蝕膜

206，以該抗蝕膜206作為遮罩佈植N型雜質離子。

然後，如圖14(d)所示，將抗蝕膜206剝離，藉著使被佈植的N型雜質離子熱擴散，形成挾著通道領域203相對的一對漂移層207。該漂移層207潛入通道領域203兩側的LOCOS氧化膜204並到達通道領域203。於通道領域203中的半導體基板201的表面藉著熱氧化法形成薄的閘極氧化膜208，該閘極氧化膜208與LOCOS氧化膜204相連接。於此狀態下，閘極電極209被形成成將閘極氧化膜208的上部覆蓋，並延伸至LOCOS氧化膜204的上部。藉此，由於閘極電極209的端部位於比閘極氧化膜208厚的LOCOS氧化膜204的上部，故可緩和閘極電極209的端部的電場集中。

但是，於前述製造方法中，有漂移層207由LOCOS氧化膜204的內側端部朝通道領域203內側的進入距離X產生不均勻之問題。該進行距離X的不均勻係起因於作為氮化膜202圖案化用的遮罩的抗蝕膜210與作為漂移層207形成用的遮罩的抗蝕膜206之間的錯位(遮罩錯位)所故。因此，進入距離X不僅於晶圓(半導體基板201)之間不均勻，且於同一晶圓上的面內位置亦不均勻。

該進入距離X如圖15所示，會對電晶體的耐壓(BV_{dss} : Breakdown Voltage of drain with source short)帶來很大影響。由圖15可知進行距離X愈大，耐壓愈安定，但進入距離X變大的設計違反電晶體微細化的要求，且僅可實現低耐壓值。因此，如何儘可能地縮小進入距離X，且減少不均勻就成為本發明之課題。

【發明內容】

本發明之第1目的係提供一種於半導體基板上具有不同耐壓的複數領域，且於低耐壓的領域可圖謀元件的微細化，對高耐壓領域的元件可賦予充份的耐壓之半導體裝置及其製造方法。

本發明之第2目的係提供一種藉著一面抑制對半導體基板上的預定領域的損害，一面選擇性地去除該預定領域內的氮化膜，而可製造高信賴性的半導體裝置之方法。

本發明之第3目的係提供一種可於半導體基板上良好地形成至少具有3種膜厚的氧化膜，藉此可有助於半導體裝置的特性的提升之製造方法。

本發明之第4目的係提供一種可防止閘極氧化膜於通道領域與溝渠交界處薄膜化，且可使閘極氧化膜的耐壓提高，使半導體裝置的特性提升之半導體裝置之製造方法。

本發明之第5目的係提供一種可抑制於漂移、汲極構造的電晶體中進行高耐壓化及微細化時所產生的耐壓不均勻之半導體裝置之製造方法。

本發明之第1局面的半導體裝置，包含有：半導體基板；第1領域，係該半導體基板上的領域，且具有第1元件形成領域者，該第1元件形成領域係藉著於形成於該半導體基板的溝渠內埋入絕緣物的元件分離部而被分離出者；第1元件，係被形成於前述第1元件形成領域者；第2領域，係與前述半導體基板上的上述第1領域不同的領域，且具有第2元件形成領域者；及第2元件，係比前述第1元

件高耐壓，且被形成於前述第2元件形成領域，並具有於閘極電極的端部配置比閘極絕緣膜厚的LOCOS氧化膜之漂移・汲極構造者。

依此構造，於形成較低耐壓的第1元件的第1領域中的元件分離上，因為可適用所謂的淺溝隔絕層(STI)，故有利於謀求該第1領域的構造的微細化。另一方面，被形成於第2領域的較高耐壓的第2元件，因為被形成於閘極電極的端部具有LOCOS氧化膜的漂移・汲極構造，故可抑制將由STI部構成的厚的絕緣膜配置於閘極電極端部時所產生的電場集中的問題。藉此，第2元件可具有充份的耐壓。

前述第2元件形成領域宜係藉著於形成於前述半導體基板的溝渠內埋入絕緣物的元件分離部而被分離出的領域。於此構造中，由於於第2領域中亦與第1領域相同地被進行藉著STI的元件形成領域的分離，故可以相同的步驟形成第1及第2領域的元件形成領域的分離構造，製造係容易。

前述第2元件形成領域亦可係藉著LOCOS氧化膜而被分離出的領域。於此構造中，於第2領域中的元件形成領域的分離上因為適用LOCOS法，故可更進一步減低第2領域中的電場集中，成為更有利於高耐壓化的構造。

前述第1元件可具有比前述第2元件小的元件尺寸。如前所述，於第1領域中的元件形成領域的分離上因為適用有利於元件的微細化的STI法，故可輕易圖謀第1元件的微細化。

用以製造前述半導體裝置的製造方法之一，包含有以下

步驟，即：第1元件形成領域形成步驟，係於半導體基板上的第1領域形成於被形成於該半導體基板的溝渠內埋入絕緣物的元件分離部，且形成藉著該元件分離部而被分離出的第1元件形成領域者；第2元件形成領域形成步驟，係於與前述半導體基板的前述第1領域不同的第2領域形成第2元件形成領域者；第1元件形成步驟，係於前述第1元件形成領域形成第1元件者；及第2元件形成步驟，係於前述第2元件形成領域形成具有於閘極電極的端部配置比閘極絕緣膜厚的LOCOS氧化膜之漂移·汲極構造，且比前述第1元件高耐壓的第2元件者。

本發明之第2局面之半導體裝置之製造方法，包含有以下步驟，即：氮化膜形成步驟，係形成覆蓋半導體基板上的第1領域全域，且覆蓋第2領域內的預定領域之氮化膜者；氧化皮膜形成步驟，係於該氮化膜的表面全面形成氧化皮膜者；抗蝕膜形成步驟，係於該氧化皮膜形成步驟後，於前述氮化膜上形成被覆前述第1領域但不被覆前述第2領域上的預定的氧化膜形成對象領域之具圖案之抗蝕膜者；氫氟酸蝕刻步驟，係藉著以前述抗蝕膜作為遮罩的氫氟酸液的溼蝕刻選擇性地去除經形成於前述氧化膜形成對象領域的氮化膜表面的前述氧化皮膜，使下面的前述氮化膜露出者；抗蝕膜剝離步驟，係剝離前述抗蝕膜者；氮化膜去除步驟，係藉著經加熱至比室溫高的預定溫度的磷酸液去除前述露出的氮化膜者；及氧化膜形成步驟，係於經去除前述氮化膜的氧化膜形成對象領域的基板表面形成

藉著熱氧化的氧化膜者。

此方法係利用氫氟酸液對氧化膜的蝕刻速度比對氮化膜高，熱磷酸液對氮化膜的蝕刻速度比對氧化膜高。即，於半導體基板上的第1及第2領域形成氮化膜後，於該氮化膜的表面全面形成氧化皮膜，以氫氟酸液選擇性地去除第2領域的氮化膜中欲去除的領域(氧化膜形成對象領域)的氮化膜表面的氧化皮膜。因此，接著，若進行熱磷酸液的蝕刻，可選擇性地僅去除經去除氧化皮膜的領域(氧化膜形成對象領域)的氮化膜。藉此，因為可不用進行乾蝕刻地進行氮化膜的選擇性去除，故可使氧化膜成長於藉著溼蝕刻去除氮化膜後的沒有損傷的半導體基板的表面。

前述方法宜進一步包含有以下步驟，即：第1元件形成步驟，係於前述第1領域形成第1元件者；及第2元件形成步驟，係於前述第2領域形成比前述第1元件高耐壓的第2元件者。依此方法，可於以氮化膜保護形成較低耐壓的第1元件的第1領域之狀態下，使氧化膜成長於第2領域內的沒有損傷的氧化膜形成對象領域，以形成較高耐壓的第2元件。

舉例言之，第1元件及第2元件皆具有閘極氧化膜，且第1元件的閘極氧化膜的膜厚比第2元件的閘極氧化膜薄時，可於以氮化膜保護第1領域的狀態下，形成第2元件用的閘極氧化膜後，一面高精度地控制膜厚一面形成第1元件用的薄的閘極氧化膜。藉此，可一面形成微細構造的第1元件，一面讓第2元件具有充份的耐壓。

前述第2領域內的氧化膜形成對象領域可包含電晶體的通道領域。依此方法，可將電晶體的通道領域上的氮化膜於不使用會對通道領域帶來損傷的乾蝕刻下去除，於該通道領域形成氧化膜(例如閘極氧化膜)。藉此，可形成良好特性的第2元件。

本發明之第3局面之半導體裝置之製造方法，如圖8(a)~圖8(f)顯示的一例所示，包含有以下步驟，即：氮化膜22形成步驟(圖8(a))，係於半導體基板21上形成於第1氧化膜形成領域31具有開口，並覆蓋第2氧化膜形成領域32及第3氧化膜形成領域33的氮化膜22者；第1氧化膜23形成步驟(圖8(b))，係藉著以前述氮化膜22作為耐氧化性遮罩對前述半導體基板21施予熱氧化處理，而於前述第1氧化膜形成領域31形成第1膜厚的第1氧化膜23(於圖8(a)~圖8(f)的例中係元件形成領域分離用的LOCOS氧化膜)者；氧化皮膜24形成步驟(圖8(b))，係形成覆蓋前述氮化膜22表面的氧化皮膜24者；抗蝕膜25形成步驟(圖8(c))，係於前述半導體基板21上形成於第2氧化膜形成領域32具有開口，並覆蓋前述第3氧化膜形成領域33的抗蝕膜25者；氧化皮膜24去除步驟(圖8(c))，係以該抗蝕膜25作為遮罩進行氫氟酸液的溼蝕刻，去除覆蓋前述第2氧化膜形成領域32的前述氮化膜22表面的前述氧化皮膜24者；抗蝕膜25去除步驟(圖8(d))，係去除前述抗蝕膜25者；氮化膜22去除步驟(圖8(d))，係藉著比室溫高溫的磷酸液之溼蝕刻，去除前述第2氧化膜形成領域32的經去除前述氧化皮膜24的前述氮化

膜22者；第2氧化膜26形成步驟(圖8(d))，係藉著熱氧化處理於前述第2氧化膜形成領域32中的經去除前述氮化膜22的領域形成比前述第1膜厚薄的第2膜厚的第2氧化膜26(例如電晶體的閘極氧化膜)者；氧化皮膜24去除步驟(圖8(e))，係藉著氫氟酸液的溼蝕刻去除覆蓋前述第3氧化膜形成領域33的前述氮化膜22表面的氧化皮膜24者；氮化膜22去除步驟(圖8(f))，係藉著比室溫高溫的磷酸液之溼蝕刻，去除前述第3氧化膜形成領域33的經去除前述氧化皮膜24的前述氮化膜22者；第3氧化膜27形成步驟(圖8(f))，係藉著熱氧化處理於前述第3氧化膜形成領域33中的經去除前述氮化膜22的領域形成比前述第2膜厚薄的第3膜厚的第3氧化膜27(例如電晶體的閘極氧化膜)者。

依此方法，係以被形成於半導體基板上的氮化膜作為耐氧化性遮罩，首先，於第1氧化膜形成領域形成第1膜厚的第1氧化膜。同時或之後於氮化膜的表面形成氧化皮膜。該氧化皮膜被以氫氟酸液蝕刻，但實質上係不被熱磷酸蝕刻。因此，於第2氧化膜形成領域中，該氮化膜表面的氧化皮膜被氫氟酸液去除。抗蝕膜因為對熱磷酸沒有耐性，故將其剝離後，以熱磷酸進行蝕刻處理時，可選擇性地將經去除氧化皮膜狀態的氮化膜去除。於此狀態下，藉著以殘餘的氮化膜作為耐氧化性遮罩進行熱氧化時，可於第2氧化膜形成領域形成比第1膜厚薄的第2膜厚的第2氧化膜。

進而，以氫氟酸液去除第3氧化膜形成領域的氮化膜表

面的氧化皮膜，進一步藉著於以磷酸液的蝕刻去除該氮化膜後進行熱氧化，可於第3氧化膜形成領域形成比第2膜厚更薄的第3膜厚的第3氧化膜。

藉此，最薄的第3氧化膜可不會受到第1氧化膜及第2氧化膜的形成步驟的影響地正確地被控制膜厚，次薄的第2氧化膜可不會受到第1氧化膜的形成步驟的影響地正確地被控制其膜厚。

又，與於基板全體形成厚的氧化膜，再將其蝕刻去除後另外於所要領域形成薄的氧化膜之步驟的情形不同，於先形成的厚的氧化膜(於圖8(a)~圖8(f)之例中係第1氧化膜)不會產生高低差。藉此，可提高之後的微影成像步驟中的聚焦範圍。又，將厚的氧化膜(於圖8(a)~圖8(f)之例中係第1氧化膜)作為元件分離用的膜(LOCOS氧化膜)使用時，可避免因膜減少所造成的元件分離耐壓劣化的問題。

用以防止熱磷酸的氮化膜蝕刻之氧化皮膜為極薄的膜厚(例如150 Å左右)即足夠，於該氧化皮膜的蝕刻時，於先形成的氧化膜不會產生不希望的膜減少。因此，第1、第2及第3氧化膜的膜厚不需要考慮膜減少而訂定，可僅考慮需求的特性而設定。

前述方法宜進一步包含有以下步驟，即：第1電晶體形成步驟，係形成以前述第3氧化膜作為閘極氧化膜的第1電晶體者；及第2電晶體形成步驟，係形成以前述第2氧化膜作為閘極氧化膜且比前述第1電晶體高耐壓的第2電晶體者。依此方法，可於半導體基板上形成高耐壓電晶體及低

耐壓電晶體兩者，且可正確地控制低耐壓電晶體的閘極氧化膜的膜厚。藉此，可一面確保高耐壓電晶體的充份耐壓，一面實現低耐壓電晶體的良好特性。

前述第1氧化膜宜被配置於前述第2電晶體的閘極電極的端部，且構成比作為該第2電晶體的閘極氧化膜的前述第2氧化膜厚的氧化膜。依此方法，可形成於閘極電極的端部配置厚的氧化膜以防止電場集中的漂移。及極構造，可實現第2電晶體的高耐壓特性。

前述第1氧化膜可係包含於前述半導體基板上分離元件形成領域的LOCOS氧化膜者。依此方法，可一面以無高低差的LOCOS氧化膜分離元件形成領域，一面於半導體基板上形成高耐壓電晶體及低耐壓電晶體。

本發明之第4局面之半導體裝置之製造方法，包含有以下步驟，即：溝渠形成步驟，係鄰接於半導體基板的通道領域形成溝渠者；氧化膜埋入步驟，係於該溝渠內埋入氧化膜者；耐氧化性遮罩膜形成步驟，係形成被覆前述通道領域，且於前述溝渠側露出預定距離，同時使前述溝渠內的氧化膜中的與前述通道領域的交界附近的領域露出之耐氧化性遮罩膜者；選擇性熱氧化步驟，係藉著以該耐氧化性遮罩膜作為遮罩的選擇性熱氧化，使由前述溝渠延伸至前述通道領域側的鳥嘴成長者；及閘極氧化膜形成步驟，係於該選擇性熱氧化步驟後，於前述通道領域形成閘極氧化膜者。

依此方法，於形成閘極氧化膜之前，進行以於前述溝渠

側露出預定距離，同時使通道領域與溝渠間的交界部附近露出之耐氧化性遮罩膜作為遮罩之選擇性熱氧化。藉此，鳥嘴由溝渠內部的氧化膜朝通道領域延伸，可解決溝渠與通道領域的交界部的氧化膜的凹陷。因此，之後藉著形成閘極氧化膜，可形成不具有起因於前述凹陷的薄膜部之均勻膜厚的閘極氧化膜。結果，可提高閘極氧化膜的耐壓，提高半導體裝置的特性。

前述鳥嘴宜被形成為其根部的膜厚與前述閘極氧化膜的膜厚大約相等。

前述耐氧化性遮罩膜形成步驟宜包含使前述耐氧化性遮罩膜形成為使挾著前述通道領域相對的一對領域露出的圖案之步驟，前述選擇性熱氧化步驟宜包含使LOCOS氧化膜成長於前述一對領域之步驟。

依此方法，利用使LOCOS氧化膜選擇性地成長於挾著通道領域相對的一對領域之步驟，可使前述鳥嘴成長。即，不需要為了防止起因於前述凹陷的閘極氧化膜的薄膜部的產生而進行特別的步驟。

前述溝渠形成步驟可包含於挾著前述通道領域相對的一對領域形成溝渠之步驟。此方法時，藉著預先形成於前述一對領域側分別露出預定距離，同時使該一對領域的溝渠內的氧化膜中的與前述通道領域的交界附近的領域露出之耐氧化性遮罩膜，可以鳥嘴解除前述一對領域的溝渠內的氧化膜的凹陷。

前述方法可於前述選擇性熱氧化步驟之前包含有對前述

一對領域佈植雜質離子之步驟。此時，於前述選擇性熱氧化步驟中宜進一步包含一對漂移層形成步驟，該一對漂移層形成步驟係藉著被賦予於前述半導體基板的熱，使雜質離子於前述一對領域的半導體基板內部熱擴散，形成挾著前述通道領域相對的一對漂移層者。

依該方法，因為可藉著選擇性熱氧化步驟使挾著通道領域相對的一對領域的雜質離子擴散，同時使鳥嘴成長，故可使步驟簡單化。

本發明之方法宜進一步包含形成覆蓋前述通道領域，同時於前述LOCOS氧化膜或前述溝渠內的氧化膜上具有端部的閘極電極之步驟。藉此，可形成具有所謂的漂移·汲極構造之高耐壓電晶體。且，因為可形成沒有薄膜部的均勻膜厚的閘極氧化膜，故可確保充份耐壓。

本發明之第5局面之半導體裝置之製造方法係有關於一種具有於閘極電極的端部配置比閘極氧化膜厚的氧化膜之漂移·汲極構造之電晶體之半導體裝置之製造方法。該方法如圖9(a)~圖9(h)之一例所示，包含有以下步驟，即：耐氧化性遮罩膜43形成步驟(圖9(a))，係形成覆蓋半導體基板40之耐氧化性遮罩膜43(例如氮化矽膜)者；抗蝕膜44形成步驟(圖9(b))，係於前述耐氧化性遮罩膜43中的挾著通道領域77的一對領域形成具有抗蝕開口44a的抗蝕膜44者；離子佈植步驟(圖9(c))，係以經形成前述抗蝕開口44a的前述抗蝕膜44作為遮罩，對前述半導體基板40佈植用以形成前述電晶體的漂移層的離子者；耐氧化性遮罩選擇性

蝕刻步驟(圖9(d))，係以前述抗蝕膜44作為遮罩將前述耐氧化性遮罩膜43蝕刻，於該耐氧化性遮罩膜43形成對應於前述抗蝕膜44的前述一對抗蝕開口44a的一對遮罩開口43a者；一對漂移層78、79形成步驟(圖9(e))，係於前述離子佈植步驟及前述耐氧化性遮罩選擇性蝕刻步驟之後，藉著以前述耐氧化性遮罩膜43作為遮罩將前述半導體基板40表面熱氧化，而於對應於被形成於前述耐氧化性遮罩膜43的一對遮罩開口43a的領域形成LOCOS氧化膜84、85，同時使被佈植於前述半導體基板40的離子熱擴散，形成挾著前述通道領域77相對的一對漂移層78、79者；耐氧化性遮罩膜43去除步驟(圖9(f))，係去除前述耐氧化性遮罩膜43者；閘極氧化膜80形成步驟(圖9(g))，係於前述一對漂移層78、79之間的前述半導體基板40表面形成比前述LOCOS氧化膜84、85薄的閘極氧化膜80者；及閘極電極81形成步驟(圖9(h))，係形成延伸於由前述閘極氧化膜80的上部至前述LOCOS氧化膜84、85的上部的領域之閘極電極81者。

依此方法，係以1片抗蝕膜作為遮罩，進行漂移層形成用的離子佈植，且於挾著通道領域相對的領域中於耐氧化性遮罩膜形成遮罩開口。即，於漂移層形成用的離子佈植與耐氧化性遮罩的圖案化上使用共同的抗蝕膜。藉此，由於漂移層與LOCOS氧化膜自整合地形成，故可正確地控制漂移層的由LOCOS氧化膜的通道領域側緣部朝通道領域內側的進入距離。藉此，可抑制漂移、汲極構造的電晶體的耐壓的不均勻。

再者，抗蝕膜的抗蝕開口或耐氧化性遮罩膜的遮罩開口不一定必須是全部周圍都被包圍的開口。例如，挾著通道領域相對的一對抗蝕開口或遮罩開口於避開通道領域的領域連續地構成一個開口亦可。

本發明之上述或其他目的、特徵及效果藉著參照所附圖示及以下所述實施例的說明可明白。

【實施方式】

圖1係用以說明本發明之一實施形態之半導體裝置的構造之圖解截面圖。該半導體裝置具備有矽基板(半導體基板的一例)40，該矽基板40具有形成複數的低耐壓電晶體51的第1領域50及形成複數的高耐壓電晶體71的第2領域70。

經被形成於第1領域50內的複數的低耐壓電晶體51係被形成於元件形成領域53內，該元件形成領域53係藉著被形成於矽基板40的表面部的淺溝分離(STI: Shallow Trench Isolation)部52而被分離出者。STI部52係於被形成於矽基板40表面的淺(例如深度4000 Å左右)溝渠54內埋入氧化矽55而形成。

於包含元件形成領域53的領域中，於矽基板40的表層部被形成井(P型井或N型井)56。於該井56內挾著通道領域57地形成源極擴散層58及汲極擴散層59(於P型井內係N型擴散層，於N型井內係P型擴散層)。然後，於通道領域57的表面形成例如膜厚32 Å的閘極氧化膜60(第3氧化膜)，於該閘極氧化膜60上被積層閘極電極61。

雖然省略圖示，但進而形成有覆蓋閘極電極61上及源極/汲極擴散層58、59的層間絕緣膜。並形成經由該層間絕緣膜所形成的接觸孔分別與源極擴散層58及汲極擴散層59相接合的源極電極及汲極電極。

被形成於第1領域50內的複數的低耐壓電晶體51可皆為N通道型電晶體(於P型井內形成N型源極・汲極擴散層者)，或皆為P通道型電晶體(於N型井內形成P型源極・汲極擴散層者)，或包含N通道型電晶體及P通道型電晶體兩者。

被形成於第2領域70的高耐壓電晶體71係被形成於元件形成領域73內，該元件形成領域73係藉著被形成於矽基板40的表層部的STI部72而被分離者。STI部72係於被形成於矽基板40表面的淺(例如深度4000 Å左右)溝渠74內埋入氧化矽75而形成。

於包含元件形成領域73的領域中，於矽基板40的表層部被形成井(P型井或N型井)76。於該井76內挾著通道領域77(主動領域)地形成源極側漂移層78及汲極側漂移層79(於P型井內係N型漂移層，於N型井內係P型漂移層)。然後，於通道領域77的表面形成例如膜厚1000 Å的閘極氧化膜80(第2氧化膜)，於該閘極氧化膜80上被積層閘極電極81。

於漂移層78、79的表面分別被形成厚的LOCOS氧化膜84、85(第1氧化膜，例如膜厚2800 Å)。閘極電極81被形成於由通道領域77上至LOCOS氧化膜84、85的通道領域77側緣部的領域。藉此，閘極電極81的端部81a位於比閘極氧化膜80厚的LOCOS氧化膜84、85上，形成用以防止電場集

中，以實現高耐壓的漂移・汲極構造。

於LOCOS氧化膜84、85上分別被形成用以將源極電極及汲極電極分別接合於漂移層78、79的接觸孔86、87。於該等接觸孔86、87的正下方的領域分別被形成與漂移層78、79為相同的導電型，且比漂移層78、79包含更高濃度的雜質的源極接觸層78a及汲極接觸層79a。雖然省略圖示，但上述層間絕緣膜係覆蓋閘極電極81上及LOCOS氧化膜84、85地被形成。又，於該層間絕緣膜分別被形成源極電極及汲極電極用的接觸孔，該等接觸孔與被形成於LOCOS氧化膜84、85的接觸孔86、87相連通。

漂移層78、79繞入LOCOS氧化膜84、85的下方，朝通道領域77進入。漂移層78、79由LOCOS氧化膜84、85的通道領域77側的緣部朝通道領域77的內側的進入距離X1、X2藉著適用後述的製造方法可被抑制不均勻，高精度地被控制。

被形成於第2領域70內的複數的高耐壓電晶體71可皆為N通道型電晶體(於P型井內形成N型漂移層者)，或皆為P通道型電晶體(於N型井內形成P型漂移層者)，或包含N通道型電晶體及P通道型電晶體兩者。

高耐壓電晶體71係比低耐壓電晶體51高耐壓的電晶體。例如，相對於高耐壓電晶體71的動作電壓為40 V，低耐壓電晶體51的動作電壓為1.8 V。又，低耐壓電晶體51係比高耐壓電晶體71更微細的構造，相對於高耐壓電晶體71的元件尺寸(元件形成領域73的尺寸)為20 μm 級，低耐壓電

晶體51的元件尺寸(元件形成領域53的尺寸)為1 μm 級。

於本實施形態之半導體裝置中，因為將元件形成領域53、73的分離以STI部52、72進行，故與藉著LOCOS法進行元件分離時相比較，可縮小為了元件分離而佔領的領域(元件分離領域)。藉此，特別是可於低耐壓領域之第1領域50高密度地形成微細構造的低耐壓電晶體51。另一方面，於高耐壓領域之第2領域70中，漂移·汲極構造用的厚氧化膜係以LOCOS氧化膜84、85形成。藉此，可克服將該厚氧化膜以STI構造形成時所產生的電場集中的問題，可使高耐壓電晶體71的耐壓提高。

圖2A~2N係依照步驟順序顯示前述半導體裝置之製造方法之截面圖。首先，如圖2A所示，製作經形成STI部52、72的矽基板40。具體而言，於矽基板40表面的第1及第2領域50、70藉著例如反應性離子蝕刻形成溝渠54、74(深度4000 $\text{\AA}$)，進一步於全面形成氧化矽膜(HDP：高密度電漿CVD氧化膜)。之後，以CMP(化學機械研磨)法將表面平坦化，藉著去除溝渠54、74以外的氧化矽膜，得到於溝渠54、74內埋入氧化矽55、75構造的STI部52、72。

由此狀態，以於應形成第2領域70的井76的領域具有開口的抗蝕膜41覆蓋矽基板40表面，以該抗蝕膜41作為遮罩佈植井76形成用的雜質離子。該雜質離子於井76為P型時例如為硼離子，井76為N型時例如為磷離子。該離子佈植時，第1領域50因為被抗蝕膜41覆蓋，故於該第1領域50不會被導入雜質離子。

接著，如圖 2B 所示，將抗蝕膜 41 剝離，以熱氧化法於矽基板 40 的表面全面形成墊氧化膜 42。此時，利用被給予至矽基板 40 的熱，進行經佈植矽基板 40 的雜質離子的熱擴散(驅入)，於矽基板 40 內形成井 76。

接著，如圖 2C 所示，以 CVD(化學氣相沈積)法形成被覆墊氧化膜 42 全面的氮化矽膜 43(例如膜厚 300 Å)。然後，如圖 2D 所示，於氮化矽膜 43 的表面形成抗蝕膜 44 的圖案。該抗蝕膜 44 係具有對應於圖 1 構造中的 LOCOS 氧化膜 84、85 的抗蝕開口 44a(被形成於挾著通道領域 77 相對的一對領域之抗蝕開口)，且將剩餘的部份被覆者。即，抗蝕膜 44 被覆第 1 領域 50 全體，且被覆對應於第 2 領域 70 的通道領域 77 的領域，並被覆對應於接觸孔 86、87 的領域。沒有被該抗蝕膜 44 被覆的領域係第 1 氧化膜形成領域。

以該抗蝕膜 44 作為遮罩，佈植用以形成漂移層 78、79 的雜質離子。該雜質離子係與井 76 相反的導電型雜質離子，漂移層 78、79 為 N 型時，例如使用磷離子，漂移層 78、79 為 P 型時，例如使用硼離子。雜質離子的佈植能量被設定成離子的投影射程比 STI 部 72 的厚度為小。

然後，如圖 2E 所示，以抗蝕膜 44 作為遮罩，進行為乾蝕刻之反應性離子蝕刻(RIE: Reactive Ion Etching)，之後，將作為耐氧化性遮罩膜使用的氮化矽膜 43 圖案化。即，該氮化矽膜 43 與抗蝕膜 44 相同地，被覆第 1 領域 50 全體，且被覆對應於第 2 領域 70 的通道領域 77 的領域，並被覆對應於接觸孔 86、87 的領域。該氮化矽膜 43 因為藉著抗蝕膜 44

被圖案化，故具有與該抗蝕膜44的抗蝕開口44a相整合的遮罩開口43a，該遮罩開口43a被形成於挾著通道領域77相對的一對領域。

接著，如圖2F所示，進行以氮化矽膜43作為耐氧化性遮罩的熱氧化(LOCOS法)。藉此，於第2領域70內的挾著通道領域77相對的領域(漂移層78、79的領域)形成LOCOS氧化膜84、85，同時藉著產生被佈植離子的熱擴散(驅入)，形成挾著通道領域77相對的漂移層78、79。

LOCOS氧化膜84、85具有2800 Å的膜厚。又，漂移層78、79成為由LOCOS氧化膜84、85的通道領域77側端部朝通道領域77內側進入進入距離X1、X2之狀態。如參照圖2D及圖2E所說明地，於漂移層78、79形成用的離子佈植時被使用作為遮罩的抗蝕膜44於LOCOS氧化膜84、85形成時的作為耐氧化性遮罩的氮化矽膜43的圖案化時亦被利用。因此，漂移層78、79及LOCOS氧化膜84、85成為自整合地被形成。結果，上述進入距離X1、X2以藉熱的擴散距離決定，因為被高精度地控制，故不僅可抑制複數的高耐壓電晶體71之間的不均勻，且可抑制複數的半導體裝置之間的不均勻。藉此，可大幅減低耐壓的不均勻。

如圖2F所示，藉著用以形成LOCOS氧化膜84、85的熱氧化處理，於氮化矽膜43的表面形成氧化皮膜(薄的氧化膜)45(例如膜厚150 Å)，氮化矽膜43的膜厚僅減少該氧化皮膜45的厚度(例如150 Å)。於LOCOS氧化膜84、85形成時未於氮化矽膜43上成長充份膜厚的氧化皮膜45時，例如

可進行藉著CVD法使用以被覆氮化矽膜43的氧化皮膜45成長之步驟。

接著，如圖2G所示，使通道領域77(LOCOS氧化膜84、85之間的領域、第2氧化膜形成領域)露出，同時形成被覆矽基板40上的剩餘部份的具圖案的抗蝕膜46。然後，以該抗蝕膜46作為遮罩，進行氫氟酸液的溼蝕刻。藉此，由抗蝕膜46露出的領域中的氮化矽膜43表面的氧化皮膜45被蝕刻去除。氮化矽膜43因為與氧化矽相比較下其氫氟酸液的蝕刻速度相當低，故殘留於矽基板40上。

接著，如圖2H所示，將抗蝕膜46剝離後，進行熱磷酸液(比室溫高溫的磷酸液)的蝕刻。具體而言，例如將矽基板40浸漬於150°C的磷酸液中約60分鐘。藉此，於表面未形成氧化皮膜45的領域中的氮化矽膜43被剝離。即，LOCOS氧化膜84、85領域的氮化矽膜43被選擇性地剝離。此時，氧化矽因為其熱磷酸液的蝕刻速度低，故幾乎會原封不動地殘留於矽基板40上。藉此，於以氮化矽膜43被覆第1領域50(進而被覆第2領域70內的通道領域77以外的領域)的狀態下，可僅選擇性地去除通道領域77中的氮化矽膜43。熱磷酸液的蝕刻中的氮化矽膜43對墊氧化膜42(底膜)的選擇比係100以上，可擴大蝕刻時間設計中的範圍。

之後，藉著進行氫氟酸液的蝕刻，可將通道領域77表面的墊氧化膜42去除，使矽基板40的表面露出。

由此狀態進行熱氧化處理，如圖2I所示，使閘極氧化膜80(例如膜厚1000 Å)於通道領域77成長。此時，於通道領

域77以外的領域，因為被氮化矽膜43覆蓋，故於該氮化矽膜43上雖然會成長若干的氧化膜，但於矽基板40的表面不會產生氧化膜的成長。

藉此，第2領域70的通道領域77上的氮化矽膜43的選擇性去除係藉著使用氫氟酸液與磷酸液的溼蝕刻步驟進行，不需要反應性離子蝕刻等乾蝕刻步驟。因此，因為通道領域77的矽基板40的表面不會受到電漿所帶來的損傷，故可形成良好膜質的閘極氧化膜80，同時可將載子所移動的通道領域77的表層部中的矽基板40的結晶狀態保持於良好的狀態。於藉著反應性離子蝕刻步驟於氮化矽膜43開口遮罩開口43a的圖2E的步驟，因為形成LOCOS氧化膜84、85的領域被開口，故此時對矽基板40的表面造成的損傷不會影響元件特性。

進而，與採用以下步驟時相比較，即與於第1及第2領域50、70兩者形成對應於第2領域70的厚的閘極氧化膜，於選擇性地去除第1領域50側的該厚的閘極氧化膜後，於該第1領域50側選擇性地形成薄的閘極氧化膜之步驟相比較，具有可防止於第1及第2領域50、70之間產生明顯的高低差之優點。即，可不會產生明顯的高低差地形成對應於第1領域50的閘極氧化膜60、對應於第2領域70的閘極氧化膜80及LOCOS氧化膜84、85之3種膜厚的氧化矽膜。藉此，可抑制後續的微影成像步驟中的聚焦範圍的下降。

然後，接續於圖2I的步驟，如圖2J所示，將矽基板40上的全部的氮化矽膜43剝離。具體而言，以氫氟酸蝕刻氮化

矽膜43的表面的氧化皮膜45後，以熱磷酸液去除氮化矽膜43。藉著氮化矽膜43表面的薄的氧化膜的蝕刻，雖然會產生閘極氧化膜80的若干的膜減少，但此時的蝕刻因為僅去除氮化矽膜43表面的薄氧化膜，故閘極氧化膜80僅表層部份被蝕刻，不會成為問題。

接著，如圖2K所示，形成被覆第2領域70全體，同時使第1領域50中的對應於井56的領域的矽基板40表面露出的抗蝕膜47。以該抗蝕膜47作為遮罩，佈植井56形成用的雜質離子。該雜質離子於井56為P型時例如為硼離子，井56為N型時例如為磷離子。該離子佈植時，因為第2領域70被抗蝕膜47覆蓋，故於第2領域70不會被導入雜質離子。

接著，如圖2L所示，以抗蝕膜47作為遮罩，進行氫氟酸液的溼蝕刻，去除第1領域50(特別是井56的領域)中的矽基板40表面的墊氧化膜42。

然後，如圖2M所示，以熱氧化法於井56的領域(第3氧化膜形成領域)形成閘極氧化膜60。該閘極氧化膜60的膜厚例如為32 Å。應形成該閘極氧化膜60的領域中的矽基板40的表面不論是於第2領域70形成LOCOS氧化膜84、85的步驟中或於第2領域70形成閘極氧化膜80的步驟中都始終被氮化矽膜43保護。因此，被形成於第1領域50的閘極氧化膜60不會受到LOCOS氧化膜84、85或第2領域70中的閘極氧化膜80的形成步驟的影響，可避免因將該等厚的氧化膜形成於第1領域50之微細圖案上時所產生的應力而對矽基板40導入晶格缺陷及漏電流增大等事。

接著，如圖2N所示，形成低耐壓電晶體51的閘極電極61及高耐壓電晶體71的閘極電極81。該等閘極電極61、81可例如由多晶矽膜構成。具體而言，可於矽基板40全面被覆形成多晶矽膜後，將多晶矽膜蝕刻而形成閘極電極61、81。閘極電極81被形成其端部位於LOCOS氧化膜84、85上的圖案。

然後，藉著進行源極及汲極形成用的離子佈植，將低耐壓電晶體51的源極擴散層58及汲極擴散層59形成於挾著閘極電極61相對的領域，進而於漂移層78、79的LOCOS氧化膜84、85的大約中央的開口部的正下方分別形成源極接觸層78a及汲極接觸層79a。藉此，得到圖1所示構造的半導體裝置。

圖3係高耐壓電晶體71附近之平面圖，顯示圖2E的步驟中的構造。於圖2E中顯示相當於圖3的切截面線II-II之截面構造。又，圖4A係圖3的切截面線IV-IV之截面圖，圖4B係顯示對應於圖2F步驟之相同的切截面圖，圖4C係顯示對應於圖2I步驟之相同的切截面圖。

藉著反應性離子蝕刻經圖案化狀態的氮化矽膜43(於圖3中以斜線表示)，關於以STI部72區分出的通道領域77的寬度方向W，被形成成由通道領域77朝STI部72側僅露出微小距離 Δ (例如 $0.1\sim0.2\mu\text{m}$)之圖案。關於通道領域77的長度方向(一對漂移層78、79的相對方向)，通道領域77上的氮化矽膜43成為對應於所要通道長度的長度。於該通道領域77的兩側，矽基板40的表面於以STI部72及氮化矽膜43

所包圍的一對矩形領域91、92露出。於該一對矩形領域91、92的大約中央處，於對應於接觸孔86、87的領域形成氮化矽膜43。

於STI部72的上側緣部72a(通道領域77的緣部)，因為於雜質擴散步驟(圖2B的步驟等)之前每回進行的洗淨處理(以氫氟酸液之光蝕刻等)等，而產生圖4A所示的凹陷(凹陷區)93。於殘留該凹陷93下形成閘極氧化膜80時，閘極氧化膜80於該凹陷93的部份會產生顯著的薄膜部。該薄膜部會成為漏電流的原因，招來閘極氧化膜耐壓的下降。又，該薄膜部因為會形成部份低臨界值的領域，故會招來高耐壓電晶體71的靜特性的惡化(臨界值變得不安定等)。

於該實施形態中，如圖4B所示，於閘極氧化膜80形成步驟之前，為了去除凹陷93，於用以形成LOCOS氧化膜84、85的熱氧化步驟(用以形成漂移層78、79之熱擴散步驟)中使由STI部72朝通道領域77延伸的鳥嘴94成長。即，如前所述，氮化矽膜43因為被形成成關於通道領域77的寬度方向僅於STI部72側露出微小距離 Δ ，且使STI部72與通道領域77附近的領域露出的圖案，故藉著於氧氣氛中的加熱，可使氧化膜成長於STI部72的露出部，鳥嘴94朝氮化矽膜43的下方潛入，朝通道領域77進入。藉此，凹洞93被去除。

微小距離 Δ 係被設定成藉著前述熱氧化步驟成長的鳥嘴94的根部的膜厚 t 與閘極氧化膜80的所要膜厚(例如1000 Å)幾乎相等。較佳為膜厚 t 被設定成與閘極氧化膜80的所要

膜厚及墊氧化膜42(之後被以氫氟酸液蝕刻)的膜厚之和大約相等。

於用以形成閘極氧化膜80的熱氧化步驟中，如圖4C所示，成長於通道領域77的矽基板40表面的閘極氧化膜80與鳥嘴94相連接，於通道領域77形成由其中央領域至端部的各部均勻膜厚的閘極氧化膜80。

圖5係顯示高耐壓電晶體71中的閘極氧化膜耐壓之圖，顯示閘極電壓 V_g (外加於閘極電極81的電壓)與閘極漏電流 I_g 之關係。假想線係顯示未進行去除凹洞93的對策時的閘極氧化膜耐壓特性，實線係顯示進行去除凹洞93的對策時的閘極氧化膜耐壓特性。由該圖5可知，藉著進行去除凹洞93的前述對策，明顯地可使閘極耐壓提高。其原因為，於未進行去除凹洞93的對策時會於閘極氧化膜產生薄膜部，電場集中於該薄膜部，招致耐壓劣化，相對於此，於去除凹洞93使閘極氧化膜80的膜厚均勻化之構造中，可抑制該電場集中所故。

圖6係顯示高耐壓電晶體71的靜特性之圖，顯示源極接地、汲極電壓 $V_{ds}=0.1$ V時汲極電流 I_{ds} 相對於閘極電壓 V_{gs} 的變化。虛線係顯示未進行去除凹洞93的對策時的特性，實線係顯示進行去除凹洞93的對策時的特性。又，複數的特性曲線係顯示將後閘極電壓BGV(外加於矽基板40的電壓)分別設定成0 V、-2 V、-4 V、-6 V、-8 V時之特性。

由該圖6可知未進行去除凹洞93的對策時，產生複數的臨界值顯現的現象之隆起，其傾向為後閘極電壓BGV愈高

愈顯著。圖6雖然係N通道高耐壓電晶體的特性例，但於P通道高耐壓電晶體中亦會產生相同減少。隆起的原因係於閘極氧化膜產生對應於凹洞93的薄膜部，於該薄膜部產生部份的導通所故。於去除凹洞93使閘極氧化膜80的膜厚均勻化之構造中，因為可抑制該部份的導通，故可抑制隆起。藉此，即使提高後閘極電壓，亦可實現良好的靜特性。

圖7係用以說明本發明之另一實施形態之半導體裝置的構造之圖解截面圖。於圖7中，與前述圖1所示的各部相對應的部份被賦予與圖1之相同參照標號。

於此實施形態中，第2領域70中的元件形成領域不是藉著STI部72，而是藉著LOCOS氧化膜98被分離。關於作為高耐壓領域的第2領域70，因為高耐壓電晶體71的尺寸較大，故不一定必須適用STI法的分離。因此，如此實施形態所示，將第2領域70中的元件形成領域73的分離藉著LOCOS法進行亦可。又，位於第1及第2領域50、70的交界部的LOCOS氧化膜98亦不會產生明顯的高低差。

以上說明本發明之二個實施形態，但本發明亦可以其他形態實施。例如，關於第1及第2領域50、70兩者可進行LOCOS法的元件分離。此時，第1及第2領域50、70的交界部的LOCOS氧化膜98不會產生明顯的高低差之點與前述相同。

又，於上述實施形態中，係說明為了形成漂移·汲極構造，被配置於閘極電極81的端部的厚的氧化膜以LOCOS氧

化膜84、85形成之例，但將該厚的氧化膜以STI部形成時亦可適用本發明。即，可於LOCOS氧化膜84、85的形成位置配置STI部，使閘極電極81的端部位於該STI部上。此時，於將氮化矽膜43形成於該STI側僅露出微小距離的圖案之狀態下，於閘極氧化膜80形成之前藉著進行熱氧化處理，可形成由STI部朝通道領域77側延伸的鳥嘴。藉此，可預先解決STI部的上側緣部中的凹洞。

雖然已經詳細地說明本發明之實施形態，但該等實施形態只不過是為了明白本發明之技術內容而使用的具體例，本發明不應被解釋成限定於該等具體例，本發明之精神及範圍僅藉著所附的申請專利範圍被限定。

本申請案係對應於皆於2004年8月17日對日本國專利廳提出的日本特願2004-237207號、日本特願2004-237208號、日本特願2004-237209號、日本特願2004-237210號、日本特願2004-237211號，該等申請案的全部揭示係被引用而編入。

【圖式簡單說明】

圖1係用以說明本發明之一實施形態之半導體裝置的構造之圖解截面圖。

圖2A~圖2N係依照步驟順序顯示前述半導體裝置之製造步驟之截面圖。

圖3係高耐壓電晶體的附近之平面圖，顯示圖2E的步驟中的構造。

圖4A係圖3的切截面線IV-IV之截面圖，圖4B係顯示對應

於圖2F步驟的相同的截面圖，圖4C係顯示對應於圖2I步驟的相同的截面圖。

圖5係顯示高耐壓電晶體中的閘極氧化膜耐壓之圖，顯示閘極電壓 V_g 與閘極漏電流 I_g 之關係。

圖6係顯示N通道高耐壓電晶體的靜特性之圖，顯示源極接地、汲極電壓 $V_{ds}=0.1\text{ V}$ 時汲極電流 I_{ds} 相對於閘極電壓 V_{gs} 的變化。

圖7係用以說明本發明之另一實施形態之半導體裝置的構造之圖解截面圖。

圖8(a)~圖8(f)係以一例概略地說明本發明之方法的圖解截面圖。

圖9(a)~圖9(h)係以一例概略地說明本發明之半導體裝置之製造方法的圖解截面圖。

圖10(a)~圖10(d)係依照步驟順序顯示使用LOCOS法的過去技術的圖解截面圖。

圖11係用以說明具有漂移·汲極構造的電晶體的半導體裝置的構造之圖解截面圖。

圖12係圖11之半導體裝置之圖解平面圖。

圖13(a)~圖13(f)係用以說明圖11及圖12之半導體裝置之製造方法之圖解截面圖。

圖14(a)~圖14(d)係依照步驟順序顯示具有漂移·汲極構造的電晶體的半導體裝置之過去的製造方法之截面圖。

圖15係用以說明以過去的製造方法製造漂移·汲極構造的電晶體時的耐壓的不均勻之圖。

【主要元件符號說明】

1	半 導 體 基 板
2	氮 化 膜
3	LOCOS 氧 化 膜
4	低 壓 元 件 領 域
5	高 壓 元 件 領 域
6	閘 極 氧 化 膜
6a	氧 化 膜
7	抗 蝕 膜
8	閘 極 氧 化 膜
9	階 段 部
21	第 1 氧 化 膜
24	氧 化 皮 膜
25	抗 蝕 膜
26	第 2 氧 化 膜
27	第 3 氧 化 膜
31	第 1 氧 化 膜 形 成 領 域
32	第 2 氧 化 膜 形 成 領 域
33	第 3 氧 化 膜 形 成 領 域
40	矽 基 板
41	抗 蝕 膜
42	墊 氧 化 膜
43	氮 化 矽 膜
43a	遮 罩 開 口

44	抗蝕膜
44a	抗蝕開口
45	氧化皮膜
46	抗蝕膜
47	抗蝕膜
50	第1領域
51	低耐壓電晶體
52	STI部
53	元件形成領域
54	溝渠
55	氧化矽
56	井
57	通道領域
58	源極擴散層
59	汲極擴散層
60	閘極氧化膜
61	閘極電極
70	第2領域
71	高耐壓電晶體
72	STI部
72a	STI部的上側緣部
73	元件形成領域
74	溝渠
75	氧化矽

76	井
77	通道領域
78	源極側漂移層
78a	源極接觸層
79	汲極側漂移層
79a	汲極接觸層
80	閘極氧化膜
81	閘極電極
81a	閘極電極的端部
84, 85	LOCOS氧化膜
86, 87	接觸孔
93	凹洞
94	鳥嘴
98	LOCOS氧化膜
101	半導體基板
102	通道領域
103	漂移層
104	溝渠
105	氧化矽
106	閘極氧化膜
106a	薄膜部
107	閘極電極
111	氮化矽膜
112	氧化矽膜

113	凹陷區
201	半導體基板
202	氮化膜
202a	開口
203	通道領域
204	LOCOS氧化膜
205	P型井
206	抗蝕膜
207	漂移層
208	閘極氧化區
209	閘極電極
210	抗蝕膜
X, X1, X2	進入距離
w	寬度
W	寬度方向

五、中文發明摘要：

本發明之半導體裝置係於半導體基板上形成不同耐壓的第1元件及第2元件者。更具體而言，該半導體裝置包含有：半導體基板；第1領域，係該半導體基板上的領域，且具有第1元件形成領域者，該第1元件形成領域係藉著於形成於該半導體基板的溝渠內埋入絕緣物的元件分離部而被分離出者；第1元件，係被形成於前述第1元件形成領域者；第2領域，係與前述半導體基板上的上述第1領域不同的領域，且具有第2元件形成領域者；及第2元件，係比前述第1元件高耐壓，且被形成於前述第2元件形成領域，並具有於閘極電極的端部配置比閘極絕緣膜厚的LOCOS氧化膜之漂移·汲極構造者。

六、英文發明摘要：

This semiconductor device includes a first device and a second device provided on a semiconductor substrate and having different breakdown voltages. More specifically, the semiconductor device includes a semiconductor substrate, a first region defined on the semiconductor substrate and having a first device formation region isolated by a device isolation portion formed by filling an insulator in a trench formed in the semiconductor substrate, a first device provided in the first device formation region, a second region defined on the semiconductor substrate separately from the first region and having a second device formation region, and a second device provided in the second device formation region and having a higher breakdown voltage than the first device, the second device having a drift drain structure in which a LOCOS oxide film thicker than a gate insulation film thereof is disposed at an edge of a gate electrode thereof.

十、申請專利範圍：

1. 一種半導體裝置，包含有：

半導體基板；

第1領域，係該半導體基板上的領域，且具有第1元件形成領域者，該第1元件形成領域係藉著於形成於該半導體基板的溝渠內埋入絕緣物的元件分離部而被分離出者；

第1元件，係被形成於前述第1元件形成領域者；

第2領域，係與前述半導體基板上的上述第1領域不同的領域，且具有第2元件形成領域者；及

第2元件，係比前述第1元件高耐壓，且被形成於前述第2元件形成領域，並具有於閘極電極的端部配置比閘極絕緣膜厚的LOCOS氧化膜之漂移、汲極構造者。

2. 如請求項1之半導體裝置，其中前述第2元件形成領域係藉著於形成於前述半導體基板的溝渠內埋入絕緣物的元件分離部而被分離出的領域。

3. 如請求項1之半導體裝置，其中前述第2元件形成領域係藉著LOCOS氧化膜而被分離出的領域。

4. 如請求項1之半導體裝置，其中前述第1元件具有比前述第2元件小的元件尺寸。

5. 一種半導體裝置之製造方法，包含有以下步驟，即：

第1元件形成領域之形成步驟，係於半導體基板上的第1領域形成於被形成於該半導體基板的溝渠內埋入絕緣物的元件分離部，且形成藉著該元件分離部而被分離

出的第1元件形成領域者；

第2元件形成領域之形成步驟，係於與前述半導體基板的前述第1領域不同的第2領域形成第2元件形成領域者；

第1元件形成步驟，係於前述第1元件形成領域形成第1元件者；及

第2元件形成步驟，係於前述第2元件形成領域形成具有於閘極電極的端部配置比閘極絕緣膜厚的LOCOS氧化膜之漂移·汲極構造，且比前述第1元件高耐壓的第2元件者。

6. 一種半導體裝置之製造方法，包含有以下步驟，即：

氮化膜形成步驟，係形成覆蓋半導體基板上的第1領域全域，且覆蓋第2領域內的預定領域之氮化膜者；

氧化皮膜形成步驟，係於該氮化膜的表面全面形成氧化皮膜者；

抗蝕膜形成步驟，係於該氧化皮膜形成步驟後，於前述氮化膜上形成被覆前述第1領域但不被覆前述第2領域上的預定的氧化膜形成對象領域之具圖案之抗蝕膜者；

氫氟酸蝕刻步驟，係藉著以前述抗蝕膜作為遮罩的氫氟酸液的溼蝕刻選擇性地去除經形成於前述氧化膜形成對象領域的氮化膜表面的前述氧化皮膜，使下面的前述氮化膜露出者；

抗蝕膜剝離步驟，係剝離前述抗蝕膜者；

氮化膜去除步驟，係藉著經加熱至比室溫高的預定溫

度的磷酸液去除前述露出的氮化膜者；及

氧化膜形成步驟，係於經去除前述氮化膜的氧化膜形成對象領域的基板表面形成藉著熱氧化的氧化膜者。

7. 如請求項6之半導體裝置之製造方法，其中進一步包含有以下步驟，即：

第1元件形成步驟，係於前述第1領域形成第1元件者；及

第2元件形成步驟，係於前述第2領域形成比前述第1元件高耐壓的第2元件者。

8. 如請求項6之半導體裝置之製造方法，其中前述第2領域內的前述氧化膜形成對象領域包含電晶體的通道領域。

9. 一種半導體裝置之製造方法，包含有以下步驟，即：

氮化膜形成步驟，係於半導體基板上形成於第1氧化膜形成領域具有開口，並覆蓋第2氧化膜形成領域及第3氧化膜形成領域的氮化膜者；

第1氧化膜形成步驟，係藉著以前述氮化膜作為耐氧化性遮罩對前述半導體基板施予熱氧化處理，而於前述第1氧化膜形成領域形成第1膜厚的第1氧化膜者；

氧化皮膜形成步驟，係形成覆蓋前述氮化膜表面的氧化皮膜者；

抗蝕膜形成步驟，係於前述半導體基板上形成於第2氧化膜形成領域具有開口，並覆蓋前述第3氧化膜形成領域的抗蝕膜者；

氧化皮膜去除步驟，係以該抗蝕膜作為遮罩進行氫氟

酸液的溼蝕刻，去除覆蓋前述第2氧化膜形成領域的前述氮化膜表面的前述氧化皮膜者；

抗蝕膜去除步驟，係去除前述抗蝕膜者；

氮化膜去除步驟，係藉著比室溫高溫的磷酸液之溼蝕刻，去除前述第2氧化膜形成領域的經去除前述氧化皮膜的前述氮化膜者；

第2氧化膜形成步驟，係藉著熱氧化處理於前述第2氧化膜形成領域中的經去除前述氮化膜的領域形成比前述第1膜厚薄的第2膜厚的第2氧化膜者；

氧化皮膜去除步驟，係藉著氫氟酸液的溼蝕刻去除覆蓋前述第3氧化膜形成領域的前述氮化膜表面的氧化皮膜者；

氮化膜去除步驟，係藉著比室溫高溫的磷酸液之溼蝕刻，去除前述第3氧化膜形成領域的經去除前述氧化皮膜的前述氮化膜者；

第3氧化膜形成步驟，係藉著熱氧化處理於前述第3氧化膜形成領域中的經去除前述氮化膜的領域形成比前述第2膜厚薄的第3膜厚的第3氧化膜者。

10. 如請求項9之半導體裝置之製造方法，其中進一步包含有以下步驟，即：

第1電晶體形成步驟，係形成以前述第3氧化膜作為閘極氧化膜的第1電晶體者；及

第2電晶體形成步驟，係形成以前述第2氧化膜作為閘極氧化膜且比前述第1電晶體高耐壓的第2電晶體者。

11. 如請求項10之半導體裝置之製造方法，其中前述第1氧化膜被配置於前述第2電晶體的閘極電極的端部，且構成比作為該第2電晶體的閘極氧化膜的前述第2氧化膜厚的氧化膜。

12. 如請求項10之半導體裝置之製造方法，其中前述第1氧化膜包含於前述半導體基板上分離元件形成領域的LOCOS氧化膜。

13. 一種半導體裝置之製造方法，包含有以下步驟，即：

溝渠形成步驟，係鄰接於半導體基板的通道領域形成溝渠者；

氧化膜埋入步驟，係於該溝渠內埋入氧化膜者；

耐氧化性遮罩膜形成步驟，係形成被覆前述通道領域，且於前述溝渠側凸出預定距離，同時使前述溝渠內的氧化膜中的與前述通道領域的交界附近的領域露出之耐氧化性遮罩膜者；

選擇性熱氧化步驟，係藉著以該耐氧化性遮罩膜作為遮罩的選擇性熱氧化，使由前述溝渠延伸至前述通道領域側的鳥嘴成長者；及

閘極氧化膜形成步驟，係於該選擇性熱氧化步驟後，於前述通道領域形成閘極氧化膜者。

14. 如請求項13之半導體裝置之製造方法，其中前述耐氧化性遮罩膜形成步驟係包含使前述耐氧化性遮罩膜形成於使挾著前述通道領域相對的一對領域露出的圖案之步驟，前述選擇性熱氧化步驟則包含使LOCOS氧化膜成長

於前述一對領域之步驟。

15. 如請求項13之半導體裝置之製造方法，其中前述溝渠形成步驟係包含於挾著前述通道領域相對的一對領域形成溝渠之步驟。

16. 如請求項14之半導體裝置之製造方法，其中於前述選擇性熱氧化步驟之前係包含有對前述一對領域佈植雜質離子之步驟，且於前述選擇性熱氧化步驟中進一步包含一對漂移層形成步驟，該一對漂移層形成步驟係藉著被賦予於前述半導體基板的熱，使雜質離子於前述一對領域的半導體基板內部熱擴散，形成挾著前述通道領域相對的一對漂移層者。

17. 一種半導體裝置之製造方法，係具有於閘極電極的端部配置比閘極氧化膜厚的氧化膜之漂移、汲極構造之電晶體者，包含有以下步驟，即：

耐氧化性遮罩膜形成步驟，係形成覆蓋半導體基板之耐氧化性遮罩膜者；

抗蝕膜形成步驟，係於前述耐氧化性遮罩膜中的挾著通道領域的一對領域形成具有抗蝕開口的抗蝕膜者；

離子佈植步驟，係以經形成前述抗蝕開口的前述抗蝕膜作為遮罩，對前述半導體基板佈植用以形成前述電晶體的漂移層的離子者；

耐氧化性遮罩選擇性蝕刻步驟，係以前述抗蝕膜作為遮罩蝕刻前述耐氧化性遮罩膜，於該耐氧化性遮罩膜形成對應於前述抗蝕膜的前述一對抗蝕開口的一對遮罩開

口者；

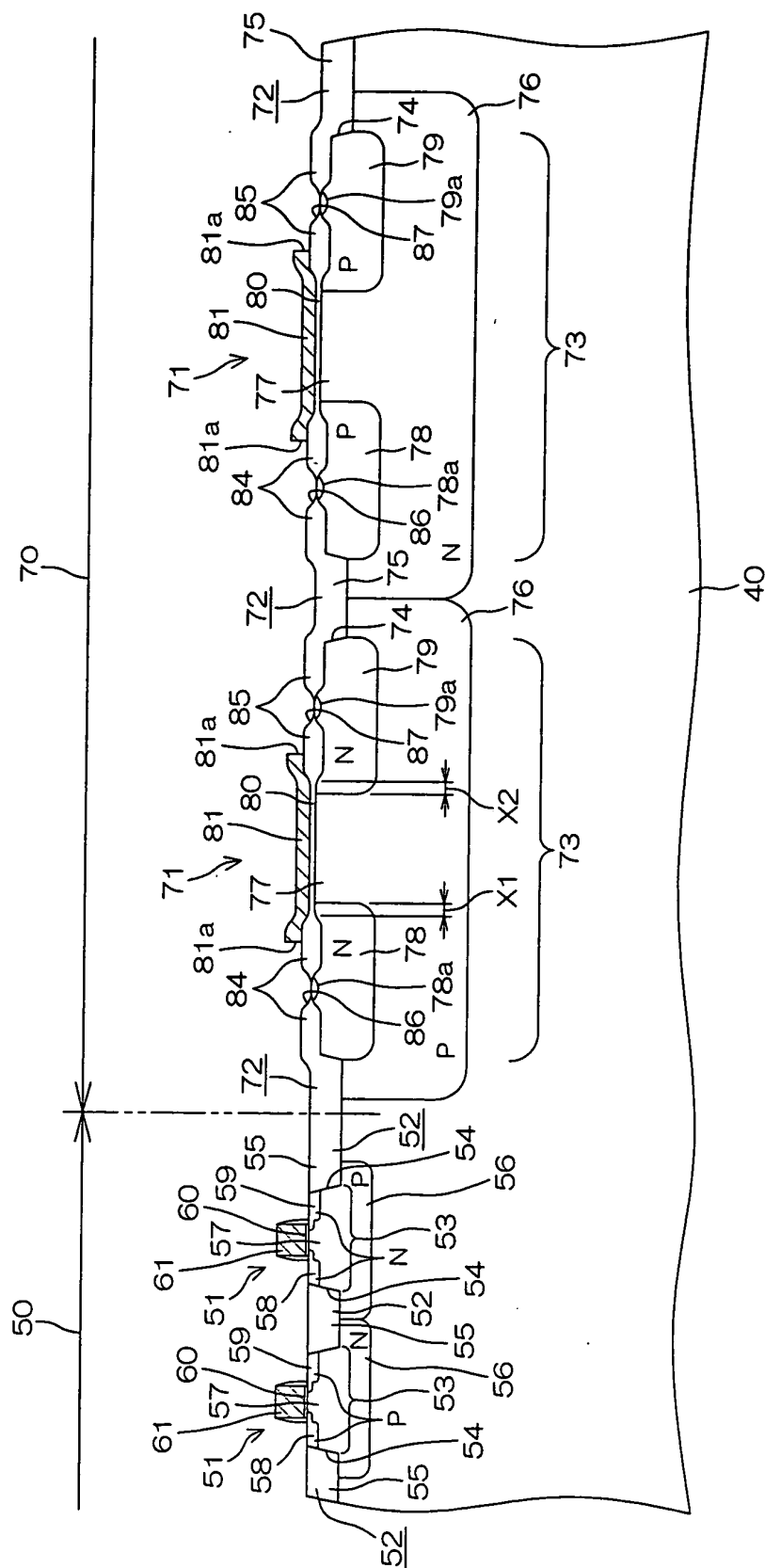
一對漂移層形成步驟，係於前述離子佈植步驟及前述耐氧化性遮罩選擇性蝕刻步驟之後，藉著以前述耐氧化性遮罩膜作為遮罩將前述半導體基板表面熱氧化，而於對應於被形成於前述耐氧化性遮罩膜的一對遮罩開口的領域形成LOCOS氧化膜，同時使被佈植於前述半導體基板的離子熱擴散，形成挾著前述通道領域相對的一對漂移層者；

耐氧化性遮罩膜去除步驟，係去除前述耐氧化性遮罩膜者；

閘極氧化膜形成步驟，係於前述一對漂移層之間的前述半導體基板表面形成比前述LOCOS氧化膜薄的閘極氧化膜者；及

閘極電極形成步驟，係形成延伸於由前述閘極氧化膜的上部至前述LOCOS氧化膜的上部的領域之閘極電極者。

十一、圖式：



1

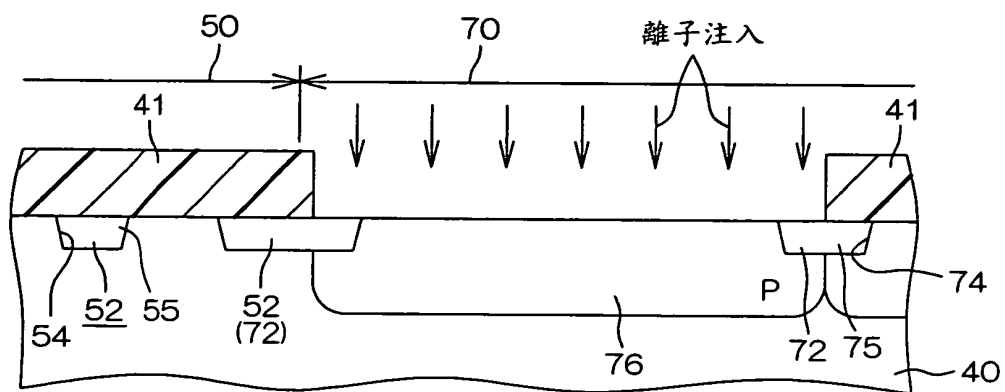


圖 2A

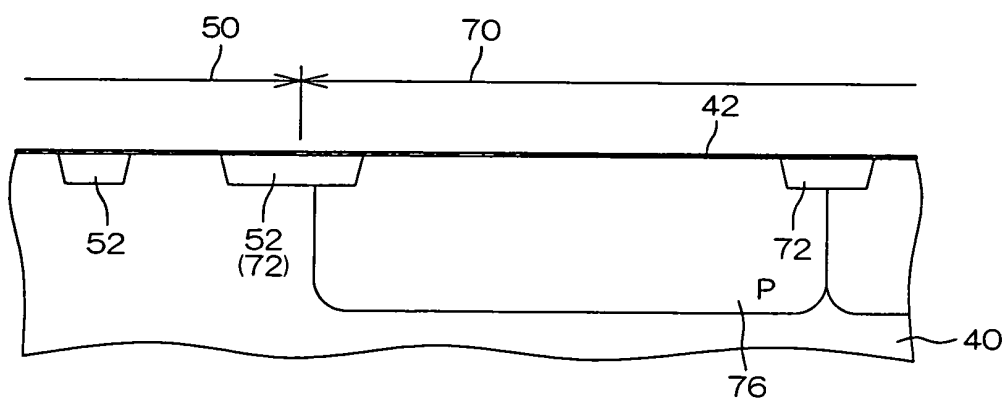


圖 2B

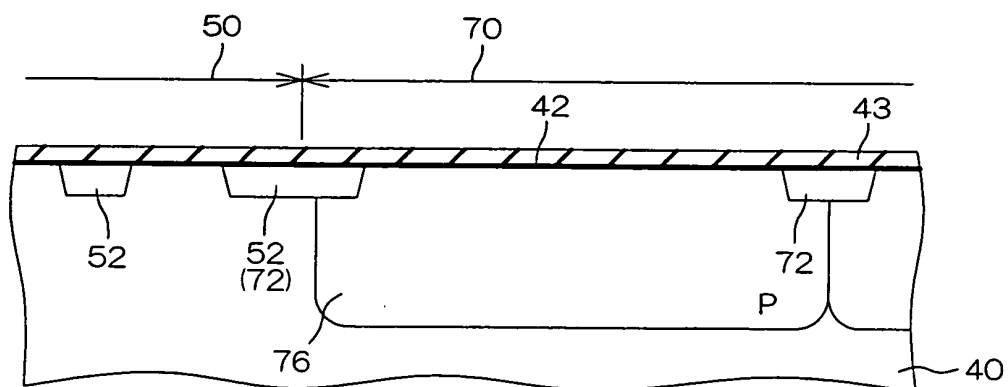


圖 2C

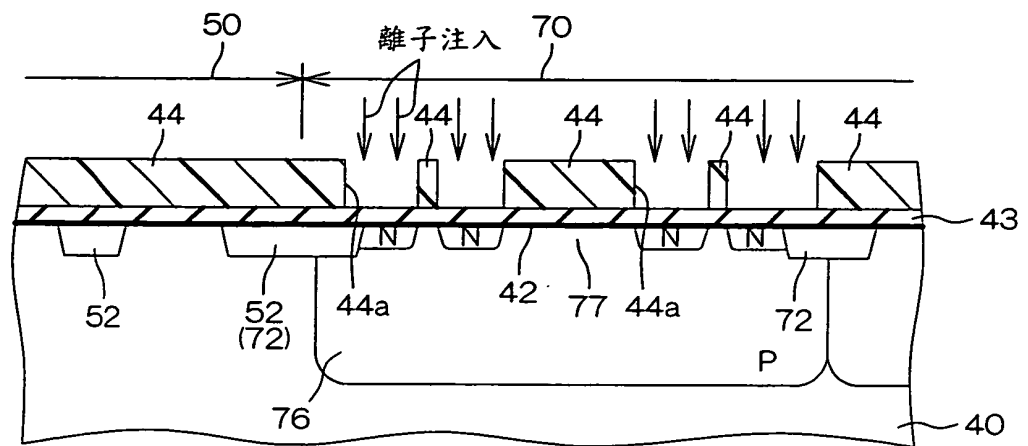


圖2D

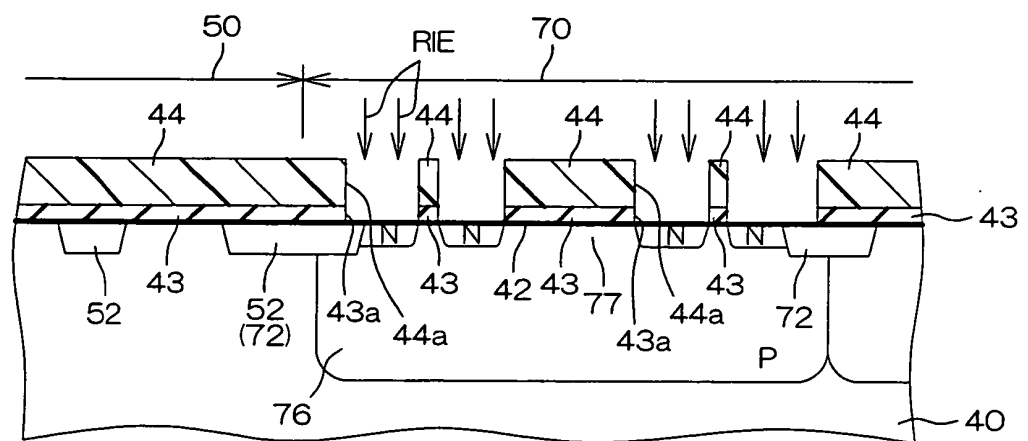


圖2E

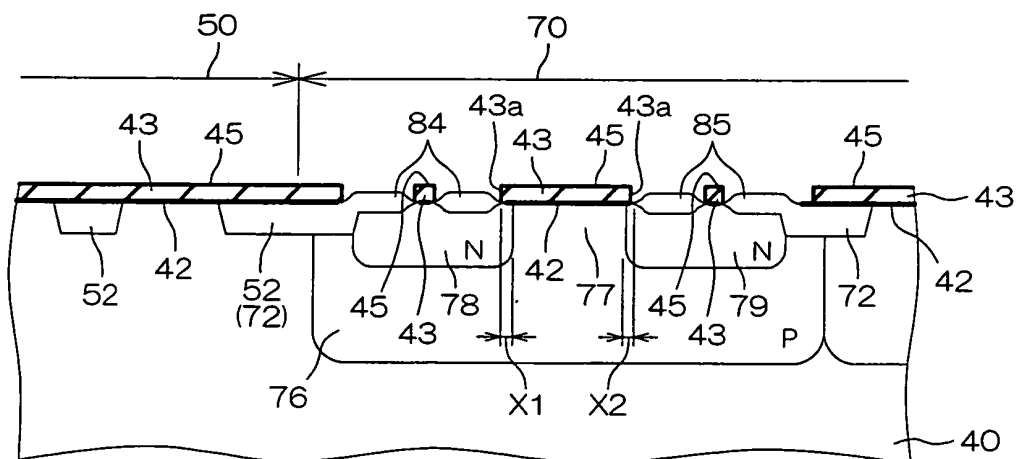


圖2F



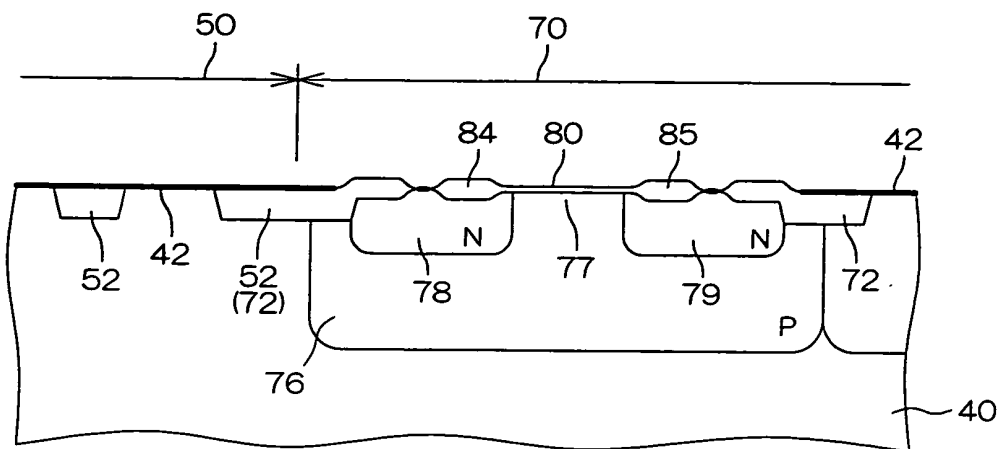


圖2J

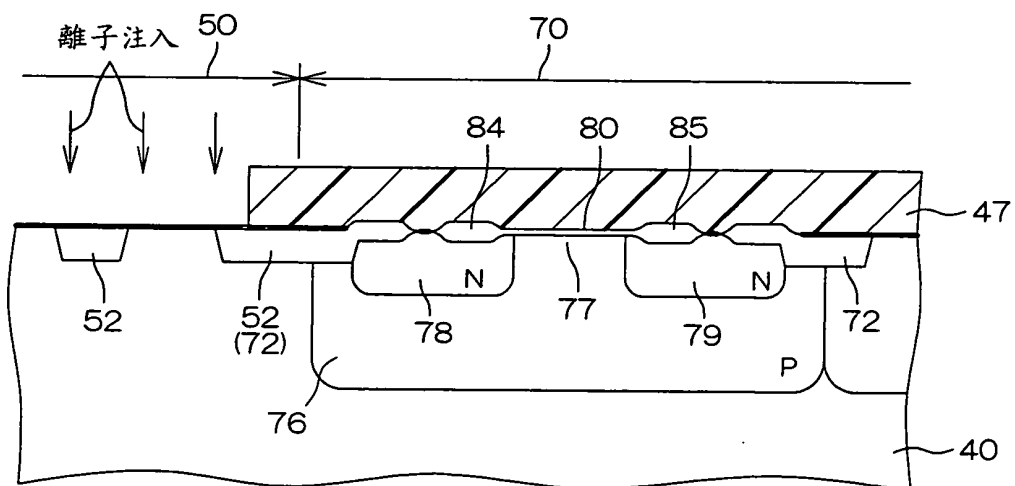


圖2K

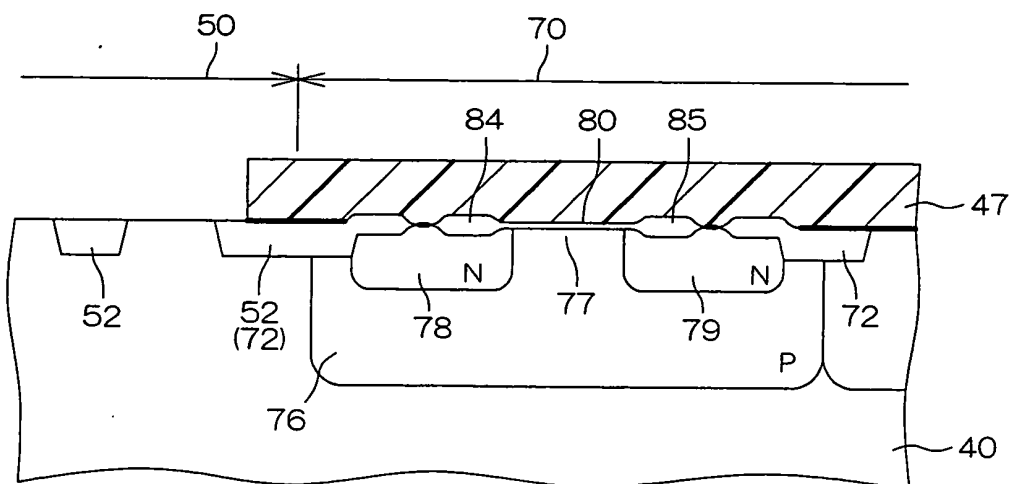


圖2L

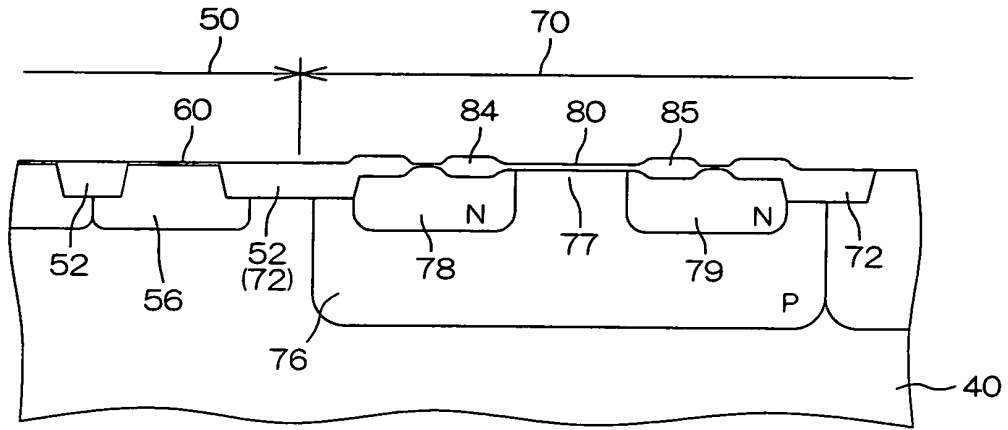


圖2M

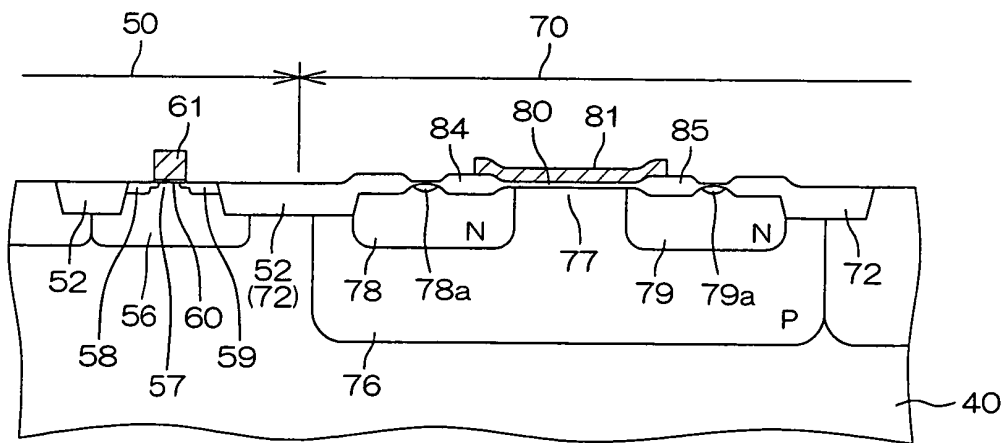


圖2N

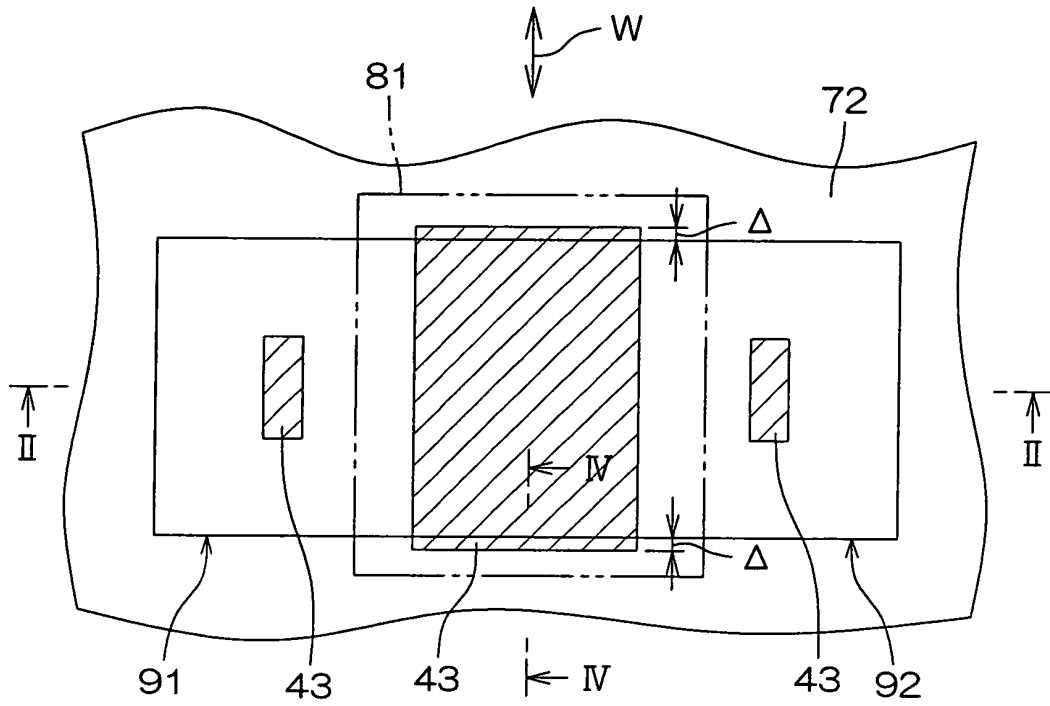


圖3

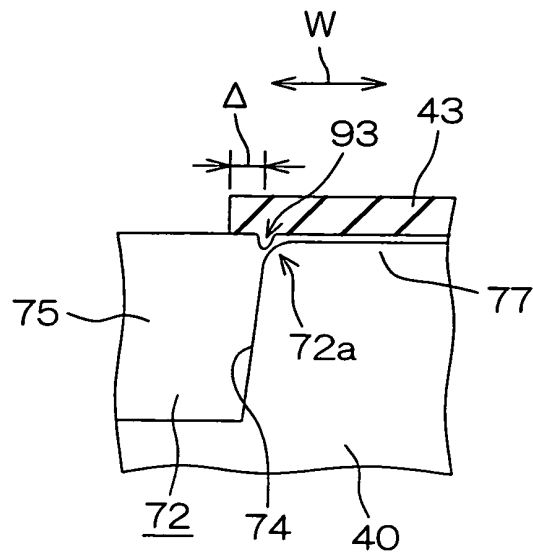


圖4A

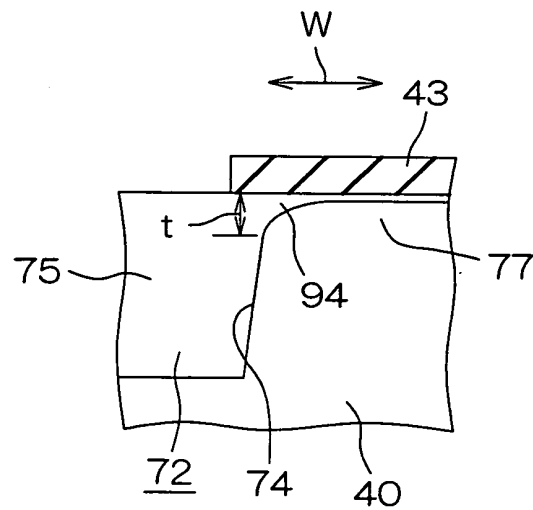


圖4B

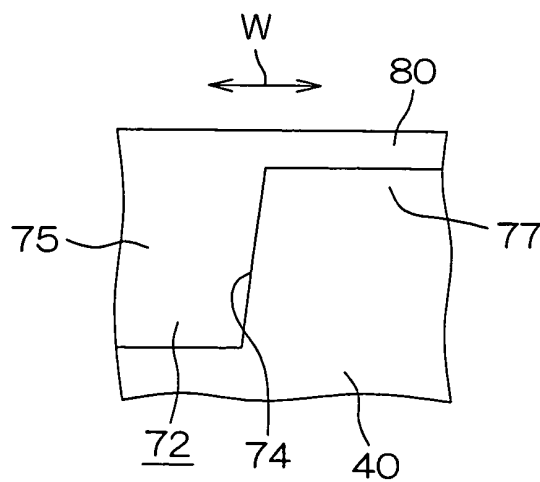


圖4C

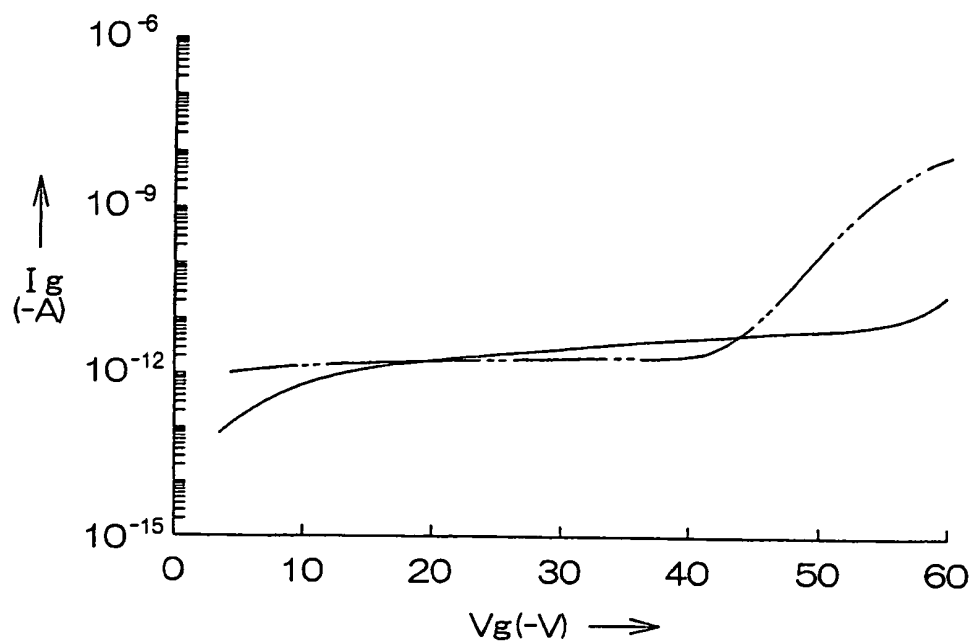


圖5

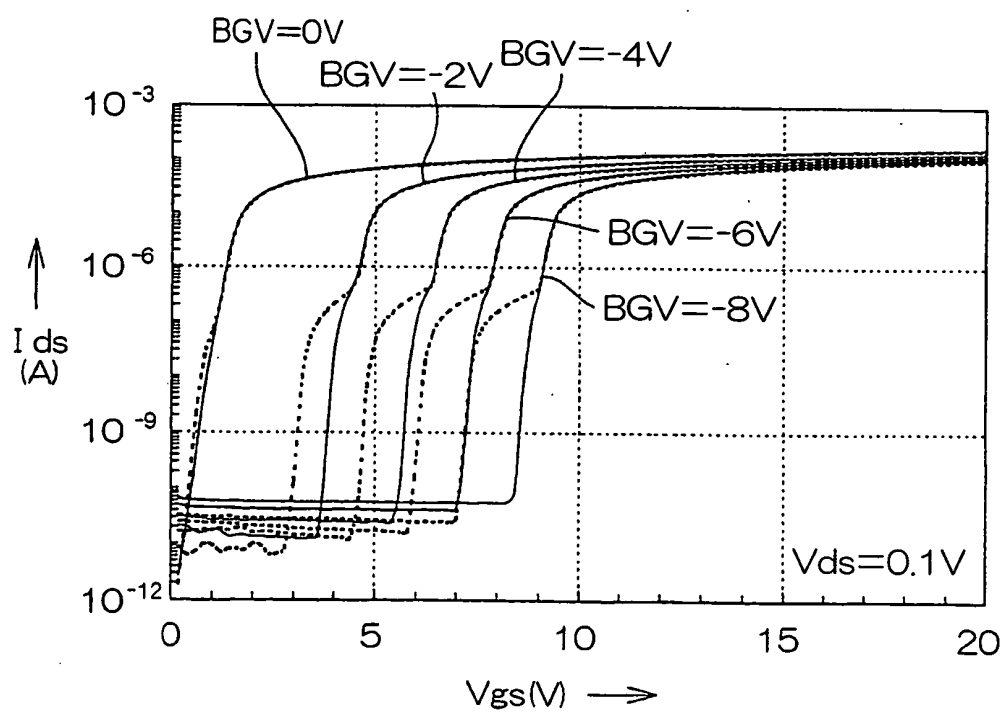


圖6

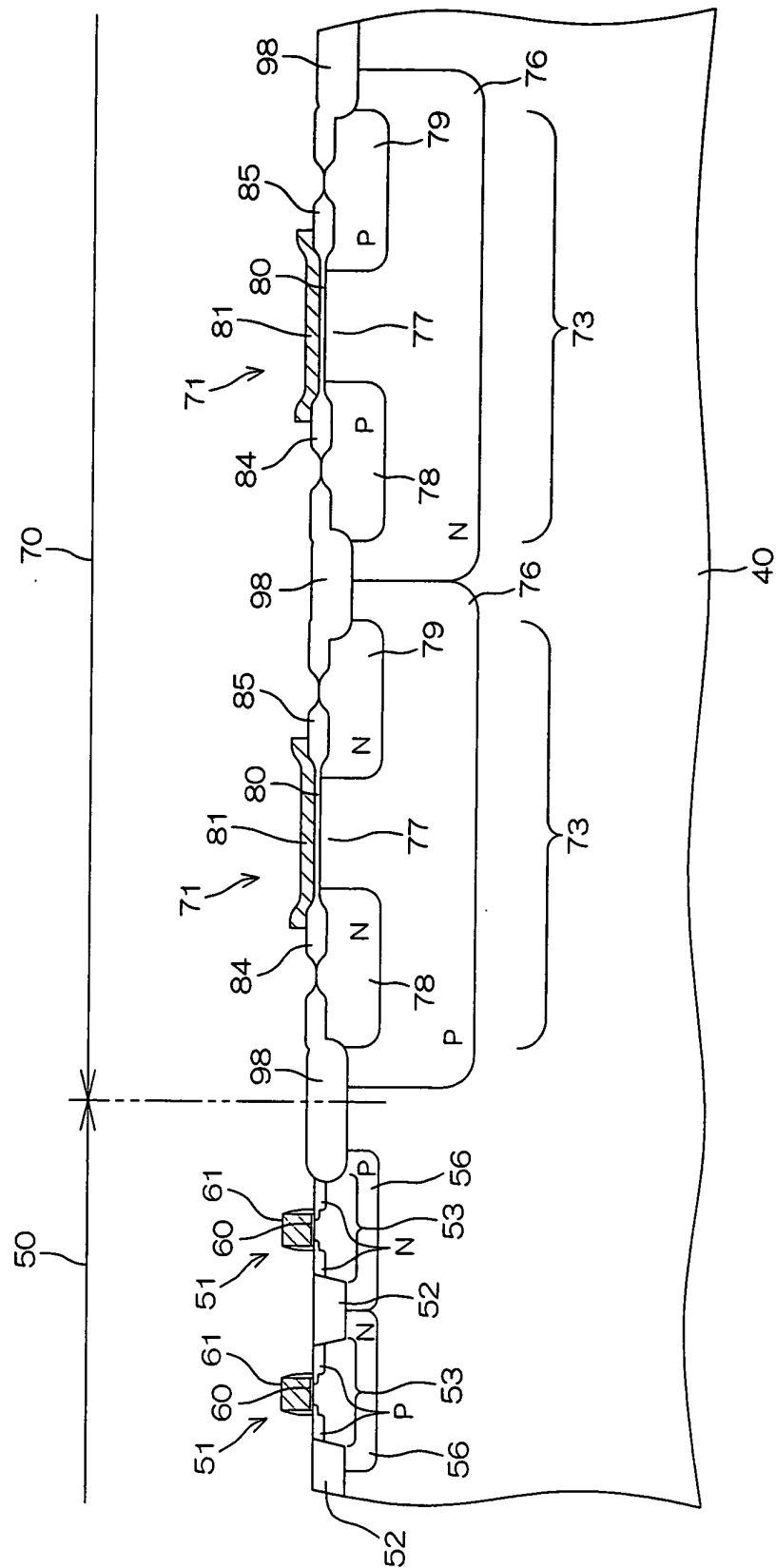


圖7

圖 8(a)

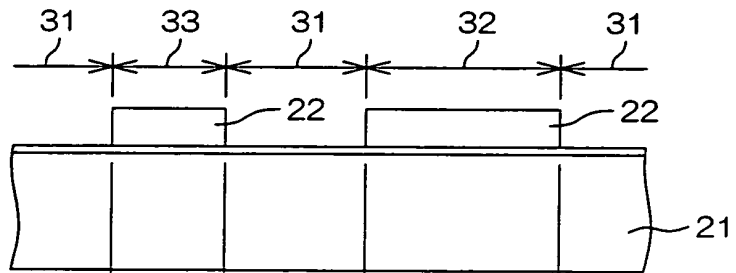


圖 8(b)

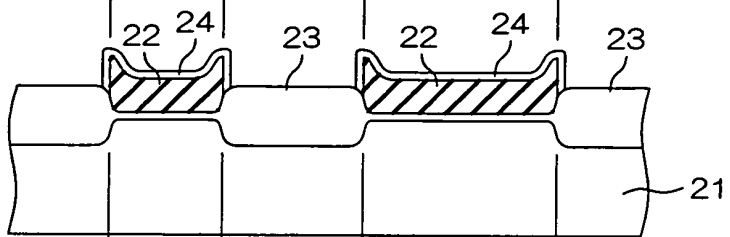


圖 8(c)

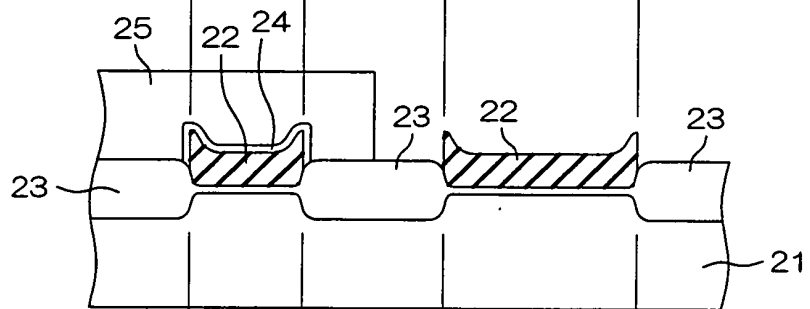


圖 8(d)

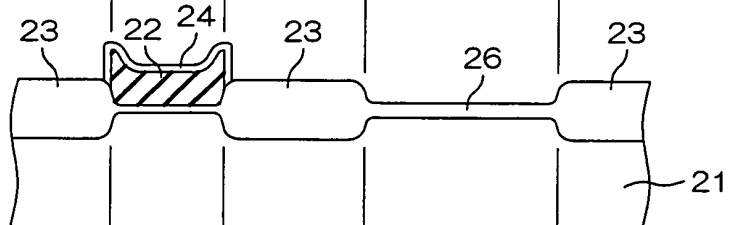


圖 8(e)

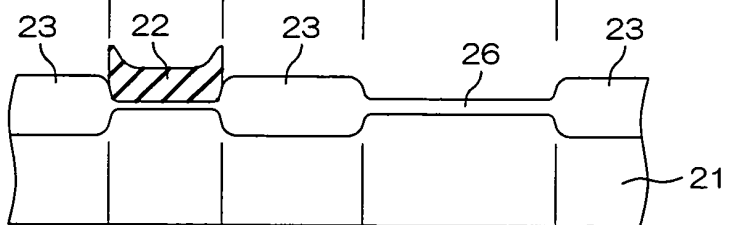
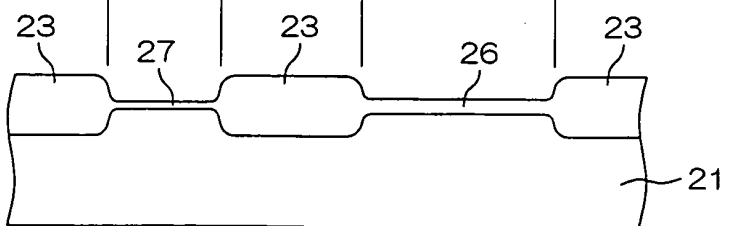


圖 8(f)



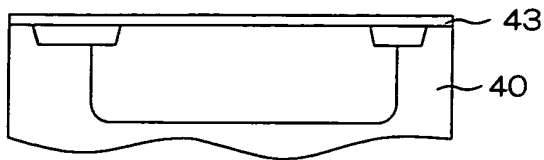


圖9(a)

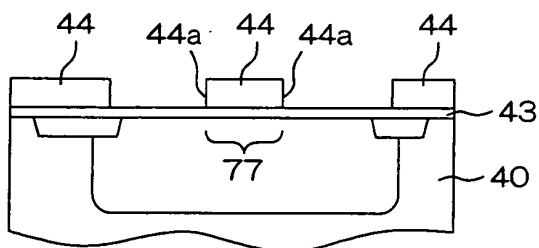


圖9(b)

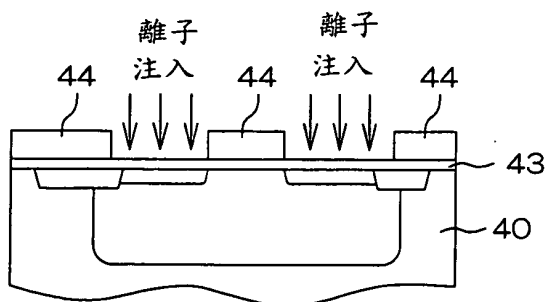


圖9(c)

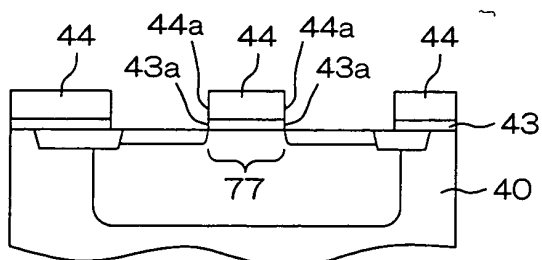


圖9(d)

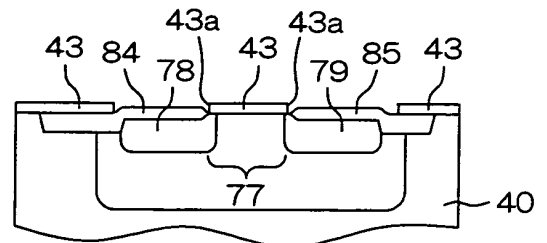


圖9(e)

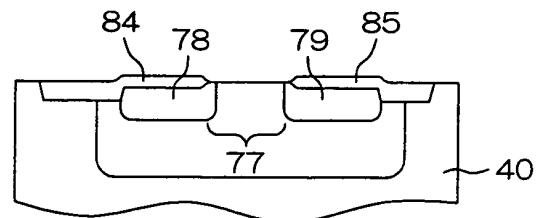


圖9(f)

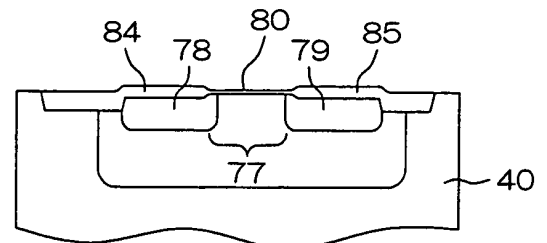


圖9(g)

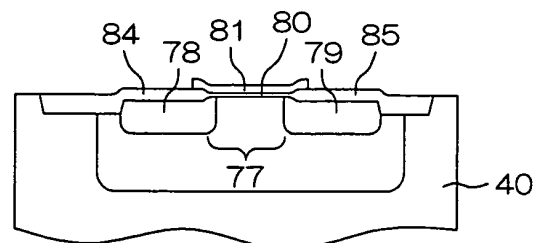


圖9(h)

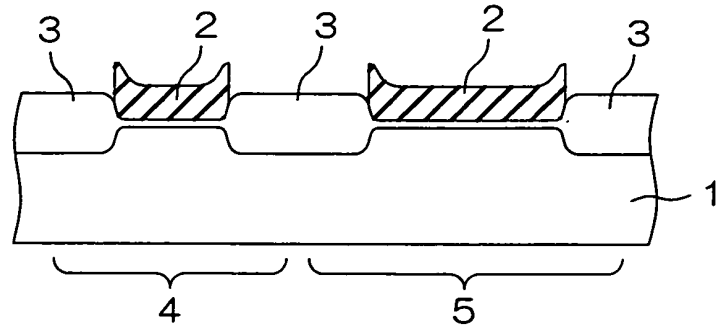


圖 10(a)

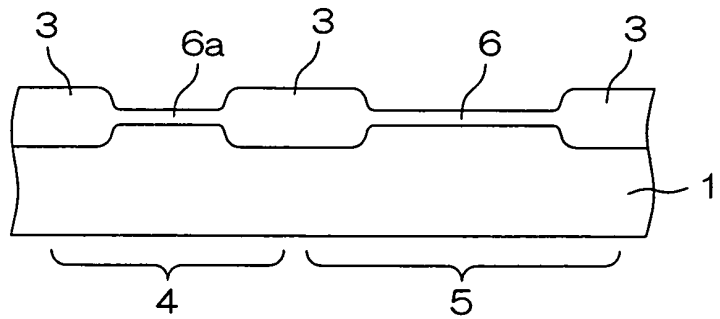


圖 10(b)

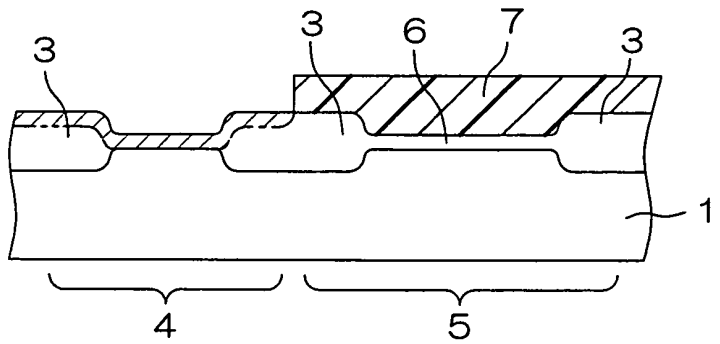


圖 10(c)

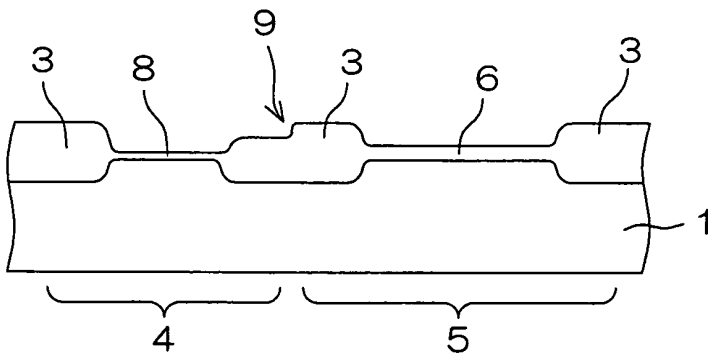


圖 10(d)

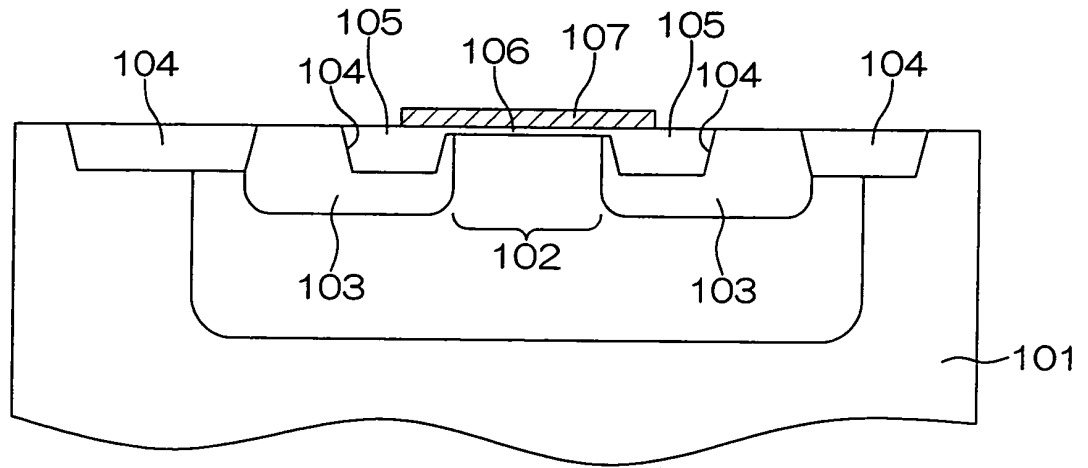


圖 11

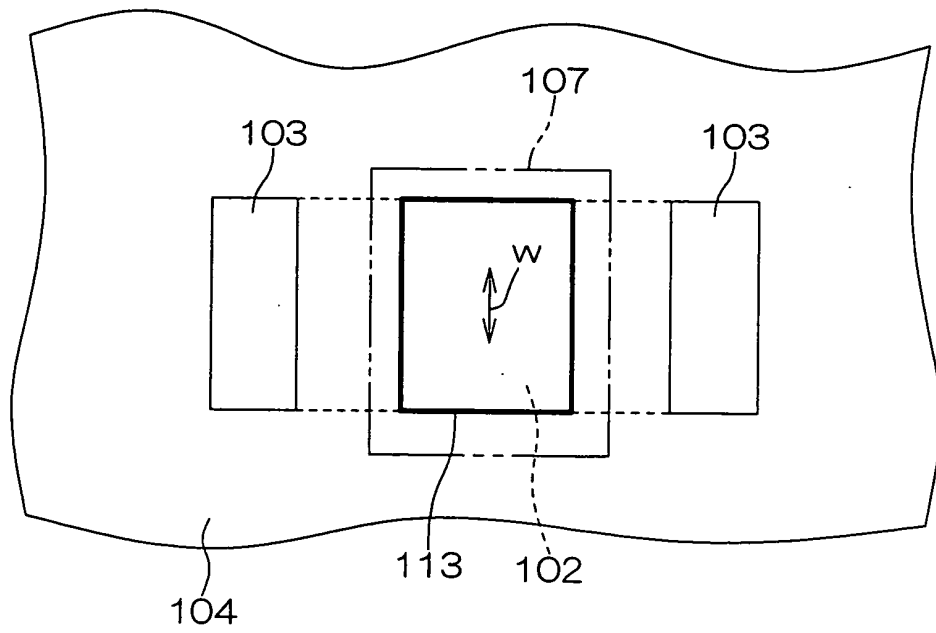


圖 12

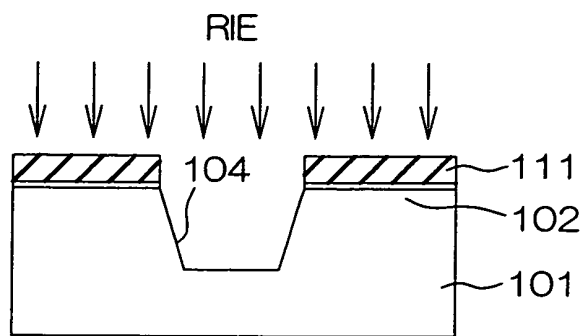


圖 13(a)

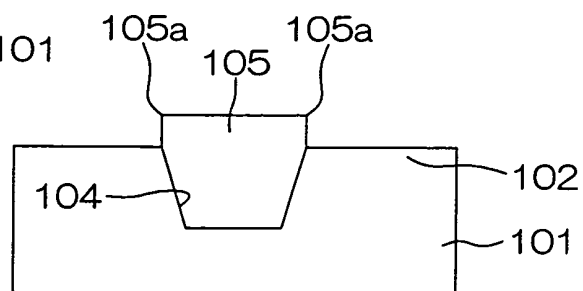


圖 13(d)

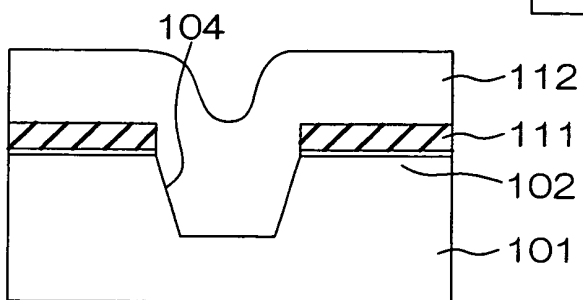


圖 13(b)

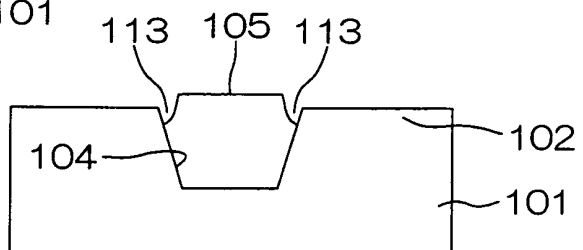


圖 13(e)

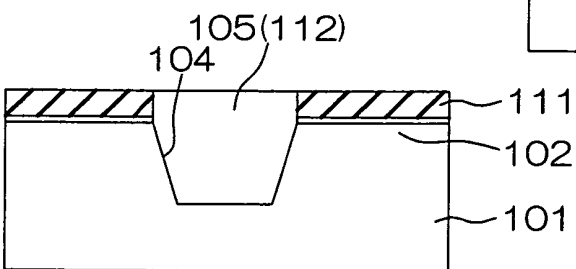


圖 13(c)

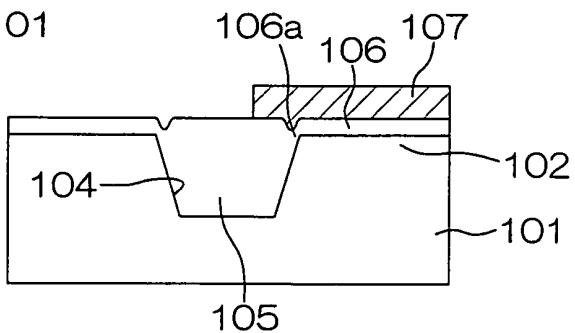


圖 13(f)

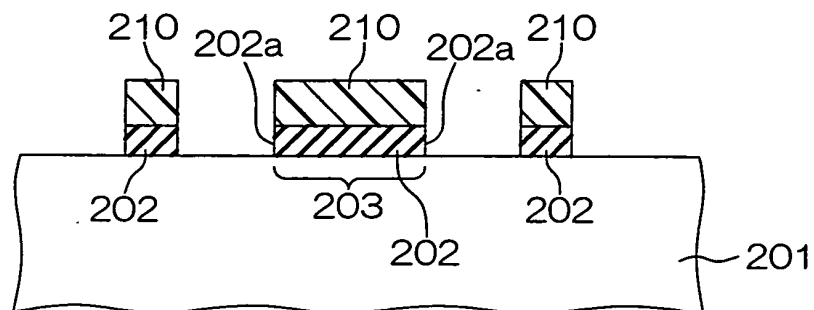


圖 14(a)

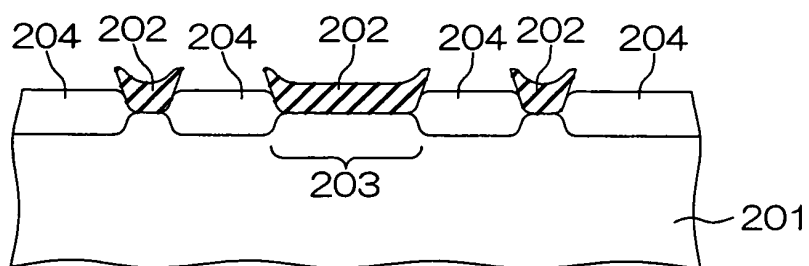


圖 14(b)

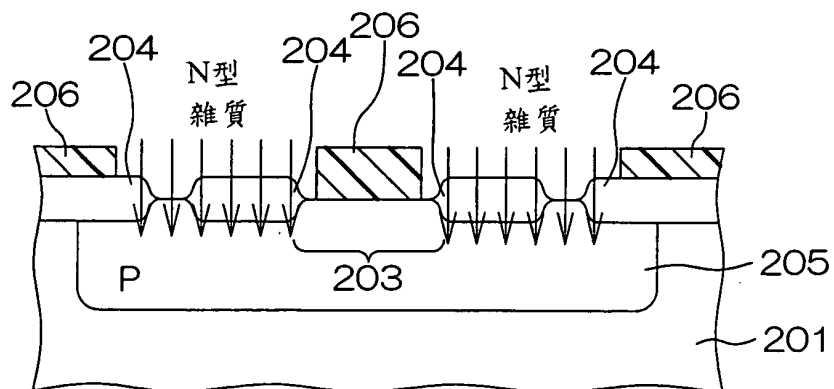


圖 14(c)

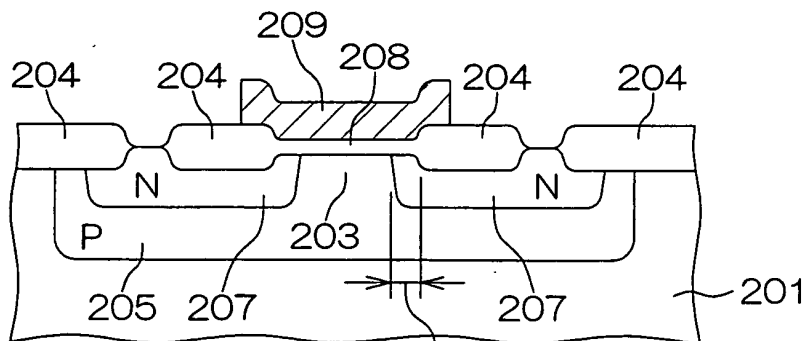


圖 14(d)

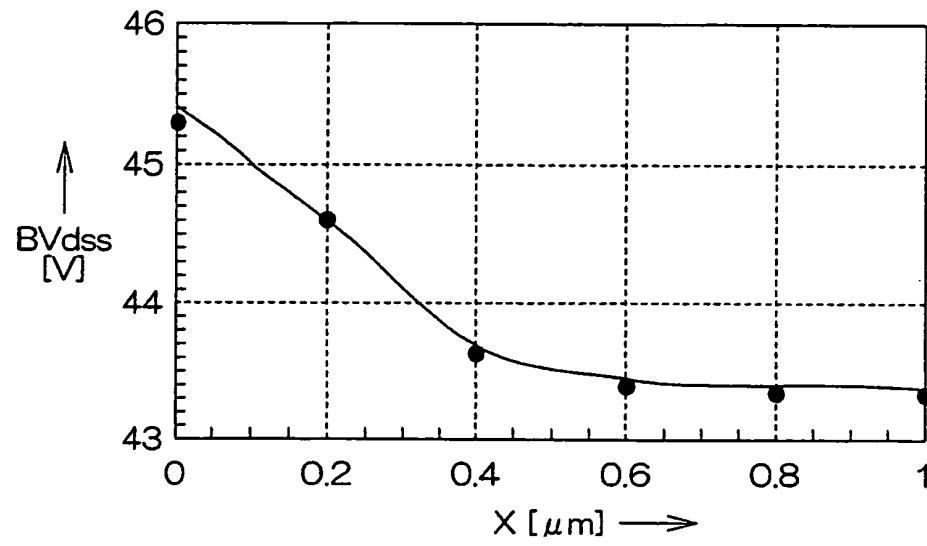


圖 15

七、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

50	第1領域
51	低耐壓電晶體
52	STI部
53	元件形成領域
54	溝渠
55	氧化矽
56	井
57	通道領域
58	源極擴散層
59	汲極擴散層
60	閘極氧化膜
61	閘極電極
70	第2領域
71	高耐壓電晶體
72	STI部
73	元件形成領域
74	溝渠
75	氧化矽
76	井區
77	通道領域
78	源極側漂移層

78a	源極接觸層
79	汲極側漂移層
79a	汲極接觸層
80	閘極氧化膜
81	閘極電極
81a	閘極電極的端部
84	LOCOS氧化膜
85	LOCOS氧化膜
86	接觸孔
87	接觸孔
X1	進入距離
X2	進入距離

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)