



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0100254
(43) 공개일자 2025년07월03일

(51) 국제특허분류(Int. Cl.)

H03L 7/089 (2006.01) H03L 7/097 (2006.01)

H03L 7/099 (2006.01) H04L 7/033 (2006.01)

(52) CPC특허분류

H03L 7/089 (2013.01)

H03L 7/097 (2013.01)

(21) 출원번호 10-2023-0191637

(22) 출원일자 2023년12월26일

심사청구일자 2023년12월26일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울특별시 강남구 선릉로 221

박승우

서울특별시 마포구 마포대로 195 (아현동 마포 래미안 푸르지오)

(뒷면에 계속)

(74) 대리인

특허법인주연케이알피

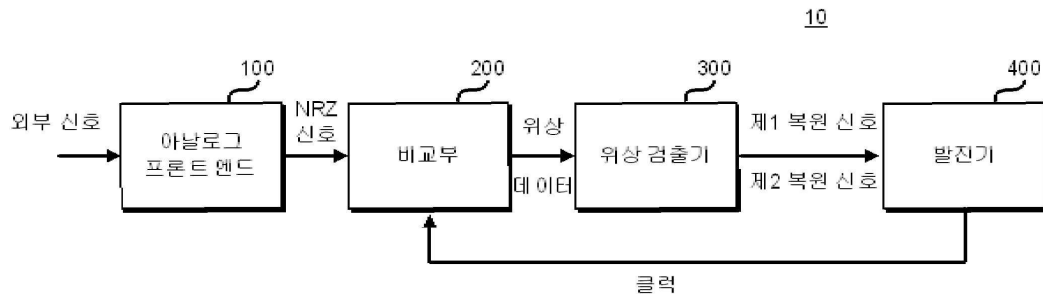
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 오버 샘플링 또는 보 레이트를 이용한 듀얼모드 클럭 및 데이터 복원 회로 및 그 동작 방법

(57) 요약

본 발명은 클럭 및 데이터 복원 회로에 관한 것이다. 본 발명의 실시 예에 따른 클럭 및 데이터 복원 회로는 외부 신호를 수신하여 NRZ(Non-Zero Return) 신호를 출력하는 아날로그 프론트 엔드; 상기 NRZ 신호를 입력받아 참고 전압과 비교하여 상기 외부 신호의 위상 및 데이터를 생성하는 비교부; 상기 위상에 기초하여 상기 데이터의 전송 속도를 판단하고, 상기 데이터의 전송 속도에 기초하여 제1 복원 신호 및 제2 복원 신호를 생성하는 위상 검출기; 및 상기 제1 복원 신호에 기초하여 오버 샘플링(Oversampling) 방식으로 제1 클럭을 생성하고, 상기 제2 복원 신호에 기초하여 보 레이트(Baud Rate) 방식으로 제2 클럭을 생성하는 발진기를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

H03L 7/099 (2013.01)

H04L 7/033 (2013.01)

(72) 발명자

최중혁

경기도 수원시 영통구 삼성로 11 (신동 래미안 영
통마크원 2단지)

신화석

서울특별시 동작구 동작대로39길 22 (동작동 이수
힐스테이트)

김태환

서울특별시 관악구 보라매로3길 29 (봉천동 해태보
라매타워)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711117126
과제번호	2020-0-01300-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	차세대지능형반도체기술개발(설계)(R&D)
연구과제명	AI 특화형 병렬 초고속 메모리 인터페이스 기술 개발
기 여 율	1/1
과제수행기관명	서울대학교 산학협력단
연구기간	2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

외부 신호를 수신하여 NRZ(Non-Zero Return) 신호를 출력하는 아날로그 프론트 엔드;

상기 NRZ 신호를 입력받아 참고 전압과 비교하여 상기 외부 신호의 위상 및 데이터를 생성하는 비교부;

상기 위상에 기초하여 상기 데이터의 전송 속도를 판단하고, 상기 데이터의 전송 속도에 기초하여 제1 복원 신호 및 제2 복원 신호를 생성하는 위상 검출기; 및

상기 제1 복원 신호에 기초하여 오버 샘플링(Oversampling) 방식으로 제1 클럭을 생성하고, 상기 제2 복원 신호에 기초하여 보 레이트(Baud Rate) 방식으로 제2 클럭을 생성하는 발진기를 포함하는 클럭 및 데이터 복원 회로.

청구항 2

제1항에 있어서,

상기 위상 검출기는,

상기 데이터의 전송 속도가 판단 기준 이하일 경우, 제1 복원 신호를 생성하고,

상기 데이터의 전송 속도가 상기 판단 기준을 초과할 경우, 제2 복원 신호를 생성하는 클럭 및 데이터 복원 회로.

청구항 3

제2항에 있어서,

상기 비교부는,

상기 제1 복원 신호에 기초하여 생성된 상기 제1 클럭에 따라 CK0 및 CK180 타이밍에 샘플링을 수행하는 클럭 및 데이터 복원 회로.

청구항 4

제2항에 있어서,

상기 비교부는,

상기 제2 복원 신호에 기초하여 생성된 상기 제2 클럭에 따라 CK0 타이밍에 샘플링을 수행하는 클럭 및 데이터 복원 회로.

청구항 5

제1항에 있어서,

상기 클럭 및 데이터 복원 회로는,

상기 아날로그 프론트 엔드에 최소 평균 제곱 알고리즘을 적용하는 적응 엔진을 더 포함하는 클럭 및 데이터 복원 회로.

청구항 6

클럭 및 데이터 복원 회로의 동작 방법에 있어서,

외부 신호를 수신하여 NRZ(Non-Zero Return) 신호를 출력하는 단계;

상기 NRZ 신호를 입력받아 참고 전압과 비교하여 상기 외부 신호의 위상 및 데이터를 생성하는 단계;

상기 위상에 기초하여 상기 데이터의 전송 속도를 판단하고, 상기 데이터의 전송 속도에 기초하여 제1 복원 신호 및 제2 복원 신호를 생성하는 단계; 및

상기 제1 복원 신호에 기초하여 오버 샘플링(Oversampling) 방식으로 제1 클럭을 생성하고, 상기 제2 복원 신호에 기초하여 보 레이트(Baud Rate) 방식으로 제2 클럭을 생성하는 단계를 포함하는 클럭 및 데이터 복원 회로의 동작 방법.

청구항 7

제6항에 있어서,

상기 제1 복원 신호 및 제2 복원 신호를 생성하는 단계는,

상기 데이터의 전송 속도가 판단 기준 이하일 경우, 제1 복원 신호를 생성하고,

상기 데이터의 전송 속도가 상기 판단 기준을 초과할 경우, 제2 복원 신호를 생성하는 클럭 및 데이터 복원 회로의 동작 방법.

청구항 8

제7항에 있어서,

상기 위상 및 데이터를 생성하는 단계는,

상기 제1 복원 신호에 기초하여 생성된 제1 클럭에 따라 CK0 및 CK180 타이밍에 샘플링을 수행하는 클럭 및 데이터 복원 회로의 동작 방법.

청구항 9

제7항에 있어서,

상기 위상 및 데이터를 생성하는 단계는,

상기 제2 복원 신호에 기초하여 생성된 제2 클럭에 따라 CK0 타이밍에 샘플링을 수행하는 클럭 및 데이터 복원 회로의 동작 방법.

청구항 10

제6항에 있어서,

상기 클럭 및 데이터 복원 회로의 동작 방법은,

아날로그 프론트 엔드에 최소 평균 제곱 알고리즘을 적용하는 단계를 더 포함하는 클럭 및 데이터 복원 회로의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 오버 샘플링 또는 보 레이트를 이용한 듀얼모드 클럭 및 데이터 복원 회로 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 종래의 클럭 및 데이터 복원 회로(Clock and Data Recovery Circuit)에서는 2X 오버 샘플링(Oversampling) 또는 보 레이트(Baud Rate)가 주로 이용되고 있다. 2X 오버 샘플링은 입력 신호의 주파수보다 높은 주파수를 사용하여 클럭 및 데이터를 복원하는 방식이지만, 높은 주파수로 인한 전력 소비를 증가시키는 문제가 있다.

[0003] 또한, 보 레이트는 입력 신호의 주파수와 클럭 신호의 주파수 비율을 사용하여 클럭 및 데이터를 복원하는 방식이지만, 채널 로스(Channel Loss)가 작을 때는 복원의 정확도가 감소하는 문제가 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 대한민국 등록특허 제10-1252191호

발명의 내용

해결하려는 과제

[0005] 본 발명은 상술한 과제를 해결하기 위한 것으로서, 본 발명의 목적은 오버 샘플링 또는 보 레이트를 이용한 듀얼모드 클럭 및 데이터 복원 회로 및 그 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명은 외부 신호를 수신하여 NRZ(Non-Zero Return) 신호를 출력하는 아날로그 프론트 엔드; 상기 NRZ 신호를 입력받아 참고 전압과 비교하여 상기 외부 신호의 위상 및 데이터를 생성하는 비교부; 상기 위상에 기초하여 상기 데이터의 전송 속도를 판단하고, 상기 데이터의 전송 속도에 기초하여 제1 복원 신호 및 제2 복원 신호를 생성하는 위상 검출기; 및 상기 제1 복원 신호에 기초하여 오버 샘플링(Oversampling) 방식으로 제1 클럭을 생성하고, 상기 제2 복원 신호에 기초하여 보 레이트(Baud Rate) 방식으로 제2 클럭을 생성하는 발진기를 포함할 수 있다.

[0007] 본 발명의 실시 예에 있어서, 상기 위상 검출기는, 상기 데이터의 전송 속도가 판단 기준 이하일 경우, 제1 복원 신호를 생성하고, 상기 데이터의 전송 속도가 상기 판단 기준을 초과할 경우, 제2 복원 신호를 생성할 수 있다.

[0008] 본 발명의 실시 예에 있어서, 상기 비교부는, 상기 제1 복원 신호에 기초하여 생성된 제1 클럭에 따라 CK0 및 CK180 타이밍에 샘플링을 수행할 수 있다.

[0009] 본 발명의 실시 예에 있어서, 상기 비교부는, 상기 제2 복원 신호에 기초하여 생성된 제2 클럭에 따라 CK0 타이밍에 샘플링을 수행할 수 있다.

[0010] 본 발명의 실시 예에 있어서, 상기 클럭 및 데이터 복원 회로는, 아날로그 프론트 엔드에 최소 평균 제곱 알고리즘을 적용하는 적응 엔진을 더 포함할 수 있다.

[0011] 본 발명은 클럭 및 데이터 복원 회로의 동작 방법에 있어서, 외부 신호를 수신하여 NRZ(Non-Zero Return) 신호를 출력하는 단계; 상기 NRZ 신호를 입력받아 참고 전압과 비교하여 상기 외부 신호의 위상 및 데이터를 생성하는 단계; 상기 위상에 기초하여 상기 데이터의 전송 속도를 판단하고, 상기 데이터의 전송 속도에 기초하여 제1 복원 신호 및 제2 복원 신호를 생성하는 단계; 및 상기 제1 복원 신호에 기초하여 오버 샘플링(Oversampling) 방식으로 제1 클럭을 생성하고, 상기 제2 복원 신호에 기초하여 보 레이트(Baud Rate) 방식으로 제2 클럭을 생성하는 단계를 포함할 수 있다.

[0012] 본 발명의 실시 예에 있어서, 상기 제1 복원 신호 및 제2 복원 신호를 생성하는 단계는, 상기 데이터의 전송 속도가 판단 기준 이하일 경우, 제1 복원 신호를 생성하고, 상기 데이터의 전송 속도가 상기 판단 기준을 초과할 경우, 제2 복원 신호를 생성할 수 있다.

[0013] 본 발명의 실시 예에 있어서, 상기 위상 및 데이터를 생성하는 단계는, 상기 제1 복원 신호에 기초하여 생성된 제1 클럭에 따라 CK0 및 CK180 타이밍에 샘플링을 수행할 수 있다.

[0014] 본 발명의 실시 예에 있어서, 상기 위상 및 데이터를 생성하는 단계는, 상기 제2 복원 신호에 기초하여 생성된 제2 클럭에 따라 CK0 타이밍에 샘플링을 수행할 수 있다.

[0015] 본 발명의 실시 예에 있어서, 상기 클럭 및 데이터 복원 회로의 동작 방법은, 아날로그 프론트 엔드에 최소 평균 제곱 알고리즘을 적용하는 단계를 더 포함할 수 있다.

발명의 효과

[0016] 본 발명의 실시 예에 따른 듀얼모드 클럭 및 데이터 복원 회로는 데이터 전송 속도에 따라 오버샘플링 방식과 보 레이트 방식을 선택적으로 사용함으로써, 고속으로 동작함과 동시에 클럭의 범위를 줄여 전체적인 회로의 전

력 소모를 감소시킬 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 실시 예에 따른 클럭 및 데이터 복원 회로의 블록도이다.
- 도 2는 본 발명의 실시 예에 따른 클럭 및 데이터 복원 회로의 간략한 도면이다.
- 도 3a 및 도 3는 본 발명의 실시 예에 따른 클럭 생성 방법의 일 예를 보여주는 도면이다.
- 도 4a 및 4b는 본 발명의 실시 예에 따른 아날로그 프론트 엔드의 구성을 예시적으로 보여주는 도면이다.
- 도 5는 본 발명의 실시 예에 따른 클럭 및 데이터 복원 회로의 시뮬레이션 결과를 보여주는 도면이다.
- 도 6은 본 발명의 다른 실시 예에 따른 클럭 및 데이터 복원 회로의 일 예를 보여주는 도면이다.
- 도 7a 및 도 7b는 본 발명의 다른 실시 예에 따른 적응 엔진의 시뮬레이션 결과를 보여주는 도면이다.
- 도 8은 본 발명의 실시 예에 따른 클럭 및 데이터 복원 회로의 동작 순서도이다.
- 도 9는 본 발명의 다른 실시 예에 따른 적응 엔진의 동작 순서도이다.
- 도 10은 본 발명의 실시예들에 따른 통신 장치 및 이를 포함하는 통신 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.
- [0019] 도 1은 본 발명의 실시 예에 따른 클럭 및 데이터 복원 회로의 블록도이다.
- [0020] 도 1을 참조하면, 클럭 및 데이터 복원 회로(10)는 아날로그 프론트 엔드(100), 비교부(200), 위상 검출기(300) 및 발진기(400)를 포함할 수 있다.
- [0021] 일 실시 예에 따른 클럭 및 데이터 복원 회로(10)는 수신기에 의해 수신되는 신호를 복원하는 회로로 이해될 수 있다. 예를 들어, 클럭 및 데이터 복원 회로(10)는 USB(universal serial bus), PCI(peripheral component interconnect) Express, 디스플레이 등의 인터페이스와 통신 장비에 사용될 수 있다.
- [0022] 아날로그 프론트 엔드(Analog Front End, 100)는 외부 신호를 수신할 수 있다. 아날로그 프론트 엔드(100)는 수신된 외부 신호에서 채널 로스(Channel Loss)를 복구하여 NRZ(Non-Zero Return) 신호를 출력할 수 있다.
- [0023] 비교부(200)는 NRZ 신호를 입력받아 참고 전압(Reference Voltage)과 비교하여 외부 신호의 위상(Phase) 및 데이터(Data)를 생성할 수 있다. 일 실시 예에 있어서, 비교부(200)는 복수개의 비교기들(Comparators)을 포함할 수 있다. 여기서, 비교기들 각각은 NRZ 신호와 참고 전압을 비교하는 위상 비교기일 수 있다.
- [0024] 위상 검출기(Phase Detector, 300)는 위상에 기초하여 데이터의 전송 속도를 판단할 수 있다. 나아가, 위상 검출기(300)는 데이터의 전송 속도에 기초하여 제1 복원 신호 및 제2 복원 신호를 생성할 수 있다. 여기서, 데이터의 전송 속도를 판단하는 기준은 기 설정될 수 있다.
- [0025] 예를 들어, 위상 검출기(300)는 데이터의 전송 속도가 4Gb/s 이하일 경우 제1 복원 신호를 생성하고, 데이터의 전송 속도가 4Gb/s 초과일 경우 제2 복원 신호를 생성할 수 있다. 다만, 이는 예시적인 것일 뿐 이에 한정되는 것은 아니다.
- [0026] 발진기(400)는 위상 검출기(300)에서 출력하는 제1 복원 신호 및 제2 복원 신호에 기초하여 클럭을 생성할 수 있다. 또한, 발진기(400)는 생성한 클럭을 비교부(200)에 입력할 수 있다.
- [0027] 일 실시 예에 있어서, 발진기(400)는 제1 복원 신호에 기초하여 오버 샘플링(Oversampling) 방식으로 제1 클럭을 생성할 수 있다. 여기서, 오버 샘플링은 2X 배로 샘플링 될 수 있으나 이에 한정되는 것은 아니다.
- [0028] 예를 들어, 2X 오버 샘플링 방식으로 제1 클럭을 생성할 경우, 발진기(400)는 데이터의 천이가 있을 경우에 추가적인 위상 또는 주파수를 이용하여 클럭을 생성하고, 데이터를 복원할 수 있다.
- [0029] 또한, 발진기(400)는 제2 복원 신호에 기초하여 보 레이트(Baud Rate) 방식으로 제2 클럭을 생성할 수 있다. 예를 들어, 보 레이트 방식으로 제2 클럭을 생성할 경우, 발진기(400)는 추가적인 위상 없이 데이터를 복원할 수

있다.

- [0030] 일 실시 예에 있어서, 발진기(400)는 디지털 값으로 조정할 수 있는 오실레이터(Digitally Controlled Oscillator, DCO)로 구성될 수 있다. 발진기(400)는 디지털 값인 제1 복원 신호 및 제2 복원 신호를 입력 받아서 클럭 타이밍을 조정한 후 클럭을 생성할 수 있다.
- [0031] 이상에서 상술한 바와 같이, 클럭 및 데이터 복원 회로(10)는 제1 복원 신호 및 제2 복원 신호에 따라 클럭을 생성함으로써 클럭의 범위를 줄일 수 있다. 즉, 클럭 및 데이터 복원 회로(10)는 데이터 전송 속도에 대응하는 클럭의 범위를 줄여 전력소모를 줄일 수 있다.
- [0032] 도 2는 본 발명의 실시 예에 따른 클럭 및 데이터 복원 회로의 간략한 도면이다. 이하에서의 한정은 예시적인 것일 뿐 이에 한정되는 것은 아니다.
- [0033] 도 2를 참조하면, 클럭 및 데이터 복원 회로(10)는 제1 복원 신호에 기초하여 데이터의 전송 속도가 4 Gb/s 이하인 경우, 2X 오버 샘플링 방식으로 제1 클럭을 생성할 수 있다. 또한, 클럭 및 데이터 복원 회로(10)는 제2 복원 신호에 기초하여 데이터의 전송 속도가 4 Gb/s 초과하는 경우, 보 레이트 방식으로 제2 클럭을 생성할 수 있다. 이에 따라, 클럭 및 데이터 복원 회로(10)는 2~8 Gb/s의 범위에서, 1~2 GHz의 클럭이 사용될 수 있다. 즉, 발진기(400)의 주파수 범위가 줄어들고 최대 2GHz만의 클럭을 생성하므로, 저전력으로 구현할 수 있다.
- [0034] 도 3a 및 도 3는 본 발명의 실시 예에 따른 클럭 생성 방법의 일 예를 보여주는 도면이다. 보다 상세하게, 도 3a는 2X 오버 샘플링 방식의 클럭 생성 방법이고, 도 3b는 보 레이트 방식의 클럭 생성 방법에 관한 것이다.
- [0035] 도 3a를 참조하면, 비교부(200)는 데이터를 복원하기 위해 NRZ 신호의 아이 다이어그램(Eye diagram)을 이용할 수 있다. 예를 들어, 비교부(200)는 제1 복원 신호에 기초하여 발진기(400)에서 생성되는 클럭, 즉 2X 오버 샘플링 방식으로 생성된 제1 클럭을 수신하여 아이 다이어그램에서 아이 패턴(Eye Pattern)이 가장 크게 형성되는 CK0 타이밍에 샘플링(Sampling)을 수행할 수 있다.
- [0036] 또한, 비교부(200)는 CK180 타이밍에 추가적인 위상을 이용하여 샘플링을 수행할 수 있다.
- [0037] 도 3b를 참조하면, 비교부(200)는 제2 복원 신호에 기초하여 발진기(400)에서 생성되는 클럭, 즉 보 레이트 방식으로 생성된 제2 클럭을 수신하고, 참고 전압(Vref)과 비교하여 아이 패턴이 가장 크게 형성되는 CK0 타이밍에 샘플링(Sampling)을 수행할 수 있다.
- [0038] 도 4a 및 4b는 본 발명의 실시 예에 따른 아날로그 프런트 엔드의 구성을 예시적으로 보여주는 도면이다.
- [0039] 도 4a 및 4b를 참조하면, 아날로그 프런트 엔드(100)는 등화기(110) 및 증폭기(120)를 포함할 수 있다.
- [0040] 등화기(110)는 입력되는 신호의 모든 주파수 성분들을 비슷한 크기(진폭)으로 맞출 수 있다. 등화기(110)는 CTLE(Continuous Time Linear Equalization)로 높은 주파수 성분들의 크기를 증폭하고, 크기(진폭)를 맞춤으로써 지터(Jitter), 아이 다이어그램(Eye Diagram)의 성능을 향상시킬 수 있다.
- [0041] 증폭기(120)는 입력되는 신호의 크기를 증폭시킬 수 있다. 여기서, 증폭기(2200)는 가변 게인 증폭기(Variable Gain Amplifiers, VGA)로 증폭되는 신호의 게인(Gain)을 조정할 수 있다. 증폭기(120)는 신호의 크기를 증폭하여 양극 전압(Positive Voltage, VP) 및 음극 전압(Negative Voltage, VN)을 출력할 수 있다.
- [0042] 도 5는 본 발명의 실시 예에 따른 클럭 및 데이터 복원 회로의 시뮬레이션 결과를 보여주는 도면이다.
- [0043] 도 5를 참조하면, 위상 검출기(Phase Detector, 300)는 위상에 기초하여 데이터의 전송 속도를 판단하고, 데이터의 전송 속도에 기초하여 제1 복원 신호 및 제2 복원 신호를 생성할 수 있다.
- [0044] 일 실시 예에 있어서, 위상 검출기(300)의 데이터의 전송 속도를 판단하는 기준은 4Gb/s으로 정의될 수 있다. 예를 들어, 데이터의 전송 속도가 4Gb/s일 경우, 발진기(400)는 2X 오버 샘플링 방식에 따라 클럭의 주파수가 2GHz에 고정되는 제1 클럭을 생성할 수 있다. 또한, 데이터의 전송 속도가 8Gb/s일 경우, 발진기(400)는 보 레이트 방식에 따라 클럭의 주파수가 2GHz에 고정되는 제2 클럭을 생성할 수 있다.
- [0045] 또한, 데이터의 전송 속도가 6Gb/s일 경우, 발진기(400)는 보 레이트 방식에 따라 클럭의 주파수가 1.5GHz에 고정되는 제2 클럭을 생성할 수 있다.
- [0046] 도 6은 본 발명의 다른 실시 예에 따른 클럭 및 데이터 복원 회로의 일 예를 보여주는 도면이다. 도 6의 클럭 및 데이터 복원 회로(10A)는 도 1과 유사하다. 따라서, 동일하거나 유사한 구성은 동일하거나 유사한 참조 부호

로 표기될 것이며, 중복되는 설명은 이하 생략될 것이다.

- [0047] 도 6을 참조하면, 클럭 및 데이터 복원 회로(10A)는 적응 엔진(500)을 더 포함할 수 있다.
- [0048] 적응 엔진(500)는 제1 로직(510), 제2 로직(520), 제3 로직(530) 및 RDAC(Resistive Digital to Analog Converter, 540)을 포함할 수 있다.
- [0049] 제1 로직(510)은 EQ 로직으로 신호의 최소 평균 제곱(Sign-Sign Least Mean Square, 이하에서는 SSLMS) 알고리즘이 구현될 수 있다. 제1 로직(510)은 입력 신호와 출력 신호를 비교하여 오차 신호를 계산할 수 있다.
- [0050] 제2 로직(520)는 공통 전압(VCM)의 로직으로 가중치의 크기를 제어할 수 있다.
- [0051] 제3 로직(530)는 참고 전압(VREF)의 로직으로 가중치의 기준점을 설정할 수 있다. 예를 들어, 가중치의 기준점이 너무 높거나 낮아지면 신호의 왜곡이 발생할 수 있으므로, 제3 로직(530)는 가중치의 기준을 적절한 범위 내에서 유지되도록 제어할 수 있다.
- [0052] RDAC(540)는 가중치를 디지털 신호에서 아날로그 신호로 변환할 수 있다. 또한, RDAC(540)는 변환된 아날로그 신호를 등화기(110)에 입력할 수 있다.
- [0053] 이에 따라, 적응 엔진(500)는 SSLMS 알고리즘을 사용하여 채널의 영향을 보상하여 신호를 복원할 수 있다. SSLMS 알고리즘은 가중치를 사용하여 신호의 위상과 진폭을 조절함으로써 채널의 영향으로 인해 왜곡된 신호가 복원되어 아이 다이어그램의 아이가 오픈되는 것을 확인할 수 있다.
- [0054] 도 7a 및 도 7b는 본 발명의 다른 실시 예에 따른 적응 엔진의 시뮬레이션 결과를 보여주는 도면이다.
- [0055] 도 7a 및 도 7b를 참조하면, 적응 엔진(500)은 가중치의 기준점을 사용하여 신호의 위상과 진폭을 조절할 수 있다. 예를 들어, 적응 엔진(500)은 가중치의 기준점인 dLeV (Data-level Reference)의 적응을 위해서 VREFP와 VREFN을 조절할 수 있다. 적응 엔진(500)은 증폭기(120)의 출력인 NRZ 신호가 0일 때, 에러(Err)가 0과 1인 확률이 50%로 설정할 수 있도록 SSLMS 알고리즘을 사용할 수 있다.
- [0056] 또한, 적응 엔진(500)은 등화기(110)의 적응을 위해 등화기(110)의 커패시터를 조절하면서, 연속된 세 개의 데이터가 0, 0, 1 또는 1, 0, 0인 경우, 에러가 0과 1인 확률이 50%로 설정할 수 있도록 SSLMS 알고리즘을 사용할 수 있다.
- [0057] 도 8은 본 발명의 실시 예에 따른 클럭 및 데이터 복원 회로의 동작 순서도이다.
- [0058] 도 8을 참조하면, S110 단계에서, 아날로그 프런트 엔드(100)는 외부 신호를 수신할 수 있다. 아날로그 프런트 엔드(100)는 수신된 외부 신호에서 채널 로스를 복구하여 NRZ신호를 출력할 수 있다.
- [0059] S120 단계에서, 비교부(200)는 NRZ 신호를 입력받아 참고 전압과 비교하여 외부 신호의 위상 및 데이터를 생성할 수 있다.
- [0060] S130 단계에서, 위상 검출기(300)는 위상에 기초하여 데이터의 전송 속도를 판단하고, 데이터의 전송 속도에 기초하여 제1 복원 신호 및 제2 복원 신호를 생성할 수 있다.
- [0061] S140 단계에서, 발진기(400)는 위상 검출기(300)에서 출력하는 제1 복원 신호 및 제2 복원 신호에 기초하여 클럭을 생성할 수 있다.
- [0062] 도 9는 본 발명의 다른 실시 예에 따른 적응 엔진의 동작 순서도이다.
- [0063] 도 9를 참조하면, S210 단계에서, 제1 로직(510)은 입력 신호와 출력 신호를 비교하여 오차 신호를 계산할 수 있다.
- [0064] S220 단계에서, 제2 로직(520)은 공통 전압(VCM)의 로직으로 가중치의 크기를 제어할 수 있다.
- [0065] S230 단계에서, 제3 로직(530)은 참고 전압(VREF)의 로직으로 가중치의 기준점을 설정할 수 있다.
- [0066] S240 단계에서, RDAC(540)는 가중치를 디지털 신호에서 아날로그 신호로 변환할 수 있다. 또한, RDAC(540)는 변환된 아날로그 신호를 등화기(110)에 입력할 수 있다.
- [0067] 도 10은 본 발명의 실시예들에 따른 통신 장치 및 이를 포함하는 통신 시스템을 나타내는 블록도이다.
- [0068] 도 10을 참조하면, 통신 시스템(1000)은 제1 통신 장치(1100), 제2 통신 장치(1200) 및 채널(1300)을 포함한다.

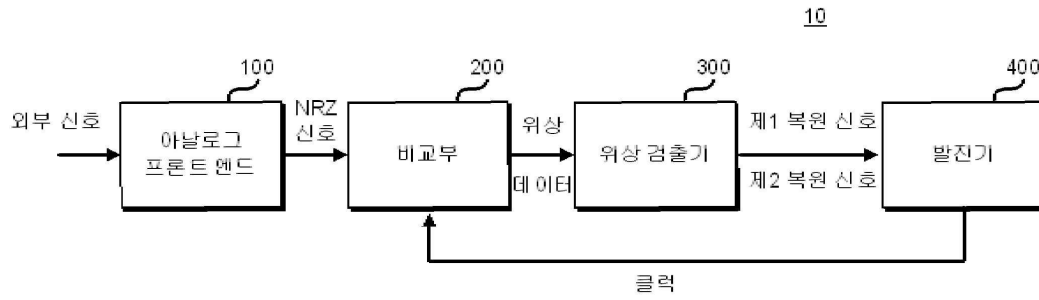
- [0069] 제1 통신 장치(1100)는 제1 송신기(1110), 제1 수신기(1120) 및 제1 위상 고정 루프(1130)를 포함한다. 제2 통신 장치(1200)는 제2 송신기(1210), 제2 수신기(1220) 및 제2 위상 고정 루프(1230)를 포함한다. 제1 송신기(1110) 및 제1 수신기(1120)와 제2 송신기(1210) 및 제2 수신기(1220)는 채널(1300)을 통해 연결된다. 일 실시예에 따라서, 제1 및 제2 통신 장치들(1100, 1200) 각각은 복수의 송신기들 및 복수의 수신기들을 포함하며, 이들을 연결하기 위한 복수의 채널들을 포함할 수 있다.
- [0070] 제1 송신기(1110)는 제2 통신 장치(1200)로 전송하고자 하는 데이터 신호를 생성 및 출력하고, 제2 수신기(1220)는 채널(1300)을 통해 제공되는 상기 데이터 신호를 수신한다. 이와 유사하게, 제2 송신기(1210)는 제1 통신 장치(1100)로 전송하고자 하는 데이터 신호를 생성 및 출력하고, 제1 수신기(1120)는 채널(1300)을 통해 제공되는 상기 데이터 신호를 수신한다.
- [0071] 제1 위상 고정 루프(1130)는 제1 송신기(1110) 및 제1 수신기(1120)에 공급되는 기준 클럭 신호들을 생성하며, 제2 위상 고정 루프(1230)는 제2 송신기(1210) 및 제2 수신기(1220)에 공급되는 기준 클럭 신호들을 생성할 수 있다. 다시 말해, 제1 송신기(1110) 및 제1 수신기(1120)는 제1 위상 고정 루프(1130)를 공유하며, 제2 송신기(1210) 및 제2 수신기(1220)는 제2 위상 고정 루프(1230)를 공유할 수 있다. 제1 통신 장치(1100) 및/또는 제2 통신 장치(1200)는 수신된 상기 데이터 신호에 기초하여 목표 동작(즉, 실행하고자 하는 동작)을 수행할 수 있다.
- [0072] 수신기들(1120, 1220)은 본 발명의 실시예들에 따른 위상 보간 기반의 클럭 데이터 복원 회로를 포함하여 구현되며, 본 발명의 실시예들에 따른 클럭 데이터 복원 방법을 수행할 수 있다. 다시 말해, 수신기들(1120, 1220)은 위상 고정 루프들(1130, 1230)에 의해 자체적으로 생성된 주파수 변조 성분을 제거하는 기능을 가지도록 구현될 수 있다.
- [0073] 상술한 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술한 실시 예들 이외에도, 단순히 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술한 실시 예들에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

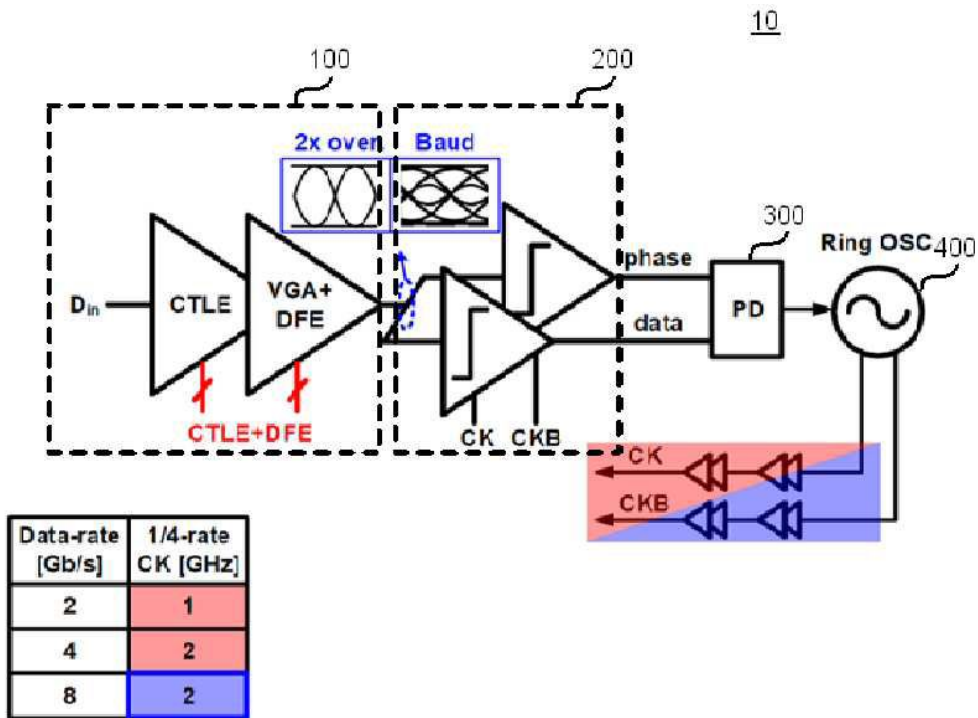
- [0074] 10 : 클럭 및 데이터 복원 회로
- 100 : 아날로그 프런트 엔드
- 200 : 비교부
- 300 : 위상 검출기
- 400 : 발진기
- 500 : 적응 엔진
- 110 : 등화기
- 120 : 증폭기

도면

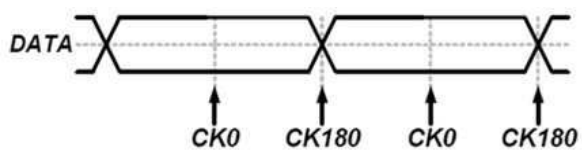
도면1



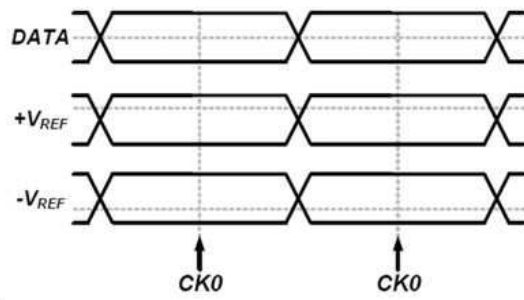
도면2



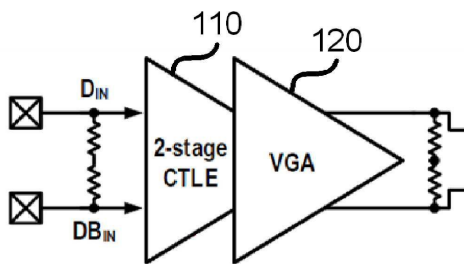
도면3a



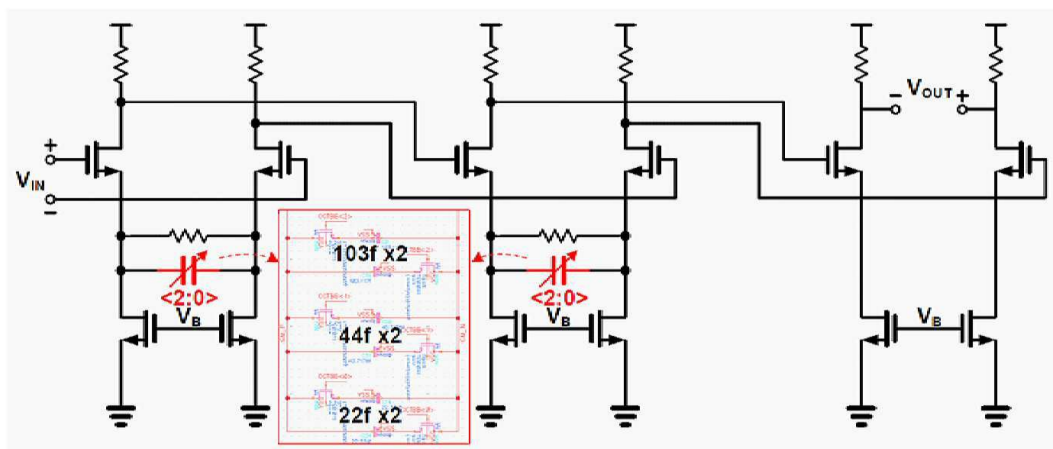
도면3b



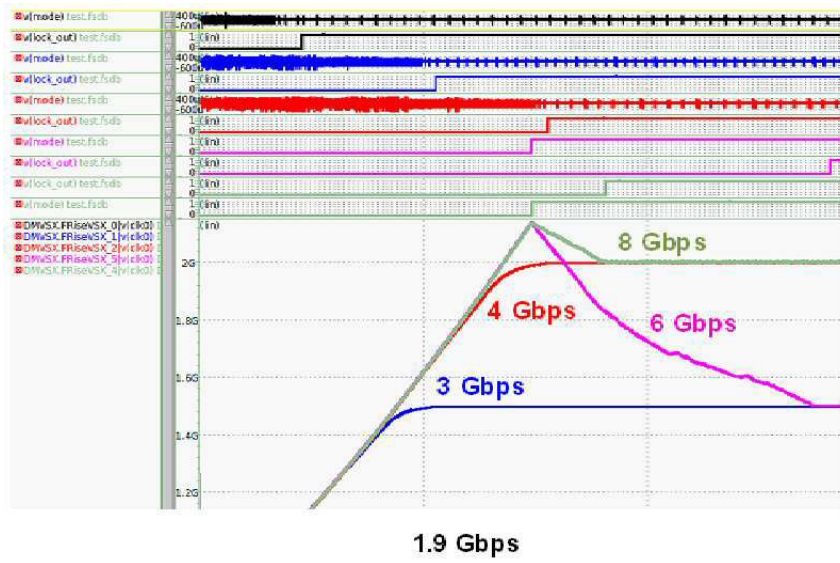
도면4a



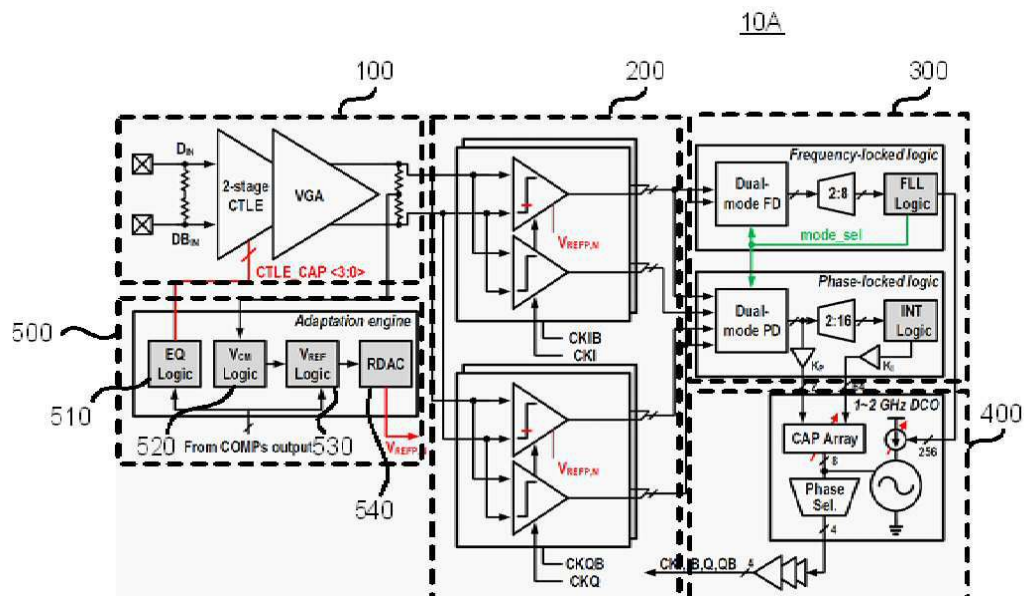
도면4b



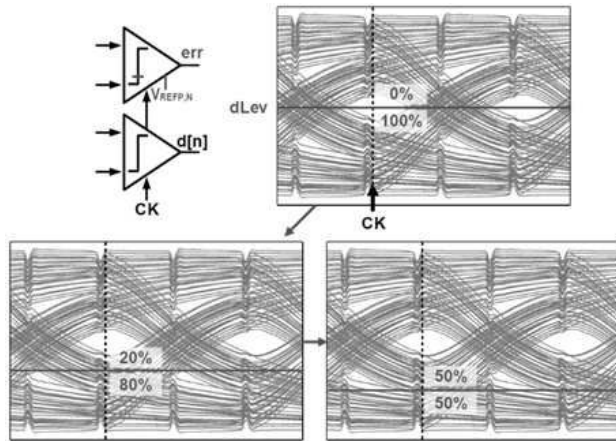
도면5



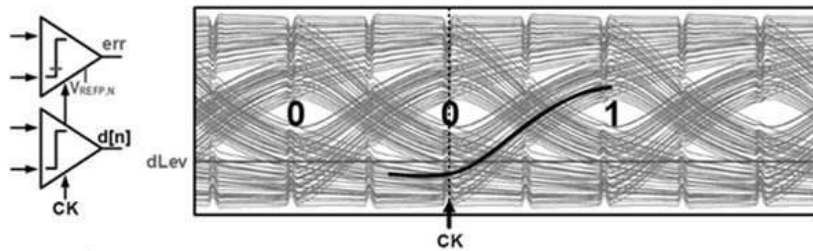
도면6



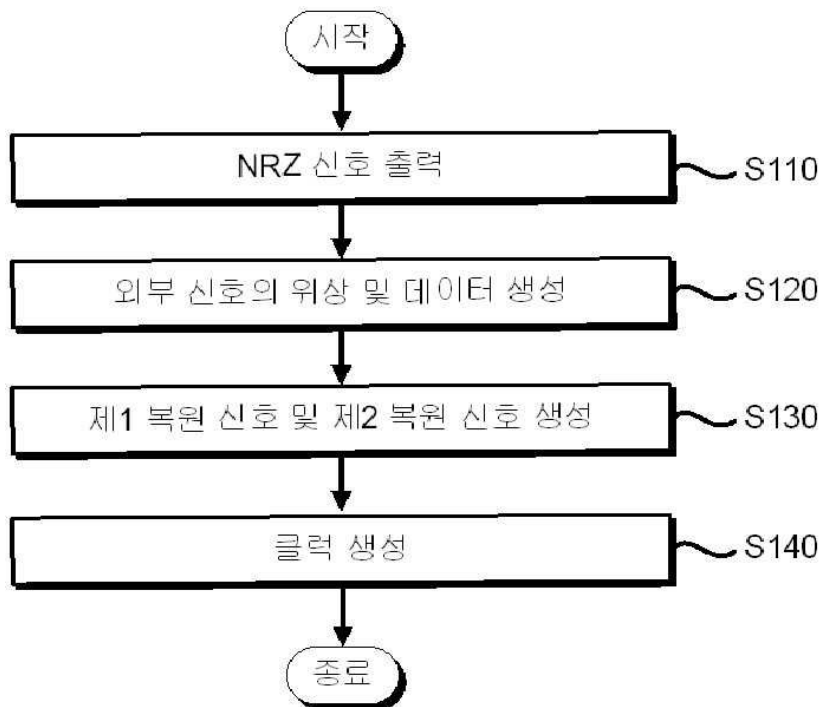
도면7a



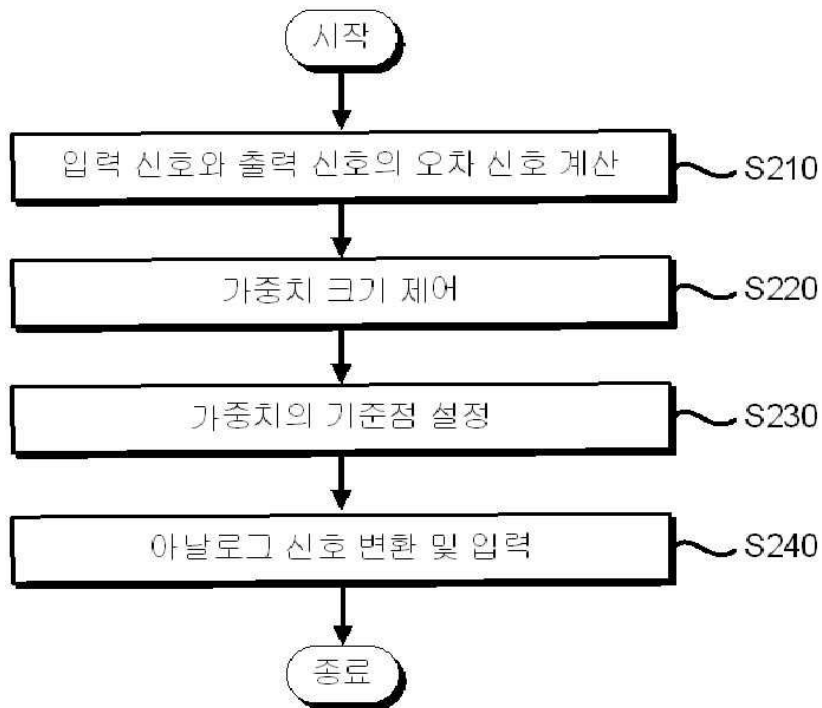
도면7b



도면8



도면9



도면10

