



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년09월24일
(11) 등록번호 10-1441607
(24) 등록일자 2014년09월11일

(51) 국제특허분류(Int. Cl.)

H01L 31/04 (2014.01) H01L 31/0216

(2014.01)

H01L 31/18 (2006.01)

(21) 출원번호 10-2014-0016643

(22) 출원일자 2014년02월13일

심사청구일자 2014년02월13일

(56) 선행기술조사문헌

KR1020100016182 A

KR1020140001729 A

KR1020070062516 A

KR1020100098448 A

(73) 특허권자

인천대학교 산학협력단

인천광역시 연수구 아카데미로 119, 11호 12 (송도동)

(72) 발명자

김준동

인천광역시 연수구 송도과학로51번길 136, 캐슬해모로 아파트 202동 1301호

윤주형

서울시 관악구 남부순환로 1430 푸르지오 아파트 107동 1802호

(74) 대리인

특허법인가산

전체 청구항 수 : 총 13 항

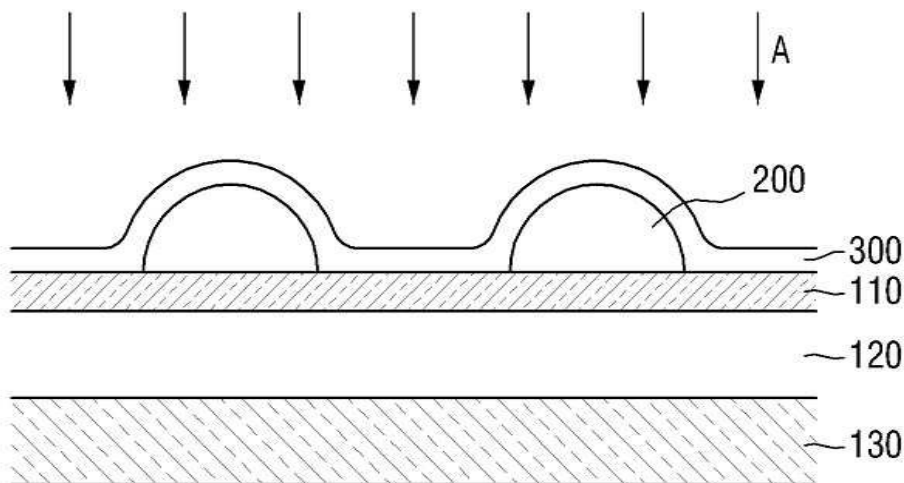
심사관 : 천대식

(54) 발명의 명칭 고효율 광전소자 및 그 제조방법

(57) 요약

본 발명은 광전소자 및 그 제조방법에 관한 것으로, 본 발명의 광전소자는 반도체 기판 및 상기 반도체 기판의 일면에 특정 주기를 가지고 상호 연결되게 형성되어 입사광을 상기 반도체 기판의 특정 영역에 집중시키는 투명 전도체 패턴부를 포함한다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호 20133030011000

부처명 산업통상자원부

연구관리전문기관 한국에너지기술평가원

연구사업명 지식경제 기술혁신사업

연구과제명 투명 전도체 나노 렌즈를 이용한 태양전지 성능 향상 기술개발

기 여 율 1/1

주관기관 인천대학교 산학협력단

연구기간 2013.12.01 ~ 2016.10.31

특허청구의 범위

청구항 1

반도체 기관; 및

상기 반도체 기관의 일면에 특정 주기를 가지고 상호 연결되게 형성되어 입사광을 상기 반도체 기관의 특정 영역에 집중시키는 투명 전도체 패턴부를 포함하되,

상기 투명 전도체 패턴부는 특정 주기를 가지고 상호 분리되어 형성되는 투명 전도체 패턴과,

상기 투명 전도체 패턴 상에 형성되고, 상기 투명 전도체 패턴을 전기적으로 연결하는 투명 전도체 코팅을 포함하는 광전소자.

청구항 2

제 1항에 있어서,

상기 반도체 기관은 제1 도전형을 가지는 제1 도전형 영역과 상기 제1 도전형과 다른 제2 도전형을 가지는 제2 도전형 영역을 포함하는 광전소자.

청구항 3

삭제

청구항 4

제1 항에 있어서,

상기 투명 전도체 코팅의 높이는 상기 투명 전도체 패턴의 높이의 0.5배 이하인 광전소자.

청구항 5

제1 항에 있어서,

상기 투명 전도체 패턴의 폭은 100nm 내지 1000nm 범위인 광전소자.

청구항 6

제1 항에 있어서,

상기 투명 전도체 패턴의 수직 단면은 반원 형태, 타원 형태, 삼각형 형태 또는 사다리꼴 형태인 광전소자.

청구항 7

제1 항에 있어서,

상기 투명 전도체 패턴의 주기는 상기 투명 전도체 패턴의 폭 보다 큰 광전소자.

청구항 8

제1 항에 있어서,

상기 투명 전도체 패턴의 주기는 상기 투명 전도체 패턴의 폭 대비 1.2배 내지 5배 범위인 광전소자.

청구항 9

제1 항에 있어서,

상기 투명 전도체 패턴의 높이는 100nm 내지 800nm 범위인 광전소자.

청구항 10

제1 항에 있어서,

상기 투명 전도체 패턴과 상기 투명 전도체 코팅은 서로 다른 물질로 형성된 광전소자.

청구항 11

제1 항에 있어서,

상기 투명 전도체 패턴부는 ITO(Indium-tin-oxide), AZO(Aluminum-zinc-oxide), 산화주석(tin-oxide), 산화 인듐, Pt, Au 또는 IZO(Indium-zinc-oxide) 중에서 적어도 하나를 포함하는 광전소자.

청구항 12

제1 항에 있어서,

상기 반도체 기판은 Si, Ge 또는 GaAs 중에서 적어도 하나를 포함하는 광전소자.

청구항 13

반도체 기판의 일면에 광경화성 수지를 형성하는 단계;

상기 광경화성 수지에 몰드를 압착하고 광경화하여 구멍 패턴을 형성하는 단계;

상기 구멍 패턴을 통해 상기 반도체 기판 상에 투명 전도체 패턴을 형성하는 단계;

상기 광경화성 수지를 제거하는 단계; 및

상기 투명 전도체 패턴 상에 투명 전도체 코팅을 형성하는 단계를 포함하는 광전소자 제조 방법.

청구항 14

제13 항에 있어서,

상기 광경화성 수지를 형성하기 전에 상기 반도체 기판의 일면과 상기 광경화성 수지 사이에 코팅층을 형성하는 단계와,

상기 구멍 패턴을 이용하여 상기 코팅층을 식각하여 상기 반도체 기판을 노출시키는 단계와,

상기 코팅층을 제거하는 단계를 더 포함하는 광전소자 제조 방법.

명세서

기술 분야

[0001] 본 발명은 고효율 광전소자 및 그 제조방법에 관한 것으로, 보다 구체적으로는 광 효율 및 전기적 특성이 우수한 광전소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근 환경문제와 에너지 고갈에 대한 관심이 높아지면서, 에너지 자원이 풍부하고 환경오염에 대한 문제점이 없으며 에너지 효율이 높은 대체 에너지로서의 태양에너지에 대한 관심이 높아지고 있다.

[0003] 태양에너지는 태양열을 이용하여 터빈을 회전시키는데 필요한 증기를 발생시키는 태양열전지와 반도체의 성질을 이용하여 태양빛을 전기에너지로 변환시키는 태양 광 전지로 나눌 수 있다.

[0004] 태양 광 전지를 구성하기 위해서는 빛을 전기로 변환하기 위한 광전소자가 필수적이다. 광전소자의 일종인 광 다이오드(photodiode)는 Si 또는 GaAsP 등의 단결정을 사용하며, p-n접합 또는 pin접합을 이용한다.

[0005] 상기 광 다이오드는 입사되는 태양광을 전기 에너지로 변환시키는 변환효율(efficiency)을 높이는 것이 매우 중요하다. 따라서, 그 구조와 재질에 대한 연구가 지속적으로 진행되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 상기와 같은 문제점들을 극복하고 변환효율이 개선된 광전소자를 제공하는

것이다.

[0007] 본 발명이 해결하고자 하는 다른 과제는, 상기와 같은 문제점을 극복하고 변환효율이 개선된 광전소자를 제조하는 방법을 제공하는 것이다.

[0008] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 광전소자는 반도체 기관 및 상기 반도체 기관의 일면에 특정 주기를 가지고 상호 연결되게 형성되어 입사광을 상기 반도체 기관의 특정 영역에 집중시키는 투명 전도체 패턴부를 포함한다.

[0010] 상기 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 광전소자의 제조 방법은 반도체 기관의 일면에 광경화성 수지를 형성하는 단계, 상기 광경화성 수지에 몰드를 압착하고 광경화하여 구멍 패턴을 형성하는 단계, 상기 구멍 패턴을 통해 상기 반도체 기관 상에 투명 전도체 패턴을 형성하는 단계, 상기 광경화성 수지를 제거하는 단계 및 상기 투명 전도체 패턴 상에 투명 전도체 코팅을 형성하는 단계를 포함한다.

[0011] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0012] 본 발명의 일 실시예에 의하면 적어도 다음과 같은 효과가 있다.

[0013] 즉, 본 발명의 일 실시예에 따른 광전소자는 보다 많은 수의 입사광의 광자가 실리콘의 내부로 더욱 깊숙이 도달하게 할 수 있다.

[0014] 또한, 본 발명의 일 실시예에 따른 광전소자는 입사광의 반사도를 감소시켜 광전소자의 변환효율을 높일 수 있다.

[0015] 또한, 본 발명의 광전소자는 가시광선의 초점거리를 조절하여 변환효율을 높일 수 있다.

[0016] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 광전소자의 구조를 설명하기 위한 개념도이다.

도 2는 본 발명의 다른 실시예에 따른 광전소자의 구조를 설명하기 위한 개념도이다.

도 3a는 도 2의 광전소자의 스케일을 설명하기 위한 사시도이다.

도 3b는 도 2의 광전소자를 현미경으로 관측한 측면도 이미지이다.

도 4는 실시예 1 및 비교예 1 내지 4의 반사도(reflectance) 및 가중 반사도(weighted reflectance)를 측정된 결과를 나타낸 도면이다.

도 5는 본 발명의 일 실시예에 따른 광전소자의 파장별 초점 거리를 설명하기 위한 도면이다.

도 6은 본 발명의 일 실시예에 따른 광전소자와 비교 예들의 파장에 따른 전계의 측정 결과를 도시한 도면이다.

도 7은 본 발명의 일 실시예에 따른 광전소자와 비교 예들의 전압에 따른 전류 및 전력밀도 값을 나타낸 그래프이다.

도 8은 본 발명의 일 실시예에 따른 광전소자와 비교 예들의 파장에 따른 IQE값을 나타낸 그래프이다.

도 9는 본 발명의 일 실시예에 따른 광전소자와 비교 예들의 파장에 따른 상대적인 IQE값을 나타낸 그래프이다.

도 10은 본 발명의 일 실시예에 따른 광전소자의 제조방법을 설명하기 위한 단계를 나타낸 순서도이다.

도 11a 내지 도 11b는 본 발명의 일 실시예에 따른 광전소자의 제조방법을 설명하기 위한 단계를 설명하기 위

한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0019] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- [0020] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0021] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관 관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below 또는 beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0022] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0023] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0024] 도 1 내지 도 3b를 참조하여, 본 발명의 몇몇 실시예에 따른 광전소자를 설명한다.
- [0025] 도 1은 본 발명의 일 실시예에 따른 광전소자의 구조를 설명하기 위한 개념도이고, 도 2는 본 발명의 다른 실시예에 따른 광전소자의 구조를 설명하기 위한 개념도이다. 도 3a는 도 2의 광전소자의 스케일을 설명하기 위한 사시도이고, 도 3b는 도 2의 광전소자를 현미경으로 관측한 사시도 이미지 및 측면도 이미지이다.
- [0026] 도 1을 참고하면, 본 발명의 일 실시예에 따른 광전소자는 반도체 기판(100), 투명 전도체 패턴부(200a)를 포함한다.
- [0027] 구체적으로, 반도체 기판(100)은 Si, Ge 또는 GaAs중에서 적어도 하나를 포함할 수 있다. 반도체 기판(100)은 제1 도전형 영역(130)을 포함할 수 있다. 제1 도전형 영역(130)은 p형 영역 또는 n형 영역일 수 있다.
- [0028] 반도체 기판(100)은 제2 도전형 영역(110)을 포함할 수 있다. 상기 제2 도전형은 상기 제1 도전형과 다를 수 있다. 예를 들어, 제2 도전형은 n형 또는 p형일 수 있고, 제1 도전형과 서로 반대일 수 있다. 단, 이에 제한되는 것은 아니다. 반도체 기판(100)은 PN 접합이 아닌 이종접합(heterojunction)을 이용할 수 있다. 반도체 기판(100)이 이종접합을 이용하는 경우, 제2 도전형 영역(110)이 존재하지 않을 수 있다.

- [0029] 반도체 기판(100)은 제1 도전형 영역(130)과 제2 도전형 영역(110)이 PN접합을 이룰 수 있다. 제1 도전형 영역(130)과 제2 도전형 영역(110) 사이에 공핍층(120)이 존재할 수 있다. 공핍층(120)은, PN접합면에 형성되어 캐리어(전자 또는 정공)가 존재하지 않는 영역을 의미할 수 있다.
- [0030] 광전소자는 상기 반도체 기판(100) 내의 제1 도전형 영역(130) 및 제2 도전형 영역(110) 내에서 전자들이 비대칭적으로 존재할 수 있다. 열적 평형상태에서 제1 도전형 영역(130)과 제2 도전형 영역(110)의 접합으로 이루어진 반도체 기판(100) 내에서는 캐리어의 농도 구배에 의한 확산으로 전하의 불균형이 생기고, 이로 인해 전기장(electric field)이 형성될 수 있다.
- [0031] 이에, 반도체 기판(100) 내부로, 반도체 기판(100)을 이루는 물질의 전도대(conduction band)와 가전자대(valence band) 사이의 에너지 차이인 밴드갭 에너지(band gap energy)보다 큰 에너지를 갖는 빛이 조사되었을 경우, 빛 에너지를 받은 전자들은 가전자대에서 전도대로 여기(excite)되며, 전도대로 여기된 전자들은 자유롭게 이동할 수 있게 된다.
- [0032] 또한, 가전자대에는 전자들이 빠져나간 자리에 정공이 생성된다.
- [0033] 이렇게 생성된 자유전자와 정공을 과잉(excess) 캐리어라고 하며, 과잉 캐리어들은 전도대 또는 가전자대 내에서 농도 차이에 의해서 확산하게 된다.
- [0034] 이때, 과잉 캐리어, 즉 p형 영역에서 여기된 전자들과 n형 영역에서 만들어진 정공을 각각의 소수 캐리어(minority carrier)라 정의하며, 기존 접합 전의 n형 또는 p형 반도체층 내의 캐리어(즉, p형의 정공 및 n형의 전자)는 이와 구분해 다수 캐리어(majority carrier)라 정의된다.
- [0035] 이때, 다수 캐리어들은 전기장으로 인한 에너지 장벽(energy barrier) 때문에 흐름의 방해를 받지만, p형 영역의 소수 캐리어인 전자는 n형 영역으로 이동할 수 있게 된다.
- [0036] 따라서, 소수 캐리어의 확산에 의해 반도체 기판(100) 내부에 전압 차(potential difference)가 생기게 되며, 반도체 기판(100) 양측에 위치하는 전극을 외부 회로에 연결하여 기전력을 활용함으로써, 상기 반도체 기판(100)을 전지로서 사용하게 된다.
- [0037] 이에, 광전소자 내부로 많은 광이 입사되고, 입사된 광의 경로를 향상시키게 되면, 태양전지의 광 흡수율을 높이게 됨으로써 에너지 변환효율이 향상되고, 이를 통해 반도체 기판 내부의 전압 차(potential difference)가 더욱 커지게 됨으로써, 태양전지의 효율을 향상시킬 수 있는 것이다.
- [0038] 상기과 달리 동종접합인 PN접합을 이용하는 경우에는 캐리어의 재결합(recombination)에 의한 손실이 클 수 있다. 이에 반해, 도핑 공정이 없는 이종접합을 이용하는 경우에는 캐리어의 손실률을 줄일 수 있다. 더욱이, ITO 등의 투명 전도체는 전기 전도성이 우수하고, 빛의 투과성도 우수하므로 이종접합 소자로서 빈번하게 사용된다.
- [0039] 투명 전도체 패턴부(200a)는 반도체 기판(100)의 일면에 형성될 수 있다. 투명 전도체 패턴부(200a)는 특정 주기를 가지는 패턴일 수 있다. 투명 전도체 패턴부(200a)는 주기를 가지는 패턴마다 상호 연결될 수 있다. 도시되었듯이, 투명 전도체 패턴부(200a)는 특정 주기를 가지는 불룩한 패턴을 포함할 수 있다. 상기 불룩한 패턴 부분은 오목한 부분에 의해 상호 연결될 수 있다.
- [0040] 투명 전도체 패턴부(200a)는 반도체 기판(100)과 다른 물질로 이루어질 수 있다. 반도체 기판(100)은 Si, Ge 또는 GaAs 중에서 적어도 하나를 포함할 수 있는데 반해, 투명 전도체 패턴부(200a)는 가시광선을 통과시키는 투명한 재질의 도전체일 수 있다. 예를 들어, 투명 전도체 패턴부(200a)는 산화주석(tin-oxide), 산화 인듐, Pt, Au, IZO(Indium-zinc-oxide) 또는 ITO(Indium-tin-oxide) 일 수 있다. 단, 이에 제한되는 것은 아니다.
- [0041] 이종접합을 이용하는 경우, 반도체 기판(100) 및 투명 전도체 패턴부(200a) 내에서 전자들이 비대칭적으로 존재한다. 열적 평형상태에서 투명 전도체 패턴부(200a)와 반도체 기판(100)의 접합으로 이루어진 다이오드 영역 내에서는 캐리어의 농도 구배에 의한 확산으로 전하의 불균형이 생기고, 이로 인해 전기장(electric field)이 형성된다.
- [0042] 이에, 상기 다이오드 영역 내부로, 상기 다이오드 영역을 이루는 물질의 전도대(conduction band)와 가전자대(valence band) 사이의 에너지 차이인 밴드갭 에너지(band gap energy)보다 큰 에너지를 갖는 빛이 조사되었을 경우, 빛 에너지를 받은 전자들은 가전자대에서 전도대로 여기(excite)되며, 전도대로 여기된 전자들은 자유롭게 이동할 수 있게 된다.

- [0043] 구체적으로, 투명 전도체 패턴부(200a)는 빛을 투과할 수 있으므로, 반사되지 않은 빛은 반도체 기관(100)에 도달할 수 있다. 도달된 빛에 의해 여기된 전자들은 반도체 기관(100)에서 비저항의 차이에 의해 투명 전도체 패턴부(200a)로 쉽게 이동할 수 있다.
- [0044] 예를 들어, 반도체 기관(100)의 재질이 p형 실리콘인 경우 그 비저항은 약 1 내지 10 Ωcm 가 될 수 있다. 투명 전도체 패턴부(200a)는 ITO재질인 경우, 약 $9.90 \times 10^{-5} \Omega\text{cm}$ 의 비저항을 가질 수 있고, 이는 상기 p형 실리콘의 비저항 보다 매우 작은 값이다.
- [0045] 이에 따라, 상기 여기된 전자들은 저항이 작은 투명 전도체 패턴부(200a)로 쉽게 이동할 수 있다. 따라서, 다수의 전자가 반도체 기관(100)에서 투명 전도체 패턴부(200a)로 이동하게 된다.
- [0046] 따라서, 상기 여기된 전자의 확산에 의해 상기 다이오드 영역 내부에 전압 차(potential difference)가 생기게 되며, 상기 다이오드 영역 양측에 위치하는 제1 전극(300) 및 제2 전극(400)을 외부 회로에 연결하여 기전력을 활용함으로써, 본 실시예의 광전소자를 태양전지로서 사용할 수 있다.
- [0047] 도 2 내지 도 3b를 참고하면, 투명 전도체 패턴부(200a)는 투명 전도체 패턴(200)과 투명 전도체 코팅(300)을 포함할 수 있다. 단, 이에 제한되는 것은 아니고, 투명 전도체 패턴부(200a)로 일체형으로 존재할 수도 있다.
- [0048] 투명 전도체 패턴(200)은 반도체 기관(100)의 일면에 형성될 수 있다. 투명 전도체 패턴(200)은 특정 주기를 가지는 패턴일 수 있다. 투명 전도체 패턴(200)은 특정 주기마다 상호 분리된(isolated) 패턴을 가질 수 있다. 즉, 투명 전도체 패턴(200)은 복수의 아일랜드(island) 형태로 반도체 기관(100) 상에 형성될 수 있다.
- [0049] 투명 전도체 패턴(200)은 반도체 기관(100)과 다른 물질로 이루어질 수 있다. 반도체 기관(100)은 Si, Ge 또는 GaAs 중에서 적어도 하나를 포함할 수 있는데 반해, 투명 전도체 패턴(200)은 가시광선을 통과시키는 투명한 재질의 도전체일 수 있다. 예를 들어, 투명 전도체 패턴(200)은 산화주석(tin-oxide), 산화 인듐, Pt, Au, IZO(Indium-zinc-oxide) 또는 ITO(Indium-tin-oxide) 일 수 있다. 단, 이에 제한되는 것은 아니다.
- [0050] 상기 투명 전도체 패턴(200)의 단면의 형상은 특별히 한정되지는 않지만, 예를 들어, 반원 형태, 타원 형태, 사다리꼴 형태 또는 삼각형 형태 등으로 이루어질 수 있다. 단, 빛의 반사도가 감소될 수 있도록, 상기 투명 전도체 패턴(200)의 하부에서 상부로 폭이 점차 줄어드는 반원 형상이 바람직할 수 있다.
- [0051] 상기 투명 전도체 패턴(200)의 수평 단면은 어느 것이든 제한되지 않는다. 예를 들어, 원형 또는 다각형일 수 있고, 상기 다각형은, 삼각형, 사각형, 오각형, 육각형, 칠각형, 팔각형 등을 모두 포함하는 표현이다. 상기 다각형은 각 변의 길이가 동일할 수도 있고 동일하지 않을 수도 있다. 단, 빛의 반사도가 방향에 의존되지 않도록, 원형이 바람직할 수 있다.
- [0052] 상기 투명 전도체 패턴(200)은 특정 주기를 가지는 복수의 패턴이면 그 배열에는 따로 제한이 없지만, 하나의 예에서, 매트릭스 형태로 배열될 수 있다. 이 때, x축 방향 주기와 y축 방향 주기는 동일할 수도 있고, 서로 상이할 수도 있다. 매트릭스 형태로 투명 전도체 패턴(200)이 배열되어 있을 때, 하나의 투명 전도체 패턴(200)에 인접하는 다른 투명 전도체 패턴(200)은 최대 8개까지 가능하다. 예를 들어, x축 방향 및 y축 방향 주기가 동일할 경우, 각 축 방향의 인접 투명 전도체 패턴(200)들 4개는 상기 하나의 투명 전도체 패턴(200)에서 동일한 거리에 위치하고, 축 방향에 대각에 위치한 투명 전도체 패턴(200)들 4개는 상기 하나의 투명 전도체 패턴(200)에서 동일하고, 상기 축방향 인접 투명 전도체 패턴(200)보다 멀리 위치한다.
- [0053] 상기 투명 전도체 패턴(200)의 폭은 특별히 한정되는 것은 아니지만, 예를 들어, 100nm 내지 1000nm 범위일 수 있다. 투명 전도체 패턴(200)의 폭이 100nm 미만인 경우 제조 공정이 어려운 문제가 있다. 그리고, 투명 전도체 패턴(200)의 폭이 너무 작을 경우 광전소자의 광 제어 능력이 줄어들어 빛의 집중(focusing)효과 보다는 산란(scattering)효과가 커질 수 있다. 따라서, 투명 전도체 패턴(200)의 폭은 100nm 이상인 것이 바람직하다. 또한, 투명 전도체 패턴(200)의 폭이 1000nm 초과인 경우, 광전소자의 광 제어 능력이 퇴화될 수 있어 바람직하지 않다.
- [0054] 한편, 상기 투명 전도체 패턴(200)의 높이는 특별히 한정되는 것은 아니지만, 예를 들어, 100 nm 내지 800 nm 범위일 수 있다. 투명 전도체 패턴(200)의 높이가 100nm 미만인 경우 전기 전도성이 충분치 않아 바람직하지 않다. 또한, 투명 전도체 패턴(200)의 높이가 800nm 초과인 경우, 입사광의 투과도가 높지 않아 바람직하지 않다.
- [0055] 상기 투명 전도체 패턴(200)의 주기(Period)는 상기 투명 전도체 패턴(200)이 반복 형성되는 사이클(cycle)을 의미하는 것으로, 인접하는 투명 전도체 패턴(200)들의 중심축 사이의 거리를 의미한다. 따라서, 상기 투명

전도체 패턴(200)의 주기는 상기 투명 전도체 패턴(200)의 폭 보다 크다.

[0056] 구체적으로, 투명 전도체 패턴(200)은 각각의 투명 전도체 패턴(200)이 상호 분리되어(isolated) 형성되었으므로, 폭보다 주기가 커야만 한다. 투명 전도체 패턴(200)의 폭이 주기보다 큰 경우, 투명 전도체 패턴(200)이 상호 분리될 수 없기 때문이다.

[0057] 상기 투명 전도체 패턴(200)의 주기는 특별히 한정되는 것은 아니지만, 상기 투명 전도체 패턴(200)의 폭 대비 1.2배 내지 5배 범위일 수 있다. 투명 전도체 패턴(200)의 주기가 폭 대비 1.2배 미만인 경우 상호 분리된 각각의 패턴이 공정상의 원인으로 서로 접촉될 가능성이 있어 구조상의 문제가 발생할 수 있고, 광전소자의 신뢰성을 저감시킬 수 있다. 또한, 투명 전도체 패턴(200)의 주기가 폭 대비 5배 초과인 경우, 광전소자의 면적대비 효율이 낮아질 수 있어 바람직하지 않다.

[0058] 투명 전도체 코팅(300)은 투명 전도체 패턴(200) 상에 형성될 수 있다. 투명 전도체 코팅(300)은 투명 전도체 패턴(200)과 같은 재질로 형성될 수 있다. 단, 이에 제한되는 것은 아니다. 투명 전도체 코팅(300)은 가시광선을 통과시키는 투명한 재질의 도전체일 수 있다. 예를 들어, 투명 전도체 패턴(200)은 산화주석(tin-oxide), 산화 인듐, Pt, Au, IZO(Indium-zinc-oxide) 또는 ITO(Indium-tin-oxide) 일 수 있다. 단, 이에 제한되는 것은 아니다.

[0059] 투명 전도체 코팅(300)과 투명 전도체 패턴(200)은 서로 다른 재질로 형성될 수 있다. 투명 전도체 코팅(300)과 투명 전도체 패턴(200)은 반도체 기판(100) 상에서 모두 전기 전도성 및 광 투과성이 확보되어야 한다. 하지만, 투명 전도체 패턴(200)의 경우, 투과성이 우수한 물질이 유리하고, 코팅층(300)은 전기 전도성이 좋은 물질이 유리할 수 있다. 따라서 전도체 코팅(300)과 투명 전도체 패턴(200)은 최소한의 전기전도성 및 광 투과성이 확보되는 전제하에 같거나 다른 물질로 선택적으로 형성될 수 있다.

[0060] 투명 전도체 코팅(300)은 상호 분리된 투명 전도체 패턴(200)을 전기적으로 연결할 수 있다. 투명 전도체 코팅(300)은 반도체 기판(100) 상에 일체화되어 형성되므로, 상호 분리된 투명 전도체 패턴(200)이 서로 연결될 수 있다.

[0061] 투명 전도체 코팅(300)은 반도체 기판(100) 및 투명 전도체 패턴(200) 상에 형성되어 본 발명의 일 실시예에 따른 광전소자의 표면을 형성할 수 있다. 입사광은 A방향으로 입사될 수 있고, 투명 전도체 코팅(300) 및 투명 전도체 패턴(200)을 투과하여 반도체 기판(100)으로 입사될 수 있다. 투명 전도체 코팅(300) 및 투명 전도체 패턴(200)은 입사광의 반사를 크게 줄일 수 있다.

[0062] 투명 전도체 코팅(300)의 높이는 투명 전도체 패턴(200)의 높이의 0.5배 이하일 수 있다. 투명 전도체 코팅(300)의 높이가 투명 전도체 패턴(200)의 높이의 0.5배 초과인 경우, 투명 전도체 패턴(200)의 구조와 관련하여 입사광의 집중에 방해가 될 수 있어 바람직하지 않다.

[0063] 또한, 반도체 기판(100)의 전기 전도성이 우수할 경우 투명 전도체 코팅(300)은 생략될 수 있다. 이는, 투명 전도체 코팅(300)의 기능인 전기 전도를 반도체 기판(100) 자체에서 수행할 수 있기 때문이다.

[0064] 광전소자의 입사광은 전부 투과되지 못하고 일부가 반사될 수 있다. 반사되는 빛의 양이 적을수록 보다 많은 광자(photon)들이 빛 흡수층(light-absorber)에 도달할 수 있다. 본 발명의 일 실시예에 따른 광전소자의 투명 전도체 패턴(200)은 구조적으로 입사광의 반사가 줄어든다. 또한, 투명 전도체 패턴(200)에 투명 전도체 코팅(300)을 더 형성한 경우에는 입사광의 반사가 더욱 저감됨을 추후에 설명할 실험을 통해 알 수 있다.

[0065] 본 발명의 일 실시예에 따른 광전소자의 투명 전도체 패턴(200) 및 투명 전도체 코팅(300)은 입사광에 대해 렌즈의 역할을 할 수 있다. 따라서 빛이 굴절되어 일정 부분에 집중될 수 있다. 또한, 투명 전도체 패턴(200)은 단일 패턴이 아니라 복수의 패턴이 주기적으로 연속되었으므로, 입사광의 굴절이 투명 전도체 패턴(200)마다 일어나면서 투과된 빛의 회절 현상이 생길 수도 있다.

[0066] 렌즈의 초점거리는 빛의 파장에 따라 달라질 수 있다.

[0067] [수학식 1]

$$R = \frac{h^2 + r^2}{2h}$$

[0069] 상기 수학식 1에서, R은 본 실시예의 광전소자의 표면의 곡률 반지름이고, h는 투명 전도체 패턴(200)의 높이이고, r은 투명 전도체 패턴(200)이 반도체 기판(100)과 접하는 부분을 xy평면으로 자른 단면의 반지름이다.

[0070]	[수학식 2]
[0071]	$F_{\text{air}} = \frac{R}{n_{\text{ITO}} - n_{\text{air}}}$
[0072]	상기 수학식2의 F_{air} 는 에어 컨디션(air condition)에서의 ITO재질의 렌즈의 초점거리이다. 여기서, n_{ITO} 는 ITO의 굴절률이고, n_{air} 는 공기에서의 굴절률이다. R은 본 실시예의 광전소자의 표면의 곡률 반지름이다.
[0073]	[수학식 3]
[0074]	$F_{\text{Total}} = F_{\text{air}} \times n_{\text{Si}}$
[0075]	F_{total} 은 반도체 기판(100)이 예를 들어, Si로 이루어진 경우에 반도체 기판(100) 내에서의 초점거리이다. F_{air} 는 에어 컨디션(air condition)에서의 ITO재질의 렌즈의 초점거리이고, n_{Si} 는 실리콘의 굴절률이다.
[0076]	상기 수학식 1, 2 및 3에 의해서 초점거리 F_{total} 은 정해지지만, n_{Si} 및 n_{ITO} 는 빛의 파장에 따라 변하는 값이다. 따라서, 초점거리 F_{total} 은 빛의 파장에 따라 변하는 값이다. 따라서, 초점거리는 빛의 파장에 따라 달라지게 된다.
[0077]	따라서, h 및 r에 따른 R을 조절하여 각 파장 별 초점거리를 조절할 수 있다. 이에 따라, 본 실시예의 광전소자는 초점거리를 조절하여 입사광이 반도체 기판(100)의 내부로 쉽게 도달할 수 있게 하여 광전소자의 변환효율을 증가시킬 수 있다.
[0078]	실시예 1
[0079]	p형 실리콘 웨이퍼를 반도체 기판으로 사용하였다. 반도체 기판 상에 n형으로 도핑된 영역을 형성하고, 이에 따라 PN접합 및 공핍층이 형성될 수 있다. 반도체 기판 상에 도 2 내지 도 3b에 도시되었듯이, ITO(Indium-tin-oxide)재질의 돔(dome) 형상 투명 전도체 패턴을 형성한다. 투명 전도체 패턴은 돔 형상으로 이루어져 상호 분리되어(isolated) 있다. 하나의 투명 전도체 패턴의 단위체는 약 360nm의 폭을 가지고, 약 200nm의 높이를 가진다. 투명 전도체 패턴의 주기는 575nm이다. ITO 투명 전도체 패턴 상에 80nm 높이의 ITO 재질의 투명 전도체 코팅을 형성하였다.
[0080]	
[0081]	비교예 1
[0082]	투명 전도체 패턴 및 투명 전도체 코팅이 없는 실리콘 기판(bare Si)을 비교예 1로 한다.
[0083]	비교예 2
[0084]	투명 전도체 패턴 상에 투명 전도체 코팅을 형성하지 않는 것을 제외하고는 상기 실시예 1과 동일하게 하였다.
[0085]	비교예 3
[0086]	투명 전도체 패턴 대신 ITO 재질의 투명 전도체 필름을 280nm 높이로 실리콘 기판 상에 형성하였다. 따라서, 상호 분리된 패턴이 아니라 전체적으로 연결된 ITO 필름이 기판 상에 형성되게 하였다.
[0087]	비교예 4
[0088]	투명 전도체 패턴 대신 ITO 재질의 투명 전도체 필름을 280nm 높이로 실리콘 기판 상에 형성하였다. 따라서, 상호 분리된 패턴이 아니라 전체적으로 연결된 ITO 필름이 기판 상에 형성되게 하였다.

[0089] 실험예 1

[0090] 상기 실시예 1 및 비교예 1 내지 4의 파장에 따른 반사도(reflectance) 및 입사각에 따른 가중 반사도(weighted reflectance)를 측정하였다. 반사도는 400nm 내지 1100nm의 파장 범위에서 계산하였다.

[0091] 도 4는 실시예 1 및 비교예 1 내지 4의 반사도(reflectance) 및 가중 반사도(weighted reflectance)를 측정한 결과를 나타낸 도면이다.

[0092] 도 4의 B를 참조하면, 비교예 1의 실리콘 기판은 38.90%의 높은 반사도가 측정되었다. 이에 반해, 비교예 4의 경우, 반사도가 18.63%로 줄어들었다. 실리콘의 굴절률이 4.1로써 굴절률이 1인 공기에 비해 큰 차이가 나므로 굴절률이 1.9인 ITO필름이 중간에 삽입되어 반사도를 크게 낮추어 줄 수 있다. 필름 대신 패터화된 비교예 2의 경우에는 평면 필름인 비교예 4에 비해 감소된 13.85%의 반사도가 측정되었다. 단, 반사도가 0이 되는 영역(the zero reflection point)은 존재하지 않는다. 이는 ITO 패턴이 모든 반도체 기판을 덮지 않기에 나타나는 결과이다.

[0093] 실시예 1의 경우에는, 가장 낮은 4.70%의 반사도가 측정되었다. 비교예 2와 다른 점은 80nm의 추가적인 ITO 필름이 반도체 기판의 모든 부분을 덮음으로써, 반사도를 더욱 낮게 줄일 수 있다. 또한, 반사도가 1%이하인 영역(near-zero-reflection)이 매우 넓게 측정됨을 알 수 있다(608nm 내지 751nm). 이 영역은 가시광선의 적색광 및 적외선에 근접한 영역(red and near-IR range (600-1100 nm))이다.

[0094] 또한, 실시예 1은 비교예3 및 4와 비교해 단파장 영역에서 반사도가 매우 작게 측정되었다.

[0095] 도 4의 C 내지 E를 참조하면, 실시예 1의 입사각에 따른 반사도가 다른 결과에 비해 매우 낮다는 것을 알 수 있다.

[0096] [수학식 4]

[0097]
$$R_w = \frac{\int_{\lambda=400\text{ nm}}^{\lambda=1100\text{ nm}} R(\lambda)\Phi(\lambda)S(\lambda)d\lambda}{\int_{\lambda=400\text{ nm}}^{\lambda=1100\text{ nm}} \Phi(\lambda)S(\lambda)d\lambda}$$

[0098] 수학식 4는 가중 반사도(R_w)를 구하는 식이다. R_w 는 가중 반사도이고, $R(\lambda)$ 은 단색광의 반사도(reflectance of a monochromatic light)이고, $\Phi(\lambda)$ 은 입사광자의 플럭스(incident photon flux)이고, $S(\lambda)$ 는 IQE(internal quantum efficiency)이다.

[0099] 광전소자는 빛의 입사가 기판과 직각일 때가 가장 좋지만, 실제로 입사각이 변화할 수 있다. 본 발명의 일 실시예에 따른 광전소자는 입사각이 변하는 경우에도 비슷한 성능을 구현할 수 있는 장점이 있다. 특히 반사도가 0인 영역이 매우 넓다는 점에서 큰 장점이 있다고 볼 수 있다.

[0100] 실험예 2

[0101] 도 5 및 도 6을 참고하여, 실시예 1 및 비교예 1 내지 4의 파장별 초점 거리 및 전계를 설명한다.

[0102] 도 5에 도시되었듯이, 투명 전도체 패턴 및 투명 전도체 코팅은 렌즈로서의 역할을 할 수 있다. 따라서, 상기 렌즈의 초점거리를 조절하면 빛 흡수층(light absorber)에 입사광을 집중시켜 변환효율을 높일 수 있다.

[0103] 수학식 1에서 $h=200\text{nm}$ 이고, $r=180\text{nm}$ 이므로 $R=181\text{nm}$ 가 된다. 또한, 수학식 2 및 3에 의하면, F_{Total} 의 값은 파장에 따라 변하게 된다.

표 1

[0104]

Wavelength [nm]	n_{ITO}	F_{air} [nm]	n_{Si}	F_{total} [nm]
400	2.12	161.6	5.57	900.1
500	1.88	205.6	4.29	882.3
600	1.85	212.9	3.9	830.5
710	1.82	220.7	3.77	832.2
1100	1.76	238.1	3.54	843.1

- [0105] 상기 표 1은 파장에 따른 굴절률 및 초점거리의 값이다. 상기 정보에 따라, 스넬의 법칙을 이용하여 입사광의 ITO에서의 Si로의 전달 프로파일을 계산할 수 있다. 입사각을 30도로 고정하고, 파장을 변화시키면 반사각은 파장에 따라 변화한다.
- [0106] 도 6은 FDTD(Finite Difference Time Domain)에 의해 전계(electric field)의 분포 및 a라인과 b라인에서의 전계의 프로파일을 나타낸 도면이다. 전계의 크기($|E/E_0|^2$)를 보면 표면에서 멀어질수록 급격하게 크기가 줄어들지만, E_x/E_0 및 E_z/E_0 는 일정한 패턴을 가짐을 알 수 있다.
- [0107] Z방향의 전계의 프로파일을 a라인과 b라인에서 살펴보면, 회절 현상에 의해, 전계가 강해지는 효과가 나타남을 알 수 있다(Peak 1, 2, 3). a라인에서 전계가 강해지는 효과는 투명 전도체 패턴이 렌즈 역할을 한다는 것을 명백히 보여주는 것이다.
- [0108] 표 1을 참조하면, 전계의 강도는 2가지 요소에 의해 조절될 수 있다. 첫째는 실리콘은 흡수계수(α_i)가 단파장에서 높기에 실리콘 내에서 빠른 전계가 빨리 감쇠한다는 점이다. 둘째는 가시광선 영역의 파장이 증가면서 투명 전도체 패턴의 렌즈로서의 초점거리가 실리콘의 굴절율의 감소로 인해 점차 줄어든다는 점이다.
- [0109] 다만 본 발명의 일 실시예에 따른 광전소자는 하나의 패턴이 아닌 여러 패턴이 주기적으로 배열되어 회절현상이 반도체 기판 내부에서 일어나므로, Peak 2 및 3과 같이 빛이 집중되는 영역이 생기게 된다.
- [0110] 도 6에서 보이듯이 단파장(500 nm)에서는 peak1이 가장 우세하고, peak2 및 3은 존재하지 않는다. peak1의 위치는 빛 흡수층 근처일 수 있으므로 높은 변환효율을 가지는 광전소자를 제공할 수 있다. 이는 실리콘의 높은 흡수계수(α_{si})에 의함이다.
- [0111] 단, 장파장(1100nm)에서는 peak1, 2 및 3이 모두 나타나지만 무엇이 우세한지 확실하지 않다. 하지만, 비교예 3 및 4 보다는 빛 흡수층으로의 유도가 훨씬 높다는 것을 보여준다.
- [0112] **실험예 3**
- [0113] 실시예 1과 비교예 4의 전압에 따른 전류 및 전력 밀도, 파장에 따른 내부 IQE 성능 및 파장에 따른 상대적 IQE(Relative IQE)를 측정하였다.
- [0114] 도 7, 도 8 및 도 9를 참고하여, 본 발명의 광전소자와 비교예 4를 비교하여 설명한다. 도 7은 본 발명의 일 실시예에 따른 광전소자와 비교 예들의 전압에 따른 전류 및 전력밀도 값을 나타낸 그래프이고, 도 8은 본 발명의 일 실시예에 따른 광전소자와 비교 예들의 파장에 따른 IQE값을 나타낸 그래프이다. 도 9는 본 발명의 일 실시예에 따른 광전소자와 비교 예들의 파장에 따른 상대적인 IQE값을 나타낸 그래프이다
- [0115] 도 7을 참고하면, 실시예 1은 개방회로전압(590mV)를 가지고, 단락회로전류($35.8\text{mA}/\text{cm}^2$)를 가진다. 이는 비교예 4의 520mV 및 $27.8\text{mA}/\text{cm}^2$ 의 값보다 각각 16% 및 10.9%향상된 값이다.
- [0116] 도 8을 참고하면, 실시예 1 및 비교예 4의 내부 양자 효율(internal quantum efficiencies, IQEs)은 넓은 파장 범위에서 실시예 1의 광전소자가 높은 효율을 가지는 것을 볼 수 있다. 이를 상대적으로 계량화한 도 8을 참고하면, 실시예 1의 광전소자의 그래프가 비교예 4의 광전소자의 그래프보다 높은 곳에 위치함을 확인할 수 있다. 특히 단파장(300nm)에서 313%, 장파장(110nm)에서는 193.8%가 향상됨을 알 수 있다.
- [0117] 이어서, 도 10 내지 도 11f를 참조하여 본 발명의 본 발명의 일 실시예에 따른 광전소자의 제조 방법을 설명한다. 상술한 본 발명의 일 실시예에 따른 광전소자와 중복되는 설명은 생략하거나 간략히 한다.
- [0118] 도 10은 본 발명의 일 실시예에 따른 광전소자의 제조방법을 설명하기 위한 단계를 나타낸 순서도이고, 도 11a 내지 도 11f는 본 발명의 일 실시예에 따른 광전소자의 제조방법의 세부 단계를 설명하기 위한 도면이다. 구체적으로, 도 11b 및 도 11c는 본 발명의 일 실시예에 따른 광전소자의 제조방법의 중간단계를 설명하기 위한 평면도이고, 도 11d 내지 도 11f는 본 발명의 일 실시예에 따른 광전소자의 제조방법의 중간단계를 설명하기 위한 측단면도이다.
- [0119] 도 10을 참조하면, 반도체 기판 상에 코팅층을 형성한다(S1100).
- [0120] 구체적으로 도 11a의 (b)를 참조하면, 반도체 기판(100)의 일 면에 코팅층(500)을 형성한다. 코팅층(500)은 특별히 제한되는 것은 아니지만, PMMA(poly methyl methacrylate)로 형성될 수 있다. 코팅층(500)의 높이는

특별히 제한되는 것은 아니지만, 예를 들어 100 nm 내지 800 nm의 범위의 높이를 가질 수 있다. 코팅층(500)의 높이는 추후에 형성되는 투명 전도체 패턴(200)의 높이에 대응될 수 있다.

[0121] 이어서, 도 10을 참조하면, 코팅층 상에 광경화성 수지를 형성한다(S1200).

[0122] 구체적으로 도 11a의 (b)를 참조하면, 광경화성 수지(600)를 형성한다. 광경화성 수지(600)는 나노 임프린팅 또는 UV임프린팅 공정에 사용되는 재료일 수 있다. 광경화성 수지(600)는 빛에 의해 경화되는 특성을 가질 수 있다.

[0123] 이어서, 도 10을 참조하면, 구멍 패턴을 형성한다(S1200).

[0124] 구체적으로 도 11a를 참조하면, 구멍은 미리 제작된 몰드(400)가 광경화성 수지(600)에 압착되어 형성될 수 있다. 몰드(400)는 특별히 제한되는 것은 아니지만, PUA(polyurethane acrylate)로 형성될 수 있다. 몰드(400)는 빛이 통과되는 투명한 재질로 형성될 수 있다. 구멍 패턴(610)은 몰드(400)에 형성된 특정 주기를 가지는 양각 패턴에 대응하여 음각으로 형성되는 패턴일 수 있다. 즉, 구멍 패턴(610)은 몰드(400)에 형성된 양각 패턴과 동일한 주기를 가지는 구멍 배열(hole array)일 수 있다.

[0125] 몰드(400)에 의해 압착되어 구멍이 형성되면, 자외선을 비추어 광경화성 수지(600)를 광경화시킬 수 있다. 자외선은 몰드(400)를 투과하여 광경화성 수지(600)에 도달할 수 있다. 자외선을 비추어 광경화성 수지(600)에 구멍 패턴(610)이 형성될 수 있다. 구멍 패턴(610) 내의 잔여 광경화성 수지(600)는 CF₄와 O₂의 플라즈마 식각에 의해 제거될 수 있다. 단, 이에 제한되는 것은 아니다.

[0126] 이어서, 도 10을 참조하면, 코팅층을 식각한다(S1300).

[0127] 도 11a의 (c)를 참고하면, 코팅층(500)을 구멍 패턴(610)에 의해 노출할 수 있다. 코팅층(500)을 구멍 패턴(610)에 의해서 노출된 부분에 의해 식각할 수 있다. 특별히 제한되는 것은 아니지만, 이 때에 O₂ RIE(reactive ion etching)를 이용하여 코팅층(500)을 식각할 수 있다. 도 11b를 참조하면, 코팅층(500)은 구멍 패턴(610)과 동일한 배열로 식각될 수 있다. 상기 식각은 반도체 기판(100)을 노출시킬 수 있다. 도 11b에 나온 주기 및 지름은 예시적인 값에 불과하다.

[0128] 이어서, 도 10을 참조하면, 투명 전도체 패턴을 형성한다(S1400).

[0129] 도 11c 내지 도 11e를 참조하면, 반도체 기판(100) 상에 투명 전도체 패턴(200)을 형성할 수 있다. 투명 전도체 패턴(200)은 일정한 주기를 가지고 상호 분리될 수 있다. 투명 전도체 패턴(200)은 가시광선을 통과시키는 투명한 재질의 도전체일 수 있다. 예를 들어, 투명 전도체 패턴(200)은 산화주석(tin-oxide), 산화 인듐, Pt, Au, IZO(Indium-zinc-oxide) 또는 ITO(Indium-tin-oxide) 일 수 있다. 단, 이에 제한되는 것은 아니다.

[0130] 투명 전도체 패턴(200)은 스퍼터링 방식, 액상 방식 또는 전자빔을 이용한 진공 증착(e-beam evaporator)에 의해 형성될 수 있다. 단, 이에 제한되는 것은 아니다.

[0131] 투명 전도체 패턴(200)은 이 단계(S1400)에서 이미 완성된 형상일 수 있지만, 이에 제한되는 것은 아니다. 즉, 투명 전도체 패턴(200)은 완성된 형상이 아닐 수 있다. 추후 S1700단계에서 다시 한번 성형(成形, shaping)되어 빛을 효율적으로 투과 및 집중시키는 구조가 될 수 있다. 투명 전도체 패턴(200)의 성형 단계는 추후에 설명한다.

[0132] 이어서, 도 10을 참조하면, 광경화성 수지 및 코팅층을 제거한다(S1500, S1600).

[0133] 광경화성 수지(600) 및 코팅층(500)을 리프트 오프 공정에 의해 제거할 수 있다. 특별히 제한되는 것은 아니지만, 아세톤 용액 및 초음파를 이용하여 광경화성 수지(600) 및 코팅층(500)을 제거할 수 있다.

[0134] 이어서, 도 10, 도 11c 내지 도 11e를 참조하면, 투명 전도체 패턴을 성형(成形)한다(S1700).

[0135] 투명 전도체 패턴(200)의 형상은 특별히 한정되지는 않지만, 예를 들어, 반원 형태, 타원 형태, 사다리꼴 형태, 피라미드 형태, 삼각형 형태 또는 기둥 형태 등으로 이루어질 수 있다. 단, 빛의 반사도가 감소될 수 있도록, 투명 전도체 패턴(200)의 하부에서 상부로 폭이 점차 줄어드는 반원 형상이 바람직할 수 있다.

[0136] 투명 전도체 패턴(200)의 수평 단면은 어느 것이든 제한되지 않는다. 예를 들어, 원형 또는 다각형일 수 있고, 상기 다각형은, 삼각형, 사각형, 오각형, 육각형, 칠각형, 팔각형 등을 모두 포함하는 표현이다. 상기 다각형은 각 변의 길이가 동일할 수도 있고 동일하지 않을 수도 있다. 단, 빛의 반사도가 방향에 의존되지 않도록, 원형이 바람직할 수 있다.

- [0137] 투명 전도체 패턴(200)은 특정 주기를 가지는 복수의 패턴이면 그 배열에는 따로 제한이 없지만, 하나의 예에서, 매트릭스 형태로 배열될 수 있다. 이 때, x축 방향 주기와 y축 방향 주기는 동일할 수도 있고, 서로 상이할 수도 있다. 매트릭스 형태로 투명 전도체 패턴(200)이 배열되어 있을 때, 하나의 투명 전도체 패턴(200)에 인접하는 다른 투명 전도체 패턴(200)은 최대 8개까지 가능하다. 예를 들어, x축 방향 및 y축 방향 주기가 동일할 경우, 각 축 방향의 인접 투명 전도체 패턴(200)들 4개는 상기 하나의 투명 전도체 패턴(200)에서 동일한 거리에 위치하고, 축 방향에 대각에 위치한 투명 전도체 패턴(200)들 4개는 상기 하나의 투명 전도체 패턴(200)에서 동일하고, 상기 축방향 인접 투명 전도체 패턴(200)보다 멀리 위치한다.
- [0138] 투명 전도체 패턴(200)의 폭은 특별히 한정되는 것은 아니지만, 예를 들어, 100nm 내지 1000nm 범위일 수 있다. 투명 전도체 패턴(200)의 폭이 100nm 미만인 경우 제조 공정이 어려운 문제가 있다. 그리고, 투명 전도체 패턴(200)의 폭이 너무 작을 경우 광전소자의 광 제어 능력이 줄어들어 빛의 집중(focusing)효과 보다는 산란(scattering)효과가 커질 수 있다. 따라서, 투명 전도체 패턴(200)의 폭은 100nm 이상인 것이 바람직하다. 또한, 투명 전도체 패턴(200)의 폭이 1000nm 초과인 경우, 광전소자의 제어 능력이 퇴화될 수 있어 바람직하지 않다.
- [0139] 한편, 투명 전도체 패턴(200)의 높이는 특별히 한정되는 것은 아니지만, 예를 들어, 100 nm 내지 800 nm 범위일 수 있다. 투명 전도체 패턴(200)의 높이가 100nm 미만인 경우 전기 전도성이 충분치 않아 바람직하지 않다. 또한, 투명 전도체 패턴(200)의 높이가 800nm 초과인 경우, 입사광의 투과도가 높지 않아 바람직하지 않다.
- [0140] 투명 전도체 패턴(200)의 주기(Period)는 상기 투명 전도체 패턴(200)이 반복 형성되는 사이클(cycle)을 의미하는 것으로, 인접하는 투명 전도체 패턴(200)들의 중심축 사이의 거리를 의미한다. 따라서, 상기 투명 전도체 패턴(200)의 주기는 상기 투명 전도체 패턴(200)의 폭 보다 크다.
- [0141] 구체적으로, 투명 전도체 패턴(200)은 각각의 투명 전도체 패턴(200)이 상호 분리되어(isolated) 형성되었으므로, 폭보다 주기가 커야만 한다. 투명 전도체 패턴(200)의 폭이 주기보다 큰 경우, 투명 전도체 패턴(200)이 상호 분리될 수 없기 때문이다.
- [0142] 상기 투명 전도체 패턴(200)의 주기는 특별히 한정되는 것은 아니지만, 상기 투명 전도체 패턴(200)의 폭 대비 1.2배 내지 5배 범위일 수 있다. 투명 전도체 패턴(200)의 주기가 폭 대비 1.2배 미만인 경우 상호 분리된 각각의 패턴이 공정상의 원인으로 서로 접촉될 가능성이 있어 구조상의 문제가 발생할 수 있고, 광전소자의 신뢰성을 저감시킬 수 있다. 또한, 투명 전도체 패턴(200)의 주기가 폭 대비 5배 초과인 경우, 광전소자의 면적대비 효율이 낮아질 수 있어 바람직하지 않다.
- [0143] 이어서, 도 10, 도 11f를 참조하면, 투명 전도체 코팅을 형성한다(S1800).
- [0144] 도 11f를 참고하면, 투명 전도체 코팅(300)은 투명 전도체 패턴(200) 상에 형성될 수 있다. 단, 이에 제한되는 것은 아니다. 투명 전도체 코팅(300)은 투명 전도체 패턴(200)과 같은 재질로 형성될 수 있다. 투명 전도체 코팅(300)은 가시광선을 통과시키는 투명한 재질의 도전체일 수 있다. 예를 들어, 투명 전도체 패턴(200)은 산화주석(tin-oxide), 산화 인듐, Pt, Au, IZO(Indium-zinc-oxide) 또는 ITO(Indium-tin-oxide) 일 수 있다. 단, 이에 제한되는 것은 아니다.
- [0145] 투명 전도체 코팅(300)과 투명 전도체 패턴(200)은 서로 다른 재질로 형성될 수 있다. 투명 전도체 코팅(300)과 투명 전도체 패턴(200)은 반도체 기판(100) 상에서 모두 전기전도성 및 광 투과성이 확보되어야 한다. 하지만, 투명 전도체 패턴(200)의 경우, 투과성이 우수한 물질이 유리하고, 코팅층(300)은 전기 전도성이 좋은 물질이 유리할 수 있다. 따라서 전도체 코팅(300)과 투명 전도체 패턴(200)은 최소한의 전기 전도성 및 광 투과성이 확보되는 전제하에 같거나 다른 물질로 선택적으로 형성될 수 있다.
- [0146] 투명 전도체 코팅(300)은 상호 분리된 투명 전도체 패턴(200)을 전기적으로 연결할 수 있다. 투명 전도체 코팅(300)은 반도체 기판(100) 상에 일체화되어 형성되므로, 상호 분리된 투명 전도체 패턴(200)이 서로 연결될 수 있다.
- [0147] 투명 전도체 코팅(300)은 반도체 기판(100) 및 투명 전도체 패턴(200) 상에 형성되어 본 발명의 일 실시예에 따른 광전소자의 표면을 형성할 수 있다. 입사광은 A방향으로 입사될 수 있고, 투명 전도체 코팅(300) 및 투명 전도체 패턴(200)을 투과하여 반도체 기판(100)으로 입사될 수 있다. 투명 전도체 코팅(300) 및 투명 전도체 패턴(200)은 입사광의 반사를 크게 줄일 수 있다.

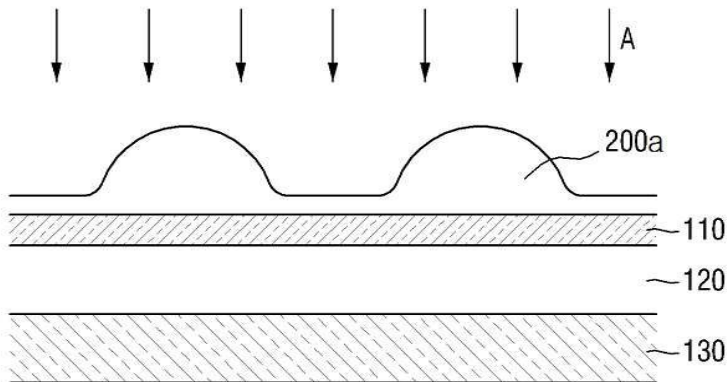
- [0148] 투명 전도체 코팅(300)의 높이는 투명 전도체 패턴(200)의 높이의 0.5배 이하일 수 있다. 투명 전도체 코팅(300)의 높이가 투명 전도체 패턴(200)의 높이의 0.5배 초과인 경우, 투명 전도체 패턴(200)의 구조와 관련하여 입사광의 집중에 방해가 될 수 있어 바람직하지 않다.
- [0149] 또한, 반도체 기관(100)의 전기 전도성이 우수할 경우 투명 전도체 코팅(300)은 생략될 수 있다. 이는, 투명 전도체 코팅(300)의 기능인 전기 전도를 반도체 기관(100) 자체에서 수행할 수 있기 때문이다. 예를 들면, 반도체 기관(100)의 면 저항이 $50\text{ohm}/\text{cm}^2$ 이상인 경우에만 투명 반도체 코팅(300)을 형성할 수 있다.
- [0150] 이상 실험예 및 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

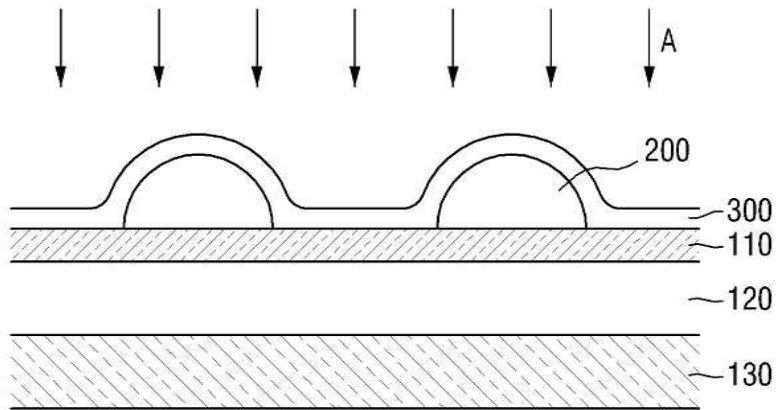
- [0151] 100: 기관 200: 투명 전도체 패턴
300: 투명 전도체 코팅 400: 몰드
500: 코팅층 600: 광경화성 수지

도면

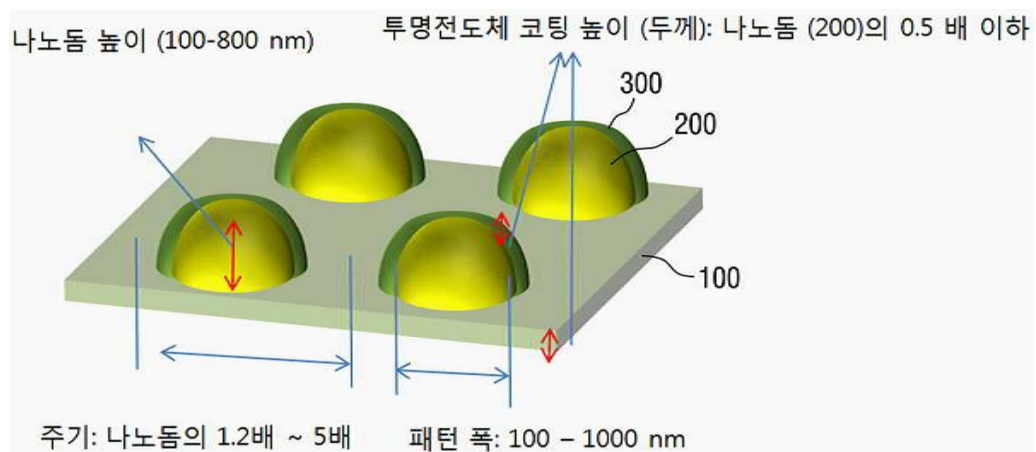
도면1



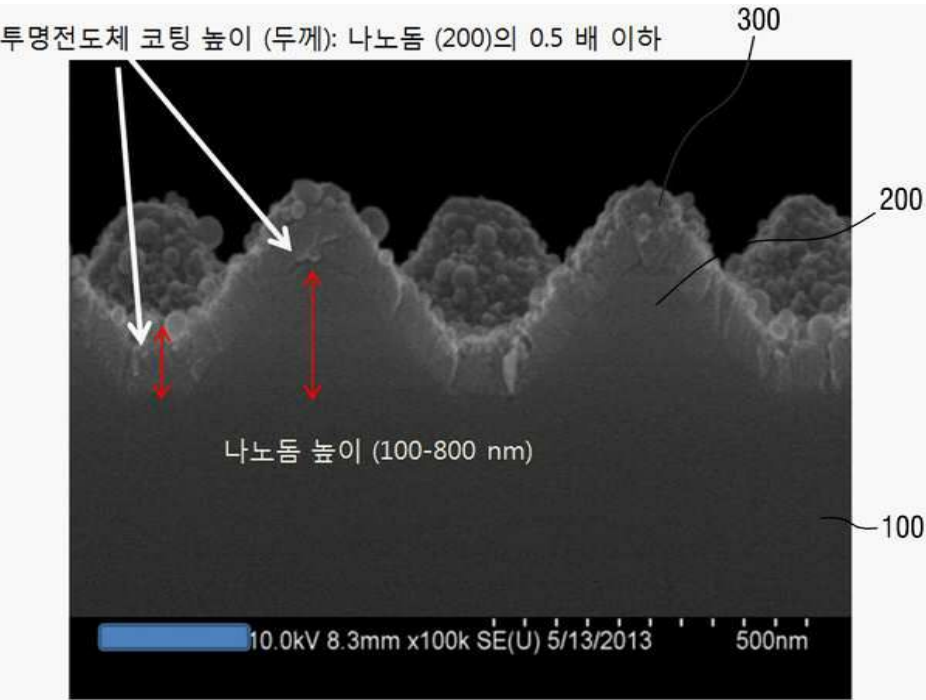
도면2



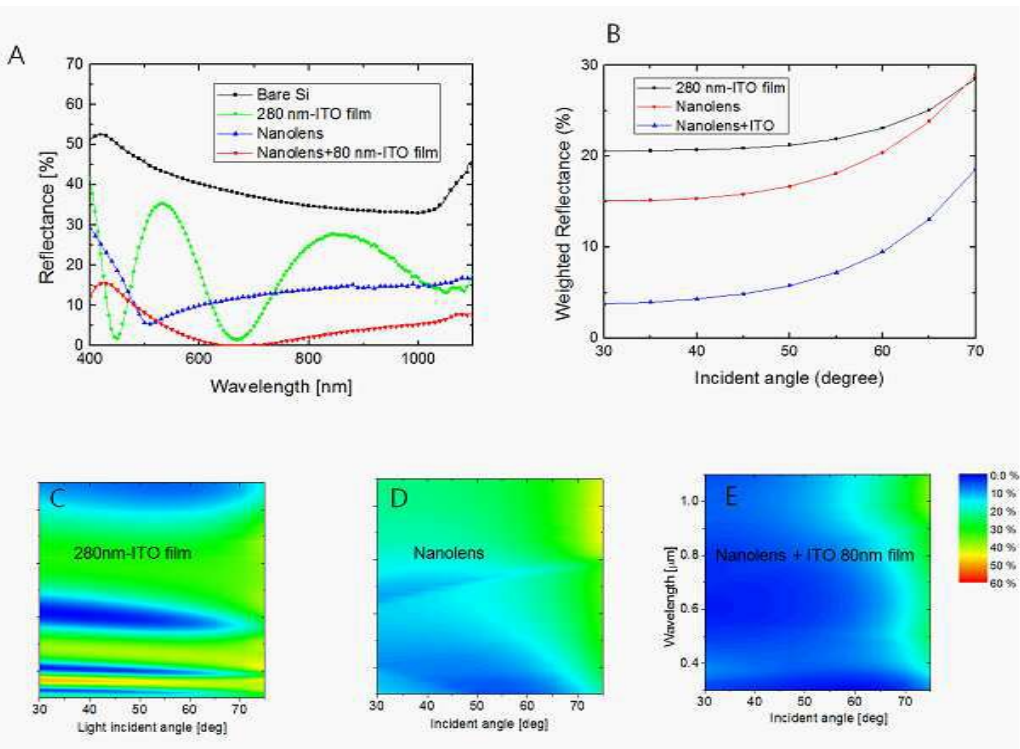
도면3a



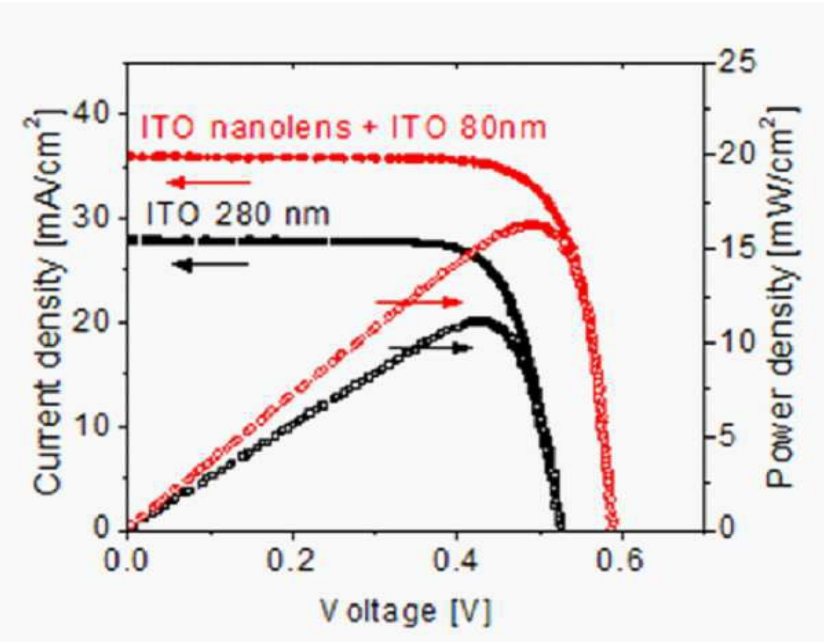
도면3b



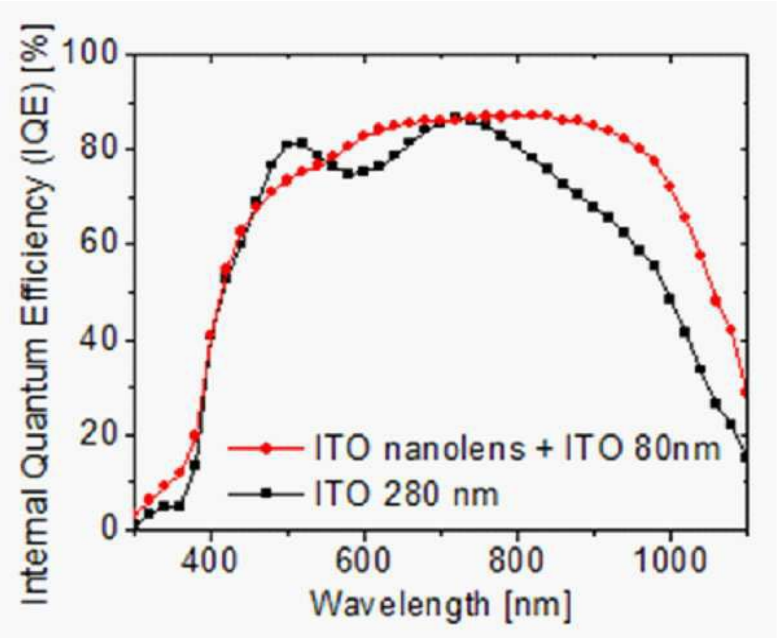
도면4



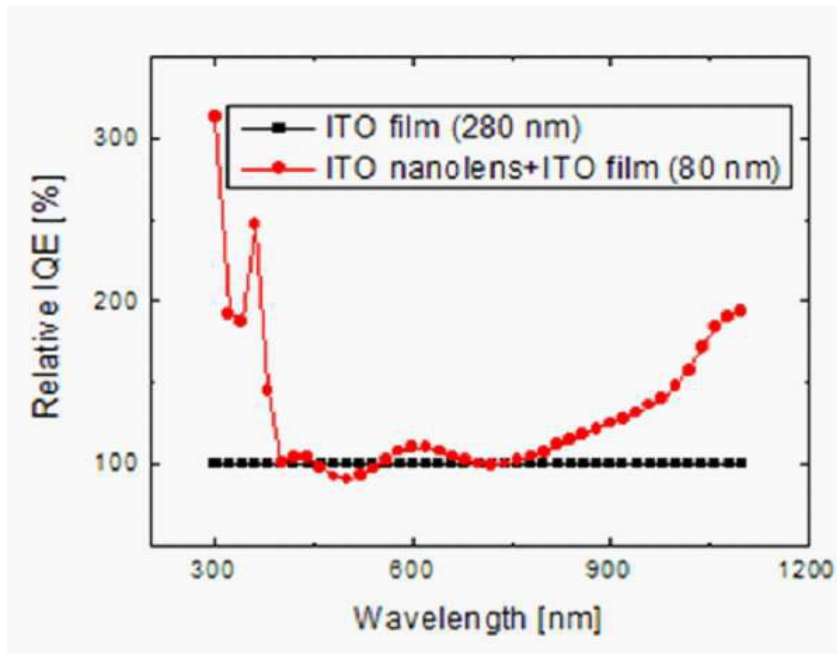
도면7



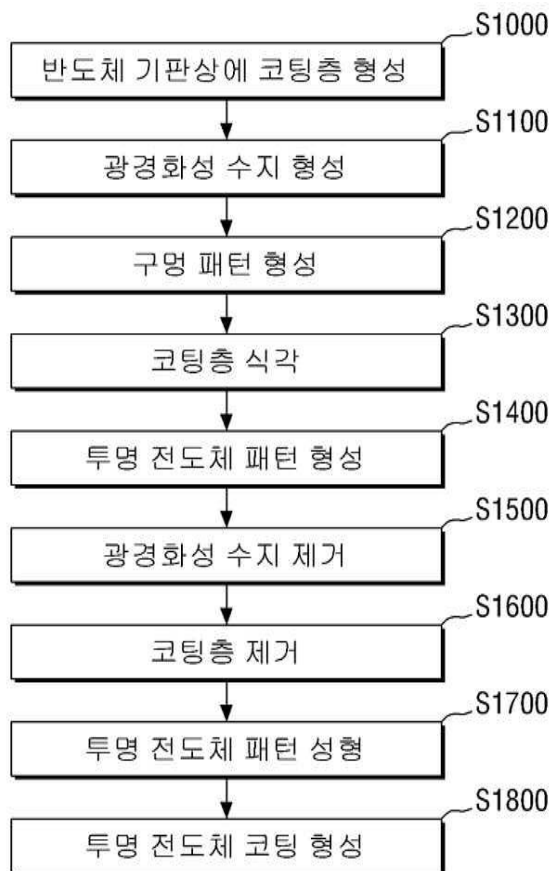
도면8



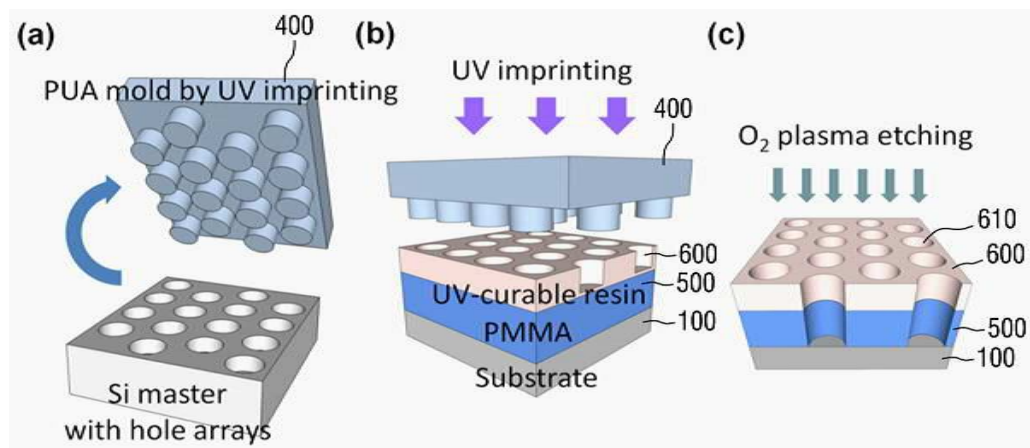
도면9



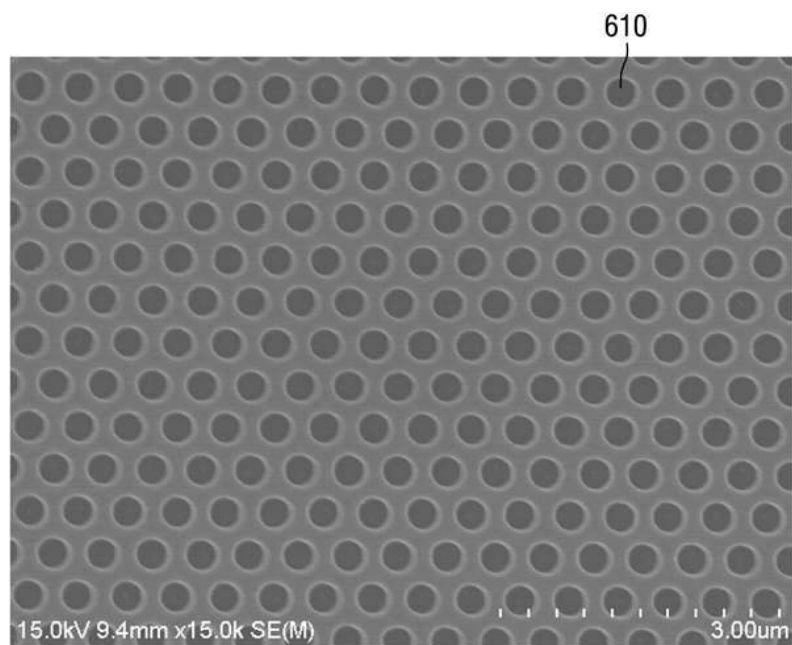
도면10



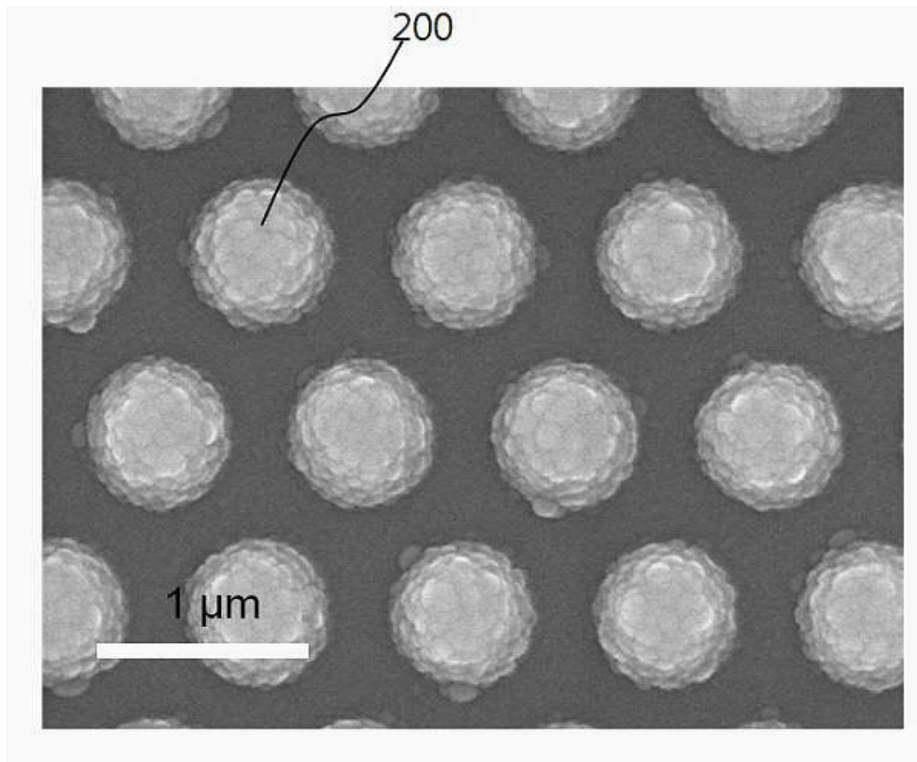
도면11a



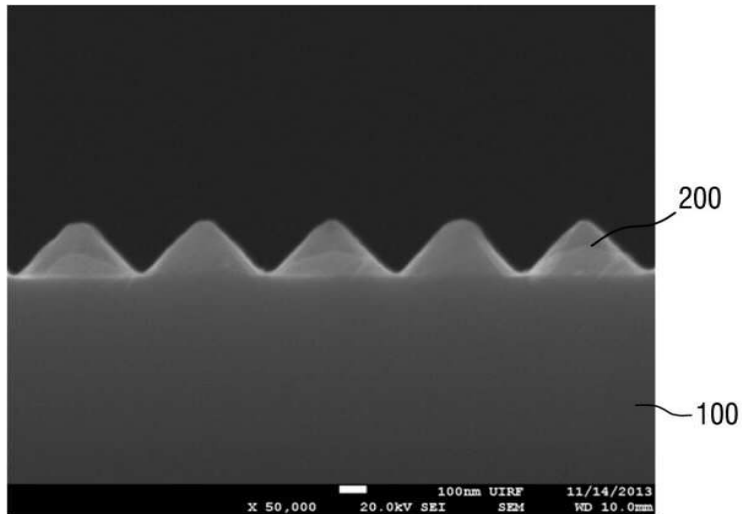
도면11b



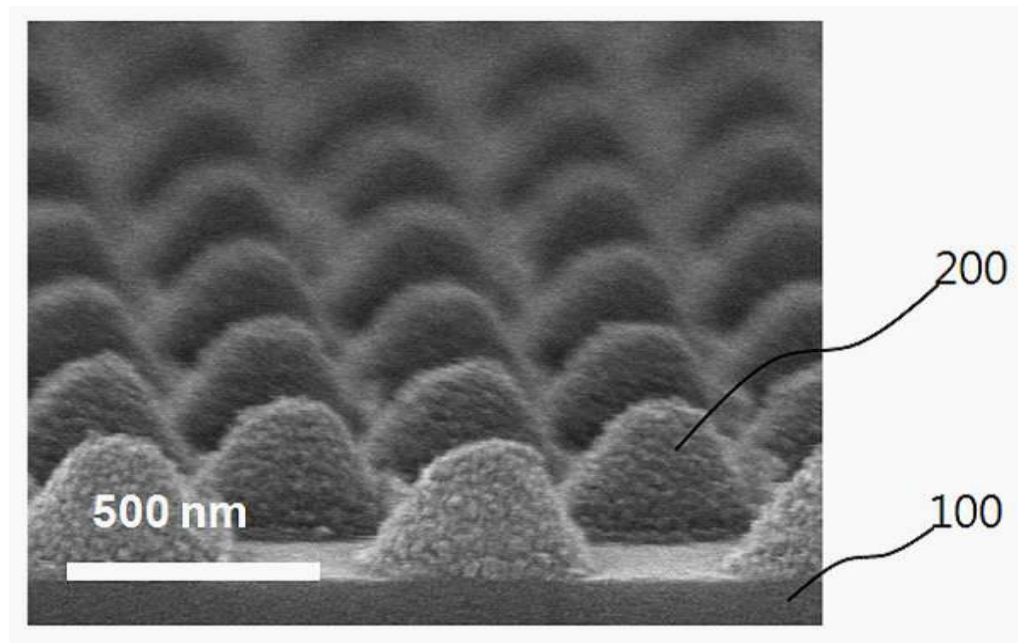
도면11c



도면11d



도면11e



도면11f

