



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 206 462

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 26 06 79
(21) PV 4366-79

(11) (B 1)

(51) Int. Cl. G 06 F 3/00

(40) Zveřejněno 30 04 80
(45) Vydáno 15 10 83

(75)

Autor vynálezu BYDŽOVSKÝ JAN ing. CSc., PRAHA

- (54) Zapojení pro přenos dat mezi analogově číslicovým převodníkem a vyhodnocovacím zařízením

Zapojení pro přenos dat mezi analogově číslicovým převodníkem a vyhodnocovacím zařízením.

V propojovacím obvodu interface je zapojeno alespoň po jedné komunikační jednotce sestávající z vysílačů a z přijímačů.

Adresový seriový výstup vysílače je spojen s adresovým vstupem přijímače. Výstup signálu o ukončení převodu adresové informace sériového tvaru na paralelní je zapojen na pomocný vyrovnávací registr a na dva seriově spojené monistabilní multivibrátory.

Výstup signálu o ukončení příjmu dat z přijímače dat a výstup porovnávacího signálu parity z přijímače dat jsou zapojeny na vstupy součinného členu. Jeho výstup je spojen se vstupem pro převedení informace z výstupu alespoň jednoho přijímače dat na informační vstupy vyhodnocovacího zařízení.

Vynález se týká zapojení pro přenos dat mezi analogově číslicovým převodníkem opatřeným analogovým přepínačem kanálů a vyhodnocovacím zařízením, jímž může být například počítač, měřicí ústředna nebo speciální logický a vyhodnocovací obvod.

Analogový přepínač kanálů rozšiřuje oblast užití analogově číslicového převodníku, přepíná dle zvolené adresy příslušný analogový kanál. Po přepnutí analogového kanálu je logickým signálem startován analogově číslicový převodník.

Adresovací signál pro analogový přepínač a startovací signál jsou vysílány vyhodnocovacím zařízením pro sběr dat. Po skončení převodu je na číslicovém výstupu analogově číslicového převodníku číslicový signál. Logický signál udávající konec převodu i číslicový signál analogově číslicového převodníku je pak zpracován ve vyhodnocovacím zařízení.

Podstatnou nevýhodou vpředu uvedeného uspořádání je velký počet propojovacích vodičů mezi vyhodnocovacím zařízením a analogově číslicovým převodníkem. Například pro připojení analogově číslicového převodníku o 16 analogových vstupních kanálech je zapotřebí pro adresování 4 vodičů, při 16 bitovém převodníku pak 16 vodičů pro číslicový signál, 1 vodič pro startovací impuls a 1 vodič pro údaj o konci převodu, tedy celkem 22 vodičů. Při propojování vzdálenosti desítky až stovky metrů v průmyslovém prostředí jde o citelnou nevýhodu. Přitom není počítána kontrola správnosti přenosu.

Uvedené nedostatky v podstatě odstraňuje zapojení pro přenos dat podle vynálezu, jehož podstata spočívá v tom, že v propojovacím obvodu interface je zapojeno alespoň po jedné komunikační jednotce sestávající z vysílače opatřených vyrovnávacím registrem a převodníkem paralelního tvaru informace na tvar seriový a z přijímače opatřených převodníky přijatého seriového tvaru informace na tvar paralelní a porovnávacím členem parity, zapojených na obvodu jednotných hodinových impulsů, přičemž adresový seriový výstup alespoň jednoho adresového vysílače, jehož paralelní vstupy jsou spojeny s adresovými výstupy vyhodnocovacího zařízení je spojen s adresovým vstupem alespoň jednoho adresového přijímače, jehož paralelní adresové výstupy jsou přes pomocný vyrovnávací registr spojeny s adresovými vstupy analogového přepínače kanálů analogově číslicového převodníku. Výstup signálu o ukončení převodu adresové informace seriového tvaru na paralelní v adresovém přijímači je zapojen na pomocný vyrovnávací registr, a na dva seriově spojené monostabilní multivibrátory, jejichž výstup je zapojen na startovací vstup analogově číslicového převodníku. Číslicové výstupy a startovací výstup analogově číslicového převodníku jsou spojeny se vstupy alespoň jednoho vysílače dat a jeho seriový výstup je spojen alespoň s jedním přijímačem dat, jehož paralelní výstupy jsou spojeny s informačními vstupy vyhodnocovacího zařízení a výstup signálu o ukončení příjmu dat alespoň jednoho přijímače dat a výstup porovnávacího signálu parity alespoň z jednoho přijímače dat jsou zapojeny na vstupy součinného členu, jehož výstup je spojený se vstupem pro převedení informace z výstupu alespoň jednoho přijímače

dat na informační vstupy vyhodnocovacího zařízení.

Při zapojení podle vynálezu pro přenos uvedený příkladem vpředu dostačí 3 propojovací vodiče a kromě toho je prováděna kontrola na správnost přenosu paritou.

Příklad zapojení podle vynálezu je dále popsán s pomocí připojeného výkresu.

Mezi vyhodnocovacím zařízením VZ na jedné a analogově číslicovým převodníkem A/Č na druhé straně přenosu je zapojen propojovací obvod vytvořený z navzájem propojených komunikačních jednotek typu UART, tj. polovodičových obvodů velké integrace pro osmibitové přenosy informací. Každá komunikační jednotka typu UART sestává ze dvou samostatných částí a to z vysílače a z přijímače. Vysílač obsahující vyrovnávací registr a převodník vytváří z paralelní informace informaci v seriové formě a přijímač obsahující porovnávací člen pro vyhodnocení parity a převodník vytváří z přijaté seriové formy formu paralelní.

Pro přenos dat analogového číslicového převodníku o 16 analogových vstupních kanálech, jak bylo příkladem vpředu uvedeno, je na obou stranách přenosu použito po dvou komunikačních jednotkách typu UART řízených jednotně hodinovými impulsy. Na straně vyhodnocovacího zařízení VZ je z vysílačů V1 a V2 provozně využit jen vysílač adres V1, zatímco jsou využity oba přijímače dat P1 a P2. Na straně analogově číslicového převodníku je tomu naopak, neboť je využit jeden z přijímačů P1M a P2M a to adresový přijímač P1M a oba číslicové vysílače V1M a V2M. Při větším počtu analogových kanálů a použití více než 16 bitového analogově číslicového převodníku by se zvětšil úměrně počet komunikačních jednotek na obou stranách přenosu. Jejich paralelní připojení k zapojení komunikačních jednotek dále v příkladu vysvětlených je nasnadě.

Při požadavku získání informace z některého analogového kanálu 1 až 16 dává vyhodnocovací zařízení VZ adresu příslušného analogového kanálu v paralelní formě a současně vyšle startovací signál. Tento signál převede paralelní formu adresy do vyrovnávacího registru adresného vysílače V1 a zahájí převod adresové informace paralelní formy na seriovou. Výstup adresového vysílače V1 je vodičově spojen s adresovým přijímačem P1M na straně analogově číslicového převodníku A/Č, kde je adresa přijatá v seriové formě převedena na formu paralelní. Po skončení převodu je signálem z adresového přijímače P1M přenesena paralelní adresní informace na pomocný vyrovnávací registr R spojený s analogovým přepínačem AM analogových vstupních kanálů 1 až 16. Analogový přepínač AM zajišťuje přepnutí odpovídajícího analogového napětí z adresovaného analogového kanálu 1 až 16 analogově číslicový převodník A/Č. Signál o skončení převodu přijaté seriové informace a v adresovém přijímači P1M na paralelní tvar spouští monostabilní multivibrátor M1, který vytváří impuls, jehož šířka odpovídá době ustálení analogového přepínače AM. Výstup tohoto monostabilního multivibrátoru M1 je spojen se vstupem startovacího monostabilního multivibrátoru M2, jehož impuls startuje analogově číslicový převodník A/Č a zahajuje převod analogového napětí U_x na číslicovou hodnotu.

Po skončení převodu je na výstupu o ukončení převodu zakončovací impuls, který přenesení paralelní číslíkové informace na vysílače dat V1M a V2M. Po převedení paralelního tvaru číslíkové informace se vodiči přenesení seriový tvar číslíkové informace na přijímače dat P1 a P2. Po převodu přijaté seriové informace na její paralelní tvar jsou signály na výstupech přijímačů dat P1 a P2 vedeny na vstupy součinnového členu S. Současně je v porovnávacím členu přijímačů dat P1 a P2 provedena kontrola na paritu a výsledné signály jsou vedeny na další dva vstupy součinnového členu S. Na výstupu součinnového členu je logický signál DAV potvrzující ukončení příjmu informace a její platnost. Tento signál je přiveden na vstup vyhodnocovacího zařízení VZ a převádí paralelní informaci do registrů vyhodnocovacího zařízení VZ.

V případě chybné parity nebo v případě nesprávného časového průběhu v seriové přijaté informaci není na výstupu součinnového členu S signál DAV o ukončení platného příjmu informace. Následkem toho by se proces získání informace zastavil a bylo by potřeba hledat chybu. Při praktických aplikacích však většinou nevadí, jestliže jeden údaj, který byl znehodnocen informačně, například následkem rušení apod., z vyhodnocovacího cyklu vypadává. Proto je zapojení pro přenos dat doplněno obvodem rámcové synchronizace, jehož účelem je zakončit měřicí cyklus v případě, že je informace neplatná. Tato informace ovšem není vyhodnocovacím zařízením VZ přijata. Obvod rámcové synchronizace je vytvořen pomocí multivibrátorů M3 a M4. Multivibrátor M3 vytváří impuls odpovídající maximální délce měřicího cyklu. Multivibrátor M4 je pouze pomocný a vytváří rámcový zakončovací impuls DAVR. Startovací výstup vyhodnocovacího zařízení VZ je spojen se vstupem monostabilního multivibrátoru M3, který vytváří impuls větší nebo rovný délce měřicího cyklu. Měřicí cyklus začíná vysláním startovacího impulsu vyhodnocovacím zařízením VZ a končí vysláním zakončovacího impulsu DAV z výstupu součinnového členu S. Výstup součinnového členu S je spojen s nulovacími vstupy obou multivibrátorů M3 a M4. Impuls DAV je nuluje. V případě, že po době měřicího cyklu není vyslán signál DAV, je v činnosti multivibrátor M3, u kterého skončení impulsu synchronizuje pomocný multivibrátor M4, který vysílá impuls DAVR do vyhodnocovacího zařízení VZ.

Zapojení podle vynálezu bylo přezkoušeno v řadě zapojení v provozu s analogově číslíkovým převodníkem 16 bitovým, z toho 13 bitů informačních, znaménko plus, 2 bity pro logické stavy. Analogový bit 16 kanálový adresovaný čtyřmi bity. Doba převodu včetně přepnutí kanálu je 20 ms, přenosová rychlost 1200 Bd, což vyžaduje na přenesení adresy a příjem číselného údaje dobu asi 17 ms.

P Ř E D M Ě T V Y N Á L E Z U

1. Zapojení pro přenos dat mezi analogově číslíkovým převodníkem a vyhodnocova-

cím zařízením, například počítačem, měřicí ústřednou a podobně, vyznačené tím, že v propojovacím obvodu interface je zapojeno alespoň po jedné komunikační jednotce sestávající z vysílače (V1, V2, V1M, V2M) opatřených vyrovnávacím registrem a převodníkem paralelního tvaru informace na tvar seriový a z přijímačů (P1, P2, P1M, P2M) opatřených převodníky přijatého seriového tvaru informace na tvar paralelní a porovnávacím členem parity, zapojených na obvody (H) jednotných hodinových impulsů, přičemž adresový seriový výstup alespoň jednoho adresového vysílače (V1), jehož paralelní vstupy jsou spojeny s adresovými výstupy vyhodnocovacího zařízení (VZ) je spojen s adresovým vstupem alespoň jednoho adresového přijímače (P1M), jehož paralelní adresové výstupy jsou přes pomocný vyrovnávací registr (R) spojeny s adresovými vstupy analogového přepínače (AM) kanálů analogově číslicového převodníku (A/Č), výstup signálu o ukončení převodu adresové informace seriového tvaru na paralelní v adresovém přijímači (P1M) je zapojen na pomocný vyrovnávací registr (R) a na dva seriově spojené monostabilní multivibrátory (M1, M2), jejichž výstup je zapojen na startovací vstup analogově číslicového převodníku (A/Č), číslicové výstupy a startovací výstup analogově číslicového převodníku (A/Č) jsou spojeny se vstupy alespoň jednoho vysílače dat (V1M, V2M) a jeho seriový výstup je spojen alespoň s jedním přijímačem dat (P1, P2), jehož paralelní výstupy jsou spojeny s informačními vstupy vyhodnocovacího zařízení (VZ) a výstup signálu o ukončení příjmu dat alespoň jednoho přijímače dat (P1, P2) a výstup porovnávacího signálu parity alespoň z jednoho přijímače dat (P1, P2) jsou zapojeny na vstupy součinného členu (S), jehož výstup je spojený se vstupem pro převedení informace z výstupu alespoň jednoho přijímače dat (P1, P2) na informační vstupy vyhodnocovacího zařízení (VZ).

2. Zapojení podle bodu 1, vyznačené tím, že k adresovému výstupu vyhodnocovacího zařízení (VZ) je zapojen multivibrátor (M3), jehož výstup je připojen na vstup pomocného multivibrátoru (M4) a jehož výstup je zapojen na vstup o ukončení přenosu vyhodnocovacího zařízení (VZ), přičemž oba multivibrátory jsou zapojeny na nulovací výstup součinného členu (S).

