

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成30年5月24日 (2018.5.24)

【公表番号】特表2017-514230(P2017-514230A)
 【公表日】平成29年6月1日 (2017.6.1)
 【年通号数】公開・登録公報2017-020
 【出願番号】特願2016-563175(P2016-563175)
 【国際特許分類】

G 0 6 F 13/36 (2006.01)

【 F I 】

G 0 6 F 13/36 3 2 0 A

【手続補正書】

【提出日】平成30年3月30日 (2018.3.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第1のプロセッサと、

複数のメッセージング信号レジスタであって、前記第1のプロセッサが、メッセージング信号の送信セットを前記メッセージング信号レジスタ内に書き込むように構成された、複数のメッセージング信号レジスタと、

複数のGPIOピンと、

前記第1のプロセッサから信号の第1のセットを受信し、前記複数のGPIOピンを介してリモートプロセッサにGPIO信号として前記信号の第1のセットの一部を送信するように構成されたGPIOインターフェースと、

専用送信ピンと、

仮想GPIO信号を含むものとして第1のフレームを識別するように構成されたヘッダを含む前記第1のフレーム内で、前記GPIOインターフェースから前記信号の第1のセットの残りの部分を受信し、前記専用送信ピンを介して前記リモートプロセッサに仮想GPIO信号の送信セットとして前記残りの部分を直列送信するように構成された有限状態機械(FSM)とを備え、前記FSMが、前記専用送信ピンを介して前記リモートプロセッサに前記メッセージング信号を含むものとして第2のフレームを識別するように構成されたヘッダを含む前記第2のフレーム内で前記メッセージング信号の送信セットを取得するようにさらに構成され、前記FSMが、前記第1のフレームおよび前記第2のフレームの長さをプログラムするヘッダを有する第3のフレームを前記リモートプロセッサに前記専用送信ピンを介して送信するようにさらに構成された、集積回路。

【請求項 2】

専用受信ピンをさらに備え、前記FSMが、前記専用受信ピンを介して前記リモートプロセッサから仮想GPIO信号の受信セットを直列受信し、前記GPIOインターフェースに前記仮想GPIO信号の受信セットを提供するようにさらに構成された、請求項1に記載の集積回路。

【請求項 3】

前記GPIOインターフェースが、前記GPIOピンからGPIO信号の受信セットを受信し、前記第1のプロセッサに前記GPIO信号の受信セットを送信するようにさらに構成された、請求項2に記載の集積回路。

【請求項 4】

前記第1のプロセッサが、アプリケーションプロセッサまたはモデムプロセッサを備える、請求項1に記載の集積回路。

【請求項 5】

前記FSMが、並列入力直列出力(PISO)シフトレジスタと、直列入力並列出力(SIPO)シフトレジスタとを備える、請求項2に記載の集積回路。

【請求項 6】

前記FSMが、前記第1のフレームおよび第2のフレームが開始ビットおよび終了ビットによって各々画定されるように、前記第1のフレームおよび前記第2のフレームを直列送信するようにさらに構成された、請求項2に記載の集積回路。

【請求項 7】

前記FSMが、前記リモートプロセッサからの受信フレーム内の終了ビットを受信することの失敗の検出によって、前記リモートプロセッサの失敗を検出するようにさらに構成された、請求項6に記載の集積回路。

【請求項 8】

前記FSMが、外部クロックのサイクルにตอบสนองして、前記仮想GPIO信号の送信セットおよび前記メッセージング信号の送信セットを直列送信するようにさらに構成された、請求項3に記載の集積回路。

【請求項 9】

前記FSMが、前記外部クロックの第1のクロックエッジにตอบสนองして前記信号の送信セットを直列送信し、前記外部クロックの第2のクロックエッジにตอบสนองして前記受信セットを直列受信するようにさらに構成された、請求項8に記載の集積回路。

【請求項 10】

前記FSMが、パルス幅変調信号として前記信号の送信セットを直列送信するようにさらに構成された、請求項3に記載の集積回路。

【請求項 11】

前記FSMが、発振器と、前記発振器からの発振をカウントする少なくとも1つのカウンタとを含み、前記FSMが、前記少なくとも1つのカウンタからのカウントにตอบสนองして各パルス幅変調信号のためのパルス幅を決定するようにさらに構成された、請求項10に記載の集積回路。

【請求項 12】

前記発振器が、リング発振器である、請求項11に記載の集積回路。

【請求項 13】

前記FSMが、第1のパルス幅または第2のパルス幅のいずれかを有するように各パルス幅変調信号を生成するようにさらに構成され、前記第2のパルス幅が、前記第1のパルス幅よりも大きい、請求項10に記載の集積回路。

【請求項 14】

第1のプロセッサからGPIOインターフェースにおいてGPIO信号のセットを受信するステップと、

専用GPIOピンを介してリモートプロセッサに前記GPIO信号のセットの一部を送信するステップと、

仮想GPIO信号を含むものとして第1のフレームを識別するように構成されたヘッダを含む前記第1のフレーム内で、仮想GPIO信号として前記リモートプロセッサに前記GPIO信号のセットの残りの部分を、専用送信ピンを介して直列送信するステップと、

前記第1のプロセッサによって書き込まれたメッセージング信号レジスタからメッセージング信号を取得し、前記メッセージング信号を含むものとして第2のフレームを識別するように構成されたヘッダを含む前記第2のフレーム内で、前記リモートプロセッサに前記専用送信ピンを介して、前記取得したメッセージング信号を直列送信するステップと、

前記第1のフレームおよび前記第2のフレームの長さをプログラムするものとして第3のフレームを識別するヘッダを含む前記第3のフレームを、前記リモートプロセッサに前記

専用送信ピンを介して直列送信するステップと
を備える方法。

【請求項 15】

専用受信ピンを介して前記リモートプロセッサから仮想GPIO信号の受信セットを直列受信するステップと、

前記専用GPIOピンを介して前記リモートプロセッサからGPIO信号の受信セットを直列受信するステップと、

前記GPIOインターフェースを介して前記第1のプロセッサに前記仮想GPIO信号の受信セットおよび前記GPIO信号の受信セットを提供するステップと
をさらに備える、請求項14に記載の方法。