

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4167628号
(P4167628)

(45) 発行日 平成20年10月15日(2008.10.15)

(24) 登録日 平成20年8月8日(2008.8.8)

(51) Int.Cl.	F I
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 29/792 (2006.01)	GO 6 N 3/063
HO 1 L 27/115 (2006.01)	G 1 1 C 11/22 5 O 1 A
GO 6 N 3/063 (2006.01)	HO 1 L 27/10 4 4 4 A
請求項の数 1 (全 24 頁) 最終頁に続く	

(21) 出願番号	特願2004-171826 (P2004-171826)	(73) 特許権者	000005821
(22) 出願日	平成16年6月9日(2004.6.9)		松下電器産業株式会社
(62) 分割の表示	特願2002-156203 (P2002-156203) の分割		大阪府門真市大字門真1006番地
原出願日	平成14年5月29日(2002.5.29)	(74) 代理人	100077931
(65) 公開番号	特開2005-12210 (P2005-12210A)		弁理士 前田 弘
(43) 公開日	平成17年1月13日(2005.1.13)	(74) 代理人	100094134
審査請求日	平成16年7月14日(2004.7.14)		弁理士 小山 廣毅
(31) 優先権主張番号	特願2001-170583 (P2001-170583)	(74) 代理人	100110939
(32) 優先日	平成13年6月6日(2001.6.6)		弁理士 竹内 宏
(33) 優先権主張国	日本国(JP)	(74) 代理人	100110940
(31) 優先権主張番号	特願2001-221131 (P2001-221131)		弁理士 嶋田 高久
(32) 優先日	平成13年7月23日(2001.7.23)	(74) 代理人	100113262
(33) 優先権主張国	日本国(JP)		弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		最終頁に続く	

(54) 【発明の名称】 論理変換回路

(57) 【特許請求の範囲】

【請求項1】

NAND回路動作とNOR回路動作との間で切り替え可能な論理変換回路であって、
 前記論理変換回路は、複数の信号入力部(65)、出力端子(70)、制御端子(67)、電源電圧供給端子(71)、nチャネル型MISトランジスタ(61)、および電位発生装置(Egn)、
 を備えており、
 前記nチャネル型MISトランジスタ(61)は、ソース端子(62)、ドレイン端子(63)、ゲート絶縁膜(66)、およびフローティングゲート(64)を備えており、
 前記出力端子(70)は、前記ドレイン端子(63)に接続されており、
 前記電源電圧供給端子(71)は、負荷抵抗素子(69)を介して前記ドレイン端子(63)に接続されており、
 前記ソース端子(62)は接地されており、
 前記複数の信号入力部(65)は、それぞれ、入力端子(65a)および常誘電体膜(65c)を有すると共に、前記各常誘電体膜(65c)の一方の面は前記各入力端子(65a)に接続されており、前記各常誘電体膜(65c)の他方の面はいずれも前記フローティングゲート(64)に接続されており、
 前記制御端子(67)と前記フローティングゲート(64)との間に前記電位発生装置(Egn)が介在しており、
 前記電位発生装置(Egn)は、

第1の半導体層と、

上記第1の半導体層の上に形成された第1のゲート絶縁膜と、上記第1のゲート絶縁膜の上に形成された第1のゲート電極(211)と、上記第1の半導体層内における上記第1のゲート電極の両側方に位置する領域に形成された第1、第2のP型拡散領域とを有する第1のMISFET(56)と、

第2の半導体層と、

上記第2の半導体層の上に形成された第2のゲート絶縁膜と、上記第2のゲート絶縁膜の上に形成された第2のゲート電極(212)と、上記第2の半導体層内における上記第2のゲート電極の両側方に位置する領域に形成された第1、第2のN型拡散領域とを有する第2のMISFET(54)と、

10

上記第1、第2のゲート電極に共通に接続される第1の電極(52)と、該第1の電極(52)に対向する第2の電極(50)と、上記第1の電極(52)ー第2の電極(50)間に介在する強誘電体膜とを有する強誘電体キャパシタ(51)と、

上記第2のMISFET(54)の第1のN型拡散領域に第1の電圧を供給するための第1の電圧供給部(53)と、

上記第1のMISFET(56)の第1のP型拡散領域に上記第1の電圧よりも低い接地電圧を供給するための第2の電圧供給部(57)と、

上記各MISFETの第2のP型拡散領域及びN型拡散領域に共通に接続され、上記強誘電体キャパシタ(51)の上記第2の電極(52)に入力された電圧に応じた出力電圧を出力するための電圧出力部(55)とを備え、

20

前記第1のMISFET(56)の基板電位は前記第1の電圧であり、

前記第2のMISFET(54)の基板電位は前記第2の電圧であり、

前記第2の電極(50)が前記制御端子(67)と接続されており、

前記電圧出力部(55)が前記フローティングゲート(64)と接続されており、

前記制御端子(67)にパルス信号を印加する前においては、前記nチャネル型MISトランジスタ(61)の閾値電圧は、複数の信号入力部(65)のいずれかに論理値「1」が印加されるときの前記フローティングゲート(64)の電位より小さくすることによって、前記論理変換回路はNOR回路として動作し、

前記制御端子(67)にパルス信号を印加することによって、NOR回路からNAND回路に切り替えられ、

30

前記制御端子(67)にパルス信号を印加した後においては、前記nチャネル型MISトランジスタ(61)の閾値電圧は、複数の信号入力部(65)のいずれかに論理値「0」が印加されるときの前記フローティングゲート(64)の電位より大きくすることによって、前記論理変換回路はNAND回路として動作し、

前記強誘電体膜の分極をリセットすることによって、NAND回路からNOR回路に切り替えられる、

論理変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は論理変換回路に関する。

40

【背景技術】

【0002】

近年の半導体集積回路技術の進展は目覚しく、単なるメモリ素子以外にも様々な高機能論理集積回路が開発されている。しかし、これらの論理回路は2値の信号を用いて演算を行なうという点で、LSIの出現以来、論理の進化は進んでいないとも言える。現在の半導体集積回路では、このような2値の演算では単純な数値計算に対しては非常に高速な演算が可能であるが、パターン認識や画像の処理といったむしろ人間には容易な演算には膨大な時間を要してしまうという不利益がある。

【0003】

50

この従来LSIが不得手な演算処理を高速に行える素子として、生物の脳のように動作するコンピュータ、すなわち神経回路コンピュータ（ニューロコンピュータ）を開発しようという研究が一方で行われている。このニューロコンピュータは、多数のニューロン素子を神経回路のように接続した構造を有している。

【0004】

従来のニューロン素子は、ほとんどがCMISデバイスで製造されており、その場合、学習によって回路の動作を変化させていくという学習機能は持っていなかった。例えば、特許文献1には、MISFETのゲート電極に容量結合する多数の入力部を配置したMIS型ニューロン素子が記載されている。これは、容量結合を利用して、複数の入力端子の各信号強度と結合強度との積を入力部の数だけ足し合わせる演算を行うものであるが、演算結果を学習効果として保存する機能は有していない。

10

【0005】

それに対し、近年、強誘電体の残留分極を用いて学習機能を実現するための第1の従来例に係る提案が出されてきている。例えば、特許文献2には、MISFETのゲート電極に容量結合する複数の入力部を配置したMIS型ニューロン素子において、入力部の全ての容量絶縁膜を強誘電体によって構成することが記載されている。また、特許文献3には、MISFETのゲート電極に容量結合する複数の入力部を配置したMIS型ニューロン素子において、出力側であるMISFETのゲート絶縁膜を強誘電体によって構成した素子が記載されている。

20

【0006】

また、LSIは非常な速度で発達し、トランジスタの微細化と高集積化が進んでいる。しかし、トランジスタの微細化とチップ面積の巨大化により、歩留まりの向上が困難となっている。また、回路規模は非常に大規模になり、多品種少量生産のシステムLSIが主流を占めているため、設計に多大な人員と時間を要してしまう。このため、開発期間の短縮化が容易ではなくなっている。このような問題を解決するものとして、リコンフィグラブル回路が注目されている。リコンフィグラブル回路とは、LSIの製造後に回路の仕様の変更を伴う書き換えを可能にする回路である。その一例として、FPGA（Field Programmable Gate Array）やCPLD（Complex Programmable Logic Device）などがあげられる。これらは、基本論理ブロックを多段に組み合わせて変更可能な論理回路を実現することを可能としている。つまり、このFPGA/CPLDでは、プログラム素子としてスイッチ素子やマルチプレクサを用い、これらの素子により基本論理回路の組み合わせで機能を決定している。しかし、これらの方式では、基本論理ブロックの冗長回路の占める面積が大きく、配線が長くなってしまう。一方、強誘電体を用いて、プログラム素子そのものが論理の変換を可能とする素子が提案されている（例えば、非特許文献1を参照。）。

30

【0007】

図15は、上記公報に記載されている第2の従来例に係るニューロン素子の等価回路図である。この例では、パルス信号によって、強誘電体キャパシタに残留電荷を生じさせて、この残留電荷を利用して、フローティングゲートの電位を制御することにより、NOR回路とNAND回路との論理変換回路の実現を試みている。

40

【0008】

図15に示すように、この論理変換回路は、nチャネル型MISトランジスタ（NMISFET510）を備えている。ここで、NMISFET510のゲート電極は、他の端子に接続されていないフローティング状態であるフローティングゲート506である。ソースは接地され、ドレインは出力端子509に接続されている。出力端子509は、電源電圧VDDを供給するための電源電圧供給端子507に負荷抵抗素子508を介して接続されている。

【0009】

また、フローティングゲート506に容量結合する2個の入力端子500、501と、入力端子500、501とフローティングゲート506との間に介在する常誘電体キャパ

50

シタ503, 504と、制御信号を受ける制御端子502と、制御端子502とフローティングゲート506との間に介在する強誘電体キャパシタ505とを備えている。

【0010】

ここで、入力端子500からの入力信号の論理をX1、入力端子501からの入力信号をX2、制御端子502の電荷量をCR、フローティングゲート506の電荷量 ϕF 、出力端子509からの出力信号の論理をYとする。また、NMISFET510の閾値電圧を0Vとする。さらに、X1, X2を"1"としたとき、常誘電体キャパシタ503, 504の各上部電極（入力端子側の電極）に電荷量Q0が誘起されるものとする。

【0011】

図16は、制御端子502に負のパルス信号を加えたときの入力信号X1, X2に対する各部の電荷量を出力信号Yの論理値とを表にして示す図である。

10

【0012】

まず、制御端子502に負の電圧のパルス信号を加えることにより、強誘電体キャパシタ505の上部電極に電荷量 $-Q0/2$ の残留電荷を発生させる。このとき、フローティングゲート506の電荷量 ϕF は、図16に示すようになる。このとき、フローティングゲート506の電荷が正であれば、 SiO_2/Si 界面にチャンネルが形成され、MOSトランジスタがONとなるから、出力値Yは図16に示す値になる。図16からわかるように、このときの回路動作はNOR回路動作となる。

【0013】

図17は、制御端子502にさらに振幅の大きい負のパルス信号を加えたときの入力信号X1, X2に対する各部の電荷量を出力信号Yの論理値とを表にして示す図である。

20

【0014】

まず、制御端子502にさらに振幅の大きい負の電圧のパルス信号を加えることにより、強誘電体キャパシタ505の上部電極に電荷量 $-3Q0/2$ の残留電荷を発生させる。このとき、フローティングゲート506の電荷量 ϕF は、図17に示すようになる。

【0015】

フローティングゲート506の電荷が正であれば、 SiO_2/Si 界面にチャンネルが形成され、NMISFET510がONとなるから、出力値Yは図17に示すようになる。図17からわかるように、このときの回路動作はNAND回路動作となる。このように、強誘電体キャパシタの残留電荷を制御することによって、NOR回路とNAND回路との論理変換回路であるプログラム素子の実現可能である。

30

【特許文献1】特許第3122756号公報

【特許文献2】特許第2929909号公報

【特許文献3】特許第2942088号公報

【非特許文献1】川口直一、尹聖民、徳光永輔、「第61回応用物理学会学術講演会講演予稿集」、6a-g-1

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかし、上記第2の従来例に係る論理変換回路においては、強誘電体キャパシタ505の強誘電体膜に生じる残留電荷がフローティングゲート506の電位 ϕF に影響されるといふ不具合があった。

40

【0017】

ここで、強誘電体膜に印加される電圧（制御端子側を正とする）をVferrとすると、Vferrは、下記式（101）

$$V_{ferr} = CR - \phi F = -\phi F \quad (101)$$

により表される。

【0018】

ここで、制御端子502にパルス信号が印加されていない領域に注目して、考察を進める。このとき、式（101）より、強誘電体膜に印加される電圧は、フローティングゲ

50

ト506の電位 ϕ_F に依存していることが分かる。 ϕ_F は入力によって変動するので、式(101)より強誘電体膜に印加される電圧は必ず変動する。これにより、強誘電体膜に誘起される残留電荷が変動してしまうという不具合があった。この不具合について、図を参照しながら説明する。

【0019】

図18(a), (b)は、それぞれ順に、第2の従来例に係る論理変換回路のフローティングゲートの電位の時間変化を示すタイミングチャート、及び強誘電体膜に印加される電圧の時間変化を示すタイミングチャートである。ここで、論理値"0"の電圧値を0V、論理値"1"の電圧値を5Vとする。入力端子500, 501にそれぞれ(0, 0), (1, 1), (0, 1), (1, 0)を入力した後、制御端子502に-10Vのパルス信号を印加し、強誘電体キャパシタ505に残留電荷を誘起させる。その後、入力端子500, 501にそれぞれ(0, 0), (1, 1), (0, 1), (1, 0)の入力を繰り返し入力する。

【0020】

このとき、図18(a)からわかるように、強誘電体膜に印加される電圧は、パルス信号を加えない領域でも変動していることが分かる。つまり、図18(a)の領域Rxに示すように、パルス信号が印加される前の入力(0, 1)に対するフローティングゲート506の電位 ϕ_F と、入力(1, 0)に対する電位 ϕ_F とが互いに異なっている。これは、前述したように、入力端子に入力信号が印加されると、強誘電体キャパシタの強誘電体膜に印加される電圧が変動するためである。また、図18(a)の領域Ryに示すように、パルス信号が制御端子502に印加された後において、1回目と2回目の同じ入力に対するフローティングゲートの電位 ϕ_F が互いに異なっている。これも、入力端子に電圧が加えられると、強誘電体キャパシタの強誘電体膜に印加される電圧が一定しない結果、強誘電体キャパシタの残留電荷が変動するためである。

【0021】

このように、第2の従来例のNOR回路とNAND回路との論理変換回路においては、強誘電体キャパシタの残留電荷が他の入力端子に加わる電圧によって変動する結果、強誘電体キャパシタで誘起される残留電荷を安定に保持できず、論理変換機能が不安定になってしまうという不具合があった。

【0022】

本発明の目的は、安定した論理変換回路を提供することにある。

【課題を解決するための手段】

【0023】

上記課題を解決する本発明は、NAND回路動作とNOR回路動作との間で切り替え可能な論理変換回路であって、

前記論理変換回路は、複数の信号入力部(65)、出力端子(70)、制御端子(67)、電源電圧供給端子(71)、nチャネル型MISトランジスタ(61)、および電位発生装置(Egn)、を備えており、

前記nチャネル型MISトランジスタ(61)は、ソース端子(62)、ドレイン端子(63)、ゲート絶縁膜(66)、およびフローティングゲート(64)を備えており、

前記出力端子(70)は、前記ドレイン端子(63)に接続されており、

前記電源電圧供給端子(71)は、負荷抵抗素子(69)を介して前記ドレイン端子(63)に接続されており、

前記ソース端子(62)は接地されており、

前記複数の信号入力部(65)は、それぞれ、入力端子(65a)および常誘電体膜(65c)を有すると共に、前記各常誘電体膜(65c)の一方の面は前記各入力端子(65a)に接続されており、前記各常誘電体膜(65c)の他方の面はいずれも前記フローティングゲート(64)に接続されており、

前記制御端子(67)と前記フローティングゲート(64)との間に前記電位発生装置

(E g n) が介在しており、

前記電位発生装置 (E g n) は、

第 1 の半導体層と、

上記第 1 の半導体層の上に形成された第 1 のゲート絶縁膜と、上記第 1 のゲート絶縁膜の上に形成された第 1 のゲート電極 (211) と、上記第 1 の半導体層内における上記第 1 のゲート電極の両側方に位置する領域に形成された第 1、第 2 の P 型拡散領域とを有する第 1 の M I S F E T (56) と、

第 2 の半導体層と、

上記第 2 の半導体層の上に形成された第 2 のゲート絶縁膜と、上記第 2 のゲート絶縁膜の上に形成された第 2 のゲート電極 (212) と、上記第 2 の半導体層内における上記第 2 のゲート電極の両側方に位置する領域に形成された第 1、第 2 の N 型拡散領域とを有する第 2 の M I S F E T (54) と、

上記第 1、第 2 のゲート電極に共通に接続される第 1 の電極 (52) と、該第 1 の電極 (52) に対向する第 2 の電極 (50) と、上記第 1 の電極 (52) - 第 2 の電極 (50) 間に介在する強誘電体膜とを有する強誘電体キャパシタ (51) と、

上記第 2 の M I S F E T (54) の第 1 の N 型拡散領域に第 1 の電圧を供給するための第 1 の電圧供給部 (53) と、

上記第 1 の M I S F E T (56) の第 1 の P 型拡散領域に上記第 1 の電圧よりも低い接地電圧を供給するための第 2 の電圧供給部 (57) と、

上記各 M I S F E T の第 2 の P 型拡散領域及び N 型拡散領域に共通に接続され、上記強誘電体キャパシタ (51) の上記第 2 の電極 (52) に入力された電圧に応じた出力電圧を出力するための電圧出力部 (55) とを備え、

前記第 1 の M I S F E T (56) の基板電位は前記第 1 の電圧であり、

前記第 2 の M I S F E T (54) の基板電位は前記第 2 の電圧であり、

前記第 2 の電極 (50) が前記制御端子 (67) と接続されており、

前記電圧出力部 (55) が前記フローティングゲート (64) と接続されており、

前記制御端子 (67) にパルス信号を印加する前においては、前記 n チャネル型 M I S トランジスタ (61) の閾値電圧は、複数の信号入力部 (65) のいずれかに論理値「1」が印加されるときの前記フローティングゲート (64) の電位より小さくすることによって、前記論理変換回路は N O R 回路として動作し、

前記制御端子 (67) にパルス信号を印加することによって、N O R 回路から N A N D 回路に切り替えられ、

前記制御端子 (67) にパルス信号を印加した後においては、前記 n チャネル型 M I S トランジスタ (61) の閾値電圧は、複数の信号入力部 (65) のいずれかに論理値「0」が印加されるときの前記フローティングゲート (64) の電位より大きくすることによって、前記論理変換回路は N A N D 回路として動作し、

前記強誘電体膜の分極をリセットすることによって、N A N D 回路から N O R 回路に切り替えられる。

【発明の効果】

【0024】

本発明により、安定した論理変換回路の提供を図ることができる。

【発明を実施するための最良の形態】

【0025】

(本実施形態に係る論理変換回路に用いられる電位発生装置)

図 1 (a)、(b) は、それぞれ順に、本実施形態に係る論理変換回路に用いられる電位発生装置の平面図および XIb-XIb 線における断面図である。

【0026】

図 1 (a)、(b) において、200 は入力電極、201 は強誘電体キャパシタの上部電極、202 は強誘電体キャパシタの強誘電体膜、203 は強誘電体キャパシタの下部電極、204 はコンタクト、205 は P 型 M I S トランジスタ (以下、P M I S という) の

10

20

30

40

50

基板電極つまりPMIS基板電極、206はN型MISTランジスタ（以下、NMISという）のNMIS基板電極、207はPMISドレイン電極、208は出力電極、209はNMISドレイン電極、210aは第1の層間絶縁膜、210bは第2の層間絶縁膜、211は多結晶ポリシリコンからなるPMISゲート電極、212はNMISゲート電極、213はPMISドレイン領域、214はPMISソース領域、215はNMISソース領域、216aはNMISドレイン領域、217はN型ウェル領域、218はP型ウェル領域、219はLOCOS酸化膜、220はN型トリプルウェル領域、221はP型Si基板、222はN型高濃度コンタクト領域、223はP型高濃度コンタクト領域である。なお、図1(a), (b)には図示されていないが、PMISゲート電極211とN型ウェル領域216との間、NMISゲート電極212とP型ウェル領域217との間には、シリコン酸化膜、シリコン酸窒化膜などのゲート絶縁膜がそれぞれ介在している。

10

【0027】

図1(a), (b)に示すように、P型Si基板221内には、N型ウェル領域216と、P型ウェル領域217とが設けられており、P型ウェル領域217の下面及び側面はN型トリプルウェル領域220によって囲まれている。また、P型Si基板221の表面部には、トランジスタ等が設けられる活性領域を囲むLOCOS酸化膜219が形成されている。また、P型Si基板221の上には、厚いシリコン酸化膜からなる第1の層間絶縁膜210aと第2の層間絶縁膜210bとが順次形成されている。

【0028】

そして、この電位発生装置は、N型ウェル領域217上に形成されたP型MISTランジスタ（PMIS）と、P型ウェル領域218上に形成されたN型MISTランジスタ（NMIS）とを備えている。PMISソース領域214とNMISソース領域215とが共通の出力電極208にコンタクト204を介して電氣的に接続されている。また、NMISドレイン領域216は、電源電圧を受けるNMISドレイン電極209にコンタクト204を介して電氣的に接続され、PMISドレイン領域213は、接地電圧を受けるPMISドレイン電極207にコンタクト204を介して電氣的に接続されている。出力電極208、PMISドレイン電極207及びNMISドレイン電極209は、いずれも第2の層間絶縁膜210bの上に形成されている。また、第2の層間絶縁膜210bの上に、PMIS基板電極205と、P型ウェル領域217とが設けられている。N型ウェル領域216内にはN型高濃度コンタクト領域222が形成されており、PMIS基板電極205は、N型高濃度コンタクト領域222にコンタクト204を介して電氣的に接続されている。P型ウェル領域217内にはP型高濃度コンタクト領域223が形成されており、NMIS基板電極206は、P型高濃度コンタクト領域223にコンタクト204を介して電氣的に接続されている。

20

30

【0029】

強誘電体キャパシタは、第1の層間絶縁膜210aの上に形成された下部電極203と、下部電極203の上に形成された強誘電体膜202と、強誘電体膜202の上に形成された上部電極201とによって構成されている。強誘電体キャパシタの下部電極203は、PMISゲート電極211及びNMISゲート電極212に電氣的に接続され、強誘電体キャパシタの上部電極201は、第2の層間絶縁膜210bの上に設けられた入力電極200に接続されている。

40

【0030】

入力電極200に入力電圧が印加されると、強誘電体膜202に比べてゲート絶縁膜の容量値が非常に小さい場合には、強誘電体膜202に加わる電圧が小さくなるため、強誘電体膜202の残留分極が小さくなり、下部電極203の電圧、つまりPMISゲート電極211及びNMISゲート電極212に印加されるゲートバイアスは小さくなる。また、強誘電体膜202に比べてゲート絶縁膜の容量値が非常に大きい場合には、強誘電体膜202への分配電圧は増すが、やがて分極は飽和してくるため、 $V=Q/C$ からわかるように、下部電極203の電圧、つまりPMISゲート電極211及びNMISゲート電極212に印加されるゲートバイアスはやはり小さくなる。このように、ゲートバイアスを

50

最大にするためには、強誘電体膜 202 とゲート絶縁膜との容量比を最適な値にしなければならない。従って、強誘電体膜 202 とゲート絶縁膜との材料、膜厚を変えないとすると、強誘電体膜 202 とゲート絶縁膜との面積比が重要になる。ここでは、第 1 の層間絶縁膜 210a 上に強誘電体膜 202 を形成しているため、強誘電体膜 202 とゲート絶縁膜との比を容易に調整することができる。

【0031】

次に、この電位発生装置の製造方法について説明する。

【0032】

まず、P 型 Si 基板 221 上に、素子分離として LOCOS 酸化膜 219 を形成する。次に、各 MIS トランジスタの基板電位を独立に制御するために、NMIS トランジスタが形成される領域に、高エネルギーの As イオン注入によって N 型トリプルウェル領域 220 を形成する。N 型トリプルウェル領域 220 は、図示されていないがコンタクトを介して電位制御用電極に接続されており、P 型ウェル領域 217 と N 型トリプルウェル領域 220 が順方向バイアスにならないように N 型トリプルウェル領域 220 の電位が制御される。

10

【0033】

なお、各基板領域の電位を互いに独立に制御するために、ここでは、N 型トリプルウェルを用いたが、SOI 技術を用いてもよい。

【0034】

次に、As イオン注入によって N 型ウェル領域 216 を、B イオン注入によって P 型ウェル領域 217 をそれぞれ形成する。

20

【0035】

その後、基板上に、厚み 10 nm のゲート絶縁膜と、厚み 400 nm の多結晶シリコン膜とを形成した後、多結晶シリコン膜をパターニングすることによって、ゲート長 5 μm 、ゲート幅 50 μm の PMIS ゲート電極 211 と、ゲート長 5 μm 、ゲート幅 25 μm の NMIS ゲート電極 212 とを形成する。

【0036】

そして、PMIS ゲート電極 211 をマスクの一部として用いた B イオン注入により、N 型ウェル領域 216 内に PMIS ドレイン領域 213 と PMIS ソース領域 214 とを形成する。同様に、NMIS ゲート電極 212 をマスクの一部として用いた As イオン注入により、P 型ウェル領域 217 内に NMIS ドレイン領域 216a と NMIS ソース領域 215 とを形成する。

30

【0037】

次に、コンタクト抵抗を低減するために、各ゲート電極 211、212 と、各ソース領域 214、215 と、各ドレイン領域 213、216a と、各高濃度コンタクト領域 222、223 との表面部をシリサイド化する。その後、基板上に、プラズマ CVD による TEOS 膜を堆積して第 1 の層間絶縁膜 210a を堆積する。

【0038】

次に、第 1 の層間絶縁膜 210a を貫通して各ゲート電極 211、212 に到達するホールを形成した後、ホールを埋めるタングステン等のコンタクト 204 を形成する。その後、CVD 法により、第 1 の層間絶縁膜 210a 及びコンタクト 204 の上に、密着層として TiN を堆積した後、スパッタリング法を用いて Pt 膜（白金膜）を堆積する。そして、Pt 膜及び TiN 膜をパターニングして下部電極 203 を形成する。そして、ここでは、下部電極 203 及び第 1 の層間絶縁膜 210a の上に、基板温度 600 $^{\circ}\text{C}$ 程度で面積 50 μm^2 、膜厚 400 μm のチタン酸鉛ランタン（ $(\text{Pb}_{0.85}(\text{La}_{0.1}\text{Ti}_{0.9}))_{0.15}\text{O}_3$ ）膜である PLT 膜をスパッタリング法によって堆積した後、PLT 膜をパターニングして、下部電極 203 の上に強誘電体膜 202 を形成する。その後、強誘電体膜 202、下部電極 203 及び第 1 の層間絶縁膜 210a の上に、スパッタリング法により、Pt 膜を堆積した後、Pt 膜をパターニングして、強誘電体膜 202 の上に、上部電極 201 を形成する。

40

50

【0039】

次に、基板上に、TEOSからなる第2の層間絶縁膜210bを堆積し、第2の層間絶縁膜210bを貫通して、各ソース領域214、215と、各ドレイン領域213、216と、各高濃度コンタクト領域222、223とに到達するホールを形成した後、ホールをタングステン等によって埋めてコンタクト204を形成する。そして、第2の層間絶縁膜210bの上に、PMISドレイン電極207、出力電極208、NMISドレイン電極209、PMIS基板電極205、NMIS基板電極206、入力電極200などを含むA1配線を形成する。

【0040】

このA1配線において、強誘電体キャパシタの上部電極201に電氣的に接続される入力電極200は入力信号を受ける電極であり、PMISソース領域214とNMISソース領域215とに電氣的に接続される出力電極208は出力信号を出力する電極である。NMISドレイン電極209とPMIS基板電極205とは、電源電圧VDDを供給する電源電圧供給部（図示せず）に接続されている。PMISドレイン電極207とNMIS基板電極206とは、接地電圧VSSを供給する接地（図示せず）に接続されている。

【0041】

なお、ここでは、P型Si基板を用いたが、N型Si基板を用いても構わない。

【0042】

図2は、この電位発生装置の等価回路図である。図2に示すように、第2のMISFETであるN型MISトランジスタ（NMISFET）54と第1のMISFETであるP型MISトランジスタ（PMISFET）56との共通のゲート電極であるゲート部52に、第1のキャパシタである強誘電体キャパシタ51が接続されている回路と等価である。

【0043】

そして、N型MISトランジスタ54の一方の拡散領域であるソースとP型MISトランジスタ56のソースとが互いに接続され、かつ、出力端子55に接続されている。N型MISトランジスタ54の他方の拡散領域であるドレインが電源電圧VDDを供給する電源電圧供給部53に接続され、P型MISトランジスタ56のドレインが接地電圧VSSを供給する接地57に接続されている。また、N型MISトランジスタ54の基板電位は接地電圧VSSであり、P型MISトランジスタ56の基板電位は電源電圧VDDである。このように、ソースから出力を取り出す回路は、ソースフォロア回路と呼ばれている。

【0044】

ここで、この電位発生装置であるソースフォロア回路の動作について説明する。ゲート部52の電位（ゲートバイアス）がVgであり、出力端子55の電位がVsであるとする。N型MISトランジスタ54が飽和領域で動作しており、P型MISトランジスタ56がオフ状態にあるものとする。N型MISトランジスタ54の閾値電圧をVtn、P型MISトランジスタ56の閾値電圧をVtpとすると、N型MISトランジスタ54に流れる電流Isは、下記式（2）

$$I_s = \mu_n \cdot C_{ox} \cdot W_n (V_g - V_s - V_{tn})^2 / 2 L_n \quad (2)$$

で表される。ただし、 μ_n は電子の移動度、 C_{ox} はゲート絶縁膜の容量、 W_n はゲート幅、 L_n はゲート長である。

【0045】

P型MISトランジスタ56はオフ状態であるので、非常に大きい抵抗とみなせる。このため、Isはほぼ0である。したがって、式（2）より、出力端子55の電位Vsは、下記式（3）

$$V_s = V_g - V_{tn} \quad (3)$$

により表される。

【0046】

つまり、出力端子55の電位Vsは、ゲート部の電位VgからN型MISトランジスタ54の閾値電圧Vtnだけ小さくなった値となる。そして、出力端子55の電位Vsの範囲

は、VSSからVDDまでの間である。このように、ソースフォロア回路により、入力がほぼそのまま次段の回路に伝達される。さらに、ソースフォロア回路と前段又は次段の回路との間の相互の影響が小さいため、ソースフォロア回路は、回路と回路との間に挿入される緩衝増幅器（バッファ）として使用される。

【0047】

この電位発生装置は、ソースフォロア回路を構成する2つのMISトランジスタ54, 56と、各MISトランジスタ54, 56の共通のゲート電極であるゲート部52と入力端子50との間に強誘電体キャパシタ51を設けて構成されている。そして、強誘電体キャパシタ51の分極によってゲート部52に電荷が誘起されると、これにより生じた電位によりソースフォロア回路の出力端子55から出力するための電圧信号を不揮発で生成することができ

10

【0048】

次に、この電位発生装置の動作特性について、図3, 図4を参照しながら説明する。以下の動作説明においては、電源電圧VDDを0Vとし、接地電圧VSSを-5Vとする。また、N型MISトランジスタ54の閾値電圧を1.0Vとし、P型MISトランジスタ56の閾値電圧を-1.0Vとする。

【0049】

図3(a), (b)は、それぞれ順に、入力端子50の電圧の時間変化を示すタイムチャート、及びゲート部52及び出力端子55の電圧の時間変化を示すタイムチャートである。

20

【0050】

図3(a)に示すように、入力端子50に-10Vのパルス信号が入力されると、強誘電体キャパシタ51に残留分極が生じる。図3(b)に示すように、パルス信号が通過した後も、強誘電体キャパシタ51の残留分極により、ゲート部52の電位が-0.85Vに保持される。次に、このゲート部52の電位が上述のソースフォロア回路を通して出力端子55に伝達されるので、図3(b)に示すように、パルス信号が通過した後も、出力端子55の電位が-2.2Vに保持される。このように、入力端子50にパルス信号を入力することで、入力端子50の電位が0Vに戻った後も、強誘電体キャパシタ51の分極により出力端子55に、負の電位が保持されている。この不揮発性のバイアスにより、入力端子50に常時電圧を印加しなくても、出力端子55の電位を所望の電位に保持することが可能になり、消費電力を抑制することができる。

30

【0051】

次に、この電位発生装置の回路動作におけるゲート部52の電位の安定性について、図4を参照しながら説明する。

【0052】

図4(a), (b), (c)は、それぞれ順に、ゲート部52の電位安定性を調べるためのテスト用回路の構成を示す回路図、入力端子50の電位の時間変化を示すタイムチャート、及びゲート部52の電位の時間変化を示すタイムチャートである。

【0053】

図4(a)に示すように、このテスト用回路は、図2に示す電位発生装置に加えて、第2の入力端子59と、この第2の入力端子59と電位発生装置の出力端子55との間に介在する容量値0.1pFの常誘電体キャパシタ58とを備えている。入力端子50に-10Vのパルス信号を入力すると、ゲート部52に-1.08Vの電位が発生する。その後、第2の入力端子59に5Vのパルス信号を入力することにより、パルス信号の立ち上がり時、立ち下がり時に、それぞれ各MISトランジスタ54, 56と常誘電体キャパシタ58とに過渡電流が流れ、ゲート部52の電位がやや変動するが、ゲート部52の電位の安定な領域では、ゲート部52の電位はほぼ安定して-1.00Vになり、元の設定電圧に復帰することがわかる。

40

【0054】

このため、この電位発生装置においては、従来例のように強誘電体キャパシタの出力電

50

位が変動したときでも、強誘電体キャパシタに誘起された電荷は変動せず、残留分極が安定に保持される。また、過渡電流は、M I S トランジスタの閾値電圧を大きくすることにより抑制することが可能であるが、閾値電圧を大きくすると、式(3)からわかるように、出力に影響を与え、さらに、電位伝達時においてM I S トランジスタが飽和領域で動作しなくなるため、あまり閾値電圧を大きくすることはできない。

【0055】

それに対し、この電位発生装置では、上述したように、N型M I S トランジスタの閾値電圧は1.0Vで、P型M I S トランジスタの閾値電圧は-1.0Vであり、各M I S トランジスタの閾値電圧をそれほど大きくしなくても、最適動作を得ることができる。このように、強誘電体キャパシタ51にソースフォロア回路を接続して電位発生装置を構成することにより、第2の入力端子59にパルス信号を加えて出力端子55の電位を変動させても、ゲート部52の電位はほとんど変動しなかった。

10

【0056】

以上のように、この電位発生装置によると、強誘電体キャパシタ51を利用することにより、入力端子50に常時電圧を加えなくても、残留分極により、出力端子55の電位、つまり出力信号の電圧をほぼ一定に保持することが可能である。これにより、この電位発生装置を利用した回路の消費電力の低減を実現することができる。

【0057】

特に、強誘電体キャパシタ51の出力側電極にソースフォロア回路を接続することにより、ソースフォロア回路の出力部(出力端子55)に電圧変動が加わっても、強誘電体キャパシタ51に発生する残留分極にはほとんど影響を与えることがない。すなわち、残留分極によって誘起された電位が、ソースフォロア回路を通ることにより、安定して次段の回路に伝達される。

20

【0058】

なお、ここでは、強誘電体キャパシタの強誘電体膜を構成する材料としてP L Tを用いたが、本発明の強誘電体膜はヒステリシス性のある分極特性を示す材料であればよい。例えば、チタン酸ビスマス($\text{Bi}_4\text{T i}_3\text{O}_{12}$)(B I T)、タンタル酸ストロンチウムビスマス($\text{S r B i}_2\text{T a}_2\text{O}_9$)(Y 1)、チタン酸ジルコン酸鉛($\text{P b}(\text{Z r}_{0.45}\text{T i}_{0.55})\text{O}_3$)(P Z T)などの強誘電体材料や、電荷の偏りを利用してデータを保存する高分子化合物などを、本発明の電位発生装置の強誘電体キャパシタ中の強誘電体膜として用いることにより、本実施形態と同様の作用効果が得られる。

30

【0059】

(参考例1としての電位発生装置)

図5は、参考例1としての電位発生装置の等価回路である。

【0060】

同図に示すように、この電位発生装置は、図2に示す電位発生装置とほぼ同じ要素を備えているが、本実施形態においては、N型M I S トランジスタ54のゲートが接地57に接続されて、接地電位VSSに維持される点が、図2とは異なっている。

【0061】

この電位発生装置の動作特性は、図2とほぼ同じであるが、ここでは、N型M I S トランジスタ54が高抵抗体として機能するので、P型M I S トランジスタ56の閾値電圧V_{pt}を大きくすることなく、過渡電流を非常に少なくできるという利点がある。

40

【0062】

なお、N型M I S トランジスタ54に代えて、高い抵抗値をもつ抵抗素子を配置してもよい。

【0063】

(参考例2としての電位発生装置)

図6は、参考例2としての電位発生装置の等価回路図である。

【0064】

同図に示すように、この電位発生装置は、図2に示す電位発生装置とほぼ同じ要素を備

50

えているが、本実施形態においては、P型MISトランジスタ56のゲートが電源電圧供給部53に接続されて、電源電圧VDDに維持される点が、図2とは異なっている。

【0065】

この電位発生装置の動作特性は、図2とほぼ同じであるが、ここでは、P型MISトランジスタ56が高抵抗体として機能するので、N型MISトランジスタ54の閾値電圧 V_{pn} を大きくすることなく、過渡電流を非常に少なくできるという利点がある。

【0066】

なお、P型MISトランジスタ56に代えて、高い抵抗値をもつ抵抗素子を配置してもよい。

【0067】

(第1の実施形態)

図7は、第1の実施形態に係る論理変換回路の等価回路図である。

【0068】

本実施形態の論理変換回路は、ソース端子62と、ドレイン端子63と、ゲート絶縁膜66と、ゲート電極とを有するnチャネル型MISトランジスタ(NMISFET61)を備えている。ここで、NMISFET61のゲート電極は、他の端子に接続されていないフローティング状態であるフローティングゲート64である。ソース端子62は、NMISFET61の基板領域と共に接地され、ドレイン端子63は出力端子70に接続されている。出力端子70は、電源電圧VDDを供給するための電源電圧供給端子71に負荷抵抗素子69を介して接続されている。

【0069】

また、フローティングゲート64に容量結合する2個の信号入力部65が設けられている。信号入力部65は、入力端子65aと、入力端子65aに接続される入力ゲート電極65bと、入力ゲート電極65bとフローティングゲート64との間に介在する常誘電体膜65cとによって構成されている。つまり、入力ゲート電極65bとフローティングゲート64とは、常誘電体膜65cによって容量結合している。ただし、信号入力部65は、3つ以上設けられていてもよい。

【0070】

そして、本実施形態においては、制御信号を受ける制御端子67と、フローティングゲート64との間に図2に示す電位発生装置が介在している。すなわち、制御端子67と電位発生装置の入力端子50とが接続され、電位発生装置の出力端子55とフローティングゲート64とが接続されている。

【0071】

本実施形態では、入力部65の各常誘電体膜65cの容量値を0.5pFとし、負荷抵抗素子69の電気抵抗を100k Ω とする。また、N型MISトランジスタ61のゲート長を10 μ m、ゲート幅を50 μ mとし、閾値電圧を-0.8Vとする。電源電圧供給端子71の電圧VDDを5Vとする。

【0072】

次に、本実施形態の回路の動作特性について図8(a)、(b)及び図9を参照しながら説明する。

【0073】

図8(a)、(b)は、それぞれ順に、2つの入力部65の各入力端子65aに入力される入力信号の論理値を変化させたときのフローティングゲート64の電位の時間変化を示すタイムチャート、及び強誘電体キャパシタ51に印加される電圧の時間変化を示すタイムチャートである。ここでは、2つの入力部65の各入力端子65aに、(0, 0), (1, 1), (0, 1), (1, 0)の論理値信号を入力した後、制御端子67に-10Vのパルス信号を印加し、強誘電体キャパシタ51の強誘電体膜に残留電荷を発生させる。その後、2つの入力部65の各入力端子65aに、論理値信号(0, 0), (1, 1), (0, 1), (1, 0)を繰り返して入力する。

【0074】

10

20

30

40

50

このとき、図8(a), (b)からわかるように、強誘電体キャパシタ51に印加される電圧は、パルス信号を印加していない領域では、ほぼ一定である。これは、本実施形態の論理変換回路のフローティングゲート64は、図4(a)に示す常誘電体キャパシタ58の出力端子55につながる電極に相当することから、図4(c)に示すように、出力端子55に印加される電圧の変動によっては強誘電体キャパシタにつながるゲート部52の電圧が変動を受けていないからわかる。つまり、本実施形態の論理変換回路においては、フローティングゲート64と制御端子67との間に、図2に示す電位発生装置Egnが介在していることにより、フローティングゲート64の電位VFが強誘電体キャパシタ51の強誘電体膜に印加される電圧に影響をほとんど与えることがなく、強誘電体膜の電圧をほぼ一定に保持することができる。

10

【0075】

具体的には、図8(a)の領域Rxに示すように、制御端子67にパルス信号が印加される前においては、論理値(0, 1)の入力を受けたときのフローティングゲート64の電位と、論理値(1, 0)の入力を受けたときのフローティングゲート64の電位とがほぼ同じである。また、図8(a)の領域Ryに示すように、制御端子67にパルス信号が印加された後において、1回目と2回目の同じ論理値の入力を受けたときのフローティングゲート64の電位がほぼ同じである。これは、強誘電体に加わる電圧がほとんど変動せず、強誘電体に誘起される残留電荷が変動しないからである。

【0076】

図9は、図8(a)と同じ論理値入力に対する出力端子70の電位Voutの時間変化を示すタイムチャートである。この例では、N型MISトランジスタ61の閾値電圧を、制御端子67にパルス信号を加える前において、2つの入力部65のどちらかに論理値"1"が印加されるときにフローティングゲート64の電位より小さくし、制御端子67にパルス信号が印加された後において、2つの入力部65のどちらかに論理値"0"が印加されるときにフローティングゲート64の電位より大きくしている。図9に示されるように、本実施形態の論理変換回路は、制御端子67にパルス信号が印加される前はNOR回路として動作しており、制御端子67にパルス信号が印加された後はNAND回路として動作している。

20

【0077】

本実施形態では、前述したようにN型MISトランジスタの閾値電圧を-0.8Vとした。さらに、強誘電体キャパシタに誘起された残留電荷によって論理の変換が可能であることがわかる。このように、本実施形態により、強誘電体膜に誘起される残留電荷が変動しないため、論理変換回路の回路動作が従来例に比べて極めて安定になることが実現された。また、本実施形態の回路動作がNAND回路として動作しているとき、強誘電体の分極をリセットすることにより、NAND回路動作からNOR回路動作に切り換えることが可能であることは言うまでもない。

30

【0078】

なお、本実施形態では、インバータ回路として、N型MISトランジスタと負荷抵抗の回路を用いたが、P型MISトランジスタと負荷抵抗を用いても構わない。

【0079】

40

(第1の参考形態)

図10は、第1の参考形態に係る論理変換回路の等価回路図である。本参考形態に係る論理変換回路は、図7に示す構造における負荷抵抗素子69に代えて、NMISFET61に直列に接続されるpチャネル型MISトランジスタ(PMISFET73)を備えている。つまり、CMISデバイスからなるインバータ回路を設けている。そして、PMISFET73のソースは電源電圧VDDを供給する電源電圧供給部に接続され、PMISFET73のドレインは、NMISFET61のドレインに接続されている。出力端子70は、NMISFET61のドレイン及びPMISFET73のドレインに接続されている。また、フローティングゲート64は、NMISFET61及びPMISFET73に跨って設けられており、フローティングゲート64とPMISFET73の基板領域との間

50

には、常誘電体膜 7 4 が介在している。

【0080】

本参考形態の回路構成は、第 1 の実施形態とほぼ同じであるが、インバータ回路が C M I S 回路によって構成されている点が異なる。本参考形態における回路の動作特性は、第 1 の実施形態と同じである。特に、本参考形態では、第 1 の実施形態に比べ、インバータ回路に C M I S 回路を用いているため、消費電力をさらに抑制することが可能となる。

【0081】

また、図 1 0 に示す構成により、強誘電体キャパシタ 5 1 (図 2 参照) の強誘電体膜に印加される電圧が図 7 に示すフローティングゲート 6 4 の電位の変動による影響をほとんど受けないので、パルス信号を図 8 (a) (b) に示すようなタイミングで印加する必要はない。つまり、入力信号の値に拘わらずパルス信号を印加して、論理変換回路の機能を NOR 回路動作と NAND 回路動作との間で切り換えることができる利点がある。

【0082】

(参考形態 2)

図 1 1 は、参考形態 2 に係る半導体集積回路装置の構成を示すブロック回路図である。同図に示すように、本参考形態 2 の半導体集積回路装置は、アレイ状に配置された論理変換回路 8 0 を備え、各論理変換回路 8 0 同士がスイッチ素子 8 1 を介して配線 8 2 により接続された構造となっている。本実施形態における各論理変換回路 8 0 としては、第 1 の実施形態に係る論理変換回路 (図 7 参照) が用いられる。そして、アレイの列に沿って延びる第 1 の制御信号線 8 3 と、アレイの行に沿って延びる第 2 の制御信号線 8 4 とを備え、第 1 制御信号線 8 3 及び第 2 制御信号線 8 4 から供給される制御信号により、各論理変換回路 8 0 が NOR 動作又は NAND 動作を制御信号に応じて切り換えられる。

【0083】

本参考形態 2 によると、選択された第 1 制御信号線 8 3 に -5 V のパルス状の電圧信号を、選択された第 2 制御信号線 8 4 に -5 V のパルス状の電圧信号を同時に加えることによって、選択された第 1 制御信号線 8 3 と選択された第 2 制御信号線 8 4 との交点に位置する論理変換回路 8 0 のみの回路動作の切り換え (NOR 動作又は NAND 動作の切り換え) を行なうことができる。このように、第 1, 第 2 制御信号線 8 3, 8 4 による論理変換回路 8 0 の回路動作の制御を行なうことが可能となる。

【0084】

また、本参考形態 2 では、スイッチ素子 8 1 としてヒューズトランジスタを用いており、半導体集積回路装置の基本的な構造を形成した後に、製品の種類や用途に応じて、ヒューズトランジスタの断接を行なって、半導体集積回路の仕様や論理を最終的に再構成するという設計の柔軟性を実現することができる。

【0085】

また、スイッチ素子 8 1 として、M I S トランジスタ、フラッシュ型 E E P R O M, M F M I S などを用いることができる。その場合には、スイッチ素子 8 1 を利用して、半導体集積回路の仕様や論理を使用中に再構成することが可能になる。

【0086】

(参考形態 3)

図 1 2 (a), (b) は、参考形態 3 に係る M I S F E T の構成を示す平面図及び縦断面図である。本実施形態の M I S F E T 9 0 は、例えば、図 2 に示す電位発生装置中の N M I S F E T 5 4 又は P M I S F E T 5 6 である。

【0087】

本参考形態 3 の M I S F E T 9 0 は、ゲート電極 9 1 と、ゲート電極 9 1 の下方に設けられたゲート絶縁膜 9 2 と、S i 基板内に形成されたソース領域 9 3 及びドレイン領域 9 4 に加えて、ゲート電極 9 1 の側面上に設けられたサイドウォール 9 5 を備えている。すなわち、ゲート電極 9 1 の側面上にサイドウォール 9 5 を形成した後、ゲート電極 9 1 及びサイドウォール 9 5 をマスクの一部として用いて、A s イオン又は B イオンを注入することにより、ソース領域 9 3 及びドレイン領域 9 4 を形成する。このような製造方法によ

って形成されたM I S F E Tにおいては、ゲート長を L_g 、ゲート幅を W_g 、ゲート・ソースオーバーラップ量を L_{gs} とすると、ゲート・チャネル領域間の容量 C_{ox} と、ゲート・ソースオーバーラップ容量 C_{gs} とは、それぞれ下記式(4)、(5)

$$C_{ox} = (\varepsilon \cdot \varepsilon_0 \cdot L_g \cdot W_g) / t_{ox} \quad (4)$$

$$C_{ds} = (\varepsilon \cdot \varepsilon_0 \cdot L_{gs} \cdot W_g) / t_{ox} \quad (5)$$

によって表される。

【0088】

したがって、 $L_g \gg L_{gs}$ であれば、 $C_{ox} \gg C_{gs}$ となり、以下の作用により、強誘電体膜の分極の変動をより効果的に抑制することができる。

【0089】

図13(a)、(b)、(c)は、それぞれ順に、本参考形態3のM I S F E Tが配置される電位発生装置の等価回路図、入力端子から入力するときのソースフォロア回路の等価キャパシタ C_1 を示す回路図、及び出力端子の電位が変動するときのソースフォロア回路の等価キャパシタを示す回路図である。図13(b)、(c)には、等価キャパシタ C_1 、 C_2 として、N M I S F E T 54又はP M I S F E T 56のいずれか一方のキャパシタしか示されていないが、図13(a)委に示す構造の場合には、双方のM I S F E T 54、56に等価キャパシタ C_1 、 C_2 がそれぞれ存在する。

【0090】

図13(a)に示す電位発生装置の入力端子50から書き込み用電圧が印加された場合には、図13(b)に示すように、等価キャパシタ C_1 は、ゲート・チャネル間容量 C_{ox} と、ゲート・ソースオーバーラップ容量 C_{gs} とが並列に接続された状態になる。そして、強誘電体キャパシタ51に印加される電圧 V_f と、M I S F E Tに印加される電圧 V_c との分配比がほぼ同じになるように最適化することにより、強誘電体膜に十分大きい電圧が印加され、大きい残留分極が得られる。

【0091】

また、図13(c)に示すように、電位発生装置の出力端子55の電位が変動した場合には、ソースフォロア回路の等価キャパシタ C_2 は、ゲート・ソースオーバーラップ容量 C_{gs} だけになる。したがって、容量 C_{gs} を、例えば $C_{gs} = C_{ox} / 100$ のように、十分小さく設定しておくことにより、強誘電体キャパシタ51に分配される電圧 V_f を等価キャパシタ C_2 に印加される電圧に比べて十分小さくすることができる。よって、出力端子55の電圧変動によっても強誘電体膜の分極状態がほとんど影響を受けないことになる。

【0092】

例えば、図7に示す論理変換回路の電位発生装置Egn中のN M I S F E T又はP M I S F E Tを本実施形態のM I S F E T 90により構成することにより、強誘電体膜への書き込み機能を高く維持しつつ、フローティングゲート(図7に示すフローティングゲート64)の電圧の変動による強誘電体膜の分極の変動を抑制することができる。

【0093】

本参考形態3の電位発生装置は、図10に示す第2の実施形態の論理変換回路や、図11に示す参考形態2における論理変換回路にも適用することができる。

【0094】

(参考形態4)

本参考形態4においては、図2に示す電位発生装置の構造において、出力端子55の電位に応じて電源電圧 V_{DD} と接地電圧 V_{SS} との電位を変化させるようにする。つまり、図7に示すように、電位発生装置Egnが論理変換回路中に組み込まれたときには、フローティングゲート64(図7参照)の電位に応じて電源電圧 V_{DD} と接地電圧 V_{SS} とを変化させることになる。

【0095】

図2に示す電位発生装置において、出力端子55(フローティングゲート)の電位は、 V_{SS} から V_{DD} までの範囲にある。

【0096】

10

20

30

40

50

そして、電源電圧VDDを5Vとし、接地電圧VSSを-5Vとすると、出力端子55（フローティングゲート）の電位が1Vのときには、PMISFET56のソース・ドレイン間電圧は6Vと非常に大きくなる。

【0097】

一方、電源電圧VDDを5Vとし、接地電圧VSSを0Vとすると、出力端子55（フローティングゲート）の電位が1Vのときには、PMISFET56のソース・ドレイン間電圧は1Vと非常に小さくなる。

【0098】

そこで、出力端子55（フローティングゲート）の電位が正のときには、VDD=5（V）、VSS=0（V）とし、出力端子55（フローティングゲート）の電位が負のときには、VDD=0（V）、VSS=-5（V）とすることにより、ソース・ドレイン間電圧を適正な範囲に維持することができる。そして、このことにより、ゲート・ソース間の電圧を小さくすることができるので、強誘電体膜に印加される電圧を小さく維持することができる。強誘電体膜の分極の変動を抑制することができる。

【0099】

本実施形態の電位発生装置は、図10に示す参考形態1の論理変換回路や、図11に示す参考形態2における論理変換回路にも適用することができる。

【0100】

（参考形態5）

図14は、参考形態5に係る電位発生装置の等価回路図である。同図に示すように、本参考形態5の電位発生装置は、図2に示す電位発生装置の入力端子50にパストランジスタ96を接続した構造を有している。パストランジスタ96のゲートには、制御信号端子98が接続され、基板領域にはバックゲート端子99が接続され、ソースには入力端子50が接続され、ドレインには前段入力端子97が接続されている。

【0101】

そして、制御信号端子98には、図8（a）に示すパルス信号が入力されたときのみパストランジスタ96をONとし、それ以外のときにはOFFとするゲートバイアスが印加される。また、バックゲート端子99には、パストランジスタ96がONのときには0Vの電圧が印加され、パストランジスタ96がOFFのときには-1Vの電圧が印加される。言い換えると、パストランジスタ96のOFF時には、ON時よりも-1Vだけ基板領域の電圧が低く設定される。

【0102】

本参考形態5によると、このようなパストランジスタ96のON、OFF制御及びバックゲート端子99の電圧制御により、パストランジスタ96がOFFになっていると、ドレイン・ソース容量Cdsが小さいので、強誘電体キャパシタ51には電圧がほとんど分配されずに、ドレイン・ソース容量Cdsに電圧が大きく分配される。その結果、強誘電体キャパシタ51の分極の変動を抑制することができる。

【産業上の利用可能性】

【0103】

本発明によれば、安定した論理変換回路が提供される。

【図面の簡単な説明】

【0104】

【図1】（a）、（b）は、それぞれ順に、電位発生装置の平面図およびXIIb-XIIb線における断面図である。

【図2】図1の電位発生装置の等価回路図である。

【図3】（a）、（b）は、それぞれ順に、入力端子の電圧の時間変化を示すタイムチャート、及びゲート部及び出力端子の電圧の時間変化を示すタイムチャートである。

【図4】（a）、（b）、（c）は、それぞれ順に、ゲート部の電位安定性を調べるためのテスト用回路の構成を示す回路図、入力端子の電位の時間変化を示すタイムチャート、及びゲート部の電位の時間変化を示すタイムチャートである。

【図 5】本発明の参考例 1 としての電位発生装置の等価回路である。

【図 6】本発明の参考例 2 としての電位発生装置の等価回路図である。

【図 7】本発明の第 1 の実施形態に係る論理変換回路の等価回路図である。

【図 8】(a), (b) は、それぞれ順に、第 1 の実施形態における 2 つの入力部の各入力端子に入力される入力信号の論理値を変化させたときのフローティングゲートの電位の時間変化を示すタイムチャート、及び強誘電体キャパシタに印加される電圧の時間変化を示すタイムチャートである。

【図 9】第 1 の実施形態における図 8 (a) と同じ論理値入力に対する出力端子の電位の時間変化を示すタイムチャートである。

【図 10】本発明の参考形態 1 に係る論理変換回路の等価回路図である。

【図 11】本発明の参考形態 2 に係る論理変換回路の構成を示すブロック回路図である。

【図 12】(a), (b) は、本発明の参考形態 3 に係る M I S F E T の構成を示す平面図及び縦断面図である。

【図 13】(a), (b), (c) は、それぞれ順に、参考形態 3 の M I S F E T が配置される電位発生装置の等価回路図、入力端子から入力するときのソースフォロア回路の等価キャパシタを示す回路図、及び出力端子の電位が変動するときのソースフォロア回路の等価キャパシタを示す回路図である。

【図 14】参考形態 5 に係る電位発生装置の等価回路図である。

【図 15】従来の公報に記載されている第 2 の従来例に係るニューロン素子（論理変換回路）の等価回路図である。

【図 16】従来例における制御端子に負のパルス信号を加えたときの入力信号に対する各部の電荷量を出力信号の論理値とを表にして示す図である。

【図 17】従来例における制御端子にさらに振幅の大きい負のパルス信号を加えたときの入力信号に対する各部の電荷量を出力信号 Y の論理値とを表にして示す図である。

【図 18】(a), (b) は、それぞれ順に、従来例に係るニューロン素子のフローティングゲートの電位の時間変化を示すタイミングチャート、及び強誘電体膜に印加される電圧の時間変化を示すタイミングチャートである。

【符号の説明】

【0105】

50 第 2 の電極

51 強誘電体キャパシタ

52 第 1 の電極

53 第 1 の電圧供給部

54 第 2 の M I S F E T

55 電圧出力部

57 第 2 の電圧供給部

56 第 1 の M I S F E T

58 常誘電体キャパシタ

61 n チャネル型 M I S トランジスタ

62 ソース端子

63 ドレイン端子

64 フローティングゲート

65 複数の信号入力部

65a 入力端子

65c 常誘電体膜

66 ゲート絶縁膜

67 制御端子

69 負荷抵抗素子

70 出力端子

71 電源電圧供給端子

10

20

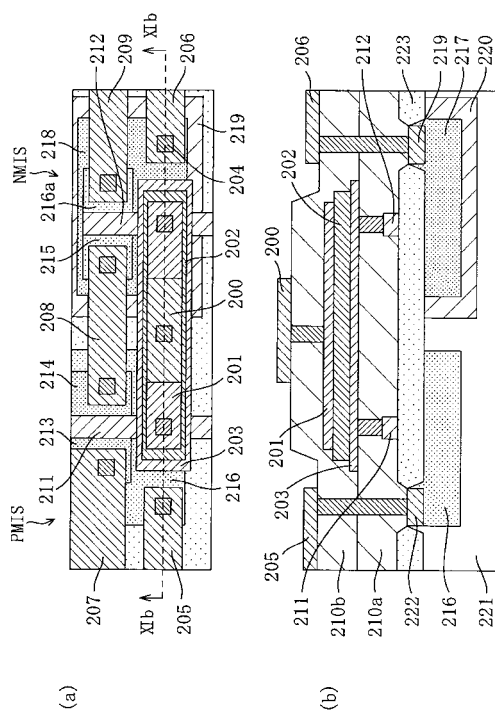
30

40

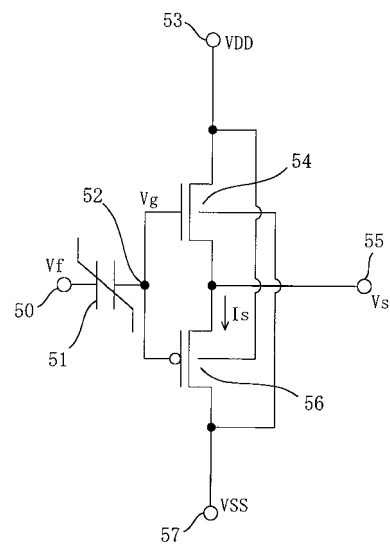
50

2 1 1 第 1 のゲート電極
 2 1 2 第 2 のゲート電極
 E n g 電位発生装置

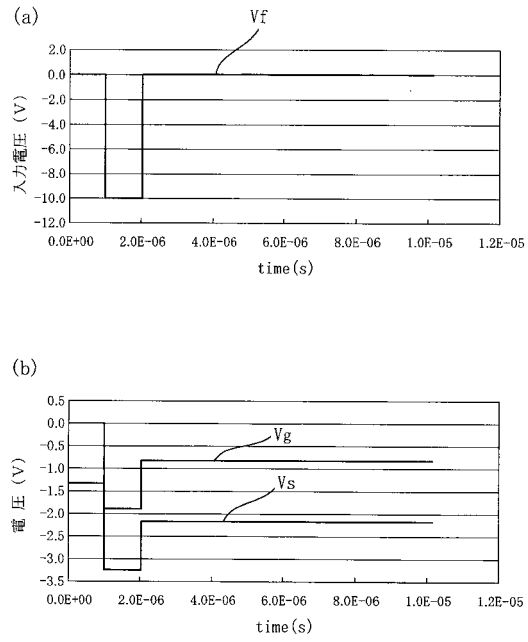
【図 1】



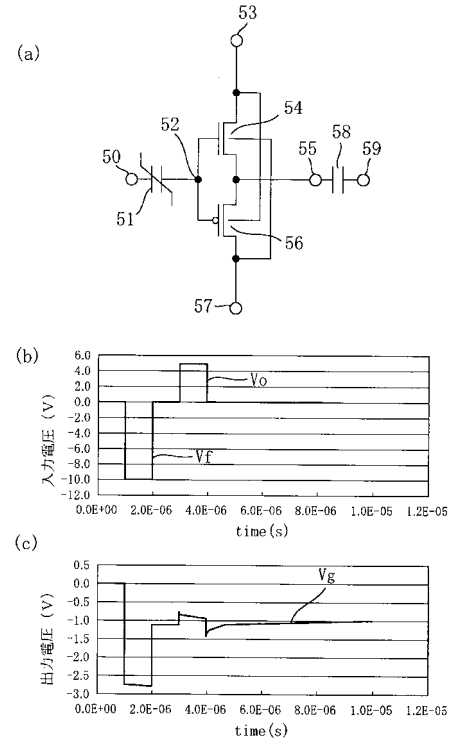
【図 2】



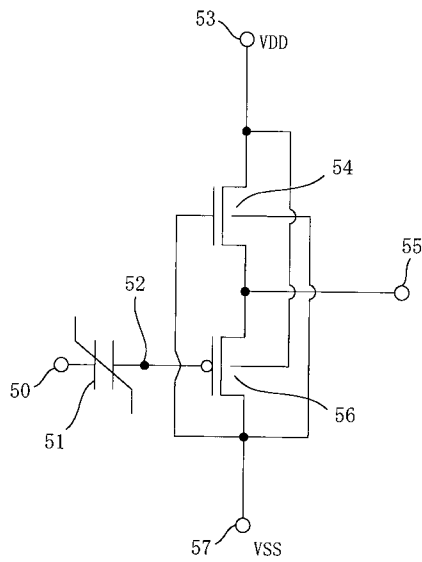
【図 3】



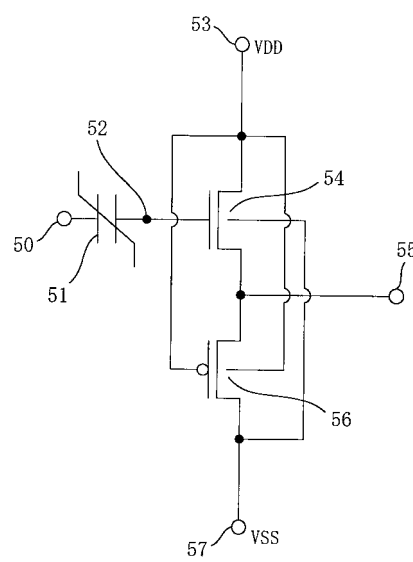
【図 4】



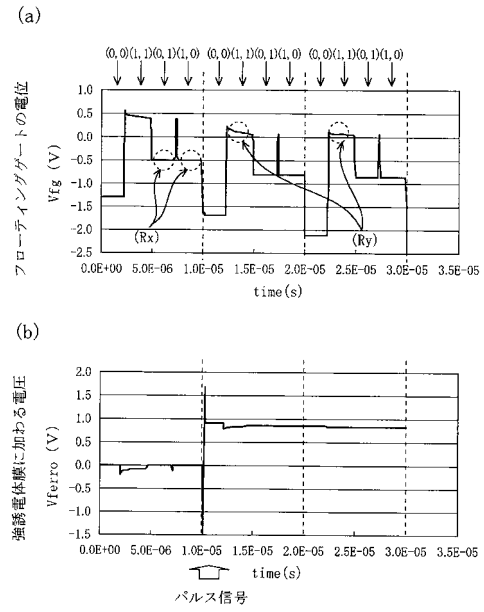
【図 5】



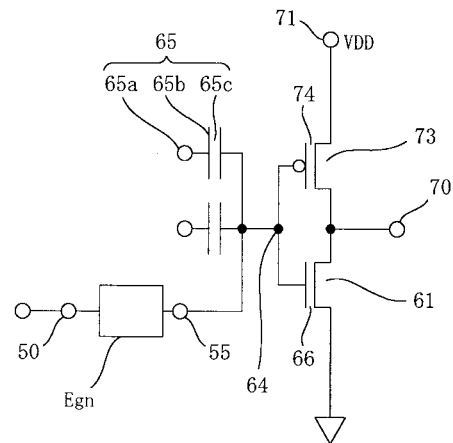
【図 6】



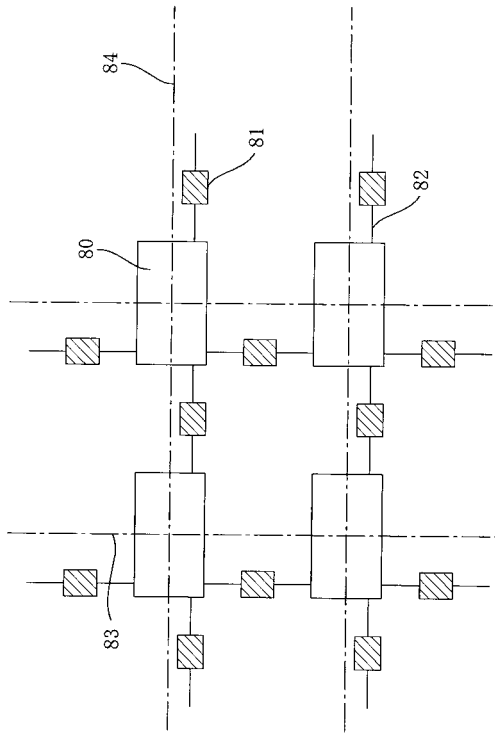
【图 8】



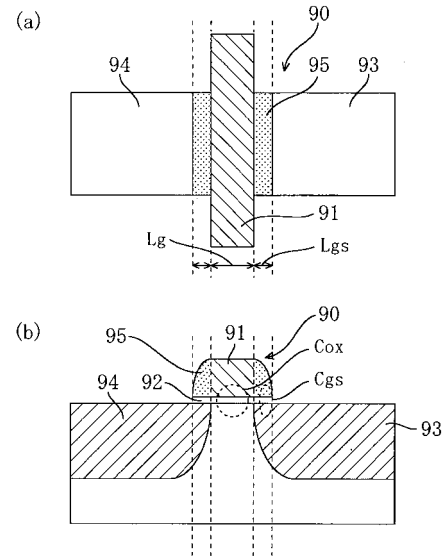
【図 10】



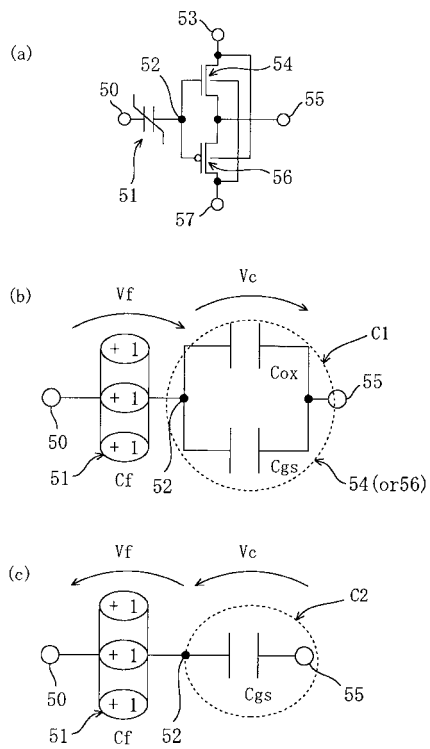
【図 1 1】



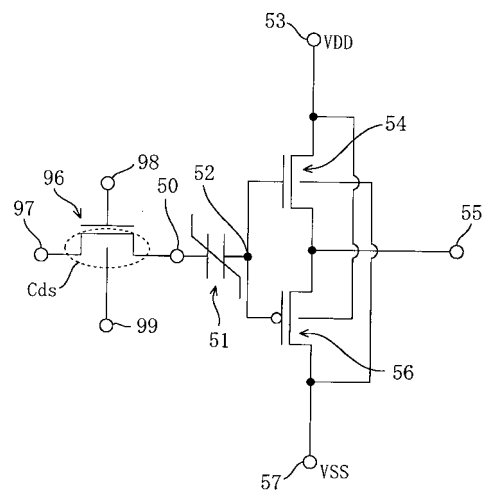
【図 1 2】



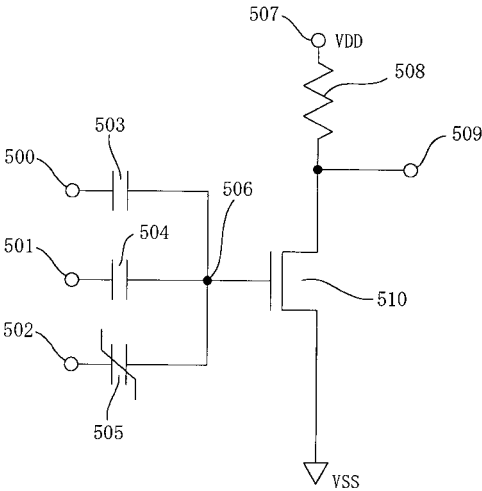
【図 1 3】



【図 1 4】



【図 1 5】



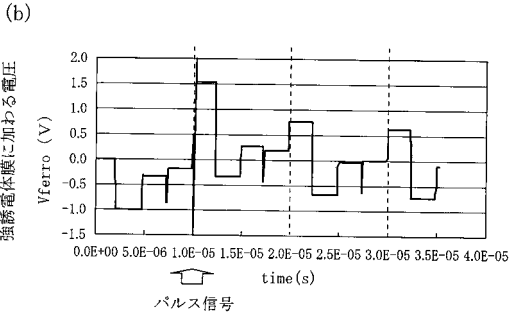
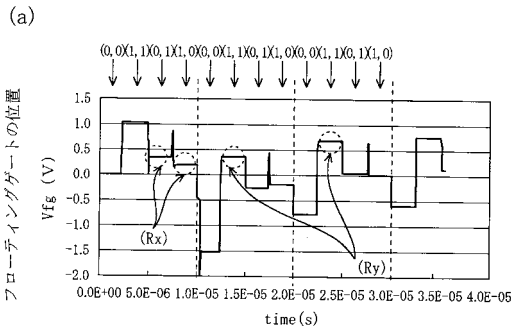
【図 1 6】

入力		電荷量				出力
X1	X2	X1	X2	CR	ϕF	Y
"0"	"0"	0	0	$-Q_0/2$	$-Q_0/2$	"1"
"0"	"1"	0	Q_0	$-Q_0/2$	$Q_0/2$	"0"
"1"	"0"	Q_0	0	$-Q_0/2$	$Q_0/2$	"0"
"1"	"1"	Q_0	Q_0	$-Q_0/2$	$3Q_0/2$	"0"

【図 1 7】

入力		電荷量				出力
X1	X2	X1	X2	CR	ϕF	Y
"0"	"0"	0	0	$-3Q_0/2$	$-3Q_0/2$	"1"
"0"	"1"	0	Q_0	$-3Q_0/2$	$-Q_0/2$	"1"
"1"	"0"	Q_0	0	$-3Q_0/2$	$-Q_0/2$	"1"
"1"	"1"	Q_0	Q_0	$-3Q_0/2$	$Q_0/2$	"0"

【図 1 8】



フロントページの続き

(51)Int.Cl.		F I	
<i>G 1 1 C</i>	<i>11/22</i>	<i>(2006.01)</i>	<i>H 0 1 L</i> 27/08 3 2 1 A
<i>H 0 1 L</i>	<i>21/8246</i>	<i>(2006.01)</i>	<i>G 1 1 C</i> 17/00 6 0 1 Z
<i>H 0 1 L</i>	<i>27/105</i>	<i>(2006.01)</i>	<i>H 0 3 K</i> 19/00 1 0 1 F
<i>H 0 1 L</i>	<i>21/8238</i>	<i>(2006.01)</i>	<i>H 0 3 K</i> 19/20
<i>H 0 1 L</i>	<i>27/092</i>	<i>(2006.01)</i>	
<i>G 1 1 C</i>	<i>16/02</i>	<i>(2006.01)</i>	
<i>H 0 3 K</i>	<i>19/0175</i>	<i>(2006.01)</i>	
<i>H 0 3 K</i>	<i>19/20</i>	<i>(2006.01)</i>	

(31)優先権主張番号 特願2001-293793(P2001-293793)
 (32)優先日 平成13年9月26日(2001.9.26)
 (33)優先権主張国 日本国(JP)
 (31)優先権主張番号 特願2001-330438(P2001-330438)
 (32)優先日 平成13年10月29日(2001.10.29)
 (33)優先権主張国 日本国(JP)

(74)代理人 100115691
 弁理士 藤田 篤史
 (74)代理人 100117581
 弁理士 二宮 克也
 (74)代理人 100117710
 弁理士 原田 智雄
 (74)代理人 100121728
 弁理士 井関 勝守
 (72)発明者 上田 路人
 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 (72)発明者 豊田 健治
 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 (72)発明者 森田 清之
 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 (72)発明者 大塚 隆
 大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 正山 旭

(56)参考文献 特開2001-110916(JP, A)
 特表平08-511895(JP, A)
 特開平07-106528(JP, A)
 特開2002-246487(JP, A)
 特開2002-198497(JP, A)
 特開2000-323671(JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 21/8247
G 0 6 N 3/063
G 1 1 C 11/22
G 1 1 C 16/02

H01L	21/8238
H01L	21/8246
H01L	27/092
H01L	27/105
H01L	27/115
H01L	29/788
H01L	29/792
H03K	19/0175
H03K	19/20