



(12) 发明专利

(10) 授权公告号 CN 101207156 B

(45) 授权公告日 2011. 03. 23

(21) 申请号 200710159921. 2

US 6489632 B1, 2002. 12. 03, 全文 .

(22) 申请日 2007. 12. 20

CN 1388591 A, 2003. 01. 01, 全文 .

(30) 优先权数据

US 5849611 A, 1998. 12. 15, 全文 .

2006-343412 2006. 12. 20 JP

审查员 穆堃

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 冈本悟 关口庆一

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 29/786 (2006. 01)

H01L 29/423 (2006. 01)

H01L 21/336 (2006. 01)

H01L 21/28 (2006. 01)

(56) 对比文件

US 5627084 A, 1997. 05. 06, 全文 .

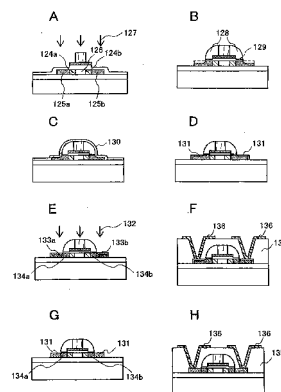
权利要求书 4 页 说明书 19 页 附图 18 页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明的目的在于提高半导体装置的工作特性和可靠性。本发明涉及一种半导体装置,它包括:具有沟道形成区、第一低浓度杂质区、第二低浓度杂质区、以及包括硅化物层的高浓度杂质区的岛状半导体膜;栅绝缘膜;中间夹着所述栅绝缘膜与所述沟道形成区以及所述第一低浓度杂质区重叠的第一栅电极;中间夹着所述栅绝缘膜与所述沟道形成区重叠的第二栅电极;形成在所述第一栅电极以及所述第二栅电极的侧面的侧壁,其中,所述栅绝缘膜的所述第二低浓度杂质区上的膜厚度薄于其以外的区域上的膜厚度。



1. 一种半导体装置,包括:

岛状半导体膜,所述岛状半导体膜包括:

沟道形成区;

包括硅化物层的高浓度杂质区;

在所述沟道形成区和所述高浓度杂质区之间的第一低浓度杂质区;以及

在所述第一低浓度杂质区和所述高浓度杂质区之间的第二低浓度杂质区;

在所述沟道形成区、所述第一低浓度杂质区以及所述第二低浓度杂质区上的栅绝缘膜;

与所述沟道形成区以及所述第一低浓度杂质区重叠的第一栅电极,所述栅绝缘膜夹在所述第一栅电极与所述沟道形成区之间以及所述第一栅电极与所述第一低浓度杂质区之间;

在所述第一栅电极上的第二栅电极,所述第二栅电极与所述沟道形成区重叠,所述栅绝缘膜和所述第一栅电极夹在所述第二栅电极与所述沟道形成区之间;以及

形成在所述第一栅电极以及所述第二栅电极的侧面上的侧壁,

其中,在所述第二低浓度杂质区上的区域中的所述栅绝缘膜的厚度薄于在所述沟道形成区和所述第一低浓度杂质区上的区域中的所述栅绝缘膜的厚度,

并且,所述第二低浓度杂质区的杂质浓度的峰值位于所述岛状半导体膜内的下部。

2. 根据权利要求1所述的半导体装置,其中所述硅化物层包括选自镍、钛、钴和铂中的一种元素或者这些元素中的至少两种。

3. 根据权利要求1所述的半导体装置,

其中,在所述第二低浓度杂质区上的区域中的所述栅绝缘膜的厚度为5nm至40nm,

并且,在所述沟道形成区和所述第一低浓度杂质区上的区域中的所述栅绝缘膜的厚度为20nm至50nm。

4. 一种半导体装置,包括:

岛状半导体膜,所述岛状半导体膜包括:

沟道形成区;

高浓度杂质区;以及

在所述沟道形成区和所述高浓度杂质区之间的低浓度杂质区;

在所述沟道形成区以及所述低浓度杂质区上的栅绝缘膜;

与所述沟道形成区重叠的栅电极,所述栅绝缘膜夹在所述栅电极与所述沟道形成区之间;以及

形成在所述栅电极的侧面上的侧壁,

其中,在所述低浓度杂质区上的区域中的所述栅绝缘膜的厚度薄于在所述沟道形成区上的区域中的所述栅绝缘膜的厚度,

并且,所述低浓度杂质区的杂质浓度的峰值位于所述岛状半导体膜内的下部。

5. 根据权利要求4所述的半导体装置,

其中,在所述低浓度杂质区上的区域中的所述栅绝缘膜的厚度为5nm至40nm,

并且,在所述沟道形成区上的区域中的所述栅绝缘膜的厚度为20nm至50nm。

6. 一种半导体装置,包括:

岛状半导体膜,所述岛状半导体膜包括:
沟道形成区;
包括硅化物层的高浓度杂质区;以及
在所述沟道形成区和所述高浓度杂质区之间的低浓度杂质区;
在所述沟道形成区以及所述低浓度杂质区上的栅绝缘膜;
与所述沟道形成区重叠的栅电极,所述栅绝缘膜夹在所述栅电极与所述沟道形成区之间;以及

形成在所述栅电极的侧面上的侧壁,

其中,在所述低浓度杂质区上的区域中的所述栅绝缘膜的厚度薄于在所述沟道形成区上的区域中的所述栅绝缘膜的厚度,

并且,所述低浓度杂质区的杂质浓度的峰值位于所述岛状半导体膜内的下部。

7. 根据权利要求6所述的半导体装置,其中所述硅化物层包括选自镍、钛、钴和铂中的一种元素或者这些元素中的至少两种。

8. 根据权利要求6所述的半导体装置,

其中,在所述低浓度杂质区上的区域中的所述栅绝缘膜的厚度为5nm至40nm,

并且,在所述沟道形成区上的区域中的所述栅绝缘膜的厚度为20nm至50nm。

9. 一种半导体装置,包括:

岛状半导体膜,所述岛状半导体膜包括:

沟道形成区;

高浓度杂质区;

在所述沟道形成区和所述高浓度杂质区之间的第一低浓度杂质区;以及

在所述第一低浓度杂质区和所述高浓度杂质区之间的第二低浓度杂质区;

在所述沟道形成区、所述第一低浓度杂质区以及所述第二低浓度杂质区上的栅绝缘膜;

在所述栅绝缘膜上的第一栅电极,所述第一栅电极与所述沟道形成区以及所述第一低浓度杂质区重叠,所述栅绝缘膜夹在所述第一栅电极与所述沟道形成区之间以及所述第一栅电极与所述第一低浓度杂质区之间;

与所述沟道形成区重叠的第二栅电极,所述栅绝缘膜和所述第一栅电极夹在所述第二栅电极与所述沟道形成区之间;以及

形成在所述第一栅电极以及所述第二栅电极的侧面上的侧壁,

其中,在所述第二低浓度杂质区上的区域中的所述栅绝缘膜的厚度薄于在所述沟道形成区和所述第一低浓度杂质区上的区域中的所述栅绝缘膜的厚度,

并且,所述第二低浓度杂质区的杂质浓度的峰值位于所述岛状半导体膜内的下部。

10. 根据权利要求9所述的半导体装置,

其中,在所述第二低浓度杂质区上的区域中的所述栅绝缘膜的厚度为5nm至40nm,

并且,在所述沟道形成区和所述第一低浓度杂质区上的区域中的所述栅绝缘膜的厚度为20nm至50nm。

11. 一种半导体装置的制造方法,包括如下步骤:

在衬底上形成岛状半导体膜;

在所述岛状半导体膜上形成栅绝缘膜；

在所述栅绝缘膜上形成第一导电膜并且在所述第一导电膜上形成第二导电膜；

蚀刻所述第二导电膜来形成第三导电膜；

蚀刻所述第一导电膜来形成第一栅电极；

蚀刻所述第三导电膜来形成第二栅电极；

以所述第二栅电极为掩模，将第一杂质元素掺杂到所述岛状半导体膜，来在所述第二栅电极下形成沟道形成区且在重叠于所述第一栅电极的区域中形成第一低浓度杂质区；

覆盖所述栅绝缘膜、所述第一栅电极、以及所述第二栅电极地形成绝缘层；

蚀刻所述绝缘层，来在所述第一栅电极以及所述第二栅电极的侧面上形成侧壁，且去掉所述栅绝缘膜中的不被所述侧壁覆盖的区域，来使所述岛状半导体膜中的不被所述侧壁覆盖的区域露出；

覆盖所述侧壁、所述岛状半导体膜的区域地形成金属膜；

加热所述金属膜来在所述岛状半导体膜的区域中形成硅化物层；以及

以所述侧壁、所述第一栅电极、以及所述第二栅电极为掩模，将第二杂质元素掺杂到所述岛状半导体膜，来在所述岛状半导体膜的区域中形成高浓度杂质区，且形成被所述栅绝缘膜以及所述侧壁覆盖的第二低浓度杂质区，

其中，在所述第二低浓度杂质区上的区域中的所述栅绝缘膜的厚度薄于在所述沟道形成区和所述第一低浓度杂质区上的区域中的所述栅绝缘膜的厚度，

并且，所述第二低浓度杂质区的杂质浓度的峰值位于所述岛状半导体膜内的下部。

12. 根据权利要求 11 所述的半导体装置的制造方法，其中所述硅化物层包括选自镍、钛、钴和铂中的一种元素或者这些元素中的至少两种。

13. 根据权利要求 11 所述的半导体装置的制造方法，

其中，在所述第二低浓度杂质区上的区域中的所述栅绝缘膜的厚度为 5nm 至 40nm，

并且，在所述沟道形成区和所述第一低浓度杂质区上的区域中的所述栅绝缘膜的厚度为 20nm 至 50nm。

14. 一种半导体装置的制造方法，包括如下步骤：

形成岛状半导体膜；

在所述岛状半导体膜上形成栅绝缘膜；

在所述栅绝缘膜上形成第一导电膜并且在所述第一导电膜上形成第二导电膜；

蚀刻所述第二导电膜来形成第三导电膜；

蚀刻所述第一导电膜来形成第一栅电极；

蚀刻所述第三导电膜来形成第二栅电极；

以所述第二栅电极为掩模，将第一杂质元素掺杂到所述岛状半导体膜，来在所述第二栅电极下形成沟道形成区且在重叠于所述第一栅电极的区域中形成第一低浓度杂质区；

覆盖所述栅绝缘膜、所述第一栅电极、以及所述第二栅电极地形成绝缘层；

蚀刻所述绝缘层，来在所述第一栅电极以及所述第二栅电极的侧面上形成侧壁；以及

以所述侧壁、所述第一栅电极、所述第二栅电极为掩模，将第二杂质元素掺杂到所述岛状半导体膜，来在所述岛状半导体膜中的不被所述侧壁覆盖的区域中形成高浓度杂质区，且形成被所述栅绝缘膜以及所述侧壁覆盖的第二低浓度杂质区，

其中,在所述第二低浓度杂质区上的区域中的所述栅绝缘膜的厚度薄于在所述沟道形成区和所述第一低浓度杂质区上的区域中的所述栅绝缘膜的厚度,

并且,所述第二低浓度杂质区的杂质浓度的峰值位于所述岛状半导体膜内的下部。

15. 根据权利要求 14 所述的半导体装置的制造方法,

其中,在所述第二低浓度杂质区上的区域中的所述栅绝缘膜的厚度为 5nm 至 40nm,

并且,在所述沟道形成区和所述第一低浓度杂质区上的区域中的所述栅绝缘膜的厚度为 20nm 至 50nm。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及半导体装置及其制造方法。

背景技术

[0002] 近年,在很多情况下,在相同的衬底上利用薄膜晶体管 (ThinFilm Transistor:以下称为 TFT) 来形成各种电路。但是,在利用 TFT 来形成各种电路的情况下,必须形成对应于各电路且具有不同结构的 TFT。这是因为如下缘故:例如,对显示装置来说,像素部中的 TFT 的工作条件并不总是完全相同于驱动电路中的 TFT 的工作条件,因此要求各个 TFT 具有不同的特性。

[0003] 由 n 沟道型 TFT 构成的像素部中的 TFT 起开关元件的作用并且将电压施加到液晶来进行驱动。像素部中的 TFT 被要求具有十分低的截止电流值,以便在一帧期间内储存积累在液晶层中的电荷。另一方面,驱动电路中的缓冲电路等被施加高驱动电压,因此必须提高驱动电路中的元件的耐压,以使它即使在施加高电压时也不被毁坏。此外,为了提高导通电流驱动能力,必须确保足够的导通电流值。

[0004] 作为用来降低截止电流值的 TFT 的结构,存在着具有低浓度漏区(以下也称为 LDD 区)的结构。该结构在沟道形成区和掺杂有高浓度杂质元素的源区或漏区之间具有掺杂有低浓度杂质元素的区域。

[0005] 此外,作为用来防止热载流子所导致的导通电流值的退化的方法,存在着 LDD 区被配置为中间夹着栅绝缘膜与栅电极重叠的结构(在本说明书中称为 GOLD(栅极重叠 LDD)结构)。通过采用这种结构,漏附近的高电场被缓和,因此可以减小热载流子所导致的导通电流值的退化。注意,在本说明书中,中间夹着栅绝缘膜与栅电极不重叠的 LDD 区被称为 Loff 区,中间夹着栅绝缘膜与栅电极重叠的 LDD 区被称为 Lov 区。

[0006] 此处,Loff 区抑制截止电流值的效果大,但是通过缓和漏附近的电场来防止热载流子所导致的导通电流值的退化的效果小。另一方面,Lov 区缓和漏附近的电场来防止导通电流值的退化的效果大,但是抑制截止电流值的效果小。因此,根据每一种电路,必须制造具有对应于所要求的特性的结构的 TFT。

[0007] 此外,对导通电流来说,也存在着降低接触电阻来提高导通电流的方法,该接触电阻是 TFT 的寄生电阻。具体地说,在源区和漏区中提供硅化镍,以降低与布线的接触电阻(例如,参照专利文件 1)。

[0008] [专利文件 1] 日本专利申请公开 2006-156971 号公报

[0009] 在专利文件 1 所记载的结构中,不容易控制中间夹着栅绝缘膜与栅电极不重叠的 LDD 区(Loff 区)中的杂质浓度。

发明内容

[0010] 于是,本发明的目的在于在微小的 TFT 中控制 Loff 区的杂质浓度。本发明的目的还在于即使在微小的 TFT 中也使其 TFT 结构适合于各种电路功能,从而提高半导体装置的

工作特性和可靠性。此外,本发明的目的还在于减少制造工序的数目来谋求实现制造成本的减少和成品率的提高。

[0011] 在本发明中,通过使形成在 LDD 区内的 Loff 区上方的栅绝缘膜的膜厚薄,来控制 Loff 区的杂质浓度。

[0012] 通过过蚀刻成为栅电极的导电膜,来蚀刻位于栅电极的外侧的栅绝缘膜,而使 Loff 区上方的栅绝缘膜的膜厚薄。当经过其膜厚薄的栅绝缘膜将杂质引入到半导体膜中时,可以使杂质浓度的峰值位于半导体膜内的下层或者半导体膜下,因此半导体膜中的杂质浓度降低。由此,可以降低截止电流 (I_{off})。

[0013] 注意,过蚀刻是指:为了在蚀刻工序所需要的图案之间不留下渣滓而从应有蚀刻时间 (just etching time) 或者检测出等离子体发光强度的变化的时间 (有时也称为应有蚀刻时间) 开始连续或者改变蚀刻条件地继续进行蚀刻处理,该应有蚀刻时间是从蚀刻速度和膜厚度算出来的。

[0014] 注意,在本说明书中,为了方便起见将具有由至少两层构成的层合结构的一种栅电极称为帽子型栅电极,其中下层的栅电极的栅长度 (沟道长度方向的长度) 长于上层的栅电极的栅长度 (沟道长度方向的长度),并且上层的栅电极的厚度厚于下层的栅电极的厚度。下层的栅电极的截面可以为折扇形或矩形。

[0015] 此外,在本说明书中,半导体装置是指通过利用半导体而发挥功能的所有元件以及装置,并且将薄膜晶体管、无线芯片、显示装置、电子设备包括在其范畴内。

[0016] 本发明的半导体装置具有 Loff 区,所以可以降低截止电流。Loff 区上的栅绝缘膜的膜厚度通过当形成栅电极时的过蚀刻而变薄,并且 Loff 区中的杂质浓度轮廓在半导体膜下面具有其峰值。由此,可以使 Loff 区中的剂量成为更小值,并且截止电流进一步降低。反之, Lov 区以及沟道形成区上的栅绝缘膜的厚度厚。此外,本发明的半导体装置具有 Lov 区,所以可以防止热载流子退化并且提高可靠性。

[0017] 此外,根据本发明,可以形成即使在微小化时也能够得到良好工作特性且可靠性高的半导体装置,并且可以分别制造适合于各种电路的半导体装置。此外,由于可以通过利用工序数目少的工序来制造具有各种结构的半导体装置,因此可以谋求实现制造成本的减少和成品率的提高。

[0018] 此外,由于在半导体膜的一部分形成硅化物,并且中间夹着该硅化物而布线和半导体膜彼此连接,因此可以降低接触电阻。因此,可以提高导通电流,从而即使在具有 LDD 区的微小的 TFT 中,也可以得到所希望的导通电流。

[0019] 此外,可以形成具有所希望的尺寸的亚微米 TFT 而没有尺寸的下限,致使半导体装置本身可以成为非常小型且轻量。此外,可以设计适合于各 TFT 的 LDD 长度,致使可以得到除了可以抑制短沟道效应且提高耐压以外还可以确保所希望的导通电流的半导体装置。

[0020] 通过以本发明的帽子型栅电极作为掩模而掺杂杂质元素,可以形成具有 10 至 300nm,优选为 50 至 200nm 的非常短的 LDD 长度的 LDD 区。特别地,可以将 Lov 区的沟道长度方向的长度 (Lov 长度) 成为 20 至 200nm,并且将 Loff 区的沟道长度方向的长度 (Loff 长度) 成为 30 至 500nm。此外,可以在沟道长度为 0.1 至 1.0 μm 的微小 TFT 中,可以形成具有适合于其 TFT 尺寸的 LDD 区的 TFT。

附图说明

- [0021] 图 1A 至 1D 是表示本发明的半导体装置的制造方法的图；
- [0022] 图 2A 至 2H 是表示本发明的半导体装置的制造方法的图；
- [0023] 图 3A 至 3D 是表示本发明的半导体装置的制造方法的图；
- [0024] 图 4A 至 4C 是表示本发明的半导体装置的制造方法的图；
- [0025] 图 5A 至 5D 是表示本发明的半导体装置的制造方法的图；
- [0026] 图 6A 和 6B 是表示本发明的半导体装置的制造方法的图；
- [0027] 图 7A 和 7B 是表示本发明的半导体装置的制造方法的图；
- [0028] 图 8 是通过利用本发明来制造的 CPU 的方块图；
- [0029] 图 9 是通过利用本发明来制造的 CPU 的电路图；
- [0030] 图 10A 至 10C 是表示通过利用本发明来制造的 CPU 的包装方式的图；
- [0031] 图 11 是通过利用本发明来制造且能够进行利用 IC 的无线通讯的半导体装置的电路图；
- [0032] 图 12 是通过利用本发明来制造且能够进行利用 IC 的无线通讯的半导体装置的电路图；
- [0033] 图 13 是通过利用本发明来制造且能够进行利用 IC 的无线通讯的半导体装置的方块图；
- [0034] 图 14 是通过利用本发明来制造且能够进行利用 IC 的无线通讯的半导体装置的方块图；
- [0035] 图 15A 至 15C 是表示本发明的半导体装置的制造方法的图；
- [0036] 图 16A 至 16C 是表示通过利用本发明来制造的 TFT 中的杂质元素的浓度轮廓的图；
- [0037] 图 17 是表示通过利用本发明来制造的 TFT 中的杂质元素的浓度轮廓的图；
- [0038] 图 18 是通过利用本发明来制造的 TFT 的截面图。

具体实施方式

[0039] 以下参照附图来说明本发明的实施方式。但是，本发明可以以多个不同方式而实施，所属技术领域的普通人员可以很容易地理解一个事实，就是其方式及详细内容可以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此，本发明不应该被解释为仅限定在本实施方式所记载的内容中。

[0040] 此外，以下所示的实施方式以及实施例可以在能够实施的范围内自由组合。

[0041] 实施方式 1

[0042] 以下，参照图 1A 至 1D、图 2A 至 2H、图 6A 和 6B 而说明根据本实施方式的半导体装置的制造方法。

[0043] 首先，在衬底 111 上形成厚度为 100 至 300nm 的基底绝缘膜 112。作为衬底 111，可以使用：诸如玻璃衬底、石英衬底、塑料衬底、陶瓷衬底等绝缘衬底；金属衬底；半导体衬底等。

[0044] 作为基底绝缘膜 112，可以使用诸如氧化硅 (SiO_x)、氮化硅 (SiN_x)、包含氮的氧化硅 (SiO_xN_y) ($x > y$)、包含氧的氮化硅 (SiN_xO_y) ($x > y$) 等包含氧或氮的绝缘膜的单层结

构,或者它们的层合结构。特别在担心来自衬底的污染时,优选形成基底绝缘膜。

[0045] 此外,当基底绝缘膜 112 是层合结构时,接触于半导体膜的基底绝缘膜部分优选是其膜厚度为 10 至 200nm,优选为 50 至 150nm 的氮化硅膜或包含氧的氮化硅膜。在后面的晶化工序中,当采用通过将金属元素掺杂到半导体膜中来进行晶化的方法时,必须对金属元素进行吸杂。在此情况下,当基底绝缘膜是氧化硅膜时,有时在氧化硅膜和半导体膜的硅膜之间的界面,硅膜中的金属元素和氧化硅膜中的氧相互反应而成为金属氧化物,从而金属元素不容易被吸除。于是,接触于半导体膜的基底绝缘膜部分优选不是氧化硅膜。在本实施方式中,作为基底绝缘膜 112,使用通过形成厚度为 50nm 的包含氧的氮化硅膜,然后形成厚度为 100nm 的包含氮的氧化硅膜来形成的层合膜。

[0046] 接着,形成厚度为 10 至 100nm 的半导体膜。可以根据所要求的 TFT 特性来选择半导体膜的材料,并且可以采用硅膜、硅锗膜、以及碳化硅膜中的任何一种。作为半导体膜,优选采用结晶半导体膜,该结晶半导体膜是通过形成非晶半导体膜或微晶半导体膜(例如,微晶硅膜或者半非晶硅膜)之后利用激光晶化法来晶化的。通过对如 SiH_4 等硅化物进行辉光放电分解,可以得到微晶半导体膜。通过利用氢或氟和稀有气体元素对硅化物进行稀释来使用该硅化物,可以容易形成微晶半导体膜。

[0047] 在此,以半非晶硅膜为典型的半非晶半导体膜是包括具有非晶半导体和具有结晶结构的半导体(包括单晶、多晶)的中间结构的半导体的膜。该半非晶半导体膜是具有在自由能上稳定的第三状态的半导体膜。它是具有短程序列和晶格畸变的结晶,并且可以使其粒径成为 0.5 至 20nm 来将它分散在非单晶半导体膜中而存在。半非晶半导体膜的拉曼光谱转移在比 520cm^{-1} 低的波数一侧,并且当进行 X 线衍射时可以观测 Si 晶格所导致的 (111)、(220) 的衍射峰值。此外,为了使悬空键终结化,半非晶半导体膜至少包括 1 原子%或其以上的氢或卤。在本说明书中,为了方便起见,这种半导体膜称为半非晶半导体 (SAS) 膜。再者,通过加入氢、氘、氚、氦等稀有气体元素来进一步促进晶格畸变,可以得到稳定性提高且良好的半非晶半导体膜。

[0048] 此外,可以通过对包含硅的气体进行辉光放电分解来得到 SAS 膜。作为包含硅的气体的典型可举出 SiH_4 。还可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。另外,可以通过使用氢或将选自氢、氘、氚、氦中的一种或多种稀有气体元素添加到氢的气体稀释该包含硅的气体而使用,容易形成 SAS 膜。优选在稀释比率为 2 倍至 1000 倍的范围内的情况下,稀释包含硅的气体。再者,也可以将 CH_4 、 C_2H_6 等的碳化物气体、 GeH_4 、 GeF_4 等的锗化气体、 F_2 等混入在包含硅的气体中,以将能带幅度调节为 1.5eV 至 2.4eV 或者 0.9eV 至 1.1eV。

[0049] 此外,作为晶化技术,也可以采用利用激光照射的晶化法、利用卤素灯的快速热退火 (RTA) 法、利用加热炉的晶化技术。而且,也可以采用如下方法:将镍等金属元素掺杂到非晶半导体膜中,并且以掺杂的金属作为晶核来进行固相生长。

[0050] 激光器由激光媒质、激励源、共振器构成。当根据媒质将激光器分类时,有气体激光器、液体激光器和固体激光器。当根据振荡特征将激光器分类时,有自由电子激光器、半导体激光器、X 射线激光器。然而,也可以采用任何激光器。优选使用气体激光器或固体激光器,更优选使用固体激光器。

[0051] 作为气体激光器,有氢氟激光器、二氧化碳激光器 (carbondioxide laser)、受激准分子激光器、氦离子激光器等。作为受激准分子激光器,有稀有气体受激准分子激光器、

稀有气体卤受激准分子激光器。作为稀有气体受激准分子激光器,有利用氩、氦、氙的激子的振荡。此外,作为气体激光器,有金属蒸气离子激光器。

[0052] 作为液体激光器,有无机液体激光器、有机螯合物激光器、色素激光器。无机液体激光器以及有机螯合物激光器利用固体激光器所利用的钕等稀土离子作为激光媒质。

[0053] 固体激光器所利用的激光媒质是掺杂有起到激光作用的活性物质的固体的母体。固体的母体是结晶或玻璃。结晶是 YAG(钇铝石榴石结晶)、YLF、YVO₄、YAlO₃、蓝宝石、红宝石、变石。此外,起到激光作用的活性物质例如是三价的离子(Cr³⁺、Nd³⁺、Yb³⁺、Tm³⁺、Ho³⁺、Er³⁺、Ti³⁺)。

[0054] 注意,作为为了使半导体膜晶化而照射的激光,可以采用连续振荡激光或者脉冲振荡激光。考虑到半导体膜的厚度或其材料等,适当地控制激光束的照射条件(例如,频率、功率密度、能量密度、光束轮廓等)。

[0055] 在本实施方式中,形成晶体硅膜,该晶体硅膜是通过形成厚度为 66nm 的非晶硅膜,并在 500℃ 的温度下加热一个小时,且在 550 度的温度下加热四个小时后,照射连续激光(也称为 CW 激光)进行晶化而得到的。

[0056] 接着,通过利用光刻技术的蚀刻加工半导体膜,来形成岛状半导体膜 113。然后,也可以将硼(B)掺杂到岛状半导体膜 113。再者,覆盖岛状半导体膜 113 地形成厚度为 20 至 200nm、优选为 20 至 50nm 的栅绝缘膜。

[0057] 也可以通过利用 CVD 法或溅射法且使用适当地组合氧化硅(SiO_x)、氮化硅(SiN_x)、包含氮的氧化硅(SiO_xN_y)($x > y$)、包含氧的氮化硅(SiN_xO_y)($x > y$)等中的任一种而得到的层合结构,来形成栅绝缘膜 114。在本实施方式中,通过利用厚度为 20nm 的包含氮的氧化硅膜,来形成栅绝缘膜 114。

[0058] 接着,在栅绝缘膜 114 上形成成为栅电极的第一导电膜 115 和第二导电膜 116。首先,形成厚度为 5 至 50nm 的第一导电膜 115。作为第一导电膜 115,可以使用铝(Al)膜、铜(Cu)膜、以铝或铜为主要成分的膜、铬(Cr)膜、钽(Ta)膜、氮化钽膜、钛(Ti)膜、钨(W)膜、钼(Mo)膜等。在其上形成厚度为 150 至 500nm 的第二导电膜 116。作为第二导电膜 116,例如可以使用铬(Cr)膜、钽(Ta)膜、以钽为主要成分的膜、钨(W)膜、钛(Ti)膜、铝(Al)膜等。注意,必须使第一导电膜 115 和第二导电膜 116 的组合成为在彼此蚀刻中第二导电膜 116 的对于第一导电膜 115 的选择比高的组合。作为选择比高的第一导电膜和第二导电膜的组合,例如分别可以将铝和钽、铝和钛、氮化钽和钨使用于第一导电膜和第二导电膜。在本实施方式中,作为第一导电膜 115,形成厚度为 30nm 的氮化钽膜,并且作为第二导电膜 116,形成厚度为 370nm 的钨(W)膜。

[0059] 接着,通过使用光掩模且利用光刻技术在第二导电膜 116 上形成第一抗蚀剂 117(参照图 1A)。可以将第一抗蚀剂 117 形成为其侧面具有锥形角的形状。通过使第一抗蚀剂 117 具有锥形角,可以形成第三导电膜 118,该第三导电膜为在随后第一蚀刻中被蚀刻且具有锥形角 θ 的第二导电膜。此外,通过使第一抗蚀剂 117 的侧面具有锥形角,可以抑制第一蚀刻中的反应生成物附着到第一抗蚀剂 117 的侧面并成长。并且,也可以通过对第一抗蚀剂 117 进行热处理,来形成如下第一抗蚀剂 117:其截面形状是左右对称,并且在抗蚀剂的两个侧面上具有相同的锥形角。

[0060] 接着,以第一抗蚀剂 117 作为掩模进行第一蚀刻(参照图 1B)。在第一蚀刻中,对

第二导电膜 116 进行蚀刻,来形成为被蚀刻的第二导电膜的第三导电膜 118。此时,优选在相对于第一导电膜 115 具有高选择比的蚀刻条件下来进行蚀刻,以避免第一导电膜 115 被蚀刻而使栅绝缘膜 114 露出。注意,第一抗蚀剂 117 也被蚀刻而成为第二抗蚀剂 119。但是,在附图中不示出第一抗蚀剂 117 被蚀刻到第二抗蚀剂 119 的缩小宽度。此时,为被蚀刻的第二导电膜的第三导电膜 118 的侧面具有 $80^\circ \leq \theta \leq 90^\circ$ 的锥形角 θ ,几乎是垂直的锥形角。

[0061] 在第一蚀刻中,使用 Cl_2 、 SF_6 、 O_2 的混合气体作为蚀刻气体,并且流量比为 $\text{Cl}_2/\text{SF}_6/\text{O}_2 = 33/33/10(\text{sccm})$ 。通过将压力调节为 0.67Pa,并将 2000W 的电力供给到线圈形电极,来产生等离子体。将 50W 的电力投入在衬底一侧(样品载物台)。根据蚀刻程度,适当地改变衬底一侧的电力即可,并且也可以为 200W。

[0062] 接着,以为被蚀刻的第二导电膜的第三导电膜 118 作为掩模,对第一导电膜 115 进行第二蚀刻(参照图 1C)。通过第二蚀刻,由第一导电膜 115 形成第一栅电极 120。此时,由于过蚀刻,栅绝缘膜 114 中的第一栅电极 120 下的区域以外被蚀刻,因此膜厚度变成薄。栅绝缘膜 114 中的第一栅电极 120 下的区域不被蚀刻,所以其厚度仍旧与成膜时相同。在第二蚀刻条件中,通过在 0.67Pa 的压力下将 2000W 的电力供给到线圈形电极,来产生等离子体。将 50W 的电力投入在衬底一侧(样品载物台)。蚀刻气体是 Cl_2 。注意,第二抗蚀剂 119 也被蚀刻而缩小,然后成为第三抗蚀剂 121,但未图示该缩小的情况。

[0063] 注意,也可以在不蚀刻栅绝缘膜 114 的条件下进行第二蚀刻。在此情况下,如图 6A 所示,栅绝缘膜的 114 厚度不变化。

[0064] 然后,进行第三蚀刻(参照图 1D)。在第三蚀刻条件中,通过在 1.33Pa 的压力下将 2000W 的电力供给到线圈形电极,来产生等离子体。电力不被供给到衬底一侧(样品载物台)。蚀刻气体是 Cl_2 、 SF_6 、 O_2 的混合气体,且流量比为 $\text{Cl}_2/\text{SF}_6/\text{O}_2 = 22/22/30(\text{sccm})$ 。在第三蚀刻中,使第三抗蚀剂 121 缩小。与此同时,以缩小的第三抗蚀剂 121 为掩模,缩短为被蚀刻的第二导电膜的第三导电膜 118 的沟道方向的长度,来形成第二栅电极 122。此外,栅绝缘膜 114 被进一步蚀刻而变成薄于图 1C 所示的厚度。因此,在第二栅电极 122 下的区域中栅绝缘膜 114 的膜厚度厚且在不设置有第二栅电极 122 的区域中栅绝缘膜 114 的膜厚度薄。注意,缩小的第三抗蚀剂 121 成为第四抗蚀剂 123。然后,清除第四抗蚀剂 123。

[0065] 在第三蚀刻中,第二栅电极 122 的侧面容易被蚀刻。当第二栅电极 122 的侧面被蚀刻时,中间部分的栅长度(沟道长度方向的长度)变成短于上表面或下表面的栅长度,因此第二栅电极 122 的截面成为中间部分最细的形状。因此,形成在第二栅电极 122 上的膜的覆盖性变差,而容易产生断线。此外,由于第二栅电极在形成 LDD 区时被用作掩模,所以不容易控制 LDD 长度。该侧面蚀刻(side etching)是当第二栅电极 122 的蚀刻速度比抗蚀剂的蚀刻速度快时所出现的一种现象。因此,在本实施方式中,通过将样品载物台的温度设定为 0 度以下,优选为 -10 度以下的低温,来降低第二栅电极 122 的蚀刻速度,而可以抑制侧面蚀刻。

[0066] 此外,如图 6A 所示,当在第二蚀刻中不蚀刻栅绝缘膜 114 时,也在第三蚀刻中栅绝缘膜 114 被蚀刻,并且其厚度变成薄(参照图 6B)。换言之,在第二栅电极 122 下的区域中栅绝缘膜 114 的膜厚度厚,并且在不设置有第二栅电极 122 的区域中栅绝缘膜 114 的膜厚度薄。在本实施方式中,通过第二蚀刻以及第三蚀刻,栅绝缘膜 114 的膜厚度减少了 10nm

至 15nm。

[0067] 通过上述工序,得到帽子型栅电极。通过利用当蚀刻时抗蚀剂缩小的宽度,来形成本发明的帽子型结构。具体地说,第三蚀刻中的第三抗蚀剂 121 到第四抗蚀剂 123 的缩小宽度是第一栅电极 120 的栅长度和第二栅电极 122 的栅长度之差。或者,第二蚀刻和第三蚀刻中抗蚀剂倒退的宽度的总和,即第二抗蚀剂 119 到第四抗蚀剂 123 的缩小宽度是第一栅电极 120 的栅长度和第二栅电极 122 的栅长度之差。

[0068] 在本发明的帽子型栅电极的制造方法中,可以使第一栅电极 120 的栅长度和第二栅电极 122 的栅长度之差 (Lov 长度) 成为 20 至 200nm,并且可以形成非常微小的栅电极结构。

[0069] 可以通过干蚀刻来进行本实施方式的第一至第三蚀刻,具体地说,可以采用 ICP(感应耦合等离子体)蚀刻方法。

[0070] 接着,对岛状半导体膜 113 掺杂杂质元素 127(参照图 2A)。通过以第二栅电极 122 为掩模,经过第一栅电极 120 和栅绝缘膜 114,将杂质元素掺杂到岛状半导体膜 113,来在与第一栅电极 120 重叠的岛状半导体膜 113 中形成低浓度杂质区 124a 和 124b。此外,还同时仅仅经过栅绝缘膜 114,将杂质元素也掺杂到岛状半导体膜 113 的两端区域,来形成低浓度杂质区 125a 和 125b。此外,在第二栅电极 122 的下方也形成沟道形成区 126。这是因为第二栅电极 122 用作掩模,而杂质元素不被掺杂的缘故。

[0071] 低浓度杂质区 124a、124b、125a、125b 的元素浓度分别为 1×10^{16} 至 1×10^{20} atoms/cm³(优选为 1×10^{16} 至 5×10^{18} atoms/cm³)。作为杂质元素的掺杂方法,可以使用离子掺杂法、离子注入法。例如,当制造 p 型半导体时使用硼 (B)、镓 (Ga) 等作为杂质元素,而当制造 n 型半导体时使用磷 (P)、砷 (As) 等作为杂质元素。在本实施方式中,掺杂磷作为 n 型杂质。

[0072] 不仅经过栅绝缘膜 114,而且还经过第一栅电极 120,来进行对低浓度杂质区 124a 和 124b 的杂质元素的掺杂。另一方面,经过在蚀刻第一栅电极 120 或者第二栅电极 122 中变薄的栅绝缘膜 114 来进行对低浓度杂质区 125a 和 125b 的杂质掺杂。此外,在可以得到后述的实施例 1 所述那样的浓度轮廓的条件下进行杂质掺杂。因此,低浓度杂质区 125a 和 125b 的杂质元素浓度低于低浓度杂质区 124a 和 124b 的杂质元素浓度。

[0073] 然后,覆盖栅绝缘膜 114、第一栅电极 120 以及第二栅电极 122 地形成绝缘层。通过利用等离子体 CVD 法形成厚度为 100nm 的包含氮的氧化硅膜 (SiO_xN_y 膜) ($x > y$),然后利用热 CVD 法形成厚度为 200nm 的氧化硅膜 (SiO₂ 膜),来形成绝缘层。

[0074] 接着,通过利用以垂直方向为主体的各向异性蚀刻而选择性地蚀刻绝缘层,以形成与第一栅电极 120 和第二栅电极 122 的侧面接触的绝缘层(以下称为侧壁)128(参照图 2B)。侧壁 128 用作当以后形成硅化物时的掩模。此外,通过利用该蚀刻也部分地清除栅绝缘膜 114,来形成栅绝缘膜 129,以使侧壁 128 不覆盖的岛状半导体膜 113 的区域露出。换言之,在栅绝缘膜 129 中,沟道形成区 126 以及成为 Lov 区的低浓度杂质区域 124a 和 124b 上的膜厚度厚,并且低浓度杂质区域 125a 和 125b 上的被侧壁 128 覆盖的区域的膜厚度薄。并且,低浓度杂质区域 125a 和 125b 上的不被侧壁 128 覆盖的区域被清除,而使岛状半导体膜 113 的区域露出。该露出的岛状半导体膜区域以后成为源区以及漏区。

[0075] 接着,在形成于半导体膜的露出部分的表面上的天然氧化膜被清除之后,形成金

属膜 130 (参照图 2C)。利用与半导体膜反应形成硅化物的材料,来形成金属膜 130。作为金属膜 130,例如有镍膜、钛膜、钴膜、铂膜、或通过利用至少包括这些元素中的两种的合金而成的膜等。在本实施方式中,使用镍膜作为金属膜 130,并且在室温下利用成膜电力为 500W 至 1kW 的溅射法,来成膜镍膜。镍膜的膜厚度例如为 10nm。

[0076] 在成膜金属膜 130 之后,进行加热处理来形成硅化物层 131。本实施方式的硅化物层 131 是硅化镍。作为加热处理,可以使用 RTA、炉退火等。此时,通过控制金属膜 130 的膜厚度、加热温度、以及加热时间,可以得到图 2D 和图 2G 中的任何结构。在图 2D 的结构中,在岛状半导体膜 113 的上部形成硅化物层 131。另一方面,在图 2G 的结构中,岛状半导体膜 113 中的不被侧壁 128 覆盖的整个区域成为硅化物层 131。例如,通过利用如下方法而可以得到图 2G 所示的结构:成膜金属膜以使其厚度成为半导体膜的膜厚度的一半以上;使加热温度更高;或者,使加热时间更长。

[0077] 然后,清除未反应的金属膜 130。在本实施方式中,通过利用由 $\text{HCl} : \text{HNO}_3 : \text{H}_2\text{O} = 3 : 2 : 1$ 组成的蚀刻溶液,来清除未反应的镍。

[0078] 如图 2D 所示,在将硅化物层 131 形成为其膜厚度成为岛状半导体膜 113 的膜厚度以下之后,以侧壁 128 和第二栅电极 122 为掩模,进行杂质元素 132 的掺杂。通过该掺杂工序,来形成用作源区和漏区的高浓度杂质区 133a 和 133b。以 1×10^{19} 至 $1 \times 10^{21} \text{atoms/cm}^3$ 对高浓度杂质区 133a 和 133b 掺杂杂质元素。与此同时,形成低浓度杂质区 134a 和 134b。作为杂质元素的掺杂法,可以使用离子掺杂法、离子注入法。当制造 p 型半导体时使用硼 (B)、镓 (Ga) 等作为杂质元素,而当制造 n 型半导体时使用磷 (P)、砷 (As) 等作为杂质元素。在本实施方式中,掺杂磷作为 n 型杂质 (参照图 2E)。

[0079] 然后,形成层间绝缘膜 135。通过利用有机材料或无机材料来形成层间绝缘膜 135。层间绝缘膜 135 可以具有单层结构或层合结构。通过蚀刻来在层间绝缘膜 135 中形成用来使硅化物层 131 露出的接触孔。然后,填充接触孔地形成导电层并进行蚀刻以形成布线 136 (参照图 2F)。

[0080] 另一方面,在岛状半导体膜 113 的整个膜厚度如图 2G 所示变成硅化物之后,与图 2F 同样地形成层间绝缘膜 135,并形成布线 136,以得到图 2H 的结构。在图 2H 中,可以形成由硅化物层 131 构成的源区和漏区。

[0081] 注意,也可以在形成层间绝缘膜 135 之前,或在层间绝缘膜 135 具有层合结构的情况下形成第一层膜或第二层膜之后,进行杂质区的热活化。当进行热活化时,可以使用激光束照射、RTA、利用炉子的加热处理等方法。

[0082] 在图 2F 的本实施方式的结构中,高浓度杂质区 133a 和 133b 以后成为源区和漏区。此外,低浓度杂质区 134a 和 134b 成为 Loff 区,该低浓度杂质区 134a 和 134b 是中间夹着栅绝缘膜 129 与形成在第一栅电极 120 的侧面的侧壁 128 的底部表面重叠的半导体膜的部分。而且,

[0083] 中间夹着栅绝缘膜 129 与第一栅电极 120 重叠的低浓度杂质区 124a 和 124b 成为 Lov 区。

[0084] 在图 2H 中,硅化物层 131 成为源区和漏区。此外,与图 2F 同样,低浓度杂质区 134a 和 134b 成为 Loff 区,而低浓度杂质区 124a 和 124b 成为 Lov 区。

[0085] 当对图 2F 的结构与图 2H 的结构进行比较时,与不被硅化的岛状半导体膜部分接

触的硅化物层 131 的面积比较大。因此,硅化物层 131 与除了硅化物层 131 以外的岛状半导体膜部分的接触电阻变低,从而寄生电阻变成低于图 2H 的结构的寄生电阻。

[0086] 另一方面,当对图 2H 的结构与图 2F 的结构进行比较时,源区和漏区的电阻降低。此外,由于不需要进行用来形成高浓度杂质区的杂质元素 132 的掺杂工序,因此可以减少一个工序。

[0087] 注意,在图 2C 至 2F 中,在形成硅化物层 131 之后,进行用来形成高浓度杂质区的杂质元素 132 的掺杂,但是也可以在掺杂杂质元素 132 后形成金属膜 130,以得到硅化物。此外,为了得到图 2H 的结构,也可以在以侧壁 128 和第二栅电极 122 为掩模掺杂杂质元素 132 之后,形成硅化物层 131。

[0088] 根据上述,在本实施方式中,可以经过其膜厚度薄的栅绝缘膜引入杂质元素,来控制 Loff 区的杂质浓度。由此,当采用本实施方式的半导体装置时,可以降低截止电流并且抑制热载流子退化,来提高可靠性。

[0089] 实施方式 2

[0090] 在本实施方式中,利用图 3A 至 3D 而表示仅仅具有 Loff 区的半导体装置的制造方法。此外,在本实施方式中,对于与实施方式 1 相同的部分利用相同的附图标记而省略详细说明。

[0091] 通过利用与实施方式 1 相同的工序进行到第二蚀刻,来得到图 1C 的结构(参照图 3A)。但是在图 3A 中,在衬底 111 上形成有基底绝缘膜 112、岛状半导体膜 113、栅绝缘膜 161、第一栅电极 162、以及第二栅电极 163。在本实施方式中,第一栅电极 162 的宽度与第二栅电极 163 的宽度相同。此外,第二栅电极 163 既可以具有锥形角,又可以不具有锥形角。

[0092] 对栅绝缘膜 161 来说,与其第一栅电极 162 以及第二栅电极 163 下的区域的膜厚度相比,其该区域以外的膜厚度薄。如实施方式 1 所述,通过当进行第二蚀刻时过蚀刻栅绝缘膜 161,可以使第一栅电极 162 以及第二栅电极 163 下的区域以外的栅绝缘膜 161 变成薄。换言之,使在以后工序中能够得到的沟道形成区 126 上的栅绝缘膜 161 的膜厚度厚,而且使成为 Loff 区的低浓度杂质区 166a 以及 166b、以及成为源区及漏区的高浓度杂质区 167a 以及 167b 上的栅绝缘膜 161 的膜厚度薄。

[0093] 接着,与图 2A 的工序同样地经过栅绝缘膜 161 引入杂质元素。由此,形成低浓度杂质区 152a 以及 152b、以及沟道形成区 126(参照图 3B)。此时,成为低浓度杂质区 152a 以及 152b 的岛状半导体膜上的栅绝缘膜 161 薄,因此容易控制杂质元素。

[0094] 接着,形成侧壁 128,并以侧壁 128、第二栅电极 163 以及第一栅电极 162 为掩模进行蚀刻去掉侧壁 128、第二栅电极 163 以及第一栅电极 162 下的区域以外的栅绝缘膜 161,来形成栅绝缘膜 165。由此,岛状半导体膜 113 的一部分露出。该露出的岛状半导体区域以后成为源区及漏区。

[0095] 接着,与图 2E 同样地进行杂质元素的掺杂,来在岛状半导体膜 113 的上述露出的区域中形成成为源区及漏区的高浓度杂质区 167a 以及 167b。在该工序中,对低浓度杂质区 152a 以及 152b 中的被侧壁 128 覆盖的区域中不掺杂杂质元素,因此形成为 Loff 区的低浓度杂质区 166a 以及 166b(参照图 3C)。

[0096] 接着,形成层间绝缘膜 135,并且在层间绝缘膜 135 中形成到达高浓度杂质区 167a

以及 167b 的接触孔。在层间绝缘膜 135 上形成导电膜后,进行蚀刻来形成成为源电极及漏电极的布线 136(参照图 3D)。

[0097] 在本实施方式中,与实施方式 1 不同,不形成 Lov 区以及硅化物层。但是,经过栅绝缘膜掺杂杂质,可以控制 Loff 区的杂质浓度,该栅绝缘膜的膜厚度薄于其他区域。因此,根据本实施方式而能够得到的半导体装置可以降低截止电流。

[0098] 实施方式 3

[0099] 在本实施方式中,利用图 4A 至 5D 表示与实施方式 2 不同的仅仅具有 Loff 区的半导体装置的制造方法。此外,在本实施方式中,对于与实施方式 1 以及实施方式 2 相同的部分利用相同的附图标记而省略详细说明。

[0100] 首先,与实施方式 2 同样地得到图 3C 的结构(参照图 4A)。换言之,在衬底 111 上形成基底绝缘膜 112、岛状半导体膜 113、栅绝缘膜 161、第一栅电极 162、第二栅电极 163。在岛状半导体膜 113 中形成有沟道形成区 126、低浓度杂质区 152a 以及 152b。

[0101] 对栅绝缘膜 161 来说,与其第一栅电极 162 以及第二栅电极 163 下的区域的膜厚度相比,其该区域以外的膜厚度薄。如实施方式 1 所述,通过当进行第二蚀刻时过蚀刻栅绝缘膜 161,可以使第一栅电极 162 以及第二栅电极 163 下的区域以外的栅绝缘膜 161 变成薄。

[0102] 接着,与图 2B 同样地形成侧壁 128。此时,也去掉栅绝缘膜 161 的一部分,来使岛状半导体膜 113 的一部分露出。该露出的岛状半导体膜区域以后成为源区及漏区(参照图 4B)。

[0103] 接着,与图 2C 同样,覆盖露出的岛状半导体膜区域、侧壁 128、第二栅电极 163 地形成金属膜 130(参照图 4C)。

[0104] 在形成金属膜 130 后,进行加热处理来形成硅化物层 131(参照图 5A)。并且,去掉未反应的金属膜 130。

[0105] 接着,如图 2E 同样地引入杂质元素,来形成成为 Loff 区的低浓度杂质区 137a 和 137b、以及为源区及漏区的高浓度杂质区 133a 和 133b(参照图 5B)。

[0106] 接着,形成层间绝缘膜 135 以及电连接到高浓度杂质区 133a 和 133b 的布线 136(参照图 5C)。但是,与图 2H 同样,在岛状半导体膜 113 的整个膜厚度成为硅化物的情况下,得到如图 5D 的结构。

[0107] 注意,虽然在本实施方式中,在形成硅化物层 131 之后,进行用来形成高浓度杂质区 133a 和 133b 的杂质元素的掺杂,但是也可以在用来形成高浓度杂质区 133a 和 133b 的杂质元素的掺杂之后,形成硅化物层 131。在此情况下,以侧壁 128 以及第二栅电极 163 为掩模掺杂杂质元素,然后形成金属膜 130 且进行加热处理,来形成硅化物层 131,即可。

[0108] 根据上述,在本实施方式中,经过栅绝缘膜引入杂质元素,可以控制 Loff 区的杂质浓度,该栅绝缘膜的膜厚度薄于其他区域。因此,本实施方式的半导体装置可以降低截止电流。

[0109] 实施方式 4

[0110] 在本实施方式中,参照图 7A 至图 10C 说明利用本发明而制造 CPU(中央处理单元: Central Processing Unit)的例子。在本实施方式中,对于与实施方式 1 至实施方式 3 相同的部分利用相同的附图标记而省略详细说明。

[0111] 首先,基于实施方式 1 至实施方式 3,在衬底 111 以及基底绝缘膜 112 上形成具有 n 沟道型 TFT181 以及 p 沟道型 TFT182 的 CMOS 电路 183。在本实施方式中,形成具有与实施方式 1 同样的结构的 TFT。

[0112] n 沟道型 TFT181 的结构与图 2F 所示的结构相同,而包括沟道形成区 126、为 Lov 区的低浓度杂质区 124a 以及 124b、为 Loff 区的低浓度杂质区 134a 以及 134b、为源区及漏区的高浓度杂质区 133a 以及 133b、栅绝缘膜 129、第一栅电极 120、第二栅电极 122、侧壁 128。

[0113] Loff 区上的栅绝缘膜 129 的膜厚度薄于其 Lov 区上的膜厚度。在低浓度杂质区 124a、124b、134a、134b、以及高浓度杂质区 133a 和 133b 中掺杂有如磷 (P) 的赋予 n 型的杂质元素。

[0114] p 沟道型 TFT182 具有与 n 沟道型 TFT181 同样的结构,但是掺杂有 p 型杂质元素。p 沟道型 TFT182 包括沟道形成区 156、为 Lov 区的低浓度杂质区 154a 以及 154b、为 Loff 区的低浓度杂质区 164a 以及 164b、为源区及漏区的高浓度杂质区 163a 以及 163b、栅绝缘膜 159、第一栅电极 150、第二栅电极 160、侧壁 158。

[0115] 与栅绝缘膜 129 同样,Loff 区上的栅绝缘膜 159 的膜厚度薄于其 Lov 区上的膜厚度。在低浓度杂质区 154a、154b、164a、164b、以及高浓度杂质区 163a 和 163b 中掺杂有如硼 (B) 的赋予 p 型的杂质元素。

[0116] 覆盖 n 沟道型 TFT181 以及 p 沟道型 TFT182 地形成层间绝缘膜 135,并且在层间绝缘膜 135 中形成到达高浓度杂质区 133a、133b、163a、163b 的接触孔。并且,在层间绝缘膜 135 上形成导电膜,来形成布线 136 (电极或布线 136a、136b、136c) (参照图 7A)。

[0117] 电极或布线 136a 电连接到高浓度杂质区 133a,并且电极或布线 136c 电连接到高浓度杂质区 163b。再者,电极或布线 136b 电连接到高浓度杂质区 133b 以及 163a。

[0118] 接着,覆盖电极或布线 136a 至 136c 以及层间绝缘膜 135 地形成层间绝缘膜 171。通过利用无机材料或有机材料,由单层或叠层来形成层间绝缘膜 171。层间绝缘膜 171 是为了缓和薄膜晶体管所造成的凹凸且实现平坦化来形成的薄膜。因此,优选利用有机材料来形成。

[0119] 接着,通过利用光刻法蚀刻层间绝缘膜 171,来形成使电极或布线 136a 和 136c 露出的接触孔。然后,填充接触孔地形成导电层,并且通过利用光刻技术蚀刻该导电层,来形成用作布线等的导电层 173 以及 174。通过利用由选自铝 (Al)、钛 (Ti)、银 (Ag)、铜 (Cu) 中的元素、或者以这些元素为主要成分的合金材料或化合物材料构成的单层或叠层形成导电层 173 以及 174。例如,可以采用阻挡层和铝层的层合结构;阻挡层、铝层、阻挡层的层合结构等。阻挡层相当于由钛、氮化钛、钼、氮化钼等构成的薄膜。

[0120] 导电层 173 电连接到电极或布线 136a,并且导电层 174 电连接到电极或布线 136c。

[0121] 虽然在图 7A 和 7B 中,在衬底 111 上只形成一个 n 沟道型 TFT181 以及 p 沟道型 TFT182,但是实际上形成有多个 n 沟道型 TFT181 以及 p 沟道型 TFT182。将由多个 n 沟道型 TFT181 以及 p 沟道型 TFT182 构成的元件群、用作布线等的多个导电层 173 和 174 统称为薄膜集成电路 175。注意,虽然在本工序中不示出,但是也可以通过利用已知的方法覆盖薄膜集成电路 175 地形成保护层。保护层相当于包含碳诸如 DLC (类金刚石碳) 等的层、包含氮化硅的层、包含氮氧化硅的层等。

[0122] 通过在相同衬底上形成多个上述那样形成的薄膜集成电路 175, 可以制造 CPU。

[0123] 当希望使完成的 CPU 具有挠性且使其重量更轻时, 通过利用已知的方法剥离衬底 111, 并将 CPU 固定到另一具有挠性且重量轻的衬底, 即可。

[0124] 另外, 将参照方块图来说明本实施方式的 CPU 的具体结构。

[0125] 图 8 所示的 CPU 在衬底 360 上主要包括计算电路 (ALU: 算术逻辑单元) 361、计算电路用控制电路部 (ALU 控制器) 362、指令译码部 (Instruction Decoder) 363、中断控制部 (Interrupt Controller) 364、时序控制部 (Timing Controller) 365、寄存器 366、寄存器控制部 367、总线接口 (总线 I/F) 368、可重写 ROM 369、ROM 接口 (ROM I/F) 380。此外, 也可以另外在芯片上设置 ROM 369 和 ROM 接口 380。通过利用多个薄膜集成电路 175 来形成这些构成 CPU 的各种电路。

[0126] 当然, 图 8 所示的 CPU 仅仅是一个例子, 其中简化了结构, 并且实际的 CPU 根据其用途具有多种多样的结构。

[0127] 将通过总线接口 368 输入到 CPU 的指令输入到指令译码部 363 并且被译码后, 输入到算术逻辑单元电路用控制电路部 362、中断控制部 364、寄存器控制部 367、时序控制部 365。

[0128] 算术逻辑单元电路用控制电路部 362、中断控制部 364、寄存器控制部 367、时序控制部 365 根据被译码的指令进行多种控制。具体地说, 算术逻辑单元电路用控制电路部 362 产生用于控制算术逻辑单元电路 361 的驱动的信号。此外, 中断控制部 364 当 CPU 执行程序时, 根据其优先度或掩模状态来判断而处理来自外部输入 / 输出装置或外围电路的中断要求。寄存器控制部 367 产生寄存器 366 的地址, 并且根据 CPU 的状态进行寄存器 366 的读取或写入。

[0129] 此外, 时序控制部 365 产生用于控制算术逻辑单元电路 361、算术逻辑单元电路用控制电路部 362、指令译码部 363、中断控制部 364、寄存器控制部 367 的驱动时序的信号。例如, 时序控制部 365 具备根据参考时钟信号 CLK1 (381) 产生内部时钟信号 CLK2 (382) 的内部时钟产生部, 并将该内部时钟信号 CLK2 提供给上述各种电路。

[0130] 图 9 表示所谓系统化面板 (system on panel), 该系统化面板是在一个衬底上形成有像素部、CPU、以及其他电路。在衬底 370 上设置有像素部 371、用来选择像素部 371 所包括的像素的扫描线驱动电路 372、以及用来将视频信号供给到被选择的像素的信号线驱动电路 373。通过利用从扫描线驱动电路 372、以及信号线驱动电路 373 引出的布线使 CPU 374 连接到其他电路诸如控制电路 375。注意, 控制电路包括接口。并且, 在衬底的端部设置与 FPC 端子连接的部分来进行与外部电路的信号交换。

[0131] 作为其他电路, 可以在衬底上设置图像信号处理电路、电源电路、灰度电源电路、视频 RAM、存储器 (DRAM、SRAM、PROM) 等。或者, 也可以通过利用 IC 芯片来形成这些电路, 并且将它们安装在衬底上。再者, 并不一定要在一个衬底上形成扫描线驱动电路 372 以及信号线驱动电路 373。例如, 也可以在与像素部 371 相同的衬底上仅仅形成扫描线驱动电路 372, 并且利用 IC 芯片形成信号线驱动电路 373 来进行安装。

[0132] 图 10A 至 10C 表示 CPU 被包装的方式。图 10A 至 10C 中的衬底 390 相当于图 1A 至 7B 所示的衬底 111, 并且在薄膜晶体管阵列 391 上设置有多多个薄膜集成电路 175。

[0133] 在图 10A 中, 以朝下状态封装有 CPU, 其中, 形成在衬底 390 上的具有 CPU 功能的薄

膜晶体管阵列 391 以及提供在 CPU 表面上的电极（源电极和漏电极，或中间夹着绝缘膜而形成在它们上的电极等）392 被安装为面对底侧。此外，准备设置有由铜或其合金形成的布线 393 的线路板，例如印刷电路板 397。印刷电路板 397 设置有连接端子（销子）394。并且，中间夹着各向异性导电膜 398 等使电极 392 连接到布线 393。然后，通过利用环氧树脂等树脂 395 从衬底 390 的上方覆盖 CPU，从而完成封装的 CPU。此外，也可以在不被树脂覆盖 CPU 而将其保持在空心中的情况下，利用塑料等围绕外周。

[0134] 在图 10B 中，与图 10A 不同，以朝上状态封装有 CPU，其中，设置在 CPU 表面上的电极 392 被安装为面对上侧。并且，在印刷电路板 397 上固定衬底 390，并且通过利用金属丝 388 使电极 392 连接到布线 393。这种利用金属丝的连接被称为引线键合。并且，电极 392 和连接到布线 393 的凸块 384 彼此电连接。然后，在将 CPU 的周围保持在空心中的情况下，利用塑料 385 等围绕 CPU，从而完成封装的 CPU。

[0135] 图 10C 表示在挠性衬底例如 FPC（柔性印刷电路）399 上固定具有 CPU 功能的薄膜晶体管阵列 391 的例子。以朝下状态封装 CPU，其中形成在衬底 390 上的具有 CPU 功能的薄膜晶体管阵列 391 以及设置在 CPU 表面上的电极 392 被安装为面对底侧。由于薄膜晶体管阵列 391 被固定到具有挠性的 FPC 399，因此优选采用高挠性的塑料作为衬底 390，以提高 CPU 本身的强度。此外，具有挠性的 FPC 399 设置有由铜或其合金形成的布线 393。并且，中间夹着各向异性导电膜 398 使电极 392 连接到布线 393。然后，覆盖衬底 390 地形成诸如环氧树脂等树脂 395，从而完成封装的 CPU。

[0136] 以这种方式封装的 CPU 被保护以避免受到外部影响，并且更容易携带。而且，可以在所希望的地方安装 CPU。特别是当封装的 CPU 如图 10C 那样具有挠性时，可以提高要安装的位置的自由度，并且提高 CPU 本身的强度。此外，通过进行封装，也可以补充 CPU 功能。

[0137] 如上所述，通过利用本发明的 TFT，可以制造 CPU 等半导体装置。由于通过利用根据本发明而形成的薄膜晶体管来形成的 CPU 重量轻且小型，因此可以减轻当进行携带或安装时的负担。

[0138] 注意，本实施方式当有需要时可以与其他实施方式及实施例组合。

[0139] 实施方式 5

[0140] 在本实施方式中，参照图 11 至图 15C 说明具有本发明的 TFT 且能够进行利用 IC 的无线通讯的半导体装置的制造例子。

[0141] 图 11 是掩模 ROM 的电路图，其包括列译码器 415、行译码器 416、具有 n 沟道型 TFT401 至 404 的存储单元阵列 411、位线（数据线）424 及 425、字线 W1 及 W2、高电压电源（VDD）422、低电压电源（VSS 或 GND）423、列开关 SW1 至 SW4、由列译码器 415 控制的地址线 S1 及 S2、输出线 414、控制线 417、以及电连接到高电压电源 422 的布线 427 及 428。

[0142] 作为存储单元阵列 411 的 n 沟道型 TFT401 至 404，可以使用根据实施方式 1 至 3 而得到的 TFT。

[0143] 图 15A 和 15C 表示分别使用实施方式 1 所述的 TFT 作为 n 沟道型 TFT401 至 404 的例子。

[0144] TFT581 以及 582 的结构与图 7A 的 TFT181 的结构相同。此外，TFT581 以及 582 被形成在衬底 511 上的基底绝缘膜 512 上。

[0145] TFT581 包括沟道形成区 526、为 Lov 区的低浓度杂质区 524a 以及 524b、为 Loff 区

的低浓度杂质区 534a 以及 534b、为源区以及漏区的高浓度杂质区 533a 以及 533b、硅化物层 531、栅绝缘膜 529、第一栅电极 520、第二栅电极 522、侧壁 528。

[0146] 对栅绝缘膜 529 来说,其 Loff 区上的膜厚度薄于其 Lov 区上的膜厚度。在低浓度杂质区 524a、524b、534a、534b、以及高浓度杂质区 533a 以及 533b 中掺杂有例如磷 (P) 的赋予 n 型的杂质元素。

[0147] TFT582 包括沟道形成区 556、为 Lov 区的低浓度杂质区 554a 以及 554b、为 Loff 区的低浓度杂质区 564a 以及 564b、为源区以及漏区的高浓度杂质区 563a 以及 563b、硅化物层 531、栅绝缘膜 559、第一栅电极 550、第二栅电极 552、侧壁 558。

[0148] 与栅绝缘膜 529 同样,对栅绝缘膜 559 来说,其 Loff 区上的膜厚度薄于其 Lov 区上的膜厚度。在低浓度杂质区 554a、554b、564a、564b、以及高浓度杂质区 563a 以及 563b 中掺杂有例如磷 (P) 的赋予 n 型的杂质元素。

[0149] 覆盖 TFT581 以及 582 地形成层间绝缘膜 535,并且在层间绝缘膜 535 中形成到达高浓度杂质区 533a、533b、563a、563b 的接触孔。再者,在层间绝缘膜 535 上形成导电膜,来形成电极或布线 536a、536c、536d、536e (参照图 15A)。

[0150] 电极或布线 536a 电连接到高浓度杂质区 533a,并且电极或布线 536d 电连接到高浓度杂质区 533b。再者,电极或布线 536e 电连接到高浓度杂质区 563a,并且电极或布线 536c 电连接到高浓度杂质区 563b。

[0151] 接着,覆盖电极或布线 536a、536c、536d、536e 以及层间绝缘膜 535 地形成层间绝缘膜 571。通过利用无机材料或有机材料,由单层或叠层来形成层间绝缘膜 571。层间绝缘膜 571 是为了缓和薄膜晶体管所造成的凹凸且实现平坦化来形成的薄膜。因此,优选利用有机材料来形成。

[0152] 接着,通过利用光刻法蚀刻层间绝缘膜 571,来形成使电极或布线 536a、536d、536e 露出的接触孔。但是,不形成到达电极或布线 536c 的接触孔。

[0153] 接着,填充接触孔地形成导电层,并且通过利用光刻技术蚀刻该导电层,来形成用作布线等的导电层 573、577、578。通过利用由选自铝 (Al)、钛 (Ti)、银 (Ag)、铜 (Cu) 中的元素、或者以这些元素为主要成分的合金材料或化合物材料构成的单层或叠层形成导电层 573、577、578。例如,可以采用阻挡层和铝层的层合结构;阻挡层、铝层、阻挡层的层合结构等。阻挡层相当于钛、氮化钛、钼、氮化钼等。

[0154] 导电层 573 电连接到电极或布线 536a,并导电层 577 电连接到电极或布线 536d,且导电层 578 电连接到电极或布线 536e。此外,不形成电连接到电极或布线 536c 的导电层 (参照图 15B)。

[0155] 或者,去掉电极或布线 536c 的一部分,来形成空隙 579。在形成层间绝缘膜 571 后与导电层 573、577、578 同样地形成导电层 574,但是也可以得到如下结构:使导电层 574 到达空隙 579 中的区域而不电连接到电极或布线 536c (参照图 15C)。

[0156] 图 11 中的电连接到布线 427 的 TFT401、电连接到布线 428 的 TFT404 可以具有与 TFT581 相同的结构。此外,不电连接到布线 427 以及 428 的 TFT402 和 403 可以具有与 TFT582 相同的结构。

[0157] 注意,为了简单地进行说明,在图 11 中表示 4 位的存储单元阵列,但是本发明的非易失性存储电路当然不局限于 4 位。

[0158] 图 12 是控制掩模 ROM 的逻辑电路的电路图。逻辑电路的基本结构是 n 沟道型 TFT 和 p 沟道型 TFT 互补连接的 CMOS 电路。通过使用这种 CMOS 电路,形成如下所述的列译码器及行译码器。图 12 表示使用 CMOS 电路的反相器。

[0159] 图 12 中的 n 沟道型 TFT441 以及 p 沟道型 TFT442 分别可以具有根据实施方式 1 至 3 而得到的 TFT。例如,与图 7A 所示的 n 沟道型 TFT181 同样地形成 n 沟道型 TFT441,并且与图 7A 所示的 p 沟道型 TFT182 同样地形成 p 沟道型 TFT442,即可。

[0160] 通过利用布线 434 来使 n 沟道型 TFT441 的栅电极和 p 沟道型 TFT442 的栅电极彼此电连接,并且布线 434 是反相器的输入端子。

[0161] 此外,通过利用布线 432 来使 n 沟道型 TFT441 的源区和漏区中的一个和 p 沟道型 TFT442 的源区和漏区中的一个彼此电连接,并且布线 432 是反相器的输出端子。

[0162] 再者,n 沟道型 TFT441 的源区和漏区中的另一个电连接到电源线 431,并且 p 沟道型 TFT442 的源区和漏区中的另一个电连接到电源线 433。

[0163] 下面,使用图 11 说明具有上述本发明的掩模 ROM 的工作。注意,只要是能够读出被储存或写入到存储单元中的 ID 号码等的固有数据的电路,本发明就不局限于如下所述的电路结构及工作。此外,虽然在图 11 中,为了简单地进行说明,以 4 位的掩模 ROM 为例子说明 2 位的存储单元的工作,但是掩模 ROM 的位数及工作不局限于此,更多位数的情况也有效。并且,所有位的存储单元的数据被读出。

[0164] 如图 11 所示,具有本发明的掩模 ROM 由列译码器 415、行译码器 416、包括 n 沟道型 TFT401 至 404 的存储单元阵列 411、位线(数据线)424 及 425、字线 W1 及 W2、高电压电源(VDD)422、低电压电源(VSS 或 GND)423、列开关 SW1 至 SW4、由列译码器 415 控制的地址线 S1 及 S2、输出线 414、以及控制线 417 构成。

[0165] 首先,说明如下工作:当读出被储存或写入到 1 位的存储单元中的 ID 号码等的固有数据时,使用读出时间的四分之一,以低电压电源(VSS 或 GND)的电位进行预充电。

[0166] 向控制线 417 传送信号,该信号是如下的:仅在读出时间的四分之一,使 SW3 及 SW4 成为被选择的状态,并且使位线(数据线)424 及 425 电连接到低电压电源(VSS 或 GND)423。这样,位线(数据线)424 及 425 的电位成为低电压电源(VSS 或 GND)。

[0167] 此时,字线 W1 及 W2 不使 n 沟道型 TFT401 至 404 成为被选择的状态。这里,被选择的状态是指 n 沟道型 TFT401 至 404 的源端子和漏端子电连接的状态。

[0168] 另外,由列译码器 415 控制的地址线 S1 及 S2 也不使列开关 SW1 及 SW2 成为被选择的状态。这里,被选择的状态是指位线(数据线)424 及 425 和输出线 414 电连接的状态。

[0169] 注意,对进行预充电的电压来说,根据电路结构、方式、以及逻辑的不同等有如下各种情况:像本发明那样,以低电压电源(VSS 或 GND)的电位进行预充电的情况;以高电压电源(VDD)的电位进行预充电的情况;以及以其他产生电压的电位进行预充电的情况。因此,对进行预充电的电压没有限制。根据情况,可以选择最合适的电压。

[0170] 接着,说明如下工作:通过使用读出时间的剩余的四分之三从具有本发明的掩模 ROM 中读出 ID 号码等固有数据。这里,以输出与高电压电源(VDD)相同的电压作为所读出的 ID 号码等固有数据的情况为 High(高),并且以输出与低电压电源(VSS 或 GND)相同的电压作为所读出的 ID 号码等固有数据的情况为 Low(低)。注意,所读出的 ID 号码等固有数据为 High 还是 Low 根据电路结构、方式、以及逻辑的不同而不同,因此不局限于此。

[0171] 当由行译码器 416 选择字线 W1 并由列译码器 415 选择地址线 S1 时, n 沟道型 TFT401 被选择。因此, n 沟道型 TFT401 的源端子和漏端子电连接。即, 相当于 n 沟道型 TFT401 的源端子和漏端子的位线 (数据线) 424 和高电压电源 (VDD) 422 电连接。位线 424 被充电到比高电压电源 (VDD) 422 低 n 沟道型 TFT401 的阈值的电压。进而, 因为由列译码器 415 选择地址线 S1, 所以位线 (数据线) 424 和输出线 414 电连接。这里, 由于位线 424 被充电到比高电压电源 (VDD) 422 低 n 沟道型 TFT401 的阈值的电压, 所以输出线 414 也为同一电位。换言之, 比高电压电源 (VDD) 422 低 n 沟道型 TFT401 的阈值的电压输出到输出线 414。

[0172] 虽然未图示, 但是通过使比高电压电源 (VDD) 422 低 n 沟道型 TFT401 的阈值的电压经过放大器, 输出与高电压电源 (VDD) 相同的电位。这里, 放大器是指能够放大电压或电流的电路, 其既可以为连接两级反相器的结构, 又可以为使用比较器等的结构。

[0173] 像这样, 被储存或写入到 n 沟道型 TFT401 中的 ID 号码等固有数据即 High 被输出到输出线 414。

[0174] 与此同样, 当由行译码器 416 选择字线 W1 并由列译码器 415 选择地址线 S2 时, n 沟道型 TFT402 被选择。n 沟道型 TFT402 中的一个端子虽然不连接到任何部分, 但是另一个端子即位线 (数据线) 425 因上述的预充电工作而成为低电压电源 (VSS 或 GND) 423 的电位。即, n 沟道型 TFT402 中的一个端子和另一个端子成为与低电压电源 (VSS 或 GND) 423 大致相同的电位。进而, 因为由列译码器 415 选择地址线 S2, 所以位线 (数据线) 425 和输出线 414 电连接。即, 与低电压电源 (VSS 或 GND) 423 大致相同的电位被输出到输出线 414。

[0175] 像这样, 被储存或写入到 n 沟道型 TFT402 中的 ID 号码等固有数据即 Low 被输出到输出线 414。

[0176] 如上所述, 可以读出被储存或写入到掩模 ROM 中的 ID 号码等固有数据。

[0177] 图 13 是包括本发明的存储单元阵列的掩模 ROM 的俯视图。在掩模 ROM900 中形成有本发明的存储单元阵列 920 (与图 11 的存储单元阵列 411 相同), 并使用上述逻辑电路的 TFT 形成列译码器 921 (与图 11 的列译码器 415 相同) 及行译码器 922 (与图 11 的行译码器 416 相同)。

[0178] 图 14 表示包括图 13 的掩模 ROM900 且能够进行利用 IC 的无线通讯的半导体装置的一个例子。注意, 图 14 所示的半导体装置只是一个例子, 本发明不局限于图 14 所示的结构。

[0179] 图 14 所示的半导体装置 (也称为 ID 芯片、IC 芯片、IC 标签、ID 标签、无线芯片、RFID) 931 具有天线 917、高频电路 914、电源电路 915、复位电路 911、整流电路 906、解调电路 907、模拟放大器 908、时钟发生电路 903、调制电路 909、信号输出控制电路 901、CRC 电路 902、代码抽出电路 904、代码判定电路 905 以及掩模 ROM900 的电路框。此外, 电源电路 915 具有整流电路及保持电容的电路框。进而, 如图 13 所示, 掩模 ROM900 具有存储单元阵列 920、列译码器 921、以及行译码器 922。

[0180] 根据本实施方式, 可以制造具有根据本发明而制造的 TFT 且能够进行利用 IC 的无线通讯的半导体装置。根据本实施方式, 特别当在大面积衬底中大量制造能够进行无线通讯的半导体装置时, 可以降低节拍和成本。

[0181] 注意, 本实施方式当有需要时可以与其他实施方式及实施例组合。

[0182] 实施例 1

[0183] 在本实施例中,参照图 16A 至图 18 说明根据本发明而制造的 TFT 的杂质元素的浓度轮廓。

[0184] 首先,基于实施方式 1 而形成本实施例的 TFT(参照图 18)。但是,在本实施例中的 TFT 中不形成硅化物层。换言之,在进行图 2A 的杂质元素的掺杂工序之后,形成侧壁 128,并且利用蚀刻去掉不重叠于侧壁 128 的栅绝缘膜 114,来得到栅绝缘膜 129。然而,当进行该蚀刻时,不蚀刻低浓度杂质区 125a 以及 125b。然后,进行图 2E 所示的杂质元素的掺杂工序,来形成高浓度杂质区 133a 以及 133b。

[0185] 换言之,本实施例的 TFT 在衬底上的基底绝缘膜(未图示)上具有激活层,该激活层包括沟道形成区 126、为 Lov 区的低浓度杂质区 124a 以及 124b、为 Loff 区的低浓度杂质区 134a 以及 134b、为源区以及漏区的高浓度杂质区 133a 以及 133b。

[0186] 在激活层上形成有栅绝缘膜 129,并且将栅绝缘膜 129 中的沟道形成区 126 上的区域设定为区域 601a,并将为 Lov 区的低浓度杂质区 124a 以及 124b 上的区域设定为区域 601b,且将为 Loff 区的低浓度杂质区 134a 以及 134b 上的区域设定为区域 601c。对栅绝缘膜 129 来说,为 Loff 区的低浓度杂质区 134a 以及 134b 上的区域 601c 的膜厚度薄于为 Lov 区的低浓度杂质区 124a 以及 124b 上的区域 601b、以及沟道形成区 126 上的区域 601a 的膜厚度。

[0187] 在栅绝缘膜 129 上形成有第一栅电极 120 和第二栅电极 122,并且第一栅电极 120 的宽度大于第二栅电极 122 的宽度。换言之,形成有帽子型栅电极。

[0188] 在第一栅电极 120 以及第二栅电极 122 的侧面、栅绝缘膜 129 的区域 601b 的侧面、以及栅绝缘膜 129 的区域 601c 的表面上形成有侧壁 128。

[0189] 在本实施例中,使用晶体硅膜作为岛状半导体膜,其膜厚度 d1 为 66nm。此外,使用包含氮的氧化硅膜作为栅绝缘膜 129,并且为 Loff 区的低浓度杂质区 134a 以及 134b 上的其膜厚度 d2 为 10nm,而为 Lov 区的低浓度杂质区 124a 以及 124b 上的其膜厚度 d3 为 20nm。

[0190] 使用氮化钽膜作为第一栅电极 120,其膜厚度 d4 为 30nm,而使用钨(W)膜作为第二栅电极 122,其膜厚度 d5 为 370nm。

[0191] 注意,在本实施例中,根据从过去数据算出来的结果,明白了如下事实:对于磷掺杂,氮化钽具有包含氮的氧化硅膜的大约 1.6 倍的阻止本领。

[0192] 此外,如上所述,为 Lov 区的低浓度杂质区 124a 以及 124b 上的栅绝缘膜 129 的膜厚度 d3 为 20nm,而第一栅电极 120 的氮化钽膜的膜厚度 d4 为 30nm。在此情况下,当将由 Lov 区上的栅绝缘膜 129 和第一栅电极 120 构成的层合膜的对于磷掺杂的阻止本领换算成包含氮的氧化硅膜的厚度时,其成为如公式 1 那样的 68nm。

[0193] [公式]

$$[0194] \quad 20\text{nm} + (30\text{nm} \times 1.6) = 68\text{nm}$$

[0195] 换言之,对 Loff 区的磷浓度轮廓来说,看到比表面深 10nm 以上即可,而且对 Lov 区的浓度轮廓来说,看到比表面深 68nm 以上即可。

[0196] 图 16A 表示当在以 5%稀释的磷化氢(PH_3)、流量为 30sccm、外加电压为 80keV、剂量为 $2.6 \times 10^{13} \text{cm}^{-2}$ 的条件下掺杂磷时的浓度轮廓(峰值浓度为 $1.0 \times 10^{18} \text{cm}^{-3}$)。图 16B 表示当在以 5%稀释的磷化氢(PH_3)、流量为 30sccm、外加电压为 80keV、剂量为 $7.9 \times 10^{13} \text{cm}^{-2}$

的条件下掺杂磷时的浓度轮廓（峰值浓度为 $3.0 \times 10^{18} \text{cm}^{-3}$ ）。图 16C 表示当在以 5% 稀释的磷化氢（ PH_3 ）为、流量为 30sccm、外加电压为 80keV、剂量为 $1.3 \times 10^{14} \text{cm}^{-2}$ 的条件下掺杂磷时的浓度轮廓（峰值浓度为 $5.0 \times 10^{18} \text{cm}^{-3}$ ）。

[0197] 如图 16A 至 16C 所示，Loff 区的磷浓度轮廓不处于饱和状态。特别，在表面附近磷浓度低并且大略线性地增加，因此可以明白如下事实，即通过利用栅绝缘膜 129 的厚度，可以控制 Loff 区中的磷浓度。例如，栅绝缘膜 129 的区域 601c 的厚度越薄，Loff 区中的磷浓度越低。

[0198] 此外，图 17 表示为源区以及漏区的高浓度杂质区 133a 以及 133b 的磷浓度轮廓。在高浓度杂质区 133a 以及 133b 中掺杂有峰值浓度为 $9.8 \times 10^{20} \text{cm}^{-3}$ 的磷。

[0199] 根据本发明而得到的半导体装置以及其制造方法包括如下。

[0200] 一种半导体装置，它包括：具有沟道形成区、第一低浓度杂质区、第二低浓度杂质区、以及包括硅化物层的高浓度杂质区的岛状半导体膜；栅绝缘膜；中间夹着所述栅绝缘膜与所述沟道形成区以及所述第一低浓度杂质区重叠的第一栅电极；中间夹着所述栅绝缘膜与所述沟道形成区重叠的第二栅电极；形成在所述第一栅电极以及所述第二栅电极的侧面的侧壁，其中，所述栅绝缘膜的所述第二低浓度杂质区上的膜厚度薄于其以外的区域上的膜厚度。

[0201] 一种半导体装置，它包括：具有沟道形成区、低浓度杂质区、以及高浓度杂质区的岛状半导体膜；栅绝缘膜；中间夹着所述栅绝缘膜与所述沟道形成区重叠的栅电极；形成在所述栅电极的侧面的侧壁，其中，所述栅绝缘膜的所述低浓度杂质区上的膜厚度薄于其以外的区域上的膜厚度。

[0202] 一种半导体装置，它包括：具有沟道形成区、低浓度杂质区、以及包括硅化物层的高浓度杂质区的岛状半导体膜；栅绝缘膜；中间夹着所述栅绝缘膜与所述沟道形成区重叠的栅电极；形成在所述栅电极的侧面的侧壁，其中，所述栅绝缘膜的所述低浓度杂质区上的膜厚度薄于其以外的区域上的膜厚度。

[0203] 一种半导体装置，它包括：具有沟道形成区、第一低浓度杂质区、第二低浓度杂质区、以及高浓度杂质区的岛状半导体膜；栅绝缘膜；中间夹着所述栅绝缘膜与所述沟道形成区以及所述第一低浓度杂质区重叠的第一栅电极；中间夹着所述栅绝缘膜与所述沟道形成区重叠的第二栅电极；形成在所述第一栅电极以及所述第二栅电极的侧面的侧壁，其中，所述栅绝缘膜的所述第二低浓度杂质区上的膜厚度薄于其以外的区域上的膜厚度。

[0204] 一种半导体装置的制造方法，包括如下步骤：形成岛状半导体膜；在所述岛状半导体膜上形成栅绝缘膜；在所述栅绝缘膜上形成第一导电膜以及第二导电膜；蚀刻所述第二导电膜来形成第三导电膜；蚀刻所述第一导电膜来形成第一栅电极；蚀刻所述第三导电膜来形成第二栅电极，且蚀刻所述栅绝缘膜中的所述第一栅电极下的区域以外来使所述栅绝缘膜的膜厚度薄；以所述第二栅电极为掩模，经过所述第一栅电极以及所述栅绝缘膜将杂质元素掺杂到所述岛状半导体膜，来在所述岛状半导体膜中的所述第二栅电极下的区域中形成沟道形成区，并在与所述第一栅电极重叠的区域中形成第一低浓度杂质区，且在所述杂质元素仅仅经过所述栅绝缘膜的所述岛状半导体膜的两端的区域中形成杂质区；覆盖所述栅绝缘膜、所述第一栅电极、以及所述第二栅电极地形成绝缘层；蚀刻所述绝缘层，来在所述第一栅电极以及所述第二栅电极的侧面形成侧壁，且去掉所述栅绝缘膜中的不被所

述侧壁覆盖的区域,来使所述岛状半导体膜中的不被所述侧壁覆盖的区域露出;覆盖所述侧壁、所述露出的岛状半导体膜地形成金属膜;进行加热处理使所述金属膜和所述露出的岛状半导体膜反应,来在所述露出的岛状半导体膜中形成硅化物层;以所述侧壁、所述第一栅电极、所述第二栅电极为掩模,对所述岛状半导体膜掺杂杂质元素,来在所述露出的岛状半导体膜中形成高浓度杂质区,并且在所述杂质区中的被所述栅绝缘膜以及所述侧壁覆盖的区域中形成第二低浓度杂质区。

[0205] 一种半导体装置的制造方法,包括如下步骤:形成岛状半导体膜;在所述岛状半导体膜上形成栅绝缘膜;在所述栅绝缘膜上形成第一导电膜以及第二导电膜;蚀刻所述第二导电膜来形成第三导电膜;蚀刻所述第一导电膜来形成第一栅电极;蚀刻所述第三导电膜来形成第二栅电极,且蚀刻所述栅绝缘膜中的所述第一栅电极下的区域以外来使所述栅绝缘膜的膜厚度薄;以所述第二栅电极为掩模,经过所述第一栅电极以及所述栅绝缘膜将杂质元素掺杂到所述岛状半导体膜,来在所述岛状半导体膜中的所述第二栅电极下的区域中形成沟道形成区,并在与所述第一栅电极重叠的区域中形成第一低浓度杂质区,且在所述杂质元素仅仅经过所述栅绝缘膜的所述岛状半导体膜的两端的区域中形成杂质区;覆盖所述栅绝缘膜、所述第一栅电极、以及所述第二栅电极地形成绝缘层;蚀刻所述绝缘层,来在所述第一栅电极以及所述第二栅电极的侧面形成侧壁;以所述侧壁、所述第一栅电极、所述第二栅电极为掩模,对所述岛状半导体膜掺杂杂质元素,来在所述岛状半导体膜中的所述侧壁不覆盖的区域中形成高浓度杂质区,并且在所述杂质区中的被所述栅绝缘膜以及所述侧壁覆盖的区域中形成第二低浓度杂质区。

[0206] 在根据本发明而得到的半导体装置中,所述硅化物层包括镍、钛、钴、铂、或者这些元素中的至少两种。

[0207] 本说明书根据 2006 年 12 月 20 日在日本专利局受理的日本专利申请编号 2006-343412 而制作,所述申请内容包括在本说明书中。

图 1A

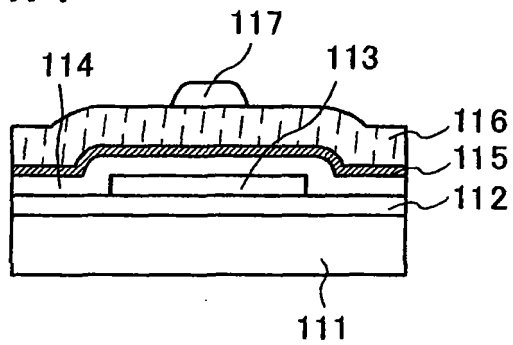


图 1B

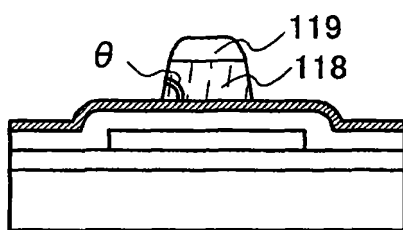


图 1C

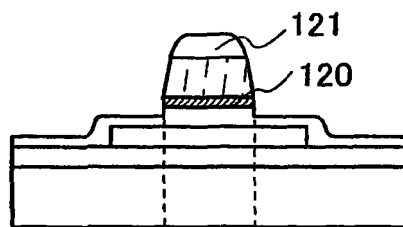


图 1D

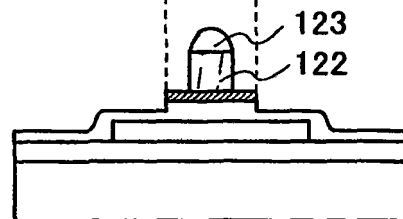


图 2A

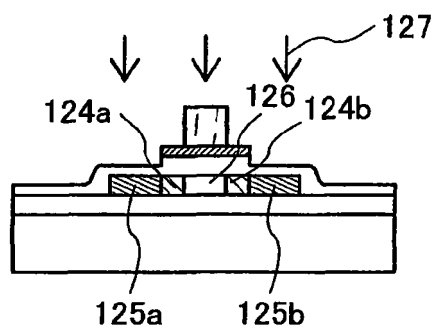


图 2B

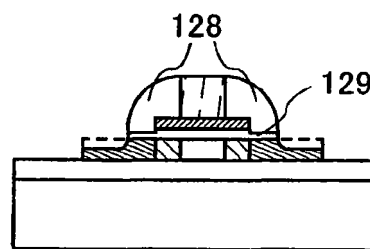


图 2C

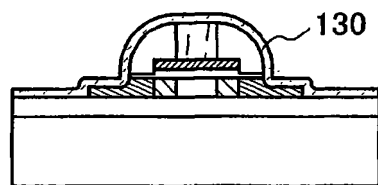


图 2D

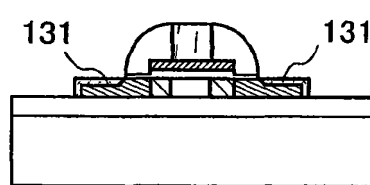


图 2E

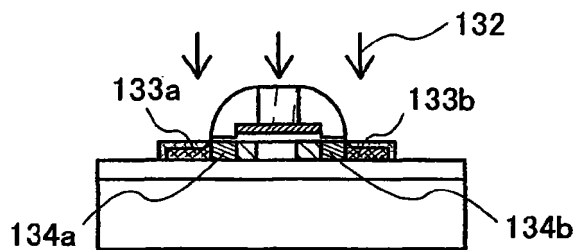


图 2F

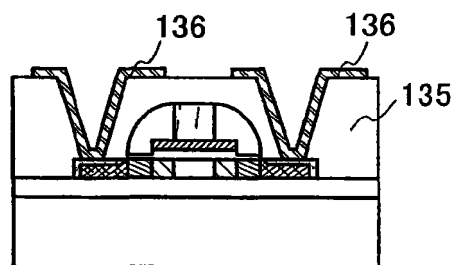


图 2G

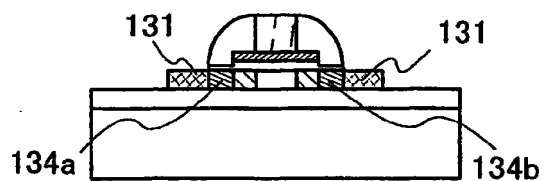


图 2H

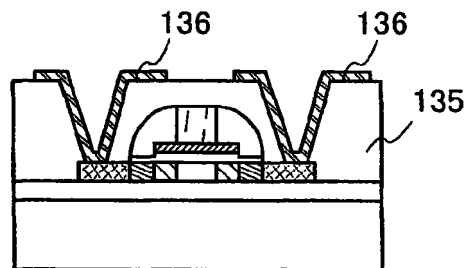


图 3A

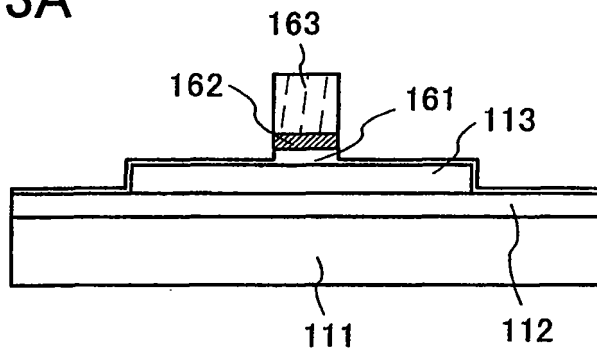


图 3B

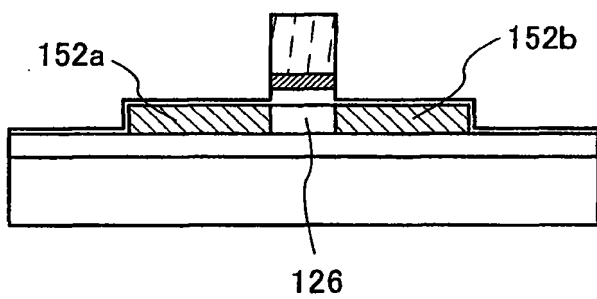


图 3C

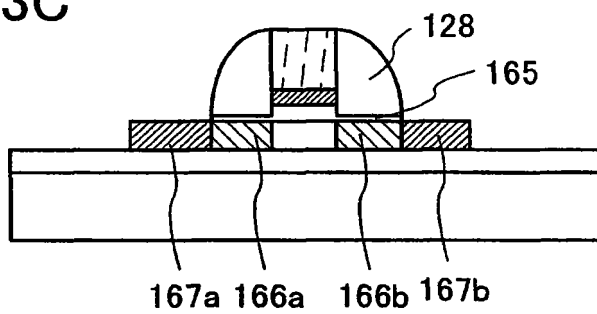


图 3D

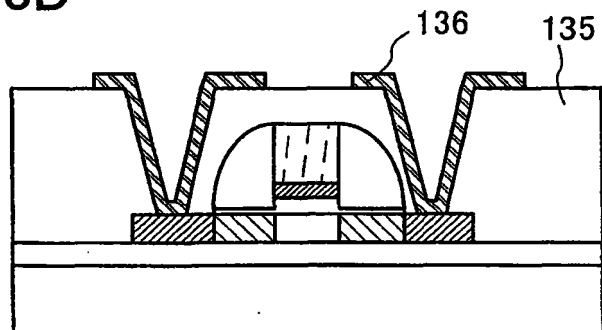


图 4A

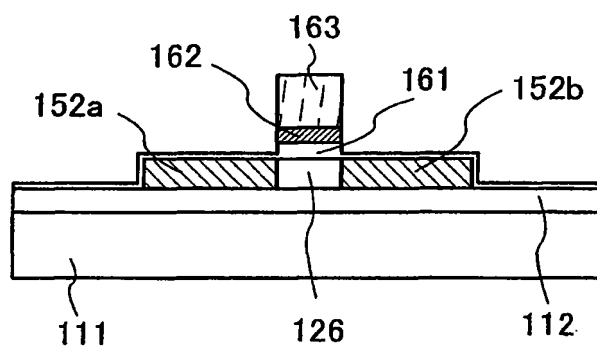


图 4B

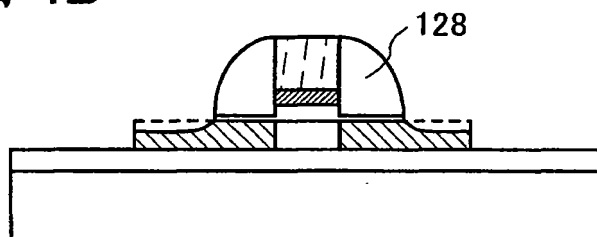


图 4C

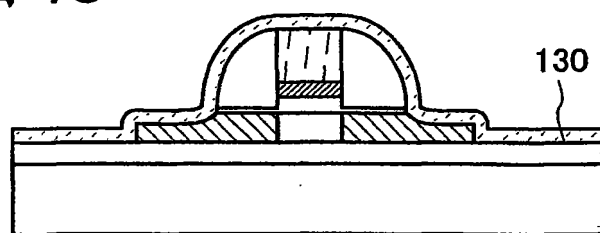


图 5A

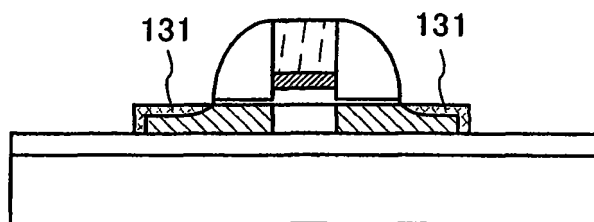


图 5B

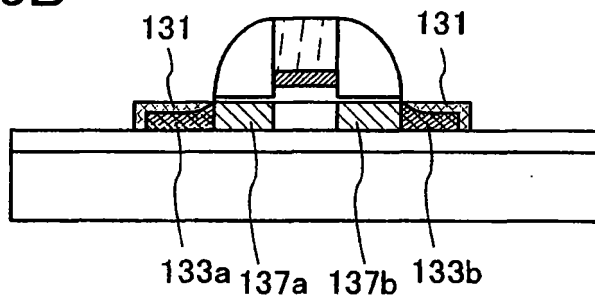


图 5C

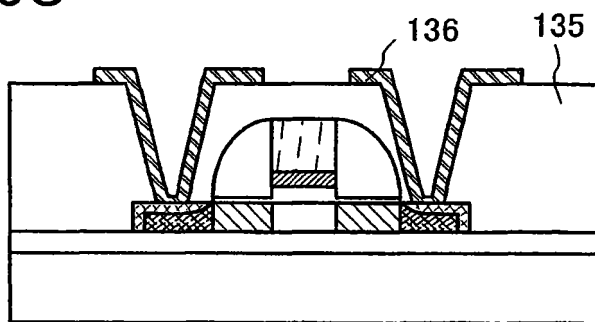


图 5D

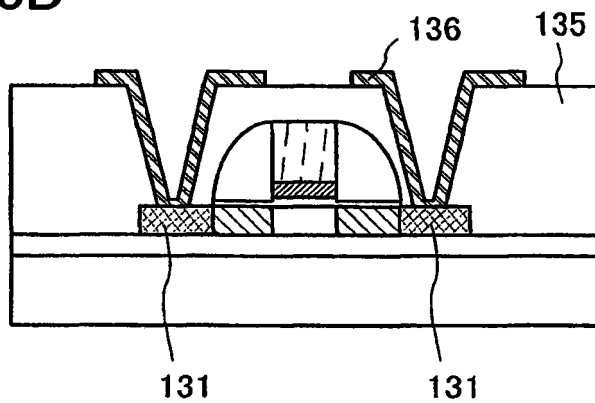


图 6A

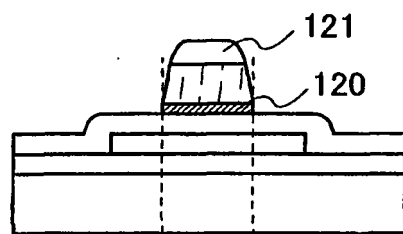


图 6B

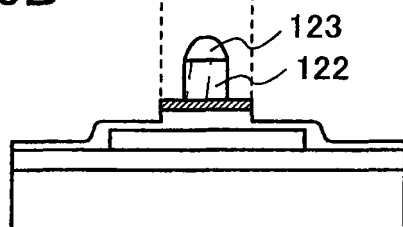


图 7A

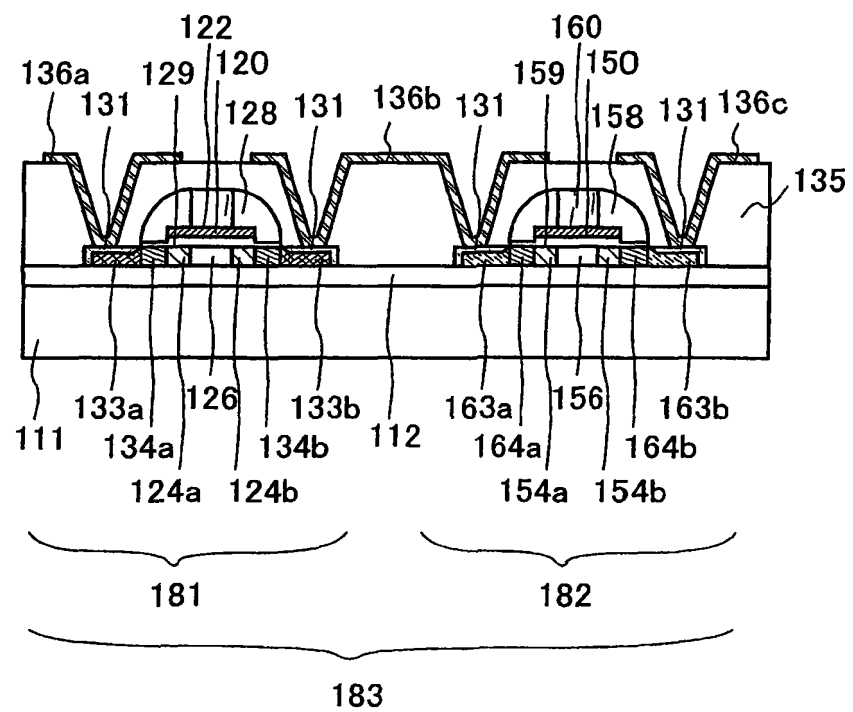


图 7B

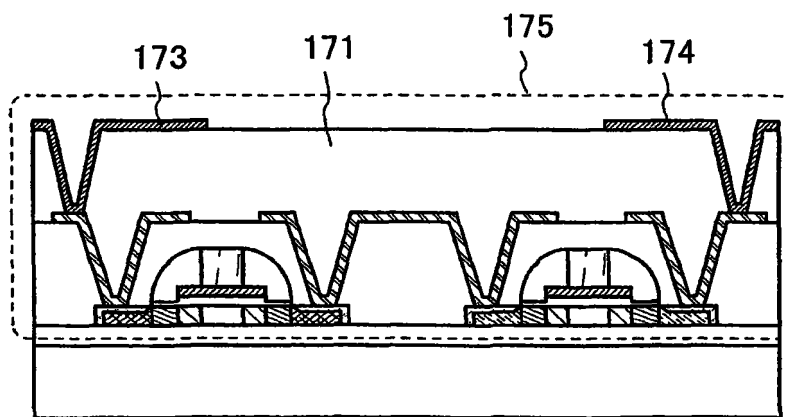


图 8

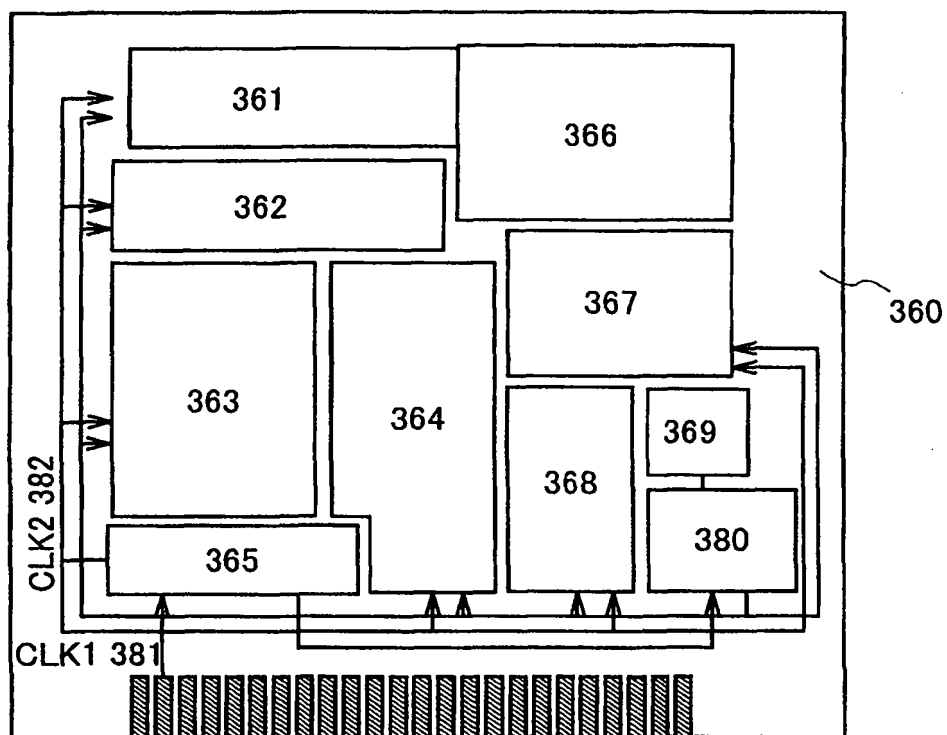


图 9

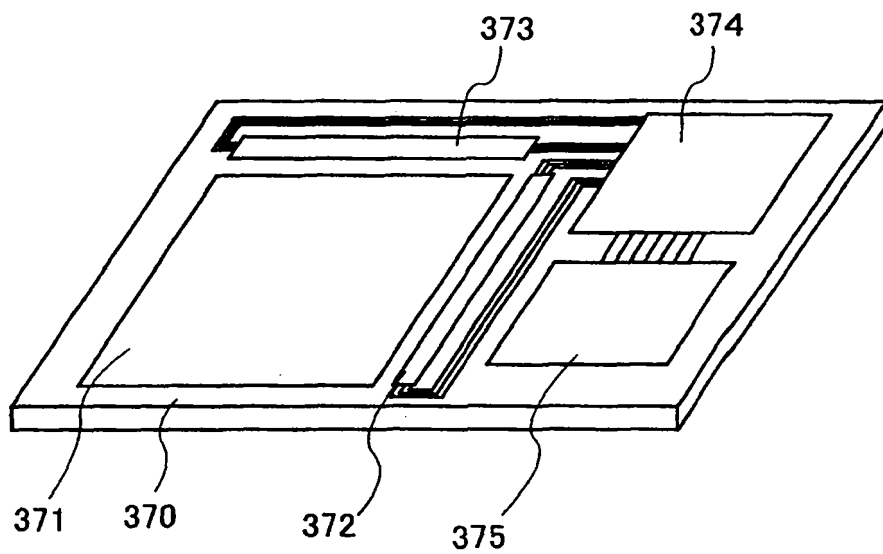


图 10A

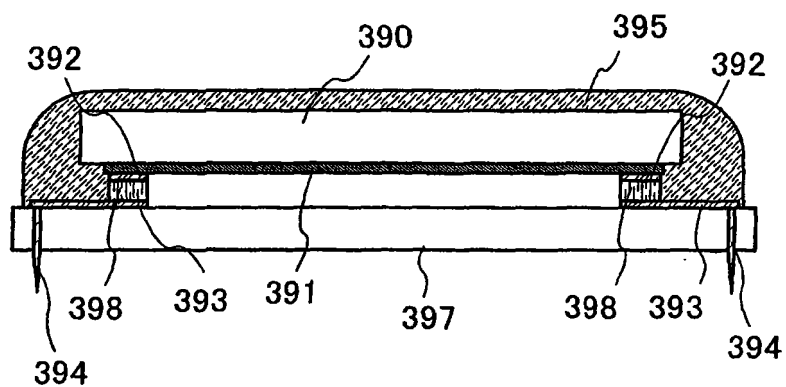


图 10B

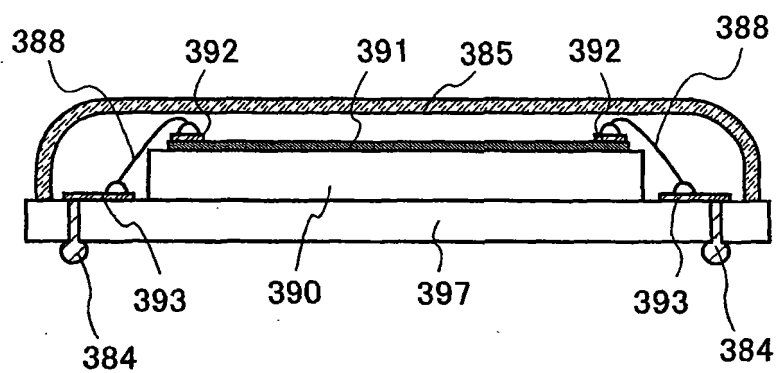


图 10C

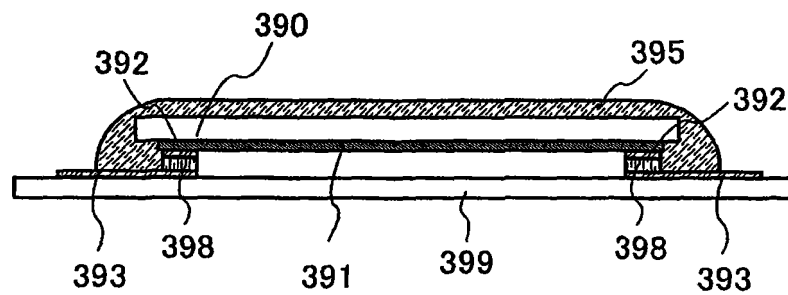


图 11

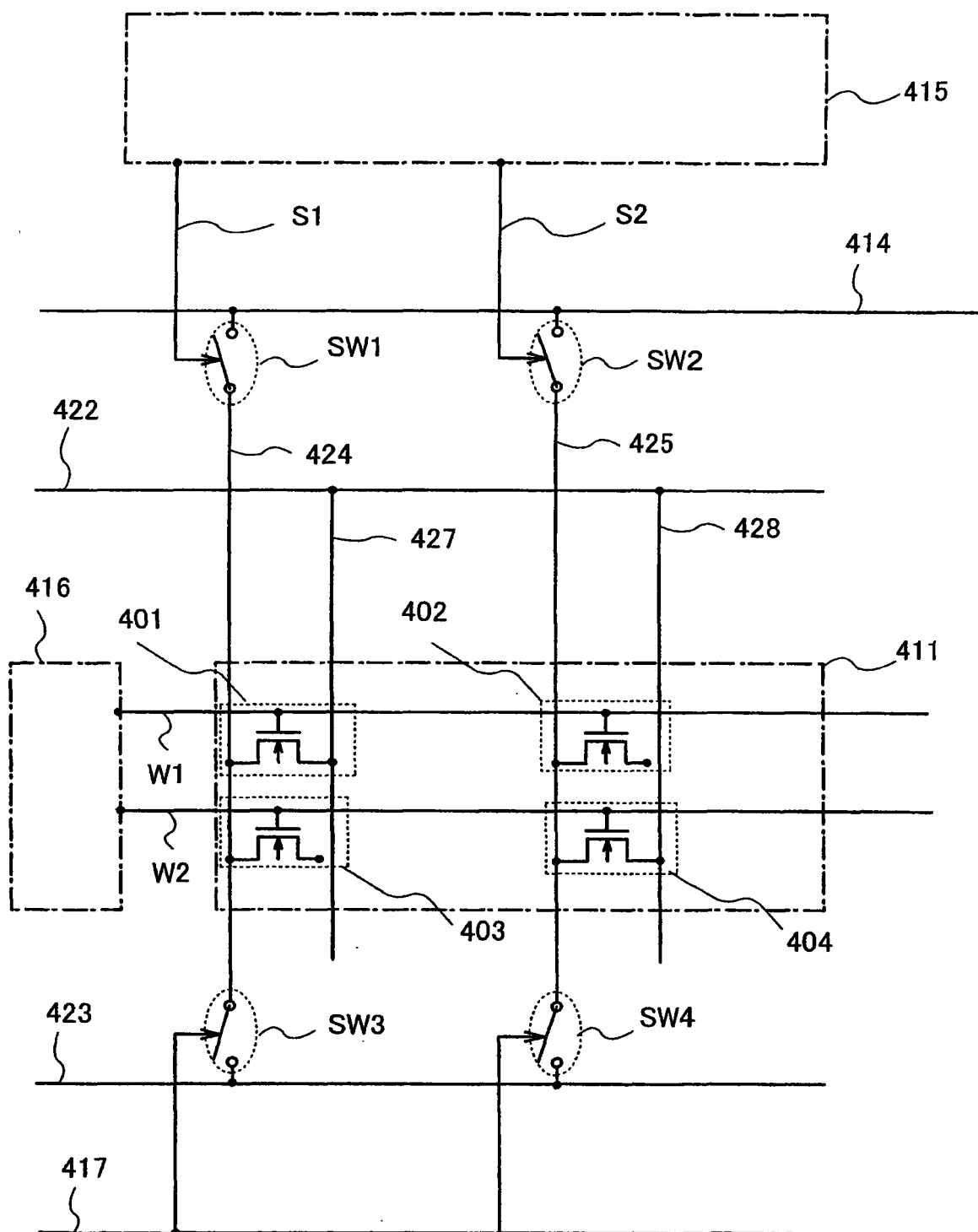


图 12

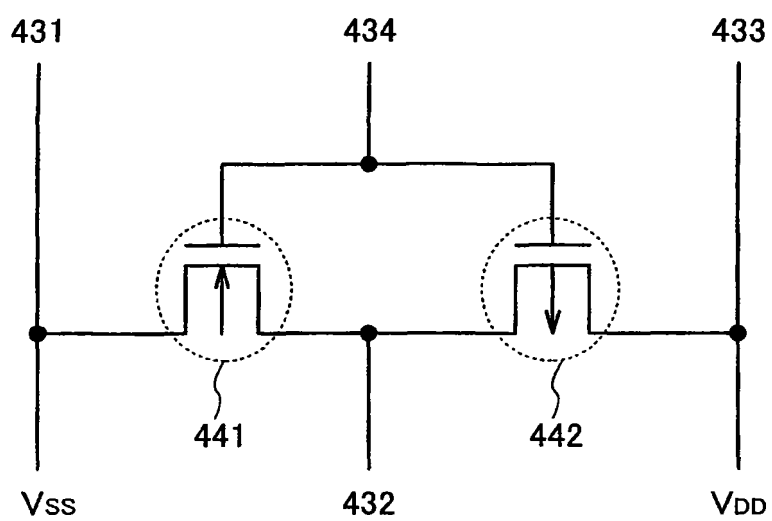


图 13

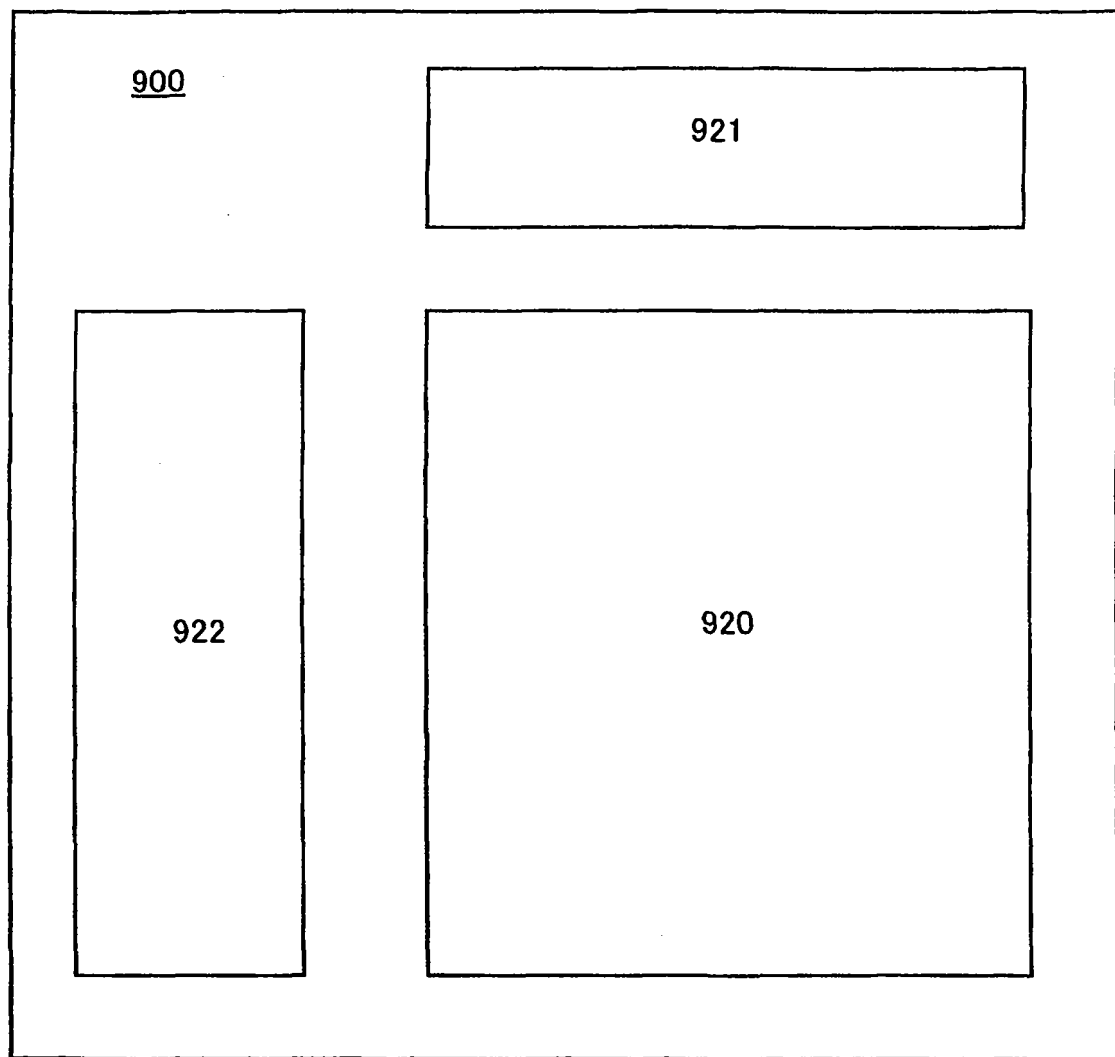


图 14

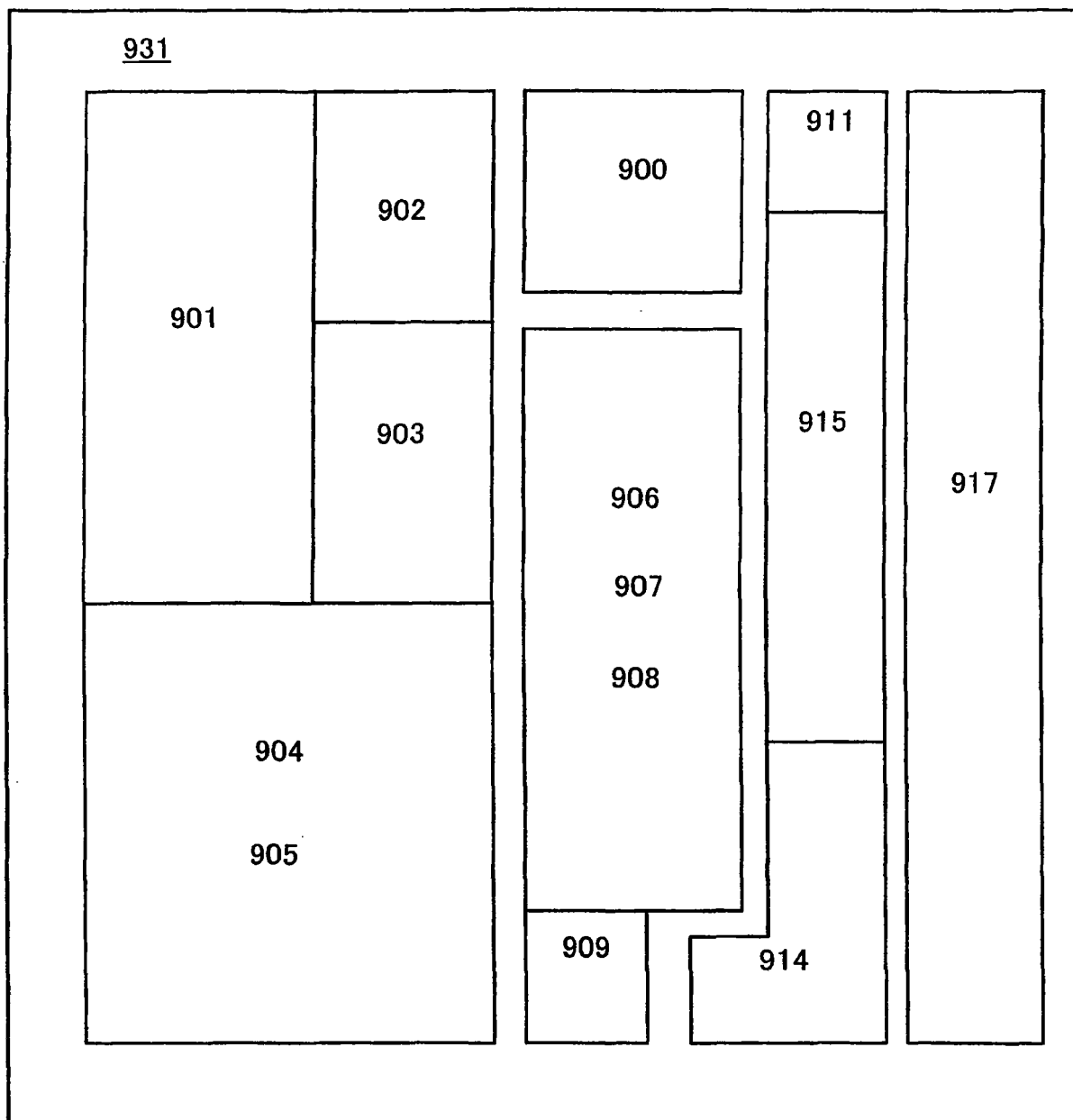


图 15A

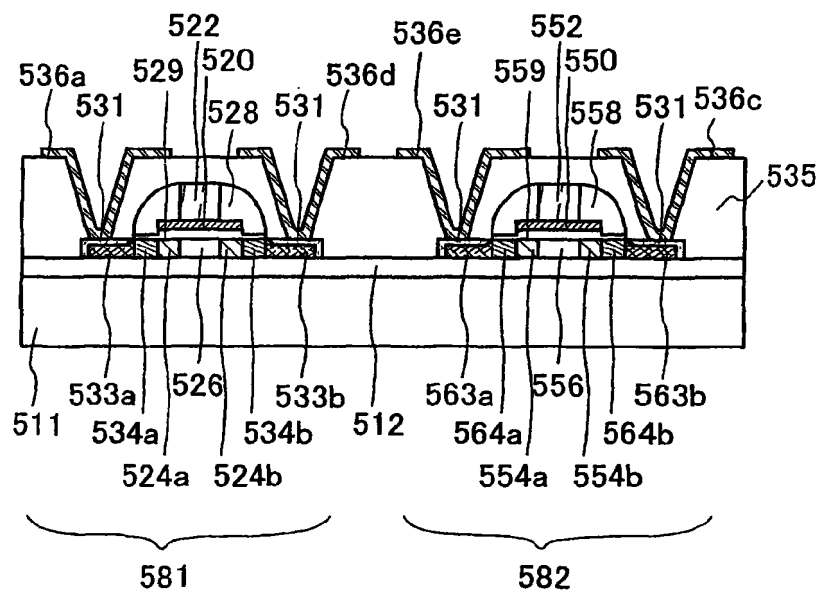


图 15B

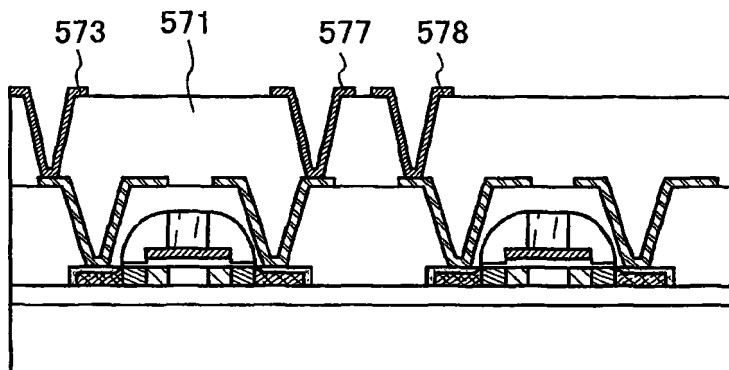


图 15C

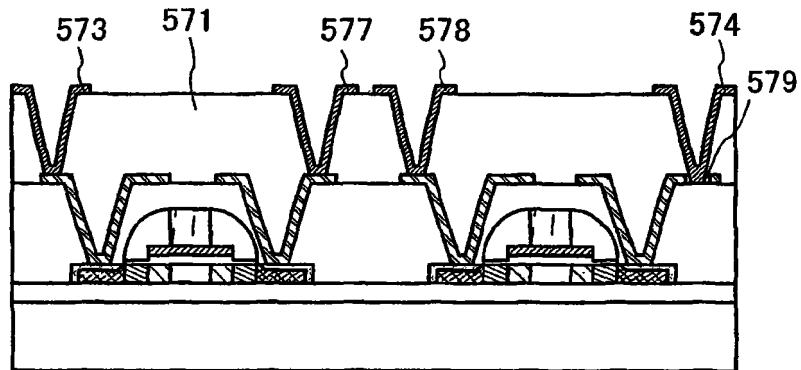


图 16A

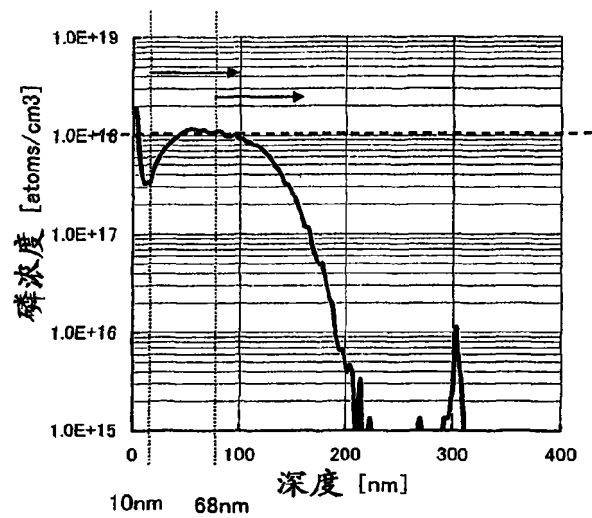


图 16B

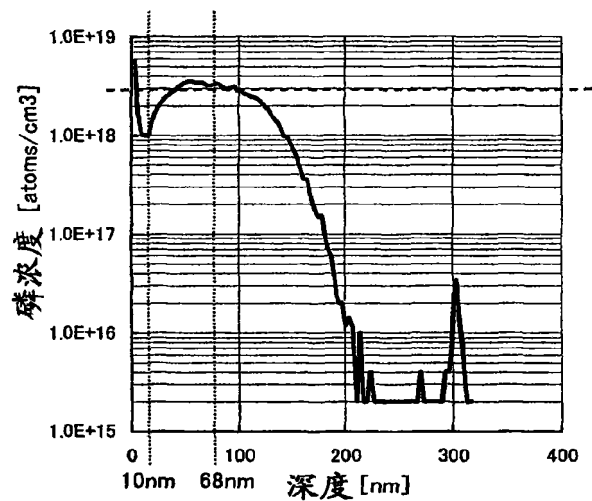


图 16C

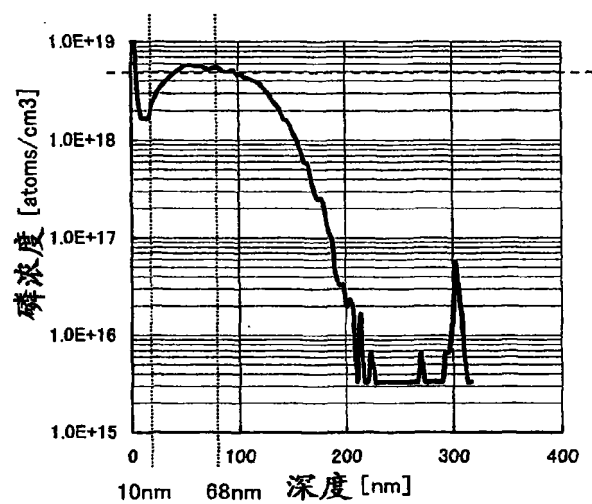


图 17

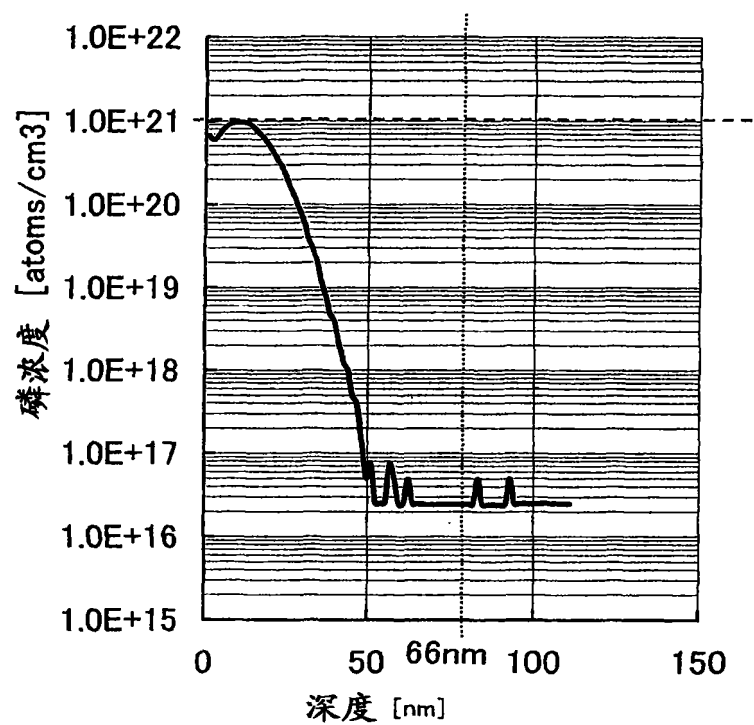


图 18

