



〔12〕发明专利申请审定说明书

〔21〕申请号 86106701

〔51〕Int.Cl⁴

G06F 3/02

〔44〕审定公告日 1989年12月6日

〔22〕申请日 86.9.29

〔30〕优先权

〔32〕85.9.30 〔33〕JP 〔31〕216700/85

〔71〕申请人 株式会社东芝

地址 日本神奈川县

共同申请人 托斯巴克计算机系统有限公司

〔72〕发明人 牛木浩 岩崎哲昭

〔74〕专利代理机构 中国国际贸易促进委员会专利

代理部

代理人 王以平

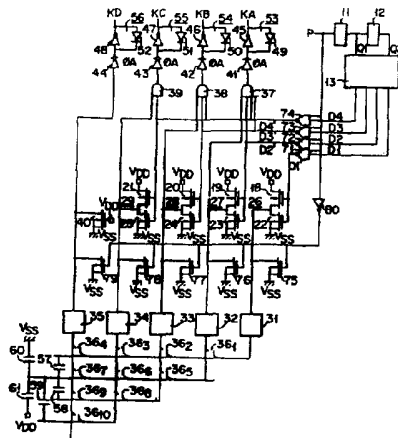
说明书页数:

附图页数:

〔54〕发明名称 键控电路

〔57〕摘要

本发明在外部端子间接有多个键控开关。由逻辑电路依次产生多个时间分隔信号,同时在一定周期的脉冲休止期内停止产生时分隔信号而消除直通电流。将上述时分隔信号作为输入信号供给各缓冲电路,其输出信号送往上述各外部端子。检出电路根据上述时分隔信号和来自外部端子的键控信号检测出多个键控开关中被闭合的开关,在多个端子与基准电位之间分别接入开关电路。在上述休止期内使这些开关电路导通,可增加对外部负荷的驱动能力。



39A

1. 一种键控电路，其特征在于，它具有：

多个外部接线端子；

接在上述多个外部端子相互之间的多个键控开关；

能根据基准脉冲信号产生多个时间分隔信号，并能在规定周期的脉冲休止时间内停止产生上述时间分隔信号的逻辑电路；

分别以上述多个时间分隔信号作为输入信号、分别输出信号供给上述多个外部端子的多个缓冲电路；

根据上述时间分隔信号以及上述多个外部端子中用于输入键控信号的外部端子上的信号来检出上述多个键控开关闭合情况的检出电路；

接在上述各个外部端子与基准电位之间，并在上述休止期间接通的多个开关装置。

2. 权利要求1所述的键控电路，其特征在于，上述逻辑电路由下列电路构成；

根据上述基准脉冲信号输出时间分隔信号的电路；

获得上述各个时间分隔信号与上述基准脉冲信号的反相逻辑积，并停止产生上述时间分隔信号的反相逻辑积电路。

3. 权利要求1所述的键控电路，其特征在于：

上述各个缓冲电路由串联连接在基准电位与电源电位间、栅极一起连接在上述反相逻辑积电路的输出端上、相互间的连接点连接在上述各个外部端子上的P沟道MOS晶体管和N沟道MOS晶体管构成。

4. 权利要求3所述的键控电路，其特征在于：

上述P沟道MOS晶体管的导通电阻 R_p 与上述N沟道MOS晶

5

体管的导通电阻 R_n 之间满足下列关系。 $R_p < R_n$ 。

5. 权利要求 4 所述的键控电路。其特征在于：

上述闭合的键控开关的接通电阻为 R_{key} 时， $R_p + R_{key} < R_n$ 。

6. 一种键控电路，其特征在于：

上述开关装置由导通电阻小于上述 N 沟道晶体管的导通电阻的 MOS 晶体管构成。

键 控 电 路

本发明涉及在装备有键控开关的小型电子计算机等设备中使用的键控电路。特别涉及低功耗的集成电路中或键控开关的接通电阻和负载容量会引起问题的集成电路中的键控电路。

随着大规模集成电路的发展，在小型电子计算机和电子钟等设备中采用了CMOS (Complementary Metal Oxide Semiconductor) 结构的集成电路，特别是时钟同步型互补 (Clock Synchronized Complementary) MOS集成电路。由于使用这种MOS集成电路，不管在运算中还是显示时，都能把耗电抑制得非常小，只有几微安。由于耗电抑制得很小，用太阳能电池作供电装置就成为可能。对于这种集成电路，键控信号的读取是利用P沟道MOS晶体管和N沟道MOS晶体管的导通电阻的差来进行的。所以，如果不考虑控制这些晶体管通、断的脉冲信号的占空比以及晶体管的导通电阻等因素，那么这些晶体管中就有可能长时间流过很大的直通电流。

图1示出目前通常采用的键控电路的一个例子。

图2 (A) 至 2 (P) 为外部端子 3 2 与 3 4 之间的键控开关 3 6。闭合时，键控电路各部分信号的同步波形图。图2 (A) 为基准脉冲信号 P，图2 (B) 为同步信号 ϕA ，图2 (C) 与 2 (D) 为二进制计数器 1 1、1 2 的输出信号 Q_1 、 Q_2 ，图2 (E) ~ 2 (H) 分别表示由译码器 1 3 输出的时间分隔信号 $D_1 \sim D_4$ ，图

2 (I) ~ 2 (L) 分别表示输入至外部端子 3 1 ~ 3 4 的外部信号 $V K_1 \sim V K_4$ 。图 2 (M) ~ 2 (P) 分别表示由反馈电路 5 3 ~ 5 6 输出的键控信号 $K A \sim K D$ 。

在图 1 的键控电路中，两个二进制计数器 1 1、1 2 串联连接，计数器 1 1 被输入一定周期的基准脉冲信号 P (图 2 (A))，并进行计数。计数器 1 1 对脉冲信号 P 计数到达规定的数值时，就输出脉冲信号 Q_1 (图 2 (C))。计数器 1 1 的输出脉冲信号输入至计数器 1 2 进行计数。一旦计数器 1 2 对脉冲信号 Q_1 计数到达规定的数值，就输出脉冲信号 Q_2 (图 2 (D))。计数器 1 1、1 2 的输出信号 Q_1 、 Q_2 输入译码器 1 3。译码器 1 3 根据脉冲信号 Q_1 、 Q_2 产生并输出时间分隔信号 $D_1 \sim D_4$ (图 2 (E) ~ 2 (H))。时间分隔信号 $D_1 \sim D_4$ 分别通过倒相器 1 4 ~ 1 7 被反相。然后分别输入缓冲电路 2 6 ~ 2 9。缓冲电路 2 6 由串联在电源电位 V_{DD} 和基准电位 V_{SS} 之间的 P 沟道 MOS 晶体管 1 8 以及 N 沟道 MOS 晶体管 2 2 构成。缓冲电路 2 7 由串联在电源电位 V_{DD} 和基准电位 V_{SS} 之间的 P 沟道 MOS 晶体管 1 9 和 N 沟道 MOS 晶体管 2 3 组成。晶体管 1 9 和 2 3 的栅极相连。缓冲电路 2 8 由串联在电源电位 V_{DD} 及基准电位 V_{SS} 之间的 P 沟道 MOS 晶体管 2 0 和 N 沟道 MOS 晶体管 2 4 构成。晶体管 2 0 和 2 4 的栅极相连。缓冲电路 2 9 由串联在电源电位 V_{DD} 和基准电位 V_{SS} 之间的 P 沟道 MOS 晶体管 2 1 及 N 沟道 MOS 晶体管 2 5 构成。晶体管 2 1 和 2 5 的栅极相连。

缓冲电路 2 6 ~ 2 9 的输出信号分别供给外部端子 3 1 ~ 3 4。端子 3 1 为输出专用，端子 3 2 ~ 3 4 供输入输出用。此外还设置了输入专用的外部端子 3 5。在端子 3 1 ~ 3 5 的两两之间，设置了触摸开关式的键控开关 3 6₁ ~ 3 6₁₀。倒相器 1 5 ~ 1 7 的输出信号

即时时间分隔信号 D_1 、 D_2 、 D_4 的反相信号被输入至与门 3 7。来自外部端子 3 2 的信号也被输入到与门 3 7。倒相器 1 6、1 7 的输出信号，即时时间分隔信号 D_1 、 D_4 的反相信号还输入到与门 3 8。来自外部端子 3 3 的信号也被输入到与门 3 8。倒相器 1 7 的输出信号，即时时间分隔信号 D_4 的反相信号输入到与门 3 9。来自外部端子 3 4 的信号也输入到与门 3 9。在输入专用的外部端子 3 5 和基准电位 V_{SS} 之间接有 N 沟道 MOS 晶体管 4 0，它的栅极与电源电位 V_{DD} 相连，因而处于常接通状态。与门 3 7~3 9 的输出信号分别输入开锁电路 5 3~5 5 被锁住，并与同步信号 ϕA 同步后作为键控信号 $K_A \sim K_C$ (图 2 (M))~2 (O)) 而输出。来自外部端子 3 5 的信号输入开锁电路 5 6 被锁住，并与同步信号 ϕA 同步作为键控信号 K_D (图 2 (P)) 而输出。

开锁电路 5 3 由时钟控制式倒相器 4 1、倒相器 4 5 和时钟控制式倒相器 4 9 构成。时钟控制式倒相器 4 1 接收与门 3 7 的输出信号并在时钟信号同步下工作，倒相器 4 5 将时钟控制式倒相器 4 1 的输出信号反相。时钟控制式倒相器 4 9 与倒相器 4 5 反向并联连接，并在时钟信号 ϕA (图 2 (B)) 的反相信号同步下工作。开锁电路 5 4 由时钟控制式倒相器 4 2、倒相器 4 6 和时钟控制式倒相器 5 0 构成。时钟控制式倒相器 4 2 接收与门 3 8 的输出信号，并在时钟信号同步下工作，倒相器 4 6 将时钟控制式倒相器 4 2 的输出信号反相，时钟控制式倒相器 5 0 与倒相器 4 6 反向并联连接，并在时钟信号 ϕA 的反相信号同步下工作。开锁电路 5 5 由时钟控制式倒相器 4 3、倒相器 4 7 和时钟控制式倒相器 5 1 构成。时钟控制式倒相器 4 3 接收与门 3 9 的输出信号，并在时钟信号同步下工作，倒相器 4 7 将时

钟控制式倒相器 4 7 的输出信号反相。时钟控制式倒相器 5 1 与倒相器 4 7 反向并联连接。并在时钟信号 ϕ_A 的反相信号同步下工作。门锁电路 5 6 由时钟控制式倒相器 4 4、倒相器 4 8 以及时钟控制式倒相器 5 2 构成。时钟控制式倒相器 4 4 接受外部端子 3 5 的输出信号。并在时钟信号同步下工作。倒相器 4 8 将时钟控制式倒相器 4 4 的输出信号反相。时钟控制式倒相器 5 2 与倒相器 4 8 反向并联连接。并在时钟信号 ϕ_A 的反相信号同步下工作。

外部端子 3 1 ~ 3 5 相互之间以及各个外部端子与电源电位 V_{DD} 或与基准电位 V_{SS} 之间存在着寄生电容。为简化附图，图 1 中只示出与外部端子 3 2 之间的各个寄生电容。即电容 5 7 ~ 6 1。

在上述结构的键控电路中，由译码器 1 3 产生时间分隔信号 $D_1 \sim D_4$ 。该信号 $D_1 \sim D_4$ 通过倒相器 1 4 ~ 1 7 反相。再输入与门 3 7 ~ 3 9。由与门 3 7 ~ 3 9 得到信号 $D_1 \sim D_4$ 与来自外部端子 3 2 ~ 3 4 的输入信号的逻辑积。将该逻辑积输入门锁电路。根据输入门锁电路的逻辑积信号，获得与键控开关 3 6₁ ~ 3 6₁₀ 的选择闭合相对应的键控信号 $K_A \sim K_D$ 。为了检出键控信号 $K_A \sim K_D$ ，应使 P 沟道 MOS 晶体管 1 8 ~ 2 1 的各个导通电阻 R_p 以及 N 沟道 MOS 晶体管 2 2 ~ 2 5 和 4 0 各个导通电阻 R_n 的大小满足 $R_p < R_n$ 的关系。

就图 1 的键控电路，举一键控开关操作的例子。在键控开关 3 6₁ 闭合时，时间分隔信号 D_2 从译码器 1 3 输出后，使键控信号 K_A 、 K_B 、 K_C 和 K_D 分别成为“0”电平、“0”电平、“1”电平和“0”电平。通过检出键控信号 $K_A \sim K_D$ 的输出电平，便可知道键控开关 3 6₁ 被闭合了。

图3为键控开关36。闭合时图1所示电路的等效电路。

如图3所示。等效电路由倒相器15、17。缓冲电路27、29。外部端子32、34。与门37、39。以及连接在外部端子32和34之间的键控开关36。的接通电阻 R_{key} 构成。C为外部端子32、34的外部负载电容。即寄生电容。

图4(A)至图4(E)为图3所示等效电路中各部分信号的同步波形图。对于图3的等效电路。在时间分隔信号 D_2 处于“1”电平期间。缓冲电路27中的P沟道MOS晶体管19变为导通。这时。时间分隔信号 D_4 位于“0”电平。缓冲电路29中的N沟道MOS晶体管25呈导通状态。所以。此时外部端子32的电位 V_{K2} 由缓冲电路27内的P沟道MOS晶体管19的导通电阻、键控开关36的接通电阻 R_{key} 以及缓冲电路29内的N沟道MOS晶体管25的导通电阻上的电压分配来决定。这时。电源电位 V_{DD} 和基准电位 V_{SS} 之间流过直通电流。另一方面。当时间分隔信号 D_4 处于“1”电平期间。缓冲电路29中的P沟道MOS晶体管21成为导通状态。此时的时间分隔信号 D_2 呈“0”电平。缓冲电路27中的N沟道MOS晶体管23变为导通状态。因此。此时外部端子34的电位 V_{K4} 由缓冲电路29中的P沟道MOS晶体管21的导通电阻、键控开关36的接通电阻 R_{key} 以及缓冲电路27中的N沟道MOS晶体管23的导通电阻上的电压分配来决定。这时。电源电位 V_{DD} 和基准电位 V_{SS} 之间也流过直通电流。也就是说。这个电路中。在信号 D_2 和 D_4 分别处于“1”电平时。即图4(A)~4(E)中的 T_1 期间。有直通电流流过。

此时的直通电流I短路值如下面的1式所示。

$$\begin{aligned} I_{\text{短路}} &= V_{DD} / (R_p + R_{\text{key}} + R_n) \\ &= V_{DD} / R_n \quad \dots\dots 1 \end{aligned}$$

但是，要假定 $R_p + R_{\text{key}} < R_n$ 。

由上述 1 式可以知道，直通电流 $I_{\text{短路}}$ 取决于缓冲电路 2 7、2 9 中的 N 沟道 MOS 晶体管 2 3、2 5 的导通电阻 R_n ， R_n 值越大，直通电流值越小。

并且，在信号 D_2 处于“1”电平期间，输入与门 3 7 的外部端子 3 2 的电位 V_{K_2} 如下面的第 2 式所示。

$$V_{K_2} = R_n \cdot V_{DD} / (R_p + R_{\text{key}} + R_n) \quad \dots\dots 2$$

也就是说，缓冲电路 2 9 中 N 沟道 MOS 晶体管 2 5 的导通电阻 R_n 的值越大，外部端子 3 2 的电位 V_{K_2} 就越大，输入容限就越好。此外，这一结论对外部端子 3 4 的电位 V_{K_4} 也是一样的。即，在信号 D_4 处于“1”电平的期间，输入与门 3 9 的外部引线 3 4 的电位 V_{K_4} 如下面第 3 式所示。

$$V_{K_4} = R_n \cdot V_{DD} / (R_p + R_{\text{key}} + R_n) \quad \dots\dots 3$$

产生上述直通电流的 T_1 期间，外部负载电容由 V_{DD} 充电，接着，在信号 D_2 或 D_4 处于“0”电平的 T_2 期间，该电容 C 通过缓冲电路 2 7、2 9 中的 N 沟道 MOS 晶体管 2 3、2 5 放电。按照放电时的过渡过程特性，外部端子 3 2 的电位 V_{K_2} 如下面第 4 式所示。

$$V_{K_2} = e^{-t} = V_{DD} \cdot e^{-\frac{t}{C \cdot R_n}} \quad \dots\dots 4$$

此外，端子34的电位 V_{K4} 也是一样的，即：

$$V_{K4} = e(t) = V_{DD} \cdot e^{-\frac{t}{C \cdot R_n}} \quad \dots\dots 5$$

在放电时，从上述区间 T_2 的放电开始时刻 t_0 直到前面所述的时钟信号 ϕ_A 的下降沿为止的时间 t_1 之间，如果 $e(t)$ 尚未降低到足以使与门37或39判定 $e(t)$ 的电平为“0”的电位，就会产生误动作。

但是，考虑到近来由于键控开关检测次数能力的增大而导致上述时间 t_1 的缩短以及由于采用大型键控开关和薄膜键开关等引起的负载电容的增大，则各个缓冲电路26至29中N沟道MOS晶体管22至25的导通电阻 R_n 值愈小，区间 T_2 内的输入容限就愈好。

这样，在通常的键控电路中，相反的两个要求，即直通电流和键输入容限的问题要靠适当设定各缓冲电路中N沟道MOS晶体管的导通电阻 R_n 来解决。

因而，在集成电路制造中，必须对N沟道MOS晶体管22至25的工艺参数作不得已的限制，而且对键控开关36，不得不使用导通电阻和电容都很小的材料，因此存在着制造成本增加的缺点。

本发明考虑了上述问题，其目的在于能降低制造成本，而且提供能减小直通电流、提高键输入容限特性的键控电路。

根据本发明，提供的键控电路，其特征在于，它具有：

多个外部接线端子；

接在上述多个外部端子相互之间的多个键控开关；

能根据基准脉冲信号产生多个时间分隔信号，并能在规定周期的

脉冲休止期间内停止产生上述时间分隔信号的逻辑电路；

分别以上述多个时间分隔信号作为输入信号，分别输出信号供给上述多个外部端子的多个缓冲电路；

根据上述时间分隔信号以及上述多个外部端子中用于输入键控信号的外部端子上的信号来检出上述多个键控开关闭合情况的检出电路。

接在上述各个外部端子与基准电位之间，并在上述休止期间接通的多个开关装置。

下面参照附图说明本发明实施例的键控电路。

图5给出了本发明实施例的键控电路的简图。

图6(A)至6(T)表示外部端子32和34之间的键控开关36。闭合时，键控电路中各部分信号的同步波形图。图6(A)为基准脉冲信号P。图6(B)为同步信号 ϕA 。图6(C)、6(D)为计数器11和12的输出信号 Q_1 、 Q_2 。图6(E)~6(H)分别为译码器13输出的时间分隔信号 $D_1 \sim D_4$ 。图6(I)~6(L)分别为由与非门71~74输出的反相逻辑积信号 $D_1' \sim D_4'$ 。图6(M)~6(P)分别为外部端子31~34上的信号 $V K_1 \sim V K_4$ 。图6(Q)~6(T)分别为开锁电路53~56输出的键控信号 $K A \sim K D$ 。

本实施例中，与图1的通常键控电路相比，有以下不同点。即，设置与非门71~74代替了图1的通常电路中的倒相器14~17。将来自译码器13的时间分隔信号 $D_1 \sim D_4$ 分别供给与非门71~74。此外，将一定周期的基准脉冲信号P作为休止信号输入到与非门71~74。还有，在各个外部端子31~34与基准电位 V_{SS} 之间，设置了导通电阻比N沟道MOS晶体管22~25小的N沟道MOS晶体管75~78。另外还在外部端子35与基准电位 V_{SS}

之间设置了导通电阻比N沟道MOS晶体管40小的N沟道MOS晶体管79。基准脉冲信号P经过倒相器80进行反相后，输入到MOS晶体管75~79的栅极。

在本实施例的电路中，两个二进制计数器11、12串联连接，计数器11输入一定周期的基准脉冲信号P（图6（A）），并对其计数。计数器11对脉冲信号P计数到达规定的个数时，输出脉冲信号 Q_1 （图6（C））。计数器11的输出脉冲信号 Q_1 输入计数器12，并被计数。计数器12对脉冲信号 Q_1 计数到达规定个数时，即输出脉冲信号 Q_2 （图6（D））。计数器11和12的输出脉冲信号 Q_1 和 Q_2 均被输入译码器13。译码器13根据脉冲信号 Q_1 和 Q_2 产生并输出时间分隔信号 $D_1 \sim D_4$ （图6（E）~6（H））。时间分隔信号被分别输入与非门71~74的一个输入端。将基准脉冲信号P输入到与非门71~74的另一个输入端。与非门71~74的输出信号 $D_1' \sim D_4'$ 又被分别输入到缓冲电路26~29。缓冲电路26由串联在电源电位 V_{DD} 与基准电位 V_{SS} 之间的P沟道MOS晶体管18以及N沟道MOS晶体管22构成。晶体管18和22的栅极相互连接。缓冲电路27由串联在电源电位 V_{DD} 与基准电位 V_{SS} 之间的P沟道晶体管19以及N沟道MOS晶体管23构成。晶体管19和23的栅极相互连接。缓冲电路28由串联在电源电位 V_{DD} 与基准电位 V_{SS} 之间的P沟道MOS晶体管20和N沟道MOS晶体管24构成。晶体管20和24的栅极相互连接。缓冲电路29由串联在电源电位 V_{DD} 和基准电位 V_{SS} 之间的P沟道MOS晶体管21和N沟道MOS晶体管25构成。晶体管21和25的栅极互相连接。

将缓冲电路26~29的输出信号分别供给外部端子31~34。

端子 31 为输出专用，端子 32~34 用于输入和输出。另外又设置了一个输入专用的外部端子 35。各个端子 31~35 相互之间设置了触摸开关式键控开关 36₁~36₁₀。与非门 72~74 的输出信号，即时间分隔信号 D₂、D₃、D₄ 分别和基准脉冲信号 P 的反相逻辑积信号 D₂'、D₃'、D₄' 被输入到与门 37。来自外部端子 32 的信号也被输入到与门 37。与非门 73、74 的输出信号，即时间分隔信号 D₃、D₄ 分别与基准脉冲信号 P 的反相逻辑积信号 D₃'、D₄' 被输入到与门 38。来自外部端子 33 的信号也被输入到与门 38。与非门 74 的输出信号，即时间分隔信号 D₄ 与基准脉冲信号 P 的反相逻辑积信号 D₄' 被输入到与门 39。来自外部端子 34 的信号也被输入到与门 39。输入专用的外部端子 35 与基准电位 V_{ss} 之间连接着 N 沟道 MOS 晶体管 40，其栅极与电源电位 V_{DD} 相连而处于常导通状态。与门 37~39 的输出信号分别被输入到门锁电路 53~55 中被锁住，与同步信号 ϕ_A 同步作为键控信号 K_A—K_O 而被输出。来自外部端子 35 的信号被输入到门锁电路 56 中被锁住，与同步信号 ϕ_A 同步作为键控信号 K_D 被输出。门锁电路 53 由时钟控制式倒相器 41、倒相器 45 以及时钟控制式倒相器 49 构成。时钟控制式倒相器 41 接受与门 37 的输出信号，并在时钟信号同步下动作；倒相器 45 将时钟控制式倒相器 41 的输出信号反相；时钟控制式倒相器 49 与倒相器 45 反向并联连接，并在时钟信号 ϕ_A 的反相信号同步下动作。门锁电路 54 由时钟控制式倒相器 42、倒相器 46 以及时钟控制式倒相器 50 构成。时钟控制式倒相器 42 接受与门 38 的输出信号，并在时钟信号同步下动作；倒相器 46 将时钟控制式倒相器 42 的输出信号反相；时钟控制式倒相器 50 与倒相器 46 反向并联连接，并在时钟信号 ϕ_A 的反相信号同步下动作。

开锁电路 5 5 由时钟控制式倒相器 4 3、倒相器 4 7 以及时钟控制式倒相器 5 1 构成。时钟控制式倒相器 4 3 接受与门 3 9 的输出信号，并在时钟信号同步下动作；倒相器 4 7 将时钟控制式倒相器 4 3 的输出信号反相；时钟控制式倒相器 5 1 与倒相器 4 7 反向并联连接，并在时钟信号 ϕA 的反相信号同步下动作。开锁电路 5 6 由时钟控制式倒相器 4 4、倒相器 4 8 以及时钟控制式倒相器 5 2 构成，时钟控制式倒相器 4 4 接受外部端子 3 5 的输出信号，并在时钟信号 ϕA 同步下动作；倒相器 4 8 将时钟控制式倒相器 4 4 的输出信号反相；时钟控制式倒相器 5 2 与倒相器 4 8 反向并联连接，并在时钟信号 ϕA 的反相信号同步下动作。

在上述结构的键控电路中，时间分隔信号 $D_1 \sim D_4$ 由译码器 1 3 产生，该信号 $D_1 \sim D_4$ 与基准脉冲信号 P 的反相逻辑积信号 $D_1' \sim D_4'$ 由与非门 7 1 ~ 7 4 产生，把反相逻辑积信号 $D_1' \sim D_4'$ 输入到与门 3 7 ~ 3 9，由与门 3 7 ~ 3 9 取得信号 $D_1 \sim D_4$ 和由外部端子 3 2 ~ 3 4 输入的信号的逻辑积，将此逻辑积信号输入开锁电路，根据输入开锁电路的逻辑积信号得到与键控开关 3 6₁ ~ 3 6₁₀ 的选择闭合相对应的键控信号 $K A \sim K D$ 。此外，为了检出键控信号 $K A \sim K D$ ，设置 P 沟道 MOS 晶体管 1 8 ~ 2 1 的各个导通电阻 R_p 与 N 沟道 MOS 晶体管 2 2 ~ 2 5 和 4 0 的各个导通电阻 R_n 的大小满足 $R_p < R_n$ 。

外部端子 3 1 ~ 3 5 相互之间以及各外部端子与电源电位 V_{DD} 或基准电位 V_{SS} 之间存在着寄生电容。为简化附图，图 5 中只示出与外部端子 3 2 之间的寄生电容，即电容 5 7 ~ 6 1。

图 9 为图 5 键控电路中的译码器 1 3 的详细电路。图 9 的译码器由或非门 9 1、9 2，与门 9 3、9 4，倒相器 9 5 构成。或非门

9 1接受计数器 1 1 的输出信号 Q_1 和计数器 1 2 的输出信号 Q_2 作为输入信号。将上述信号的反相逻辑和信号作为时间分隔信号 D_1 输出。或非门 9 2接受信号 Q_2 和由倒相器 9 5反相的信号 $\overline{Q_1}$ 作为输入信号。把它们的反相逻辑和信号作为时间分隔信号 D_2 输出。与门 9 3接受信号 Q_2 和由倒相器 9 5反相的信号 $\overline{Q_1}$ 作为输入信号。将它们的逻辑积信号作为时间分隔信号 D_3 输出。与门 9 4接受信号 Q_1 和 Q_2 作为输入信号。将它们的逻辑积信号作为时间分隔信号 D_4 输出。

在图 5 的实施例电路中，把由译码器 1 3 输出的时间分隔信号 D_1 至 D_4 分别供给与非门 7 1 至 7 4，又把脉冲信号 P 供给与非门 7 1 至 7 4。因此，如图 6 (A) ~ 6 (T) 的同步波形图所示，由与非门 7 1 至 7 4 输出的信号 $D_1' \sim D_4'$ ，在脉冲信号 P 处于“0”电平期间，即使信号 D_1 至 D_4 处于“1”电平时，也被强制地置于“1”电平。即，脉冲信号 P 处于“0”电平的期间成为休止期间。该期间内，时间分隔信号 D_1 至 D_4 的输出实际上停止了。因此，如在图 1 的现有技术电路中所述的流过开关 3 6 的直通电流 I 短路流通的时间间隔只是图 1 的现有技术电路的二分之一，耗电比现有技术电路有大幅度的减少。

图 7 为键控开关 3 6。闭合时图 5 电路的等效电路图。图 8 (A) ~ 8 (E) 为图 7 所示的等效电路图中各部分信号的同步波形图。

如图 7 所示，等效电路由与非门 7 2、7 4，缓冲电路 2 7、2 9，外部端子 3 2、3 4，N 沟道 MOS 晶体管 7 6、7 8，与门 3 7、3 9，倒相器 8 0 以及接在外部端子 3 2 和 3 4 之间的键控开关 3 6。的接通电阻 R_{key} 构成。C 为外部端子 3 2、3 4 的外部负

载电容，即寄生电容。

在图 7 的等效电路中，在时间分隔信号 D_2 处于“1”电平的期间，脉冲信号 P 一变成“1”电平，与非门 7 2 的输出信号 D_2' 就变为“0”电平，缓冲电路 2 7 内的 P 沟道 MOS 晶体管 1 9 就变为导通状态。此时，时间分隔信号 D_4 为“0”电平，与非门 7 4 的输出信号 D_4' 变为“1”电平，缓冲电路 2 9 内的 N 沟道 MOS 晶体管 2 5 变为导通状态。因此，这时外部端子 3 2 的电位 V_{K_2} 由缓冲电路 2 7 中 P 沟道 MOS 晶体管 1 9 的导通电阻、键控开关 3 6 的接通电阻 R_{key} 以及缓冲电路 2 9 中的 N 沟道 MOS 晶体管 2 5 的导通电阻上的电压分配来决定。此时，电源电位 V_{DD} 和基准电位 V_{SS} 之间虽然也流过前面所述的第 1 式所示的直通电流，但如上所述，由于与非门 7 2 的作用，信号 D_2' 的“0”电平时间间隔只有原来的信号 D_2 处于“1”电平的时间间隔的一半，所以这时直通电流的流通时间为现有技术的一半。

另一方面，在时间分隔信号 D_4 处于“1”电平的期间，脉冲信号 P 一变成“1”电平，与非门 7 4 的输出信号 D_4' 就变为“0”电平，缓冲电路 2 9 中 P 沟道 MOS 晶体管 2 1 就成为导通状态。此时，时间分隔信号 D_2 处于“0”电平，与非门 7 2 的输出信号 D_2' 变为“1”电平，缓冲电路 2 7 中的 N 沟道 MOS 晶体管 2 3 变为导通状态。因此，此时外部端子 3 4 的电位 V_{K_4} （与上述电位 V_{K_2} 波形相同）由缓冲电路 2 9 内 P 沟道 MOS 晶体管 2 1 的导通电阻、键控开关 3 6 的接通电阻 R_{key} 以及缓冲电路 2 7 内的 N 沟道 MOS 晶体管 2 3 的导通电阻上的电压分配来决定。这时，电源电位 V_{DD} 和基准电位 V_{SS} 之间虽然也流过直通电流，但由于与非门 7 4 的作用，信号 D_4' 的“0”电平时间间隔仅为信号 D_4 的“1”电平时间间隔的

一半。所以这时的直通电流的流通时间为现有技术的一半。

使信号 D_2' 和 D_4' 分别为“1”电平时，缓冲电路 27、29 中的 N 沟道 MOS 晶体管 23、25 分别变成导通状态。键控开关 36 的负载容量 C 开始放电。在这里，脉冲信号 P 为“0”电平时，即在休止期中，由于反相器 80 将脉冲信号 P 反相后送入晶体管 76、78，因而 N 沟道 MOS 晶体管 76、78 也成为导通状态，所以负载电容 C 通过并联的晶体管 23 和 76 或通过并联的晶体管 25 和 78 进行放电。因此，外部端子 32、34 由于电容快速放电，其电位 V_{K_2} 和 V_{K_4} 迅即变为“0”电平。为此，与上述图 4 (A) ~ 4 (E) 中时间 t_1 相当的时间间隔变得极短，以至于在上述时钟信号 ϕA 下降沿来临时，与门 37 或 39 的输入信号已充分降低到“0”电平。

再者，上述放电时由于晶体管 76、78 导通而加快放电的进行，从而允许使缓冲电路 27、29 中的 N 沟道 MOS 晶体管 23、25 的导通电阻可取较大值。这样一来，由于上述直通电流的值得以变小，而根据电阻分压的外部端子的电位得以增大，所以在 P 沟道 MOS 晶体管导通期间，键输入容限就能变大。

根据上述这个实施例，由于对时间分隔信号设置了休止期间，同时在该休止期间使外部端子 31 ~ 35 由于 N 沟道 MOS 晶体管 75 ~ 79 的作用而快速放电，就能同时解决所谓的直通电流和键输入容限这两个相反的问题。因此，没有必要象现有技术那样精确地控制各缓冲电路 26 ~ 29 中的 N 沟道 MOS 晶体管 22 至 25 的导通电阻，也不需要过分限制集成电路制作中的工艺参数。另外键控开关 36 的接通电阻大小也就不成为问题了。再者，即使不使用电容量小的键控开关 36，放电时的放电速度也能变得足够快。从而能大幅度地降低

2

制造成本。

此外，本发明不是只限于上述实施例的东西，它可以有各种变化形式。例如，在上述实施例中，说明的是使用基准脉冲信号P的“0”电平期间形成时间分隔信号D₁至D₆的休止期间的情况。但是，只要是不含有作为门锁电路53~56的锁定控制信号的时钟信号 ϕ A的“1”电平期间的信号，那么无论用什么样的信号来产生休止期，不用说都是可以的。

如上所述，根据本发明，既能达到降低制造成本的目的，又能提供直通电流小、键输入容限特性提高的键控电路。

附图简单说明如下：

图1为现有技术键控电路的一个例子的示意图；

图2(A)~2(P)为图1所示键控电路中各部分信号的同步波形图；

图3为特定的键控开关闭合时，图1键控电路的等效电路图；

图4(A)~4(E)为图3等效电路中各部分信号的同步波形图；

图5为本发明一个实施例的键控电路的示意图；

图6(A)~6(T)为图5的键控电路各部分信号的同步波形图；

图7为特定的键控开关闭合时，图5键控电路的等效电路图；

图8(A)~8(E)为图5等效电路图中各部分信号的同步波形图；

图9为图5的键控电路中译码器的具体电路。

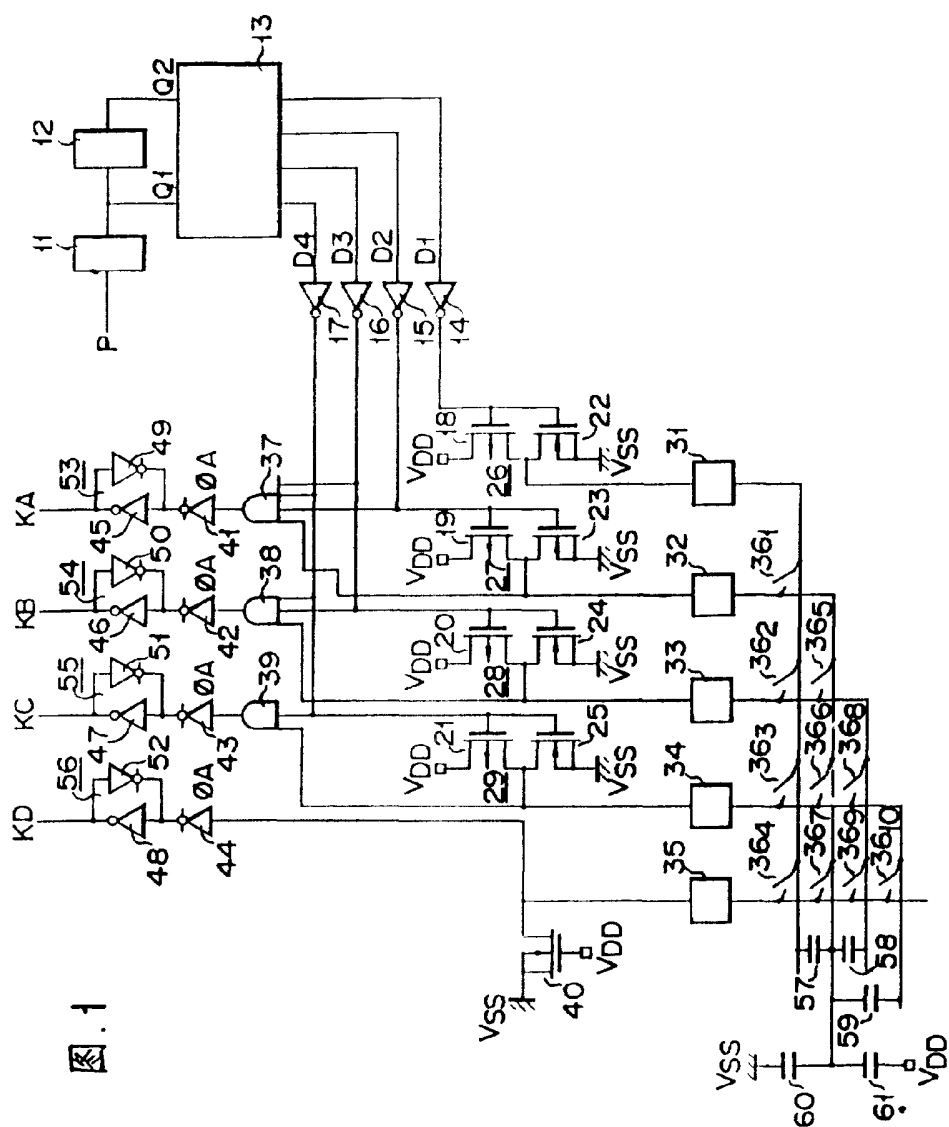


图.1

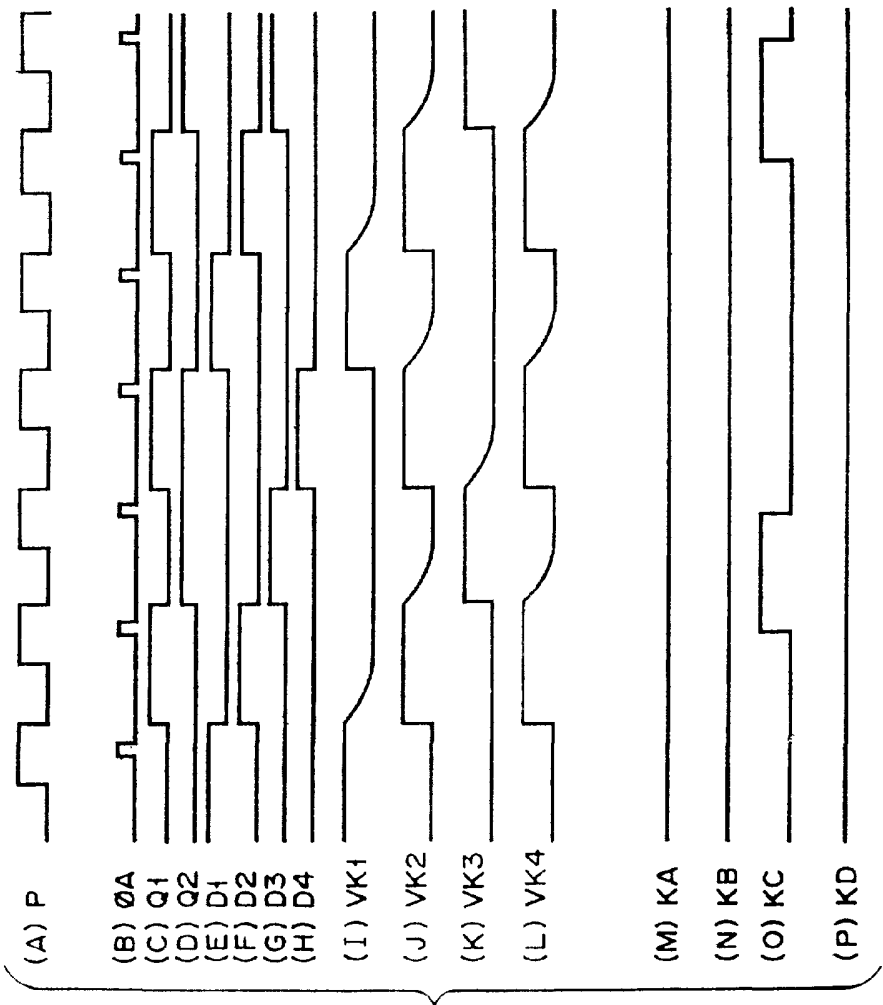


图. 2

图. 3

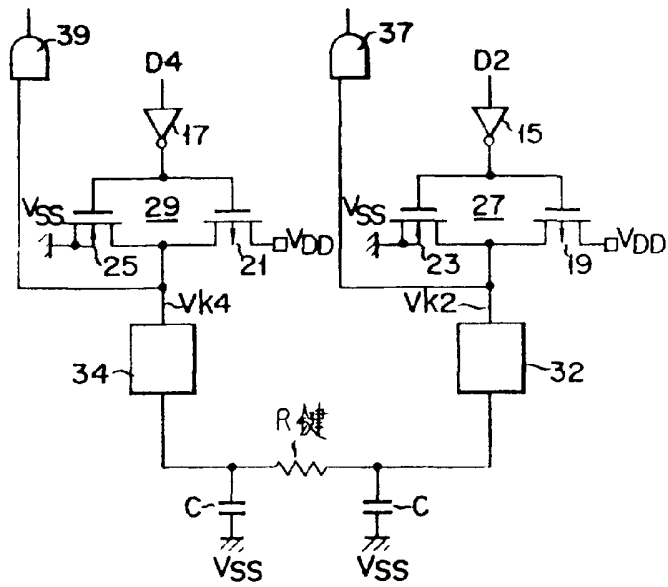


图. 4

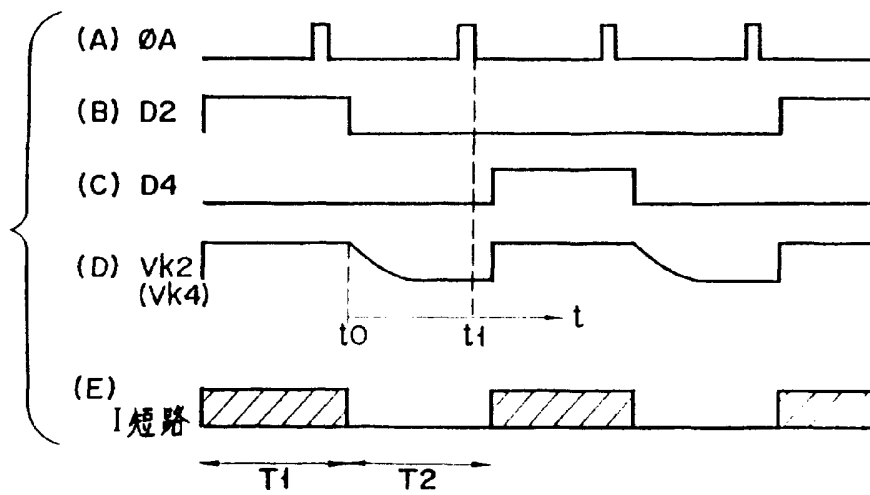


图 5

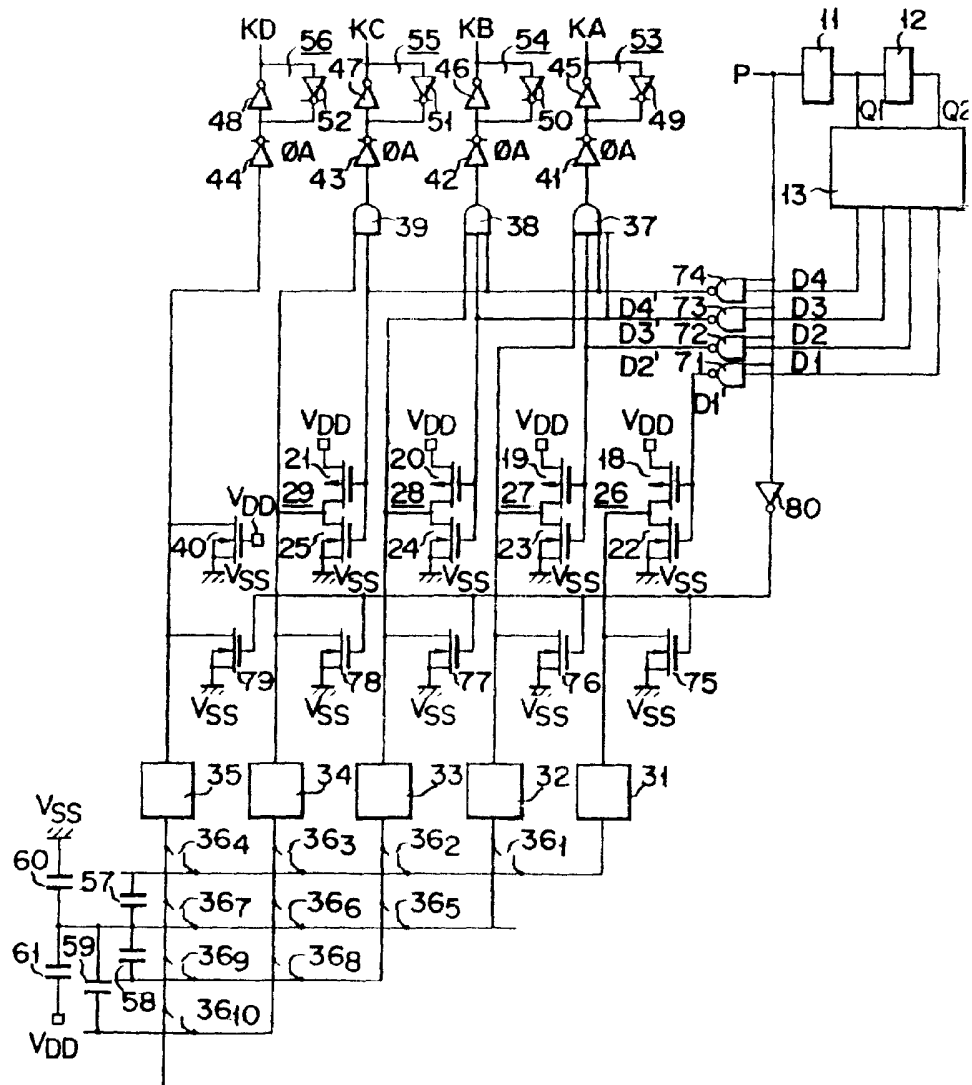


图. 6

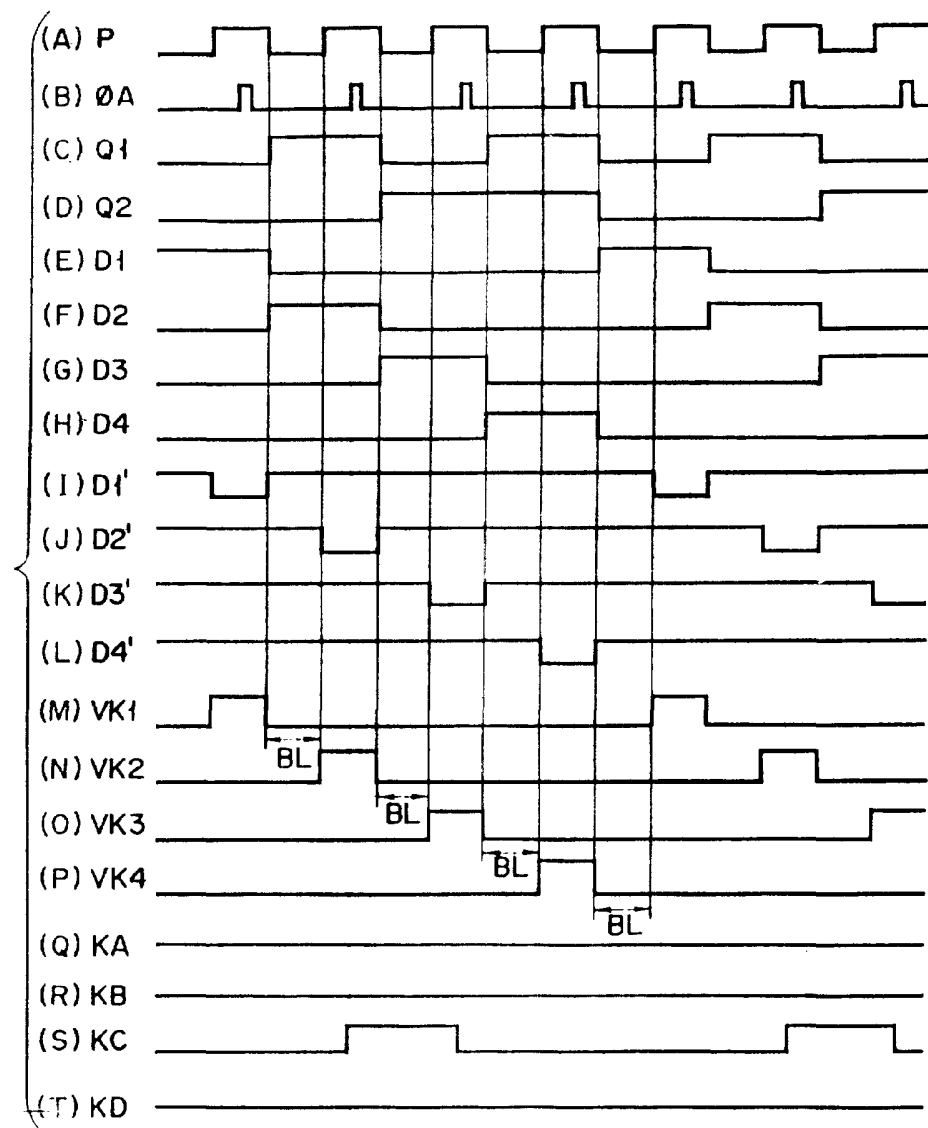
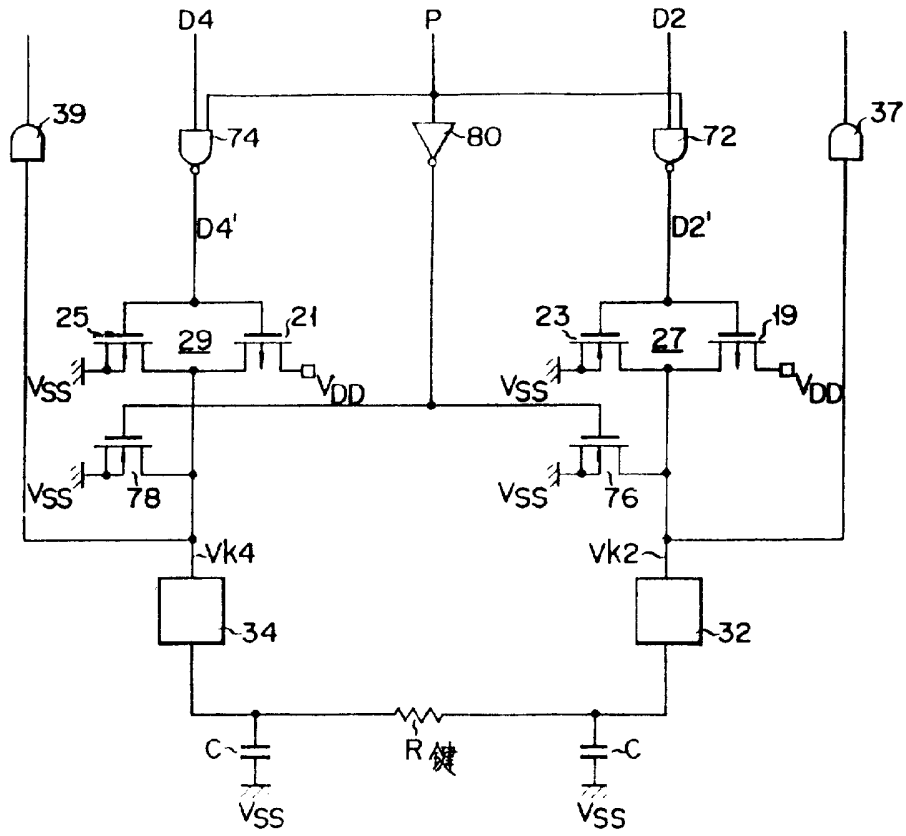


图. 7



27

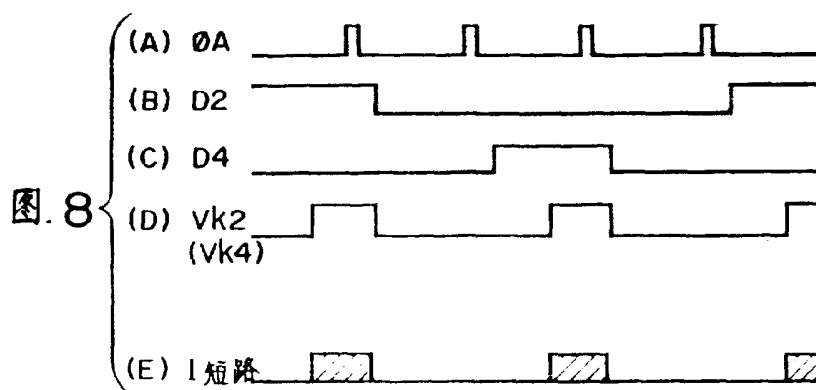


图. 9

