

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 電圧検知回路は、入力電圧に応じた電圧をそれぞれ出力する第1のバッファ回路および第2のバッファ回路と、前記第1のバッファ回路の出力電圧および前記第2のバッファ回路の出力電圧を検知する電圧検知部と、電圧値が異なる複数の基準電圧のいずれかを選択的に出力可能な基準電圧出力回路と、前記第1のバッファ回路および前記第2のバッファ回路に接続されたスイッチ回路と、を備え、前記スイッチ回路は、前記第1のバッファ回路の入力電圧を、測定対象に接続された第1の入力端子の電圧に応じた第1の入力電圧から、前記基準電圧出力回路から出力される前記基準電圧へと切り替え、前記第2のバッファ回路の入力電圧を、前記測定対象に接続された第2の入力端子の電圧に応じた第2の入力電圧から、前記基準電圧出力回路から出力される前記基準電圧へと切り替える。

明 細 書

発明の名称：電圧検知回路

技術分野

[0001] 本発明は、電圧検知回路に関する。

背景技術

[0002] 従来、電気自動車やハイブリッド自動車等の車両には、高電圧バッテリーから供給される直流電力をインバータで交流電力に変換し、駆動用の交流モータへ出力してモータを回転駆動させることで車両を走行させる電動システムが搭載されている。こうした電動システムでは、高電圧バッテリーの電圧を検知する電圧検知回路が広く利用されている。

[0003] 電圧検知回路によって検知された高電圧バッテリーの電圧情報は、高電圧バッテリーの充電制御やインバータの制御に用いられる。これらの制御の確からしさを保証するため、電圧検知回路には、故障が発生した場合にその故障を自身で検知できる故障検知機能が求められている。

[0004] 本発明の関連技術として、特許文献1に記載の技術が知られている。特許文献1には、直流電源の正極側と負極側にそれぞれ分圧抵抗が接続され、これらの分圧抵抗を介して直流電源の電圧を検知する電圧検知装置において、互いに極性の異なるパルスを各分圧抵抗に加えて各分圧抵抗の分圧値を変化させたときの電圧変動を観測することにより、分圧抵抗の故障を検知する技術が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：日本国特許第6415566号

発明の概要

発明が解決しようとする課題

[0006] 特許文献1に記載の技術では、分圧抵抗の故障を検知することは可能であるが、分圧抵抗と電圧測定を行うマイコンとの間に接続されたバッファ回路

に異常が生じた場合にこれを検知することができない。本発明は、こうした従来技術の課題を解決するため、従来よりも多様な異常診断を実現可能な電圧検知回路の提供を目的とするものである。

課題を解決するための手段

[0007] 本発明による電圧検知回路は、入力電圧に応じた電圧をそれぞれ出力する第1のバッファ回路および第2のバッファ回路と、前記第1のバッファ回路の出力電圧および前記第2のバッファ回路の出力電圧を検知する電圧検知部と、電圧値が異なる複数の基準電圧のいずれかを選択的に出力可能な基準電圧出力回路と、前記第1のバッファ回路および前記第2のバッファ回路に接続されたスイッチ回路と、を備え、前記スイッチ回路は、前記第1のバッファ回路の入力電圧を、測定対象に接続された第1の入力端子の電圧に応じた第1の入力電圧から、前記基準電圧出力回路から出力される前記基準電圧へと切り替え、前記第2のバッファ回路の入力電圧を、前記測定対象に接続された第2の入力端子の電圧に応じた第2の入力電圧から、前記基準電圧出力回路から出力される前記基準電圧へと切り替える。

発明の効果

[0008] 本発明によれば、従来よりも多様な異常診断を実現可能な電圧検知回路を提供できる。

図面の簡単な説明

[0009] [図1]本発明の第1の実施形態に係る電圧検知回路の構成図である。

[図2]基準電圧出力回路の様々な構成例を示す図である。

[図3]アンプ異常診断用の期待値表である。

[図4]スイッチ固着診断用の期待値表である。

[図5]異常診断の手順を示すフローチャートである。

[図6]アンプ異常診断の手順を示すフローチャートである。

[図7]本発明の第2の実施形態に係る電圧検知回路の構成図である。

[図8]本発明の第3の実施形態に係る電圧検知回路の構成図である。

[図9]分圧回路の異常診断の手順を示すフローチャートである。

発明を実施するための形態

[0010] 以下、図面を参照しつつ、本発明の実施の形態について説明する。なお、図面は簡略的なものであるから、この図面の記載を根拠として本発明の技術的範囲を狭く解釈してはならない。また、同一の要素には、同一の符号を付し、重複する説明は省略する。

[0011] (第1の実施形態)

本発明の第1の実施形態について、図1～図6を参照して以下に説明する。

[0012] 図1は、本発明の第1の実施形態に係る電圧検知回路の構成図である。本実施形態に係る電圧検知回路1は、高電圧バッテリー2と接続されており、正極入力端子11および負極入力端子12を介して入力される高電圧バッテリー2の電圧を検知するものである。図1に示すように、電圧検知回路1は、正極入力端子11、負極入力端子12、基準電圧出力回路13、分圧回路14、分圧回路15、スイッチ回路16、バッファ回路17、バッファ回路18、差動増幅回路19および制御回路20を備える。

[0013] 正極入力端子11は、高電圧バッテリー2の正極側に接続されており、高電圧バッテリー2の正極電圧 V_p が入力される。負極入力端子12は、高電圧バッテリー2の負極側に接続されており、高電圧バッテリー2の負極電圧 V_n が入力される。

[0014] 基準電圧出力回路13は、スイッチ素子SW1と、抵抗R1、R2およびR3と、オペアンプAMP1とを有する。抵抗R1、R2およびR3は直列接続されることで分圧回路を構成しており、この分圧回路の一端側は所定の電源電圧に接続され、他端側は接地されている。

[0015] オペアンプAMP1は、入力電圧に対して同じ電圧を出力するとともに、出力側のインピーダンスを下げるボルテージフォロワ（バッファ回路）として機能する。なお、オペアンプの代わりにボルテージトラッカーIC等を用いてもよい。オペアンプAMP1の入力端子は抵抗R1と抵抗R2の間に接続されており、上記の分圧回路によって電源電圧が分圧された基準電圧 V_r

$e f$ がオペアンプ AMP 1 の入力電圧として入力される。この基準電圧 V_{ref} と同じオフセット電圧 V_{offset} をオペアンプ AMP 1 が出力することにより、基準電圧出力回路 13 の出力側に接続された分圧回路 14, 15 に対して、所定の基準電圧 V_{ref} (オフセット電圧 V_{offset}) がそれぞれ出力される。

[0016] スイッチ素子 SW 1 は、一端側が抵抗 R_2 と抵抗 R_3 の間に接続されており、他端側が接地されている。スイッチ素子 SW 1 は、制御回路 20 から出力されるオフセット切替信号に応じて、オン状態またはオフ状態のいずれかに切り替えられる。これにより、分圧回路における抵抗 R_3 の接続状態が切り替えられて分圧回路の分圧比が変化し、その分圧比に応じて基準電圧 V_{ref} の値が変化する。すなわち、基準電圧出力回路 13 は、スイッチ素子 SW 1 のオン／オフ切替により、電圧値が異なる 2 種類の基準電圧のいずれかを選択的に出力可能に構成されている。

[0017] なお、図 1 に示した基準電圧出力回路 13 の構成は一例であり、電圧値が異なる 2 種類の基準電圧のいずれかを選択的に出力可能なものであれば、他の構成を採用してもよい。以下では図 2 を参照して、基準電圧出力回路 13 の他の構成例を説明する。

[0018] 図 2 は、基準電圧出力回路 13 の様々な構成例を示す図である。図 2 (a) は、図 1 に示したものと同一構成の基準電圧出力回路 13 を示している。図 2 (b) に示す例では、基準電圧出力回路 13 は、スイッチ素子 SW 1 の一端側が抵抗 R_1 と抵抗 R_2 の間に接続されており、他端側が抵抗 R_2 と抵抗 R_3 の間に接続されている。図 2 (c) に示す例では、基準電圧出力回路 13 は、抵抗 R_1 、 R_2 および R_3 が直列接続された分圧回路の代わりに、異なる電源電圧をそれぞれ出力する 2 種類の電源回路を有しており、これらの電源回路とオペアンプ AMP 1 の入力端子との間にスイッチ素子 SW 1 が設置されている。図 2 (d) に示す例では、基準電圧出力回路 13 は、図 2 (c) の回路構成からオペアンプ AMP 1 が取り除かれている。

[0019] 図 2 (a)、(b)、(c)、(d) いずれの構成においても、基準電圧

出力回路 13 は、制御回路 20 から出力されるオフセット切替信号に応じてスイッチ素子 SW1 を切り替えることにより、2 種類の基準電圧 V_{ref} のいずれかをオフセット電圧 V_{offset} として選択的に出力することができる。以下では、基準電圧出力回路 13 が出力する 2 種類の基準電圧 V_{ref} を、 V_{ref1} 、 V_{ref2} としてそれぞれ説明する。

[0020] なお、上記の各例では、スイッチ素子 SW1 の切替動作に応じて基準電圧 V_{ref1} または V_{ref2} のいずれかをオフセット電圧 V_{offset} として選択的に出力する基準電圧出力回路 13 の例を説明したが、3 種類以上の基準電圧 V_{ref} のいずれかを基準電圧出力回路 13 から選択的に出力できるようにしてもよい。また、複数種類の基準電圧を選択的に出力できるものであれば、図 2 の各例で示した回路構成に限らず、任意の回路構成を基準電圧出力回路 13 において採用することが可能である。

[0021] 図 1 の説明に戻ると、分圧回路 14 は、抵抗 $R4$ と抵抗 $R5$ により構成されており、正極入力端子 11 と基準電圧出力回路 13 の間に接続されている。抵抗 $R4$ と抵抗 $R5$ の間には、スイッチ回路 16 を介してバッファ回路 17 が接続されている。正極入力端子 11 に入力された正極電圧 V_p は、分圧回路 14 により所定の分圧比で分圧され、スイッチ回路 16 を介してバッファ回路 17 に出力される。

[0022] 分圧回路 15 は、抵抗 $R6$ と抵抗 $R7$ により構成されており、負極入力端子 12 と基準電圧出力回路 13 の間に接続されている。抵抗 $R6$ と抵抗 $R7$ の間には、スイッチ回路 16 を介してバッファ回路 18 が接続されている。負極入力端子 12 に入力された負極電圧 V_n は、分圧回路 15 により所定の分圧比で分圧され、スイッチ回路 16 を介してバッファ回路 18 に出力される。

[0023] 分圧回路 14、15 において、正極入力端子 11 と負極入力端子 12 の反対側には、基準電圧出力回路 13 から出力されるオフセット電圧 V_{offset} がそれぞれ印加される。これにより、電圧検知回路 1 では、分圧回路 14、15 でそれぞれ生成される電圧をオフセット電圧 V_{offset} に応じ

てオフセットできるようにになっている。

- [0024] スイッチ回路 16 は、基準電圧出力回路 13 および分圧回路 14 とバッファ回路 17 との間、および、基準電圧出力回路 13 および分圧回路 15 とバッファ回路 18 との間に接続されている。スイッチ回路 16 は、スイッチ素子 SW2-1 およびスイッチ素子 SW2-2 を有している。
- [0025] スイッチ素子 SW2-1 は、分圧回路 14 およびバッファ回路 17 と接続されており、制御回路 20 から出力される通常／診断切替信号に応じて、バッファ回路 17 の入力端子の接続先を、分圧回路 14 を介した正極入力端子 11 側、または基準電圧出力回路 13 側のいずれかに切り替える。このスイッチ素子 SW2-1 の切替動作により、バッファ回路 17 の入力電圧として、正極入力端子 11 の正極電圧 V_p が分圧回路 14 によって分圧された電圧、または、基準電圧出力回路 13 から出力されるオフセット電圧 V_{offset} （基準電圧 V_{ref1} または V_{ref2} ）のいずれかが選択される。
- [0026] スイッチ素子 SW2-2 は、分圧回路 15 およびバッファ回路 18 と接続されており、制御回路 20 から出力される通常／診断切替信号に応じて、バッファ回路 18 の入力端子の接続先を、分圧回路 15 を介した負極入力端子 12 側、または基準電圧出力回路 13 側のいずれかに切り替える。このスイッチ素子 SW2-2 の切替動作により、バッファ回路 18 の入力電圧として、負極入力端子 12 の負極電圧 V_n が分圧回路 15 によって分圧された電圧、または、基準電圧出力回路 13 から出力されるオフセット電圧 V_{offset} （基準電圧 V_{ref1} または V_{ref2} ）のいずれかが選択される。
- [0027] バッファ回路 17 は、入力電圧に対して同じ電圧を出力するとともに、出力側のインピーダンスを下げる機能を有しており、オペアンプ AMP2 を用いたボルテージフォロワにより構成される。なお、ボルテージフォロワの代わりにボルテージトラッカー IC 等を用いてバッファ回路 17 を構成してもよい。バッファ回路 17 の出力電圧 V_{HVPC} は、差動増幅回路 19 および制御回路 20 に入力される。
- [0028] バッファ回路 18 は、入力電圧に対して同じ電圧を出力するとともに、出

力側のインピーダンスを下げる機能を有しており、オペアンプAMP 3を用いたボルテージフォロワにより構成される。なお、ボルテージフォロワの代わりにボルテージトラッカーIC等を用いてバッファ回路18を構成してもよい。バッファ回路18の出力電圧 V_{HVNC} は、差動増幅回路19および制御回路20に入力される。

[0029] なお、バッファ回路17, 18がそれぞれ出力する電圧は、入力電圧に応じた電圧であればよく、必ずしも入力電圧と同じ電圧である必要はない。

[0030] 差動増幅回路19は、バッファ回路17の出力電圧 V_{HVPC} とバッファ回路18の出力電圧 V_{HVNC} との差分を検出し、その差分に応じた差動電圧 V_{HVDc} を制御回路20へ出力する。これにより、正極入力端子11の正極電圧 V_p と負極入力端子12の負極電圧 V_n との差分、すなわち高電圧バッテリー2の電圧に応じた差動電圧 V_{HVDc} が差動増幅回路19から出力され、制御回路20に入力される。

[0031] 制御回路20は、電圧検知回路1の全体制御を行う回路であり、その機能として、電圧検知部20A、切替信号制御部20Bおよび異常検知部20Cを有する。制御回路20は、例えばマイクロコンピュータにおいて所定のプログラムを実行したり、あるいはFPGA (Field-Programmable Gate Array) 等の論理回路を利用したりすることで、これらの機能を実現することが可能である。

[0032] 電圧検知部20Aは、差動増幅回路19から出力される差動電圧 V_{HVDc} を検知し、これに基づいて高電圧バッテリー2の正極－負極間の電圧を検知する。また、電圧検知部20Aは、バッファ回路17, 18の出力電圧 V_{HVPC} , V_{HVNC} と、基準電圧出力回路13から出力されるオフセット電圧 V_{offset} (基準電圧 V_{ref1} または V_{ref2}) を検知する。

[0033] 切替信号制御部20Bは、基準電圧出力回路13のスイッチ素子SW1に対して出力されるオフセット切替信号と、スイッチ回路16に対して出力される通常／診断切替信号とを制御する。これらの切替信号の制御により、切替信号制御部20Bは、基準電圧出力回路13から出力されるオフセット電

圧 V_{offset} の値を基準電圧 V_{ref1} または V_{ref2} のいずれかに切り替えるとともに、スイッチ回路 16 におけるスイッチ素子 $SW2-1$, $SW2-2$ の切り替え状態を制御して、バッファ回路 17 , 18 の入力端子の接続先を、正極入力端子 11 および負極入力端子 12 側、または基準電圧出力回路 13 側のいずれかに切り替えることができる。

[0034] 異常検知部 20C は、電圧検知部 20A により取得されたバッファ回路 17 , 18 の出力電圧 V_{HVPC} , V_{HVNc} および基準電圧出力回路 13 の出力電圧であるオフセット電圧 V_{offset} を取得し、これらの電圧値に基づいて電圧検知回路 1 の異常を検知する。異常検知部 20C により異常が検知された場合、制御回路 20 は、所定の異常フラグを不図示の上位装置へ送信し、電圧検知回路 1 において異常が発生したことを通知する。

[0035] 以下では、異常検知部 20C による異常検知の手法を説明する。

[0036] 図 3 は、アンプ異常診断用の期待値表である。図 3 に示す表は、電圧検知回路 1 が正常である場合と、基準電圧出力回路 13 の基準電圧 V_{ref} およびオペアンプ AMP 1、バッファ回路 17 , 18 のオペアンプ AMP 2 , AMP 3 がそれぞれ異常である場合とで、通常／診断切替信号およびオフセット切替信号によるスイッチ回路 16 およびスイッチ素子 $SW1$ の切り替え状態に応じて、基準電圧 V_{ref} 、オフセット電圧 V_{offset} 、バッファ回路 17 , 18 の出力電圧 V_{HVPC} , V_{HVNc} がそれぞれどのような値を取るかを示している。

[0037] 高電圧バッテリー 2 の電圧検知を行う通常制御時において、切替信号制御部 20B は、スイッチ回路 16 が通常側、すなわちバッファ回路 17 , 18 の入力端子が分圧回路 14 , 15 を介して正極入力端子 11 と負極入力端子 12 にそれぞれ接続されるように、通常／診断切替信号を出力する。また、基準電圧出力回路 13 のスイッチ素子 $SW1$ がオフ状態に切り替えられ、基準電圧出力回路 13 からオフセット電圧 V_{offset} として基準電圧 V_{ref1} が出力されるように、オフセット切替信号を出力する。このとき、基準電圧 V_{ref} およびオペアンプ AMP 1 ~ AMP 3 がいずれも正常であれば

、電圧検知部20Aにより、オフセット電圧 V_{offset} として基準電圧 V_{ref1} が検知される。また、バッファ回路17の出力電圧 V_{HVPC} として、分圧回路14の抵抗 R_4 、 R_5 の抵抗値に応じた分圧比で正極電圧 V_p を分圧した電圧値を、さらに基準電圧 V_{ref1} （オフセット電圧 V_{offset} ）だけオフセットした電圧値が検知される。同様に、バッファ回路18の出力電圧 V_{HVNC} として、分圧回路15の抵抗 R_6 、 R_7 の抵抗値に応じた分圧比で負極電圧 V_n を分圧した電圧値を、さらに基準電圧 V_{ref1} （オフセット電圧 V_{offset} ）だけオフセットした電圧値が検知される。

[0038] 基準電圧 V_{ref} およびオペアンプAMP1～AMP3の異常診断時において、切替信号制御部20Bは、スイッチ回路16が診断側、すなわちバッファ回路17、18の入力端子が基準電圧出力回路13の出力端子にそれぞれ接続されるように、通常／診断切替信号を出力する。この状態で、基準電圧出力回路13のスイッチ素子SW1がオフ状態とオン状態にそれぞれ切り替えられ、これに応じて基準電圧出力回路13からオフセット電圧 V_{offset} として基準電圧 V_{ref1} 、 V_{ref2} がそれぞれ出力されるように、オフセット切替信号を出力する。

[0039] 基準電圧出力回路13のスイッチ素子SW1がオフ状態であるとき、基準電圧 V_{ref} およびオペアンプAMP1～AMP3がいずれも正常であれば、電圧検知部20Aにより、オフセット電圧 V_{offset} として基準電圧 V_{ref1} が検知される。この基準電圧 V_{ref1} がスイッチ回路16を介してバッファ回路17、18にそれぞれ入力されることにより、バッファ回路17、18の出力電圧 V_{HVPC} 、 V_{HVNC} でも基準電圧 V_{ref1} がそれぞれ検知される。

[0040] 一方、基準電圧出力回路13において、分圧回路の故障等により基準電圧 V_{ref} に異常が生じた場合、基準電圧 V_{ref} の電圧値が V_{ref1} 以外の値となり、これに応じて、基準電圧出力回路13の出力電圧も V_{ref1} ではなくなる。したがって、電圧検知部20Aにより、オフセット電圧 V_{offset} として基準電圧 V_{ref1} 以外の値が検知される。また、バッ

ア回路 17, 18 の出力電圧 V_{HVPC} , V_{HVNC} でも基準電圧 V_{ref1} 以外の値がそれぞれ検知される。

[0041] あるいは、基準電圧出力回路 13 においてオペアンプ AMP 1 に異常が生じた場合、基準電圧出力回路 13 の出力電圧が基準電圧 V_{ref1} ではなくなる。したがって、この場合にも上記の基準電圧 V_{ref} の異常時と同様に、電圧検知部 20A により、オフセット電圧 V_{offset} として基準電圧 V_{ref1} 以外の値が検知される。また、バッファ回路 17, 18 の出力電圧 V_{HVPC} , V_{HVNC} でも基準電圧 V_{ref1} 以外の値がそれぞれ検知される。

[0042] バッファ回路 17 においてオペアンプ AMP 2 に異常が生じた場合、電圧検知部 20A により、バッファ回路 17 の出力電圧 V_{HVPC} として基準電圧 V_{ref1} 以外の値が検知される。同様に、バッファ回路 18 においてオペアンプ AMP 3 に異常が生じた場合、電圧検知部 20A により、バッファ回路 18 の出力電圧 V_{HVNC} として基準電圧 V_{ref1} 以外の値が検知される。

[0043] なお、基準電圧 V_{ref} およびオペアンプ AMP 1 ~ AMP 3 の異常診断時において、基準電圧出力回路 13 から出力されるオフセット電圧 V_{offset} を基準電圧 V_{ref1} から基準電圧 V_{ref2} に切り替えた場合も、 V_{ref1} が V_{ref2} に置き換えられる点以外は上記と同様である。すなわち、基準電圧出力回路 13 のスイッチ素子 SW 1 がオン状態であるとき、基準電圧 V_{ref} およびオペアンプ AMP 1 ~ AMP 3 がいずれも正常であれば、電圧検知部 20A により、オフセット電圧 V_{offset} として基準電圧 V_{ref2} が検知され、バッファ回路 17, 18 の出力電圧 V_{HVPC} , V_{HVNC} でも基準電圧 V_{ref2} がそれぞれ検知される。一方、基準電圧 V_{ref} またはオペアンプ AMP 1 ~ AMP 3 のいずれかが異常である場合、その異常箇所に対応する電圧において基準電圧 V_{ref2} 以外の値が検知される。

[0044] 図 4 は、スイッチ固着診断用の期待値表である。図 4 に示す表は、電圧検知回路 1 が正常である場合と、基準電圧出力回路 13 のスイッチ素子 SW 1、スイッチ回路 16 のスイッチ素子 SW 2-1、SW 2-2 がそれぞれ異常である場合とで、通常／診断切替信号およびオフセット切替信号によるス

ツチ回路 16 およびスイッチ素子 SW1 の切り替え状態に応じて、基準電圧 V_{ref} 、オフセット電圧 V_{offset} 、バッファ回路 17, 18 の出力電圧 V_{HVPC} , V_{HVNC} がそれぞれどのような値を取るかを示している。なお、図 4 の表では、基準電圧 V_{ref} およびオペアンプ AMP1 ~ AMP3 がいずれも正常であると仮定して、各スイッチ素子が正常である場合と固着異常である場合の電圧値をそれぞれ示している。

[0045] スイッチ素子 SW1, SW2-1, SW2-2 の異常診断時において、切替信号制御部 20B は、スイッチ回路 16 が通常側に切り替えられ、その後診断側に切り替えられるように、通常／診断切替信号を出力する。なお、通常側と診断側の切替順序を入れ替えてもよい。そして、通常側と診断側のそれぞれにおいて、基準電圧出力回路 13 のスイッチ素子 SW1 がオフ状態とオン状態にそれぞれ切り替えられ、これに応じて基準電圧出力回路 13 からオフセット電圧 V_{offset} として基準電圧 V_{ref1} , V_{ref2} がそれぞれ出力されるように、オフセット切替信号を出力する。このとき、スイッチ素子 SW1, SW2-1, SW2-2 がいずれも正常であれば、電圧検知部 20A により、オフセット電圧 V_{offset} およびバッファ回路 17, 18 の出力電圧 V_{HVPC} , V_{HVNC} として、図 3 に示した正常時と同様の電圧がそれぞれ検知される。

[0046] 一方、基準電圧出力回路 13 において、スイッチ素子 SW1 が基準電圧 V_{ref1} 側、すなわちオフ状態に固着する異常が生じた場合、スイッチ回路 16 が診断側に切り替えられているときにオフセット切替信号を変化させても、基準電圧 V_{ref} の値は V_{ref1} のままで変化しない。そのため、スイッチ素子 SW1 を基準電圧 V_{ref2} 側に切り替えるオフセット切替信号が出力されているときに、電圧検知部 20A では、オフセット電圧 V_{offset} として、本来の基準電圧 V_{ref2} ではなく基準電圧 V_{ref1} が検知される。バッファ回路 17, 18 の出力電圧 V_{HVPC} , V_{HVNC} でも同様に、本来の基準電圧 V_{ref2} ではなく、基準電圧 V_{ref1} がそれぞれ検知される。

- [0047] また、基準電圧出力回路 13 において、スイッチ素子 SW1 が基準電圧 V_{ref2} 側、すなわちオン状態に固着する異常が生じた場合、スイッチ回路 16 が診断側に切り替えられているときにオフセット切替信号を変化させても、基準電圧 V_{ref} の値は V_{ref2} のままで変化しない。そのため、スイッチ素子 SW1 を基準電圧 V_{ref1} 側に切り替えるオフセット切替信号が出力されているときに、電圧検知部 20A では、オフセット電圧 V_{offset} として、本来の基準電圧 V_{ref1} ではなく基準電圧 V_{ref2} が検知される。バッファ回路 17, 18 の出力電圧 V_{HVPC} , V_{HVNC} でも同様に、本来の基準電圧 V_{ref1} ではなく、基準電圧 V_{ref2} がそれぞれ検知される。
- [0048] あるいは、スイッチ回路 16 において、スイッチ素子 SW2-1 が診断側、すなわち基準電圧出力回路 13 側に固着する異常が生じた場合、通常／診断切替信号を変化させてもバッファ回路 17 には、基準電圧出力回路 13 からのオフセット電圧 V_{offset} が入力され続ける。そのため、スイッチ回路 16 を通常側に切り替える通常／診断切替信号が出力されているときに、電圧検知部 20A では、バッファ回路 17 の出力電圧 V_{HVPC} として、本来の正極電圧 V_p に応じた電圧値ではなく、オフセット切替信号に応じて基準電圧 V_{ref1} または V_{ref2} が検知される。
- [0049] また、スイッチ素子 SW2-1 が通常側、すなわち分圧回路 14 を介した正極入力端子 11 側に固着する異常が生じた場合、通常／診断切替信号を変化させてもバッファ回路 17 には、正極電圧 V_p が分圧回路 14 によって分圧された電圧が入力され続ける。そのため、スイッチ回路 16 を診断側に切り替える通常／診断切替信号が出力されているときに、電圧検知部 20A では、バッファ回路 17 の出力電圧 V_{HVPC} として、本来の基準電圧 V_{ref1} または V_{ref2} ではない電圧値が検知される。
- [0050] さらに、スイッチ回路 16 において、スイッチ素子 SW2-2 が診断側、すなわち基準電圧出力回路 13 側に固着する異常が生じた場合、通常／診断切替信号を変化させてもバッファ回路 18 には、基準電圧出力回路 13 から

のオフセット電圧 V_{offset} が入力され続ける。そのため、スイッチ回路 16 を通常側に切り替える通常／診断切替信号が出力されているときに、電圧検知部 20A では、バッファ回路 18 の出力電圧 V_{HVNC} として、本来の負極電圧 V_n に応じた電圧値ではなく、オフセット切替信号に応じて基準電圧 V_{ref1} または V_{ref2} が検知される。

[0051] また、スイッチ素子 $SW2-2$ が通常側、すなわち分圧回路 15 を介した負極入力端子 12 側に固着する異常が生じた場合、通常／診断切替信号を変化させてもバッファ回路 18 には、負極電圧 V_n が分圧回路 15 によって分圧された電圧が入力され続ける。そのため、スイッチ回路 16 を診断側に切り替える通常／診断切替信号が出力されているときに、電圧検知部 20A では、バッファ回路 18 の出力電圧 V_{HVNC} として、本来の基準電圧 V_{ref1} または V_{ref2} ではない電圧値が検知される。

[0052] 制御回路 20 において、基準電圧出力回路 13 の基準電圧 V_{ref1} , V_{ref2} は、いずれも既知の値として記憶しておくことができる。異常検知部 20C では、通常／診断切替信号とオフセット切替信号をそれぞれ変化させたときに電圧検知部 20A によって検知された各電圧値、すなわちオフセット電圧 V_{offset} およびバッファ回路 17, 18 の出力電圧 V_{HVPC} , V_{HVNC} の値を取得し、図 3、図 4 の期待値表と比較する。その結果、正常時とは異なる電圧値が検知された場合には、これらの期待値表に従って、電圧検知回路 1 を構成する回路のいずれかが異常であると判断できる。

[0053] 図 5 は、制御回路 20 により実行される異常診断の手順を示すフローチャートである。

[0054] ステップ S101 では、バッファ回路 17, 18 の入力を基準電圧出力回路 13 側へ切り替える。ここでは、切替信号制御部 20B により、スイッチ回路 16 が診断側に切り替えられるように通常／診断切替信号を出力することで、バッファ回路 17, 18 の入力を切り替える。

[0055] ステップ S102 では、基準電圧出力回路 13 における基準電圧を V_{ref1} へ切り替える。ここでは、切替信号制御部 20B により、基準電圧出力

回路 13 においてスイッチ素子 SW1 がオフ状態に切り替えられ、これに応じて基準電圧出力回路 13 からオフセット電圧 V_{offset} として基準電圧 V_{ref1} が出力されるように、オフセット切替信号を出力する。

[0056] ステップ S103 では、電圧検知部 20A により、各回路部の電圧を測定する。ここでは、基準電圧出力回路 13 から出力されるオフセット電圧 V_{offset} の値と、バッファ回路 17, 18 の出力電圧 V_{HVPC} , V_{HVNC} とを測定する。

[0057] ステップ S104 では、基準電圧出力回路 13 における基準電圧を V_{ref2} へ切り替える。ここでは、切替信号制御部 20B により、基準電圧出力回路 13 においてスイッチ素子 SW1 がオン状態に切り替えられ、これに応じて基準電圧出力回路 13 からオフセット電圧 V_{offset} として基準電圧 V_{ref2} が出力されるように、オフセット切替信号を出力する。

[0058] ステップ S105 では、電圧検知部 20A により、基準電圧出力回路 13 から出力されるオフセット電圧 V_{offset} の値と、バッファ回路 17, 18 の出力電圧 V_{HVPC} , V_{HVNC} とを測定する。

[0059] ステップ S106 では、バッファ回路 17, 18 の入力を分圧回路 14, 15 側へ切り替える。ここでは、切替信号制御部 20B により、スイッチ回路 16 が通常側に切り替えられるように通常／診断切替信号を出力することで、バッファ回路 17, 18 の入力を切り替える。

[0060] ステップ S107 では、ステップ S102 と同様に、基準電圧出力回路 13 における基準電圧を V_{ref1} へ切り替える。

[0061] ステップ S108 では、電圧検知部 20A により、基準電圧出力回路 13 から出力されるオフセット電圧 V_{offset} の値と、バッファ回路 17, 18 の出力電圧 V_{HVPC} , V_{HVNC} とを測定する。

[0062] ステップ S109 では、ステップ S104 と同様に、基準電圧出力回路 13 における基準電圧を V_{ref2} へ切り替える。

[0063] ステップ S110 では、電圧検知部 20A により、基準電圧出力回路 13 から出力されるオフセット電圧 V_{offset} の値と、バッファ回路 17,

18の出力電圧 V_{HVPC} 、 V_{HVNc} とを測定する。

- [0064] ステップS111では、異常検知部20Cにより、ステップS103、S105、S108、S110でそれぞれ測定した各回路部の電圧が、図3、図4の期待値表に示した各場合の期待値とそれぞれ一致しているか否かを判定する。これらの各ステップで測定した電圧が期待値と全て一致している場合はステップS112へ進み、いずれか少なくとも一つの電圧が期待値と異なっている場合はステップS113へ進む。
- [0065] ステップS112では、異常検知部20Cにより、電圧検知回路1は正常であると判定する。ステップS112を終えたら、図5のフローチャートに示す異常診断を終了し、電圧検知回路1による高電圧バッテリー2の電圧検知を継続する。ただし、図5に示した異常診断の手順では、電圧検知回路1を構成する各回路部のうち、差動増幅回路19については正常か異常かを診断することができない。そのため、図5のフローチャートの終了後には、後述の図6に示すアンプ異常診断を実行することで、差動増幅回路19が正常であるか異常であるかを診断することが好ましい。
- [0066] ステップS113では、異常検知部20Cにより、電圧検知回路1において基準電圧出力回路13、バッファ回路17、18またはスイッチ回路16のいずれかが異常と判定する。このとき、図3、図4の期待値表におけるどの項目に該当するかを判断することにより、どの部分が異常であるかを判定することも可能である。
- [0067] ステップS114では、不図示の上位装置に対して異常フラグを通知し、電圧検知回路1において異常が発生したことを報告する。また、差動増幅回路19から出力される差動電圧 V_{HVDc} の測定結果を不採用として、他の装置への出力などを行わないようにする。これにより、電圧検知回路1の異常発生時には、他の装置において電圧検知回路1の出力に基づく不適切な制御が行われないようにして、電圧検知回路1が搭載されている車両等のシステムにおける安全性を確保することができる。ステップS114を終えたら、図5のフローチャートに示す異常診断を終了する。

[0068] 図6は、制御回路20により実行されるアンプ異常診断の手順を示すフローチャートである。

[0069] ステップS201では、バッファ回路17, 18に基準電圧 V_{ref1} をそれぞれ入力したときの差動増幅回路19の出力と、バッファ回路17, 18に基準電圧 V_{ref2} をそれぞれ入力したときの差動増幅回路19の出力とに基づいて、バッファ回路17, 18の入力電圧 V_{in} と差動増幅回路19から出力される差動電圧 V_{HVDc} との関係を表す一次式を生成する。

[0070] ステップS201では、まず図5のステップS101, S102と同様に、切替信号制御部20Bにより、スイッチ回路16が診断側に切り替えられるように通常／診断切替信号を出力するとともに、基準電圧出力回路13においてスイッチ素子SW1がオフ状態に切り替えられて基準電圧 V_{ref1} が出力されるように、オフセット切替信号を出力する。このときの差動増幅回路19の出力を、電圧検知部20Aにより、基準電圧 V_{ref1} に対応する第1の差動電圧 V_{HVDc1} として取得する。続いて図5のステップS104, S105と同様に、切替信号制御部20Bにより、通常／診断切替信号を変化せずにオフセット切替信号を変化させることで、基準電圧出力回路13においてスイッチ素子SW1がオン状態に切り替えられて基準電圧 V_{ref2} が出力されるようにする。このときの差動増幅回路19の出力を、電圧検知部20Aにより、基準電圧 V_{ref2} に対応する第2の差動電圧 V_{HVDc2} として取得する。

[0071] こうして第1の差動電圧 V_{HVDc1} と第2の差動電圧 V_{HVDc2} が取得されたら、以下の式(1)で表される一次式を生成する。式(1)において、 V_{HVDc} は差動増幅回路19から出力される差動電圧を表し、 V_{in} はバッファ回路17, 18に入力される電圧を表している。また、A, Bは一次式の傾きと切片をそれぞれ表しており、これらはバッファ回路17, 18および差動増幅回路19のゲインとオフセットにそれぞれ相当する。

$$V_{HVDc} = A \cdot V_{in} + B \quad \cdots (1)$$

[0072] 式(1)における傾きAと切片Bの値は、それぞれ以下の式(2)、(3

) で求められる。

$$A = (V_{HVDC2} - V_{HVDC1}) / (V_{ref2} - V_{ref1}) \quad \dots (2)$$

$$B = V_{HVDC1} - A \cdot V_{ref1} = V_{HVDC2} - A \cdot V_{ref2} \quad \dots (3)$$

[0073] ステップS202では、異常検知部20Cにより、ステップS201で生成した一次式の傾きAの値、すなわちゲインが、予め記憶された規定範囲内であるか否かを判定する。傾きAの値が規定範囲内にある場合はステップS203へ進み、規定範囲から外れている場合はステップS205へ進む。

[0074] ステップS203では、異常検知部20Cにより、ステップS201で生成した一次式の切片Bの値、すなわちオフセットが、予め記憶された規定範囲内であるか否かを判定する。切片Bの値が規定範囲内にある場合はステップS204へ進み、規定範囲から外れている場合はステップS206へ進む。

[0075] ステップS204では、異常検知部20Cにより、電圧検知回路1においてバッファ回路17, 18および差動増幅回路19は正常であると判定する。ステップS204を終えたら、図6のフローチャートに示すアンプ異常診断を終了し、電圧検知回路1による高電圧バッテリー2の電圧検知を継続する。

[0076] ステップS205では、異常検知部20Cにより、電圧検知回路1においてバッファ回路17, 18または差動増幅回路19のいずれかがゲイン異常であると判定する。ステップS205でゲイン異常の判定を行ったら、ステップS207へ進む。

[0077] ステップS206では、異常検知部20Cにより、電圧検知回路1においてバッファ回路17, 18または差動増幅回路19のいずれかがオフセット異常であると判定する。ステップS206でオフセット異常の判定を行ったら、ステップS207へ進む。

[0078] ステップS207では、図5のステップS114と同様に、不図示の上位装置に対して異常フラグを通知し、電圧検知回路1において異常が発生したことを報告する。また、差動増幅回路19から出力される差動電圧 V_{HVDC} の

測定結果を不採用として、他の装置への出力などを行わないようにする。ステップS207を終えたら、図6のフローチャートに示すアンプ異常診断を終了する。

[0079] 以上説明した本発明の第1の実施形態によれば、以下の作用効果を奏する。

[0080] (1) 電圧検知回路1は、入力電圧に応じた電圧をそれぞれ出力するバッファ回路17およびバッファ回路18と、バッファ回路17の出力電圧 V_{HVPC} およびバッファ回路18の出力電圧 V_{HVCN} を検知する電圧検知部20Aと、電圧値が異なる基準電圧 V_{ref1} および V_{ref2} のいずれかを選択的に出力可能な基準電圧出力回路13と、バッファ回路17およびバッファ回路18に接続されたスイッチ回路16とを備える。スイッチ回路16は、バッファ回路17の入力電圧を、測定対象である高電圧バッテリー2に接続された正極入力端子11の電圧 V_p に応じた入力電圧から、基準電圧出力回路13から出力される基準電圧 V_{ref1} 、 V_{ref2} へと切り替え、バッファ回路18の入力電圧を、高電圧バッテリー2に接続された負極入力端子12の電圧 V_n に応じた入力電圧から、基準電圧出力回路13から出力される基準電圧 V_{ref1} 、 V_{ref2} へと切り替える（ステップS101）。このようにしたので、電圧検知部20Aによって検知される出力電圧 V_{HVPC} および出力電圧 V_{HVCN} の値を用いて、従来よりも多様な異常診断を実現可能な電圧検知回路を提供できる。

[0081] (2) 電圧検知回路1は、正極入力端子11と基準電圧出力回路13の間に接続され、正極入力端子11の電圧 V_p が所定の分圧比で分圧された電圧を出力する分圧回路14と、負極入力端子12と基準電圧出力回路13の間に接続され、負極入力端子12の電圧 V_n が所定の分圧比で分圧された電圧を出力する分圧回路15とを備える。バッファ回路17には、分圧回路14の出力電圧が入力電圧として入力され、バッファ回路18には、分圧回路15の出力電圧が入力電圧として入力される。このようにしたので、制御回路20における電圧検知部20Aが取り扱い可能な電圧範囲に合わせて、出力電

圧 V_{HVPC} および出力電圧 V_{HVC} の値をそれぞれ調整することができる。したがって、追加の回路構成を設けることなく、電圧検知部20Aによって出力電圧 V_{HVPC} 、 V_{HVC} を取得することが可能となる。

[0082] (3) 基準電圧出力回路13は、抵抗 R_1 、 R_2 および R_3 が直列接続されて所定の電源電圧が印加される抵抗回路と、これらの抵抗のうち少なくともいずれか一つの抵抗の接続状態を切り替えるスイッチ素子 SW_1 とを有し、スイッチ素子 SW_1 のオン／オフ切替によって基準電圧 V_{ref1} 、 V_{ref2} のいずれかを選択可能に構成されている。このようにしたので、電圧値が異なる複数の基準電圧のいずれかを選択的に出力可能な基準電圧出力回路13を、簡単な回路構成で実現することができる。

[0083] (4) 基準電圧出力回路13は、図2(c)、(d)で示したように、異なる電源電圧をそれぞれ出力する複数の電源回路と、これらの電源回路の出力先を切り替えるスイッチ素子 SW_1 とを有し、スイッチ素子 SW_1 の切替によって基準電圧 V_{ref1} 、 V_{ref2} のいずれかを選択可能に構成されていてもよい。このようにしても、電圧値が異なる複数の基準電圧のいずれかを選択的に出力可能な基準電圧出力回路13を、簡単な回路構成で実現することができる。

[0084] (5) スイッチ回路16は、バッファ回路17の入力端子の接続先を正極入力端子11側または基準電圧出力回路13側のいずれかに切り替えるスイッチ素子 SW_{2-1} と、バッファ回路18の入力端子の接続先を負極入力端子12側または基準電圧出力回路13側のいずれかに切り替えるスイッチ素子 SW_{2-2} とを有する。このようにしたので、バッファ回路17、18の入力電圧をそれぞれ任意に切替可能なスイッチ回路16を、簡単な回路構成で実現することができる。

[0085] (6) 電圧検知回路1は、電圧検知回路1の異常を検知する異常検知部20Cを備える。異常検知部20Cは、スイッチ回路16によってバッファ回路17およびバッファ回路18の入力電圧が基準電圧出力回路13から出力される基準電圧 V_{ref1} 、 V_{ref2} に切り替えられているときに、電圧検

知部 20A により検知されたバッファ回路 17 の出力電圧 V_{HVPC} およびバッファ回路 18 の出力電圧 V_{HVNC} の少なくとも一方と、スイッチ回路 16 によってバッファ回路 17 の入力電圧が正極電圧 V_p に応じた入力電圧に切り替えられ、かつ、バッファ回路 18 の入力電圧が負極電圧 V_n に応じた入力電圧に切り替えられているときに、電圧検知部 20A により検知されたバッファ回路 17 の出力電圧 V_{HVPC} およびバッファ回路 18 の出力電圧 V_{HVNC} の少なくとも一方と、に基づき、電圧検知回路 1 の異常の有無を判断する（ステップ S111～S113）。具体的には、異常検知部 20C は、スイッチ回路 16 によってバッファ回路 17 およびバッファ回路 18 の入力電圧が基準電圧 V_{ref1} , V_{ref2} に切り替えられているときに、基準電圧 V_{ref1} , V_{ref2} について、電圧検知部 20A により検知されたバッファ回路 17 の出力電圧 V_{HVPC} と、バッファ回路 18 の出力電圧 V_{HVNC} とをそれぞれ取得する（ステップ S103, S105）。また、スイッチ回路 16 によってバッファ回路 17 の入力電圧が正極電圧 V_p に応じた入力電圧に切り替えられ、かつ、バッファ回路 18 の入力電圧が負極電圧 V_n に応じた入力電圧に切り替えられているときに、基準電圧 V_{ref1} , V_{ref2} について、電圧検知部 20A により検知されたバッファ回路 17 の出力電圧 V_{HVPC} と、バッファ回路 18 の出力電圧 V_{HVNC} とをそれぞれ取得する（ステップ S108, S110）。そして、取得した各出力電圧値に基づいて、電圧検知回路 1 の異常の有無を判断する（ステップ S111～S113）。このようにしたので、電圧検知回路 1 において基準電圧出力回路 13、バッファ回路 17, 18 またはスイッチ回路 16 のいずれかに異常が発生した場合に、これを確実に検知することができる。

[0086] (7) 電圧検知回路 1 は、バッファ回路 17 の出力電圧とバッファ回路 18 の出力電圧との差分に応じた電圧を出力する差動増幅回路 19 と、電圧検知回路 1 の異常を検知する異常検知部 20C とを備える。電圧検知部 20A は、差動増幅回路 19 の出力電圧である差動電圧 V_{HVDc} を検知する。異常検知部 20C は、スイッチ回路 16 によってバッファ回路 17 およびバッファ回

路 18 の入力電圧が基準電圧出力回路 13 から出力される基準電圧 V_{ref1} 、 V_{ref2} に切り替えられ、かつ、基準電圧出力回路 13 から出力される基準電圧 V_{ref1} 、 V_{ref2} を切り替えたときに、電圧検知部 20A により検知された差動電圧 V_{HVDc1} 、 V_{HVDc2} から生成される一次式に基づき、電圧検知回路 1 の異常の有無を判断する（ステップ S201～S206）。このようにしたので、電圧検知回路 1 においてバッファ回路 17、18 または差動増幅回路 19 のいずれかにゲイン異常やオフセット異常が発生した場合に、これを確実に検知することができる。

[0087] （第 2 の実施形態）

本発明の第 2 の実施形態について、図 7 を参照して以下に説明する。

[0088] 図 7 は、本発明の第 2 の実施形態に係る電圧検知回路の構成図である。本実施形態に係る電圧検知回路 1A において、第 1 の実施形態で説明した図 1 の電圧検知回路 1 との違いは、スイッチ回路 16 の代わりに、スイッチ回路 16 とは異なる回路構成のスイッチ回路 16A を備えている点である。これ以外の点では、電圧検知回路 1 と同様の構成を有している。

[0089] スイッチ回路 16A は、スイッチ素子 SW2-1A およびスイッチ素子 SW2-2A を有している。

[0090] スイッチ素子 SW2-1A は、一端が分圧回路 14 とバッファ回路 17 の間に接続され、他端が基準電圧出力回路 13 の出力側に接続されており、制御回路 20 から出力される通常／診断切替信号に応じて、バッファ回路 17 の入力端子と基準電圧出力回路 13 との間の導通状態を切り替える。ここで、基準電圧出力回路 13 の出力インピーダンスは、分圧回路 14 のインピーダンスに比べて十分に低い。そのため、このスイッチ素子 SW2-1A の切替動作により、バッファ回路 17 の入力電圧として、正極入力端子 11 の正極電圧 V_p が分圧回路 14 によって分圧された電圧、または、基準電圧出力回路 13 から出力されるオフセット電圧 V_{offset} （基準電圧 V_{ref1} または V_{ref2} ）のいずれかが選択される。すなわち、分圧回路 14 とバッファ回路 17 の接続を遮断しなくても、第 1 の実施形態で説明したス

ッチ素子 $SW2-1$ と同様の切替動作を実現できる。

[0091] スイッチ素子 $SW2-2A$ は、一端が分圧回路 15 とバッファ回路 18 の間に接続され、他端が基準電圧出力回路 13 の出力側に接続されており、制御回路 20 から出力される通常／診断切替信号に応じて、バッファ回路 18 の入力端子と基準電圧出力回路 13 との間の導通状態を切り替える。ここで、基準電圧出力回路 13 の出力インピーダンスは、分圧回路 15 のインピーダンスに比べて十分に低い。そのため、このスイッチ素子 $SW2-2A$ の切替動作により、バッファ回路 18 の入力電圧として、負極入力端子 12 の負極電圧 V_n が分圧回路 15 によって分圧された電圧、または、基準電圧出力回路 13 から出力されるオフセット電圧 V_{offset} (基準電圧 V_{ref1} または V_{ref2}) のいずれかが選択される。すなわち、分圧回路 15 とバッファ回路 18 の接続を遮断しなくても、第 1 の実施形態で説明したスイッチ素子 $SW2-2$ と同様の切替動作を実現できる。

[0092] 以上説明したように、本発明の第 2 の実施形態によれば、スイッチ回路 16A は、バッファ回路 17 の入力端子と基準電圧出力回路 13 との間の導通状態を切り替えるスイッチ素子 $SW2-1A$ と、バッファ回路 18 の入力端子と基準電圧出力回路 13 との間の導通状態を切り替えるスイッチ素子 $SW2-2A$ とを有する。このようにしたので、第 1 の実施形態と同様に、バッファ回路 17, 18 の入力電圧をそれぞれ任意に切替可能なスイッチ回路 16A を、簡単な回路構成で実現することができる。

[0093] (第 3 の実施形態)

本発明の第 3 の実施形態について、図 8、図 9 を参照して以下に説明する。

[0094] 図 8 は、本発明の第 3 の実施形態に係る電圧検知回路の構成図である。本実施形態に係る電圧検知回路 1B において、第 1 の実施形態で説明した図 1 の電圧検知回路 1 との違いは、スイッチ回路 16 の代わりに、スイッチ回路 16 とは異なる回路構成のスイッチ回路 16B を備えており、さらに分圧回路 21, 22 を備えている点である。これ以外の点では、電圧検知回路 1 と

同様の構成を有している。

[0095] 分圧回路 2 1 は、抵抗 R 4 a と抵抗 R 5 a により構成されており、正極入力端子 1 1 と基準電圧出力回路 1 3 の間に分圧回路 1 4 と並列に接続されている。抵抗 R 4 a と抵抗 R 5 a の間には、スイッチ回路 1 6 B を介してバッファ回路 1 7 が接続されている。正極入力端子 1 1 に入力された正極電圧 V_p は、分圧回路 2 1 により所定の分圧比で分圧され、スイッチ回路 1 6 B を介してバッファ回路 1 7 に出力される。分圧回路 2 1 には、分圧回路 1 4 と同じ分圧比が設定されている。

[0096] 分圧回路 2 2 は、抵抗 R 6 a と抵抗 R 7 a により構成されており、負極入力端子 1 2 と基準電圧出力回路 1 3 の間に分圧回路 1 5 と並列に接続されている。抵抗 R 6 a と抵抗 R 7 a の間には、スイッチ回路 1 6 B を介してバッファ回路 1 8 が接続されている。負極入力端子 1 2 に入力された負極電圧 V_n は、分圧回路 2 2 により所定の分圧比で分圧され、スイッチ回路 1 6 B を介してバッファ回路 1 8 に出力される。分圧回路 2 2 には、分圧回路 1 5 と同じ分圧比が設定されている。

[0097] スイッチ回路 1 6 B は、スイッチ素子群 SW 2 - 1 B およびスイッチ素子群 SW 2 - 2 B を有している。

[0098] スイッチ素子群 SW 2 - 1 B は、3つのスイッチ素子により構成されている。3つのスイッチ素子の一端は、分圧回路 1 4 の抵抗 R 4 と抵抗 R 5 の間と、基準電圧出力回路 1 3 と、分圧回路 2 1 の抵抗 R 4 a と抵抗 R 5 a の間と、にそれぞれ接続されており、他端はバッファ回路 1 7 の入力側にそれぞれ接続されている。スイッチ素子群 SW 2 - 1 B は、制御回路 2 0 から出力される通常／診断切替信号に応じて、これら3つのスイッチ素子のオン／オフ状態をそれぞれ切り替えることにより、バッファ回路 1 7 の入力端子の接続先を、分圧回路 1 4、基準電圧出力回路 1 3 または分圧回路 2 1 のいずれかに切り替える。このスイッチ素子群 SW 2 - 1 B の切替動作により、バッファ回路 1 7 の入力電圧として、正極入力端子 1 1 の正極電圧 V_p が分圧回路 1 4 または分圧回路 2 1 のいずれかによって分圧された電圧、あるいは、

基準電圧出力回路 13 から出力されるオフセット電圧 V_{offset} (基準電圧 V_{ref1} または V_{ref2}) のいずれかが選択される。

[0099] スイッチ素子群 $SW2-2B$ は、3つのスイッチ素子により構成されている。3つのスイッチ素子の一端は、分圧回路 15 の抵抗 $R6$ と抵抗 $R7$ の間と、基準電圧出力回路 13 と、分圧回路 22 の抵抗 $R6a$ と抵抗 $R7a$ の間と、にそれぞれ接続されており、他端はバッファ回路 18 の入力側にそれぞれ接続されている。スイッチ素子群 $SW2-2B$ は、制御回路 20 から出力される通常／診断切替信号に応じて、これら3つのスイッチ素子のオン／オフ状態をそれぞれ切り替えることにより、バッファ回路 18 の入力端子の接続先を、分圧回路 15、基準電圧出力回路 13 または分圧回路 22 のいずれかに切り替える。このスイッチ素子群 $SW2-2B$ の切替動作により、バッファ回路 18 の入力電圧として、負極入力端子 12 の負極電圧 V_n が分圧回路 15 または分圧回路 22 のいずれかによって分圧された電圧、あるいは、基準電圧出力回路 13 から出力されるオフセット電圧 V_{offset} (基準電圧 V_{ref1} または V_{ref2}) のいずれかが選択される。

[0100] 本実施形態に係る電圧検知回路 1B は、第1の実施形態で説明した異常診断に加えて、スイッチ回路 16B を用いてバッファ回路 17、18 の接続先を分圧回路 14、15 と分圧回路 21、22 の間で切り替えることにより、これらの分圧回路の異常診断を行うことができる。以下では、この異常診断の手順を説明する。

[0101] 図9は、制御回路 20 により実行される分圧回路の異常診断の手順を示すフローチャートである。

[0102] ステップ S301 では、バッファ回路 17、18 の入力を制御用の分圧回路 14、15 側へ切り替える。ここでは、切替信号制御部 20B により、スイッチ回路 16B においてスイッチ素子群 $SW2-1B$ 、 $SW2-2B$ のうち分圧回路 14、15 に接続されたスイッチ素子がそれぞれオンに切り替えられ、他のスイッチ素子がそれぞれオフに切り替えられるように通常／診断切替信号を出力することで、バッファ回路 17、18 の入力を切り替える。

- [0103] ステップS302では、電圧検知部20Aにより、差動増幅回路19から出力される差動電圧 V_{HVDc} を測定する。
- [0104] ステップS303では、バッファ回路17, 18の入力を診断用の分圧回路21, 22側へ切り替える。ここでは、切替信号制御部20Bにより、スイッチ回路16Bにおいてスイッチ素子群SW2-1B, SW2-2Bのうち分圧回路21, 22に接続されたスイッチ素子がそれぞれオンに切り替えられ、他のスイッチ素子がそれぞれオフに切り替えられるように通常／診断切替信号を出力することで、バッファ回路17, 18の入力を切り替える。
- [0105] ステップS304では、電圧検知部20Aにより、差動増幅回路19から出力される差動電圧 V_{HVDc} を測定する。
- [0106] ステップS305では、異常検知部20Cにより、ステップS302, S304でそれぞれ測定された差動電圧 V_{HVDc} の差が予め記憶された規定範囲内であるか否かを判定する。差動電圧 V_{HVDc} の差が規定範囲内にある場合はステップS306へ進み、規定範囲から外れている場合はステップS307へ進む。
- [0107] ステップS306では、異常検知部20Cにより、電圧検知回路1Bにおいて分圧回路14, 15および分圧回路21, 22は正常であると判定する。ステップS306を終えたら、図9のフローチャートに示す分圧回路の異常診断を終了し、電圧検知回路1Bによる高電圧バッテリー2の電圧検知を継続する。
- [0108] ステップS307では、異常検知部20Cにより、電圧検知回路1Bにおいて分圧回路14, 15または分圧回路21, 22のいずれかが異常であると判定する。
- [0109] ステップS308では、図5のステップS114や図6のステップS207と同様に、不図示の上位装置に対して異常フラグを通知し、電圧検知回路1Bにおいて異常が発生したことを報告する。また、差動増幅回路19から出力される差動電圧 V_{HVDc} の測定結果を不採用として、他の装置への出力などを行わないようにする。ステップS308を終えたら、図9のフローチャ

ートに示す分圧回路の異常診断を終了する。

[0110] 以上説明したように、本発明の第3の実施形態によれば、電圧検知回路1Bは、正極入力端子11と基準電圧出力回路13の間に分圧回路14と並列に接続され、正極入力端子11の電圧 V_p が所定の分圧比で分圧された電圧を出力する分圧回路21と、負極入力端子12と基準電圧出力回路13の間に分圧回路15と並列に接続され、負極入力端子12の電圧 V_n が所定の分圧比で分圧された電圧を出力する分圧回路22とを備える。電圧検知回路1Bは、分圧回路14または分圧回路21の出力電圧が入力電圧としてバッファ回路17に入力され、分圧回路15または分圧回路22の出力電圧が入力電圧としてバッファ回路18に入力されるように、スイッチ回路16Bの接続状態を切り替える。このようにしたので、分圧回路14、15および分圧回路21、22の異常診断を実現可能な電圧検知回路を提供できる。

[0111] 以上説明した各実施形態や各種変形例はあくまで一例であり、発明の特徴が損なわれない限り、本発明はこれらの内容に限定されるものではない。また、上記では種々の実施形態や変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

符号の説明

[0112] 1, 1A, 1B: 電圧検知回路、2: 高電圧バッテリー、11: 正極入力端子、12: 負極入力端子、13: 基準電圧出力回路、14, 15: 分圧回路、16, 16A, 16B: スイッチ回路、17, 18: バッファ回路、19: 差動増幅回路、20: 制御回路、20A: 電圧検知部、20B: 切替信号制御部、20C: 異常検知部、21, 22: 分圧回路

請求の範囲

- [請求項1] 入力電圧に応じた電圧をそれぞれ出力する第1のバッファ回路および第2のバッファ回路と、
- 前記第1のバッファ回路の出力電圧および前記第2のバッファ回路の出力電圧を検知する電圧検知部と、
- 電圧値が異なる複数の基準電圧のいずれかを選択的に出力可能な基準電圧出力回路と、
- 前記第1のバッファ回路および前記第2のバッファ回路に接続されたスイッチ回路と、を備え、
- 前記スイッチ回路は、
- 前記第1のバッファ回路の入力電圧を、測定対象に接続された第1の入力端子の電圧に応じた第1の入力電圧から、前記基準電圧出力回路から出力される前記基準電圧へと切り替え、
- 前記第2のバッファ回路の入力電圧を、前記測定対象に接続された第2の入力端子の電圧に応じた第2の入力電圧から、前記基準電圧出力回路から出力される前記基準電圧へと切り替える電圧検知回路。
- [請求項2] 請求項1に記載の電圧検知回路であって、
- 前記第1の入力端子と前記基準電圧出力回路の間に接続され、前記第1の入力端子の電圧が所定の分圧比で分圧された電圧を出力する第1の分圧回路と、
- 前記第2の入力端子と前記基準電圧出力回路の間に接続され、前記第2の入力端子の電圧が所定の分圧比で分圧された電圧を出力する第2の分圧回路と、を備え、
- 前記第1のバッファ回路には、前記第1の分圧回路の出力電圧が前記第1の入力電圧として入力され、
- 前記第2のバッファ回路には、前記第2の分圧回路の出力電圧が前記第2の入力電圧として入力される電圧検知回路。
- [請求項3] 請求項2に記載の電圧検知回路であって、

前記第 1 の入力端子と前記基準電圧出力回路の間に前記第 1 の分圧回路と並列に接続され、前記第 1 の入力端子の電圧が所定の分圧比で分圧された電圧を出力する第 3 の分圧回路と、

前記第 2 の入力端子と前記基準電圧出力回路の間に前記第 2 の分圧回路と並列に接続され、前記第 2 の入力端子の電圧が所定の分圧比で分圧された電圧を出力する第 4 の分圧回路と、を備え、

前記第 1 の分圧回路または前記第 3 の分圧回路の出力電圧が前記第 1 の入力電圧として前記第 1 のバッファ回路に入力され、前記第 2 の分圧回路または前記第 4 の分圧回路の出力電圧が前記第 2 の入力電圧として前記第 2 のバッファ回路に入力されるように、前記スイッチ回路の接続状態を切り替える電圧検知回路。

[請求項4] 請求項 1 に記載の電圧検知回路であって、

前記基準電圧出力回路は、複数の抵抗が直列接続されて所定の電源電圧が印加される抵抗回路と、前記複数の抵抗のうち少なくともいずれか一つの抵抗の接続状態を切り替えるスイッチ素子とを有し、前記スイッチ素子のオン／オフ切替によって前記複数の基準電圧のいずれかを選択可能に構成されている電圧検知回路。

[請求項5] 請求項 1 に記載の電圧検知回路であって、

前記基準電圧出力回路は、異なる電源電圧をそれぞれ出力する複数の電源回路と、前記複数の電源回路の出力先を切り替えるスイッチ素子とを有し、前記スイッチ素子の切替によって前記複数の基準電圧のいずれかを選択可能に構成されている電圧検知回路。

[請求項6] 請求項 1 に記載の電圧検知回路であって、

前記スイッチ回路は、前記第 1 のバッファ回路の入力端子の接続先を前記第 1 の入力端子側または前記基準電圧出力回路側のいずれかに切り替える第 1 のスイッチ素子と、前記第 2 のバッファ回路の入力端子の接続先を前記第 2 の入力端子側または前記基準電圧出力回路側のいずれかに切り替える第 2 のスイッチ素子と、を有する電圧検知回路

。

[請求項7]

請求項1に記載の電圧検知回路であって、

前記スイッチ回路は、前記第1のバッファ回路の入力端子と前記基準電圧出力回路との間の導通状態を切り替える第1のスイッチ素子と、前記第2のバッファ回路の入力端子と前記基準電圧出力回路との間の導通状態を切り替える第2のスイッチ素子と、を有する電圧検知回路。

[請求項8]

請求項1から請求項7のいずれか一項に記載の電圧検知回路であって、

前記電圧検知回路の異常を検知する異常検知部を備え、

前記異常検知部は、

前記スイッチ回路によって前記第1のバッファ回路および前記第2のバッファ回路の入力電圧が前記基準電圧出力回路から出力される前記基準電圧に切り替えられているときに、前記電圧検知部により検知された前記第1のバッファ回路の出力電圧および前記第2のバッファ回路の出力電圧の少なくとも一方と、

前記スイッチ回路によって前記第1のバッファ回路の入力電圧が前記第1の入力電圧に切り替えられ、かつ、前記第2のバッファ回路の入力電圧が前記第2の入力電圧に切り替えられているときに、前記電圧検知部により検知された前記第1のバッファ回路の出力電圧および前記第2のバッファ回路の出力電圧の少なくとも一方と、に基づき、前記電圧検知回路の異常の有無を判断する電圧検知回路。

[請求項9]

請求項8に記載の電圧検知回路であって、

前記異常検知部は、

前記スイッチ回路によって前記第1のバッファ回路および前記第2のバッファ回路の入力電圧が前記基準電圧に切り替えられているときに、複数の前記基準電圧について、前記電圧検知部により検知された前記第1のバッファ回路の出力電圧と、前記第2のバッファ回路の出

力電圧とをそれぞれ取得し、

前記スイッチ回路によって前記第1のバッファ回路の入力電圧が前記第1の入力電圧に切り替えられ、かつ、前記第2のバッファ回路の入力電圧が前記第2の入力電圧に切り替えられているときに、複数の前記基準電圧について、前記電圧検知部により検知された前記第1のバッファ回路の出力電圧と、前記第2のバッファ回路の出力電圧とをそれぞれ取得し、

取得した前記第1のバッファ回路および前記第2のバッファ回路の各出力電圧値に基づいて、前記電圧検知回路の異常の有無を判断する電圧検知回路。

[請求項10] 請求項1から請求項7のいずれか一項に記載の電圧検知回路であって、

前記第1のバッファ回路の出力電圧と前記第2のバッファ回路の出力電圧との差分に応じた電圧を出力する差動増幅回路と、

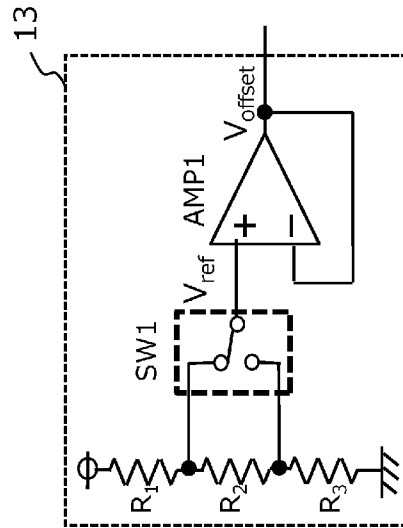
前記電圧検知回路の異常を検知する異常検知部と、を備え、

前記電圧検知部は、前記差動増幅回路の出力電圧を検知し、

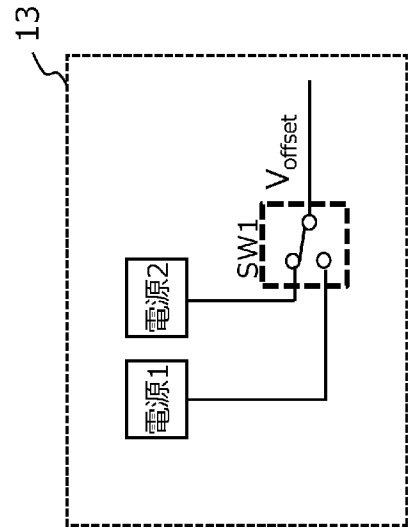
前記異常検知部は、前記スイッチ回路によって前記第1のバッファ回路および前記第2のバッファ回路の入力電圧が前記基準電圧出力回路から出力される前記基準電圧に切り替えられ、かつ、前記基準電圧出力回路から出力される前記基準電圧を切り替えたときに、前記電圧検知部により検知された前記差動増幅回路の出力電圧から生成される一次式に基づき、前記電圧検知回路の異常の有無を判断する電圧検知回路。

[図2]

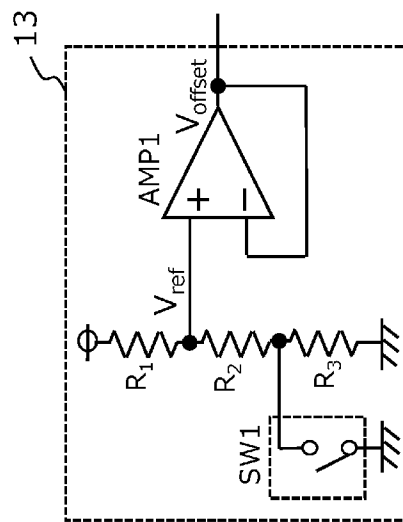
図2



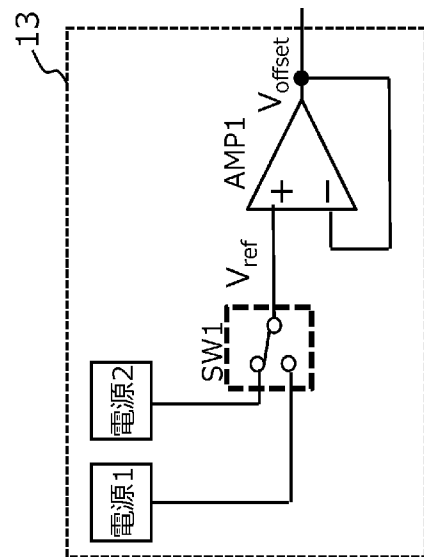
(b)



(d)



(a)



(c)

図3

31

制御状態			通常制御時		アンブ異常診断時							
					Vref1確認			Vref2確認				
故障モード	正常		正常時	Vref 異常	AMP1 異常	AMP2 異常	AMP3 異常	正常時	Vref 異常	AMP1 異常	AMP2 異常	AMP3 異常
	●									●		
	●				●							
	Vref2側				●					●		
診断時 SW切替 状態	通常/診断 切替信号	通常側										
	オフセット 切替信号	Vref1側										
各部 電圧状態 〔モニタ 箇所〕	V _{ref}		Vref1	#Vref1	Vref1	Vref1	Vref1	Vref2	#Vref2	Vref2	Vref2	Vref2
	V _{offset}		Vref1	#Vref1	#Vref1	Vref1	Vref1	Vref2	#Vref2	#Vref2	Vref2	Vref2
	V _{HVPC}		$=R5/(R4+R5)Vp+Vref1$	#Vref1	#Vref1	#Vref1	Vref1	Vref2	#Vref2	#Vref2	#Vref2	Vref2
	V _{HVNC}		$=R7/(R6+R7)Vn+Vref1$	#Vref1	#Vref1	Vref1	#Vref1	Vref2	#Vref2	#Vref2	Vref2	#Vref2

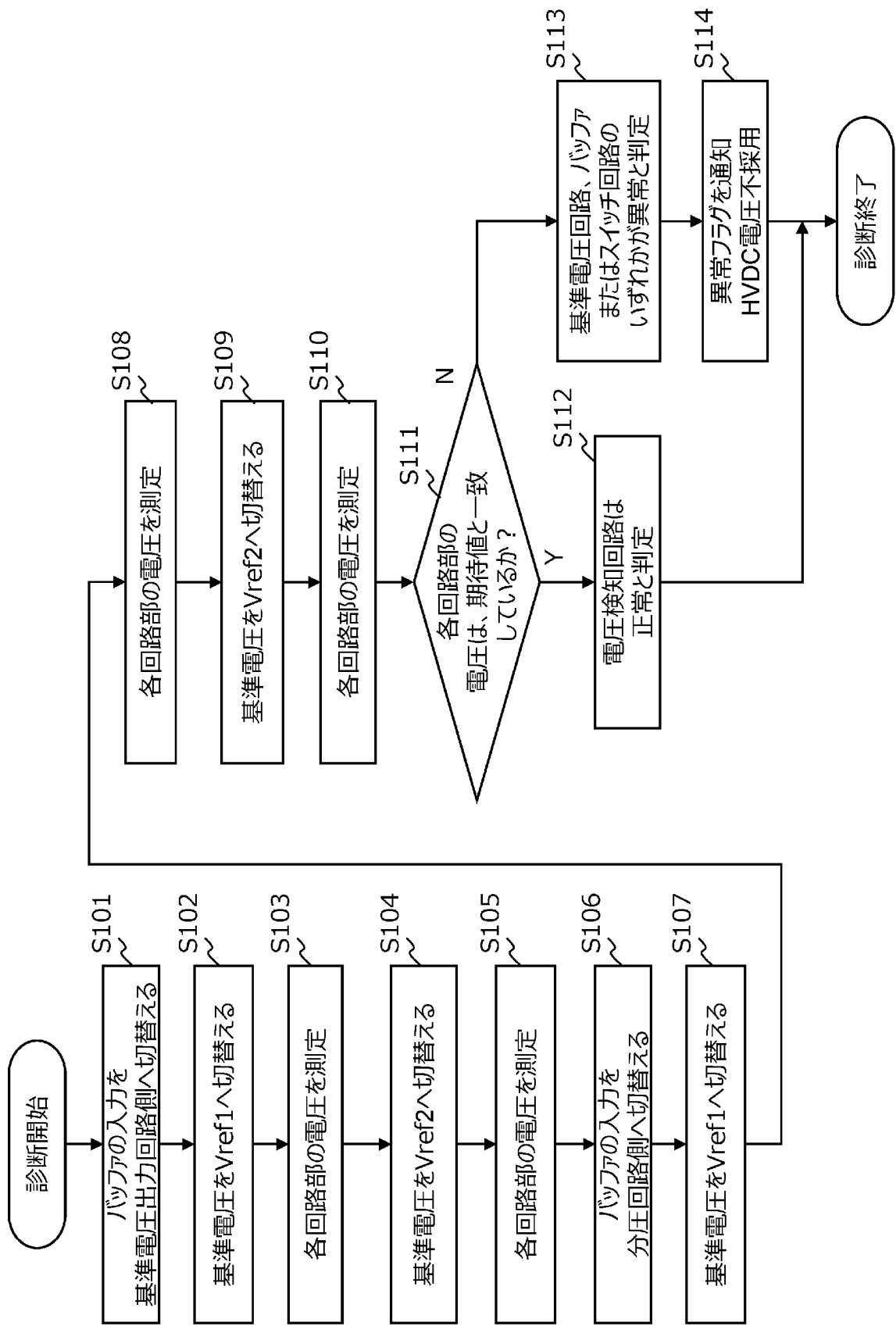
[図4]

図4

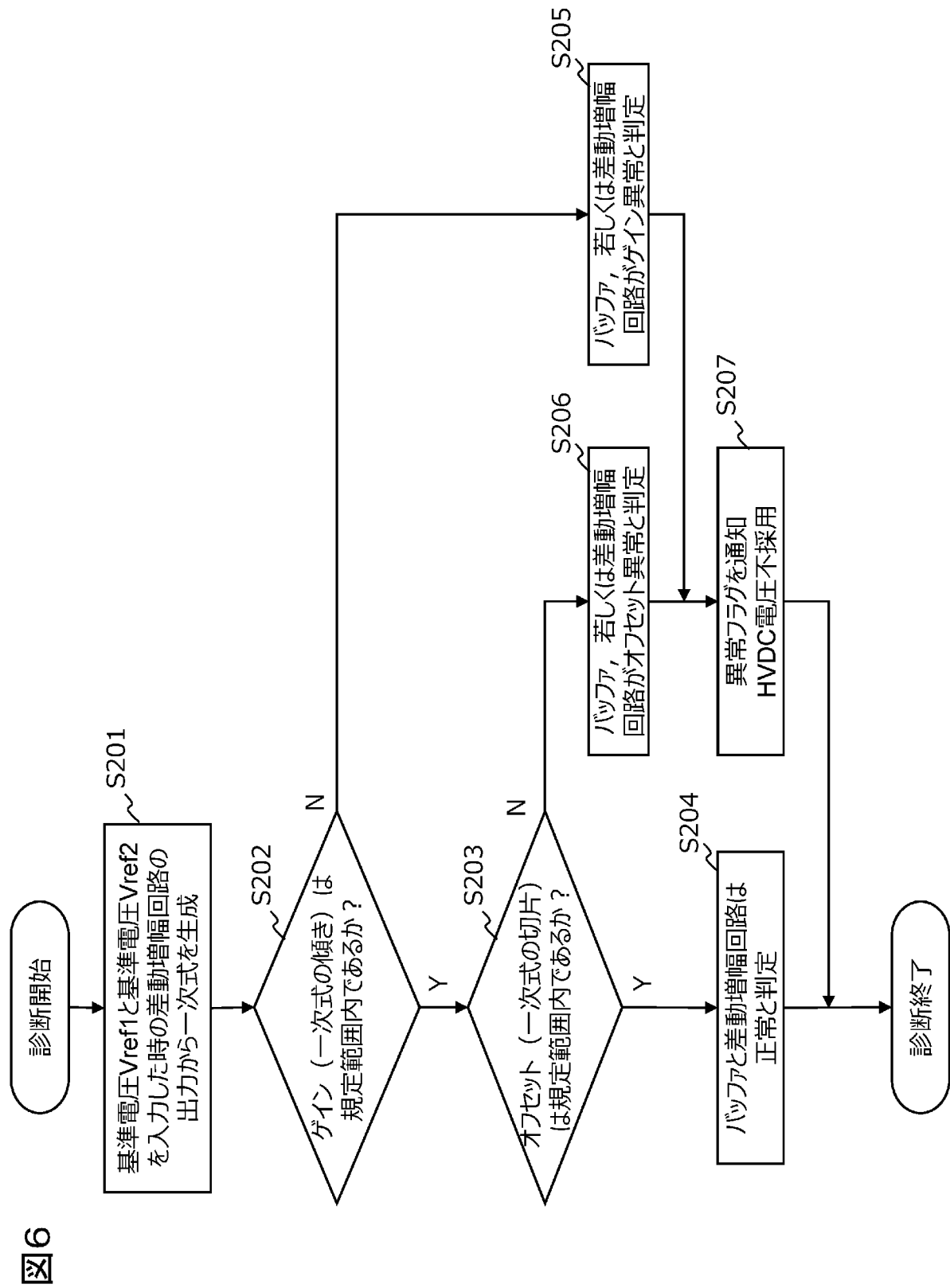
32

制御状態		SW固着診断時									
		Vref1確認→Vref2確認									
故障モード		正常時				SW1		SW2-1		SW2-2	
		Vref1側固着	Vref2側固着	Vref1側固着	Vref2側固着	診断側固着	通常側固着	診断側固着	通常側固着	診断側固着	通常側固着
診断時 SW切替 状態	通常/診断 切替信号	●		●		●		●		●	
	通常側										
	診断側										
	電力カット 切替信号	●		●		●		●		●	
各部 電圧状態 (E-タ 箇所)	Vref	Vref1	Vref2	Vref1	Vref2	Vref1	Vref2	Vref1	Vref2	Vref1	Vref2
	Voffset	Vref1	Vref2	Vref1	Vref2	Vref1	Vref2	Vref1	Vref2	Vref1	Vref2
	VHVPC	≠Vref1	≠Vref2	Vref1	Vref2	Vref1	Vref2	Vref1	Vref2	≠Vref1	Vref2
	VHVNC	≠Vref1	≠Vref2	Vref1	Vref2	Vref1	Vref2	Vref1	Vref2	≠Vref1	≠Vref2

[図5]



[図6]



[図7]

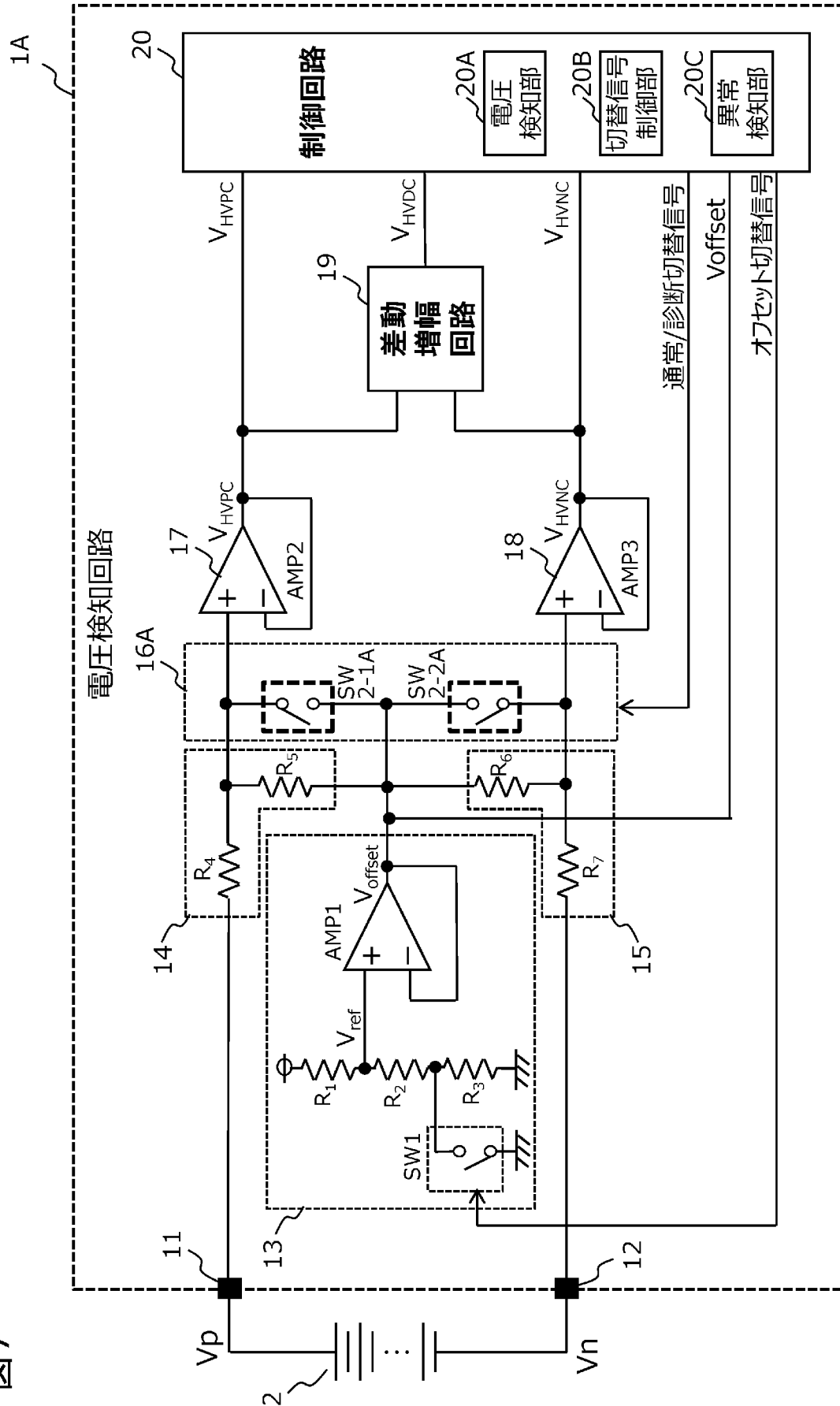
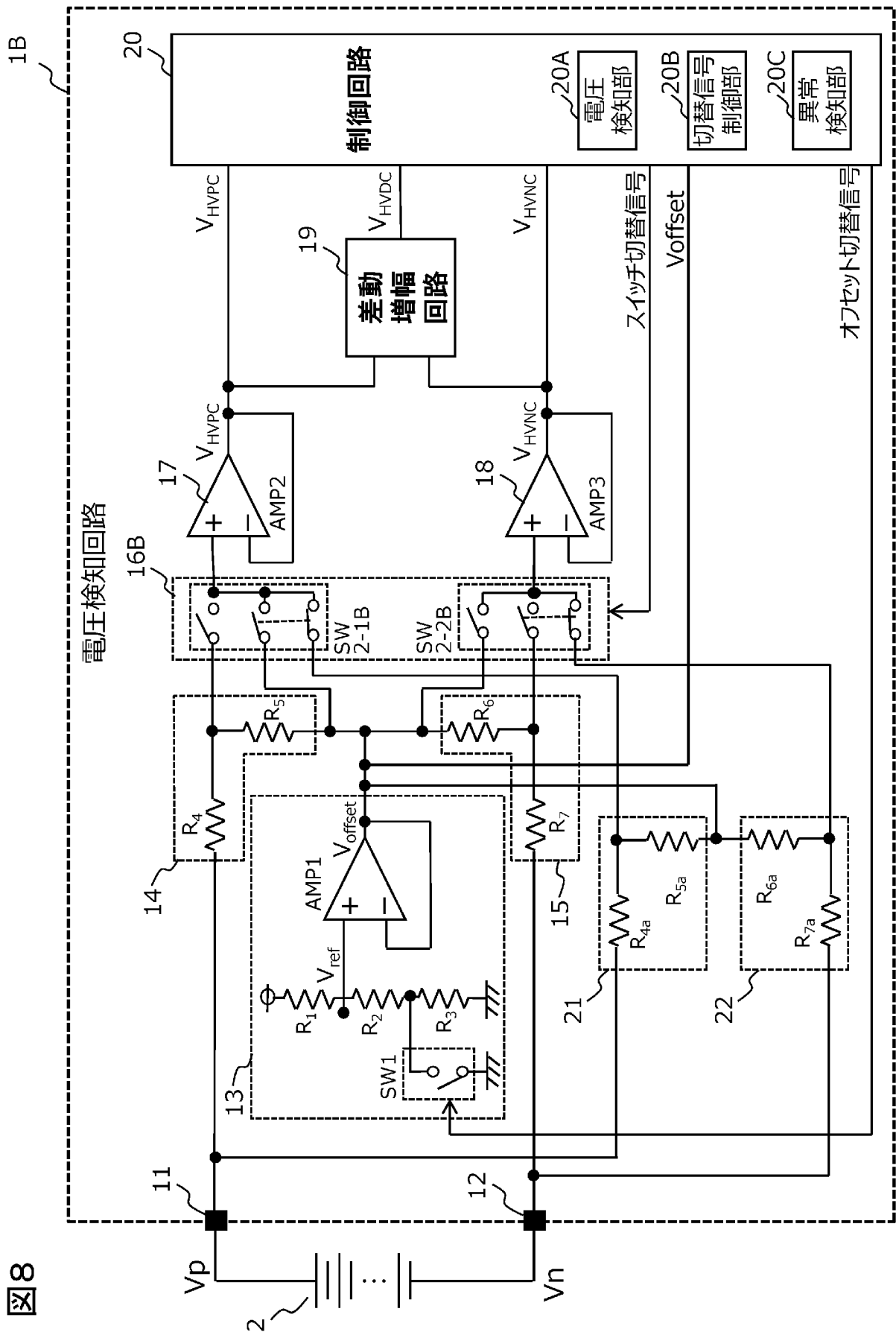
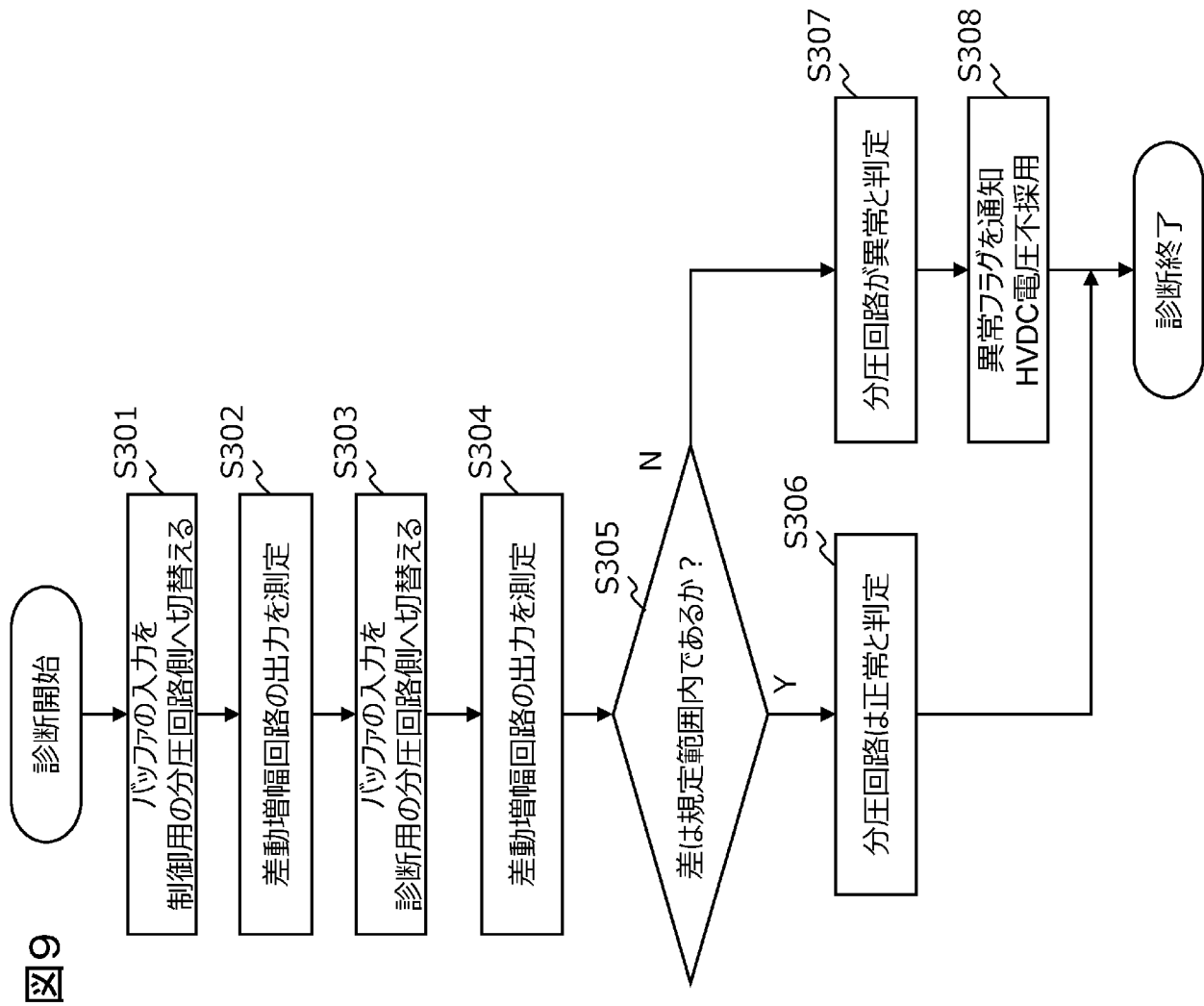


図7

[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/036020

A. CLASSIFICATION OF SUBJECT MATTER

G01R 35/00(2006.01)i; **G01R 31/00**(2006.01)i; **G01R 31/319**(2006.01)i; **G01R 31/388**(2019.01)i; **G01R 19/165**(2006.01)i
 FI: G01R19/165 J; G01R31/28 R; G01R35/00 L; G01R31/388; G01R31/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R35/00; G01R31/00; G01R31/319; G01R31/388; G01R19/165

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 57-203134 A (TOKYO SHIBAURA DENKI K. K.) 13 December 1982 (1982-12-13) p. 1, lower left column, line 19 to lower right column, line 2, p. 2, upper left column, line 14 to lower right column, line 18, fig. 2	1, 6-7
Y		4-5
A		2-3, 8-10
Y	JP 2012-68074 A (NEW JAPAN RADIO CO., LTD.) 05 April 2012 (2012-04-05) paragraph [0010], fig. 1	4
Y	JP 2020-139881 A (DENSO CORP.) 03 September 2020 (2020-09-03) paragraphs [0001], [0006], [0041]-[0046], fig. 1, 2	5
A	JP 5-172853 A (KIKUSUI ELECTRONICS CORP.) 13 July 1993 (1993-07-13) entire text, all drawings	1-10
A	JP 2015-522995 A (PHOENIX CONTACT GMBH & CO. KG) 06 August 2015 (2015-08-06) entire text, all drawings	1-10

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

07 December 2021

Date of mailing of the international search report

21 December 2021

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/036020**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-12741 A (LAPIS SEMICONDUCTOR CO., LTD.) 24 January 2019 (2019-01-24) entire text, all drawings	1-10
A	JP 2019-184577 A (CALSONIC KANSEI CORP.) 24 October 2019 (2019-10-24) entire text, all drawings	1-10
A	JP 2011-232161 A (OKI SEMICONDUCTOR CO., LTD.) 17 November 2011 (2011-11-17) entire text, all drawings	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/036020

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	57-203134	A	13 December 1982	(Family: none)	
JP	2012-68074	A	05 April 2012	(Family: none)	
JP	2020-139881	A	03 September 2020	WO 2020/175499	A1
JP	5-172853	A	13 July 1993	US 5272449	A
				entire text, all drawings	
				EP 513498	A1
JP	2015-522995	A	06 August 2015	US 2015/0145522	A1
				entire text, all drawings	
				WO 2013/174490	A1
				DE 102012010143	B3
				CN 104335489	A
JP	2019-12741	A	24 January 2019	US 2019/0004116	A1
				entire text, all drawings	
				CN 109217404	A
JP	2019-184577	A	24 October 2019	US 2021/0025941	A1
				entire text, all drawings	
				WO 2019/193973	A1
JP	2011-232161	A	17 November 2011	US 2011/0260770	A1
				entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01R 35/00(2006.01)i; G01R 31/00(2006.01)i; G01R 31/319(2006.01)i; G01R 31/388(2019.01)i; G01R 19/165(2006.01)i FI: G01R19/165 J; G01R31/28 R; G01R35/00 L; G01R31/388; G01R31/00		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G01R35/00; G01R31/00; G01R31/319; G01R31/388; G01R19/165		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 57-203134 A（東京芝浦電気株式会社）13.12.1982（1982-12-13） 第1頁左下欄第19行-右下欄第2行，第2頁左上欄第14行-右下欄第18行，第2図	1,6-7 4-5 2-3,8-10
Y	JP 2012-68074 A（新日本無線株式会社）05.04.2012（2012-04-05） 段落[0010]，[図1]	4
Y	JP 2020-139881 A（株式会社デンソー）03.09.2020（2020-09-03） 段落[0001]，[0006]，[0041]-[0046]，[図1]， [図2]	5
A	JP 5-172853 A（菊水電子工業株式会社）13.07.1993（1993-07-13） 全文，全図	1-10
A	JP 2015-522995 A（フェニックス コンタクト ゲーエムベーハー ウント コムパニー カーゲー）06.08.2015（2015-08-06） 全文，全図	1-10
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 07.12.2021		国際調査報告の発送日 21.12.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 永井 皓喜 2S 5701 電話番号 03-3581-1101 内線 3216

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2019-12741 A (ラピスセミコンダクタ株式会社) 24.01.2019 (2019 - 01 - 24) 全文, 全図	1-10
A	JP 2019-184577 A (カルソニックカンセイ株式会社) 24.10.2019 (2019 - 10 - 24) 全文, 全図	1-10
A	JP 2011-232161 A (O K I セミコンダクタ株式会社) 17.11.2011 (2011 - 11 - 17) 全文, 全図	1-10

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/036020

引用文献			公表日	パテントファミリー文献	公表日
JP	57-203134	A	13.12.1982	(ファミリーなし)	
JP	2012-68074	A	05.04.2012	(ファミリーなし)	
JP	2020-139881	A	03.09.2020	WO	2020/175499 A1
JP	5-172853	A	13.07.1993	US	5272449 A
				全文, 全図	
				EP	513498 A1
JP	2015-522995	A	06.08.2015	US	2015/0145522 A1
				全文, 全図	
				WO	2013/174490 A1
				DE	102012010143 B3
				CN	104335489 A
JP	2019-12741	A	24.01.2019	US	2019/0004116 A1
				全文, 全図	
				CN	109217404 A
JP	2019-184577	A	24.10.2019	US	2021/0025941 A1
				全文, 全図	
				WO	2019/193973 A1
JP	2011-232161	A	17.11.2011	US	2011/0260770 A1
				全文, 全図	