(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4100655号
(P4100655)

(45)発行日　平成20年6月11日(2008.6.11)　(24)登録日　平成20年3月28日(2008.3.28)

(51)Int.Cl.　F I
H01L 21/336 (2006.01)　H01L 29/78　616A
H01L 29/786 (2006.01)　H01L 29/78　617L

請求項の数 5　(全 15 頁)

(21)出願番号　特願平11-363449
(22)出願日　平成11年12月21日(1999.12.21)
(65)公開番号　特開2001-177104(P2001-177104A)
(43)公開日　平成13年6月29日(2001.6.29)
審査請求日　平成16年10月5日(2004.10.5)

(73)特許権者　501426046
エルジー．フィリップス　エルシーデー　カンパニー，リミテッド
大韓民国　ソウル，ヨンドゥンポ－ク，ヨイド－ドン　２０
(74)代理人　100109726
弁理士　園田　吉隆
(74)代理人　100101199
弁理士　小林　義教
(72)発明者　蔡　基成
宮城県仙台市泉区明通三丁目３１番地　株式会社フロンテック内
(72)発明者　福井　洋文
宮城県仙台市泉区明通三丁目３１番地　株式会社フロンテック内

最終頁に続く

(54)【発明の名称】薄膜トランジスタの製造方法

(57)【特許請求の範囲】
【請求項１】
少なくとも表面が絶縁性である基板上に多結晶シリコンからなるアイランド状の半導体層を形成し、該半導体層上に該半導体層の両端部を残して該半導体層の中央部を覆うゲート絶縁膜を形成し、該ゲート絶縁膜上に該ゲート絶縁膜と前記半導体層の両端部を覆うゲート電極形成用の電極膜を形成し、該電極膜上に前記ゲート絶縁膜の両端部を除いて前記ゲート絶縁膜中央部を覆うマスク層を形成し、前記マスク層と前記電極膜の上から第１のイオンドーピングを行って前記ゲート絶縁膜に覆われていない半導体層両端部側に最高濃度の第１の不純物導入層を形成すると同時に前記マスク層に覆われてない半導体層両端部側であって前記第１の不純物導入層の内側に第２の不純物導入層を形成し、この後、前記マスク層を基に前記電極膜のパターニングを行って前記半導体層両端部側の前記第２の不純物導入層よりも内側の前記半導体層中央部に対応するゲート電極を形成し、次いで前記マスク層を除去し、この後に前記第２の不純物導入層よりも低濃度になるように先の第１のイオンドーピングよりも低濃度の第２のイオンドーピングを行い、前記ゲート電極に覆われていない前記半導体層の領域であって前記第２の不純物導入層よりも内側の領域に第３の不純物導入層を形成することを特徴とする薄膜トランジスタの製造方法。
【請求項２】
前記ゲート電極をゲート絶縁膜に近い側の第１の電極膜と前記ゲート絶縁膜から離れた側の第２の電極膜からなる２層構造とし、前記第２の電極膜のみを前記マスク層を基にパターニングして前記マスク層の両端部よりも内側の前記マスク層中央部に対応する第２の

電極膜加工部を形成し、この後に前記最高濃度の第１のイオンドーピングを行い、前記第１の不純物打込層と第２の不純物打込層を形成し、この後に前記第１の電極膜のみを前記第２の電極膜加工部と同じ形状にパターニングして第１の電極膜加工部として前記第２の電極膜加工部と第１の電極膜加工部からなるゲート電極を形成することを特徴とする請求項１記載の薄膜トランジスタの製造方法。

【請求項３】

前記第１の電極膜をチタンまたはチタン合金から形成し、前記第２の電極層を銅または銅合金から形成することを特徴とする請求項２記載の薄膜トランジスタの製造方法。

【請求項４】

前記第１の電極膜をアルミニウムまたはアルミニウム合金から形成し、前記第２の電極膜をチタンまたはチタン合金から形成することを特徴とする請求項２記載の薄膜トランジスタの製造方法。

【請求項５】

前記第１の電極膜をクロムまたはクロム合金から形成し、前記第２の電極膜をアルミニウムまたはアルミニウム合金から形成することを特徴とする請求項２記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、多結晶シリコンの半導体層を有し、不純物導入層を３段階の濃度を有する構造から構成した薄膜トランジスタとその製造方法並びにその薄膜トランジスタを備えた液晶表示装置に関する。

【０００２】

【従来の技術】

図１２は、従来のトップゲート型薄膜トランジスタ（Thin Film Transistor，以下必要に応じてＴＦＴと略称する）の一構造例を示すものである。この図に示す従来のＴＦＴは、例えばガラス等の基板１００の上に多結晶シリコンからなる半導体層１０１が形成され、その中央部上にゲート絶縁膜１０２が形成され、ゲート絶縁膜１０２上にゲート電極１０３が形成されている。また、半導体層１０１の両端側に高濃度の不純物（イオン）が導入された半導体層からなるソース領域１０５またはドレイン領域１０６が形成され、これらソース領域１０５とドレイン領域１０６とに挟まれた半導体層中央部領域がチャネル部１０７とされている。更に、これらソース領域１０５、ドレイン領域１０６をなす半導体層はゲート絶縁膜１０２の下方に侵入された形で形成され、ゲート絶縁膜１０２の下方に侵入されたソース領域１０５ａとソース領域１０６ａはいずれも低濃度の不純物（イオン）導入層とされている。

【０００３】

そして、ゲート絶縁膜１０２、半導体層１０１とそのソース領域１０５およびドレイン領域１０６を覆うように絶縁膜１０８が形成され、ソース領域１０５上の絶縁膜１０８にコンタクトホール１１０が形成され、ドレイン領域１０６上の絶縁膜１０８にコンタクトホール１１１が形成されるとともに、前記コンタクトホール１１０の部分においてソース領域１０５に接続するソース電極１１２が形成され、前記コンタクトホール１１１の部分においてドレイン領域１０６に接続するドレイン電極１１３が形成されている。

【０００４】

【発明が解決しようとする課題】

ところで、近年、液晶表示装置の基板等に用いられるＴＦＴにおいて、前記の半導体層として多結晶シリコンが多用されるようになってきた。これは、多結晶シリコンはアモルファスシリコンに比べてキャリアの移動度が大きく、アモルファスシリコンの移動度が０．３～１ｃｍ^2／Ｖ・sec程度であるのに対して、多結晶シリコンの移動度は１０～１００ｃｍ^2／Ｖ・sec程度であるとされている。従っていわゆる多結晶シリコンＴＦＴは、アモルファスシリコンＴＦＴに比べてキャリアの移動度が大きいことから駆動能力が大きく、高

速動作が可能となるという利点を有している。

【０００５】

しかしながら、図１２に示すような従来の多結晶シリコンＴＦＴは、電子の移動度が大きいという利点を有する反面、オフ電流（I_{OFF}）が大きくなるという欠点を有しており、この多結晶シリコンＴＦＴを液晶表示装置に用いた場合、オフ電流が大きいと、画素に蓄積した信号電荷が充分に保持できないという問題が生じるおそれがある。そこで、この種の多結晶シリコンＴＦＴにおいてオフ電流を小さくするための種々の対策が講じられている状況である。

【０００６】

例えば、図１２に示す構造の多結晶シリコンＴＦＴにおいて、ソース電極１１２がソース領域１０５と接続する部分、および、ドレイン電極１１３がドレイン領域１０６と接続する部分において、接続抵抗をできるだけ少なくして電子の移動を円滑に行うようにするためには、ソース領域１０５とドレイン領域１０６の不純物打込濃度をできる限り高くする方が望ましいと考えらえるが、ソース領域１０５ａとドレイン領域１０６ａの不純物打込濃度を高くし過ぎると前述のオフ電流（I_{OFF}）が更に大きくなってしまうという問題がある。

【０００７】

本発明は前記事情に鑑みてなされたもので、電子移動度の大きな多結晶シリコンＴＦＴの特徴を維持したままＴＦＴとしてのオフ電流の上昇を抑え、オン電流とオフ電流とのオンオフ比も高くすることができるようにした薄膜トランジスタとその製造方法およびその薄膜トランジスタを備えた液晶表示装置の提供を目的とする。また、本発明の薄膜トランジスタを備えた液晶表示装置は、オフ電流を少なくすることで画素に蓄積した信号電荷を十分に保持でき、表示品質の良好な構造の提供を目的とする。

【０００８】

【課題を解決するための手段】

本発明は前述の事情に鑑みてなされたもので、少なくとも表面が絶縁体である基板上に多結晶シリコンからなる半導体層が設けられ、該半導体層中に不純物を導入してなるソース領域およびドレイン領域が該半導体層の両側に位置しそれらの間にチャネル部を形成して設けられ、前記チャネル部上に前記ソース領域と前記ドレイン領域とに跨がってゲート絶縁膜が設けられ、該ゲート絶縁膜上にゲート電極が設けられ、前記ソース領域にはソース電極が接続され、前記ドレイン領域にはドレイン電極が接続されるとともに、前記ソース領域および前記ドレイン領域が、各々、前記ソース電極あるいはドレイン電極に接続される最高濃度の第１の不純物導入層と、前記第１の不純物導入層よりも前記チャネル部側に位置し前記第１の不純物導入層よりも低濃度の第２の不純物導入層と、前記第２の不純物導入層よりも更に前記チャネル部側に位置し前記第２の不純物導入層よりも低濃度の第３の不純物導入層とからなることを特徴とする。

【０００９】

不純物導入層をイオン導入濃度毎に３段階構造にしたので、第１の不純物導入層のイオン濃度をできるだけ高くすることができ、この第１の不純物導入層はソース領域とドレイン領域に個々に形成され、各々ソース電極とドレイン電極との接続部分とするので、イオン導入濃度が高ければコンタクト抵抗を低くすることができる。

また、チャネル部に接する側の第３のイオン導入層は、不純物導入層をイオン導入濃度毎に３段階構造にしたので、イオン導入濃度をできるだけ低くすることができ、よってオフ電流を小さくすることができ、結果的にオンオフ比の良好なトランジスタ特性の優れた薄膜トランジスタが得られる。

【００１０】

本発明は前述の事情に鑑みてなされたもので、前記ゲート電極が、前記ゲート絶縁膜に近い側の第１の電極膜と前記ゲート絶縁膜から離れた側の第２の電極膜とからなる２層構造であることを特徴とする。

【００１１】

本発明は前述の事情に鑑みてなされたもので、前記第１の不純物導入層のイオン導入濃度をQ^{++}、前記第２の不純物導入層のイオン導入濃度をQ^{+}、前記第３の不純物導入層のイオン導入濃度をQ^{0}とすると、$5\times10^{18}\leqq Q^{++}\leqq10^{19}$ ions／ｃｍ^3、$10^{17}\leqq Q^{+}\leqq5\times10^{18}$ ions／ｃｍ^3、$10^{15}\leqq Q^{0}\leqq10^{17}$ ions／ｃｍ^{3}の関係が満足されることを特徴とする。
これらの濃度の第１の不純物導入層と第２の不純物導入層と第３の不純物導入層であるならば、第１の不純物導入層とソース電極あるいはドレイン電極とのコンタクト抵抗を確実に低減することができ、チャネル部側に接続する第３の不純物導入層のイオンを確実に低濃度にできるので、オン電流の高い、オフ電流の低い、オンオフ比の高いトランジスタ特性の優れた薄膜トランジスタが確実に得られる。

【００１２】
本発明は、前記第１の不純物導入層のイオン導入濃度をQ^{++}、前記第２の不純物導入層のイオン導入濃度をQ^{+}、前記第３の不純物導入層のイオン導入濃度をQ^{0}とすると、$10^{17}\leqq Q^{++}\leqq5\times10^{18}$ ions／ｃｍ^3、$10^{15}\leqq Q^{+}\leqq10^{17}$ ions／ｃｍ^3、$10^{14}\leqq Q^{0}\leqq5\times10^{15}$ ions／ｃｍ^{3}の関係が満足されることを特徴とする。
これらのイオン濃度とすることで、特にチャネル部側に接続する第３のイオン導入層のイオン導入濃度を低くできるので、オフ電流の低い薄膜トランジスタが得られる。

【００１３】
本発明の液晶表示装置は、一対の基板間に液晶層が挟持され、前記一対の基板のうち、一方の基板に画素電極が設けられ、更に該基板に画素電極駆動用として先のいずれかに記載の薄膜トランジスタが設けられてなることを特徴とする。
先に記載の薄膜トランジスタであるならば、多結晶シリコンＴＦＴがアモルファスシリコンに比べて本来有するキャリアの移動度が大きく駆動能力が高いとともに高速動作が可能な特徴を有した上、オン電流とオフ電流の比、オンオフ比の高い良好なトランジスタ特性の薄膜トランジスタを駆動用に備えるので、液晶駆動時の高速スイッチングが可能で、画素電極に蓄積した電荷を充分に保持できる良好な表示状態を得ることができる。

【００１４】
本発明の薄膜トランジスタの製造方法は、少なくとも表面が絶縁性である基板上に多結晶シリコンからなるアイランド状の半導体層を形成し、該半導体層上に該半導体層の両端部を残して該半導体層の中央部を覆うゲート絶縁膜を形成し、該ゲート絶縁膜上に該ゲート絶縁膜と前記半導体層の両端部を覆うゲート電極形成用の電極膜を形成し、該電極膜上に前記ゲート絶縁膜の両端部を除いて前記ゲート絶縁膜中央部を覆うマスク層を形成し、前記マスク層と前記電極膜の上から第１のイオンドーピングを行って前記ゲート絶縁膜に覆われていない半導体層両端部側に最高濃度の第１の不純物導入層を形成すると同時に前記マスク層に覆われてない半導体層両端部側であって前記第１の不純物導入層の内側に第２の不純物導入層を形成し、この後、前記マスク層を基に前記電極膜のパターニングを行って前記半導体層両端部側の前記第２の不純物導入層よりも内側の前記半導体層中央部に対応するゲート電極を形成し、次いで前記マスク層を除去し、この後に前記第２の不純物導入層よりも低濃度になるように先の第１のイオンドーピングよりも低濃度の第２のイオンドーピングを行い、前記ゲート電極に覆われていない前記半導体層の領域であって前記第２の不純物導入層よりも内側の領域に第３の不純物導入層を形成することを特徴とする。

【００１５】
半導体層とゲート絶縁膜と電極膜とマスク層を備えた積層体に第１のイオンドーピング処理を行うことで、ゲート絶縁膜に覆われていない半導体層の端部側に最高濃度の第１の不純物導入層を、ゲート絶縁膜に覆われている半導体層の端部側に第２の濃度の第２の不純物導入層を同時に１回のイオンドーピング処理にて形成することができる。次に、レジスト層により金属膜をパターニングしてレジストを除去してから低濃度の第２のイオンドーピング処理を行うことにより、先に形成した第２の不純物導入層よりも更にイオン濃度の低い第３の不純物導入層を形成できる。そして、この第３の不純物導入層の形成位置精度をレジスト層により金属膜をエッチングする際のエッチング精度で制御できるので、第３

の不純物導入層を正確に形成できる。
また、２段階の不純物導入濃度の構造を製造する場合と比較し、本発明方法を実施する際に、新たに追加する工程は、第２のイオンドーピング処理で行う第３の不純物導入層の形成であり、１つの工程を追加するのみで３段階の不純物濃度の構造を実現できる。また、第２のイオンドーピング処理は特に新規のフォトリソ工程や追加で使用するマスクの必要がないので容易に実現できる。

【００１６】

本発明の薄膜トランジスタの製造方法は、前記ゲート電極をゲート絶縁膜に近い側の第１の電極膜と前記ゲート絶縁膜から離れた側の第２の電極膜からなる２層構造とし、前記第２の電極膜のみを前記マスク層を基にパターニングして前記マスク層の両端部よりも内側の前記マスク層中央部に対応する第２の電極膜加工部を形成し、この後に前記最高濃度の第１のイオンドーピングを行い、前記第１の不純物打込層と第２の不純物打込層を形成し、この後に前記第１の電極膜のみを前記第２の電極膜加工部と同じ形状にパターニングして第１の電極膜加工部として前記第２の電極膜加工部と第１の電極膜加工部からなるゲート電極を形成することを特徴とする。

【００１７】

ゲート電極を２層構造とすることで、第１のイオンドーピング時に下層側の電極膜で半導体層を保護することができ、第１のイオンドーピング後に行うマスク層の除去時に半導体層を一方の電極膜で保護できる。
また、上層側の第２の電極膜は良好な導電性が得られるように充分に厚く形成し、下層側の第１の電極膜は容易に打込イオンが透過するように充分に薄く形成することが可能となる。下層側の第１の電極膜を薄く形成することにより、イオンドーピングを短時間で行うことが可能となり、製造が容易となるとともに、低加速電圧でイオンドーピングを行うことが可能となり、基板等へ不要なダメージを与えることがなくなる。

【００１８】

本発明の薄膜トランジスタの製造方法において、前記第１の電極膜をチタンまたはチタン合金から形成し、前記第２の電極膜を銅または銅合金から形成することができる。
本発明の薄膜トランジスタの製造方法において、前記第１の電極膜をアルミニウムまたはアルミニウム合金から形成し、前記第２の電極膜をチタンまたはチタン合金から形成することができる。
本発明の薄膜トランジスタの製造方法において、前記第１の電極膜をクロムまたはクロム合金から形成し、前記第２の電極膜をアルミニウムまたはアルミニウム合金から形成することができる。

【００１９】

これら金属材料の組み合わせにより、第１の電極膜用と第２の電極膜用に異なるエッチング液を利用することができ、これらの金属材料であるならば、２層構造で最初のエッチング液で第１の電極膜のみを選択的にエッチングし、次に別のエッチング液で第１の電極膜をエッチングすることなく第２の電極膜のみを選択的にエッチングするエッチング液を容易に選択することができる。

【００２０】

【発明の実施の形態】

以下に本発明に係る実施形態について詳細に説明する。
図１と図２は、本実施形態のトップゲート型多結晶シリコン薄膜トランジスタを有する薄膜トランジスタアレイ基板の要部を示すもので、この実施形態の薄膜トランジスタアレイ基板は、例えば、図９と図１０を基に後述する液晶表示装置に組み込まれて使用されるものである。
本実施形態の薄膜トランジスタ１は、図１に示すように、例えばガラス等の表面を絶縁性とした透明の基板２上に、多結晶シリコンからなる半導体層３がアイランド状に形成され、その中央部上にSiO_x等からなるゲート絶縁膜４が形成され、ゲート絶縁膜４上にチタン（Ｔｉ）、銅（Ｃｕ）、アルミニウム（Ａｌ）、クロム（Ｃｒ）等の金属からなる２

層構造のゲート電極５が形成され、ゲート電極５は図示略のゲート配線の一部と一体化されている。

【００２１】

本実施形態において、前記ゲート電極５は、ゲート絶縁膜４に近い側のＴｉからなる第１の電極膜６とゲート絶縁膜４から離れた側のＣｕからなる第２の電極膜７とから構成されている。なお、第１の電極膜６と第２の電極膜７を形成する導電性の金属材料はこの組み合わせの外に、第１の電極膜６をＡｌから形成した場合に第２の電極膜７をＴｉから形成する組み合わせ、第１の電極膜６をＣｒから形成した場合に第２の電極膜７をＡｌから形成する組み合わせ等、種々の組み合わせを採用することができるが、これらの組み合わせに限るものではなく、他の導電性金属材料の組み合わせを採用しても良い。

【００２２】

前記半導体層３の両端部側には、イオンを導入して形成されたソース領域（ソース領域側の第１の不純物導入層）８とドレイン領域（ドレイン領域側の第１の不純物導入層）９とが形成され、これらソース領域８とドレイン領域９と先のゲート絶縁膜４を覆って絶縁膜１０が形成されるとともに、ソース領域８上の絶縁膜１０にコンタクトホール１１が形成され、ドレイン領域９上の絶縁膜１０にコンタクトホール１２が形成され、前記コンタクトホール１１の部分においてソース領域８に接続するソース電極１３が形成され、前記コンタクトホール１２の部分においてドレイン領域９に接続するドレイン電極１５が形成されている。

【００２３】

次に、前記半導体層３の中央部側において前記ゲート電極５に対応する部分にはチャネル部１６が形成され、前記半導体層３においてソース領域８を形成した側には、ソース領域８側からチャネル部１６側にかけて第２の不純物導入層１８と第３の不純物導入層１９とがこの順に、いずれもゲート絶縁膜４の下に位置するように形成され、前記半導体層３においてドレイン領域９を形成した側にはドレイン領域９側からチャネル部１６側にかけて第２の不純物導入層２０と第３の不純物導入層２１とがこの順に、いずれもゲート絶縁膜４の下に位置するように形成されている。

【００２４】

前記半導体層３のソース側に形成されたソース領域（第１の不純物導入層）８と第２の不純物導入層１８と第３の不純物導入層１９とは、この順にイオンの打込濃度（イオン導入濃度）が低くなるように形成された層であり、半導体層３のドレイン側に形成されたドレイン領域（第１の不純物導入層）９と第２の不純物導入層２０と第３の不純物導入層２１とは、この順にイオンの打込濃度（イオン導入濃度）が低くなるように形成された層である。

ここで各層に導入されるイオンの種類は、薄膜トランジスタがｎ型かｐ型かによって異なる。薄膜トランジスタとしてｎ型とする場合は、P^+、As^+などを打ち込むことが好ましく、薄膜トランジスタとしてｐ型とするためにはB^+などを打ち込むことが好ましい。

【００２５】

より具体的には、第１の例として、ソース領域（第１の不純物導入層）８とドレイン領域（第１の不純物導入層）９のイオン導入濃度をQ^{++}、前記第２の不純物導入層１８、２０のイオン導入濃度をQ^+、前記第３の不純物導入層１９、２１のイオン導入濃度をQ^0とすると、

$5\times10^{18}\leqq Q^{++}\leqq10^{19}$ ions／cm^3、$10^{17}\leqq Q^{+}\leqq5\times10^{18}$ ions／cm^3、$10^{15}\leqq Q^{0}\leqq10^{17}$ ions／cm^3の関係が満足されるように各層にイオンが導入されてなることが好ましい。ただし、これらの範囲内でも、第１の不純物導入層８、９と第２の不純物導入層１８、２０との間のイオン濃度は１０倍程度異なることが好ましく、第２の不純物導入層１８、２０と第３の不純物導入層１９、２１との間のイオン濃度は１０倍程度異なることが好ましい。

【００２６】

次に、イオンの打込濃度の第２の例として、ソース領域（第１の不純物導入層）８とドレ

イン領域（第１の不純物導入層）９のイオン導入濃度をQ^{++}、前記第２の不純物導入層１８、２０のイオン導入濃度をQ^{+}、前記第３の不純物導入層１９、２１のイオン導入濃度をQ^{0}とすると、
$10^{17} \leqq Q^{++} \leqq 5\times10^{18}$ions／$cm^3$、$10^{15} \leqq Q^{+} \leqq 10^{17}$ ions／cm^3、$10^{14} \leqq Q^{0} \leqq 5\times10^{15}$ions／$cm^3$の関係が満足されるように各層にイオンが導入されてなることが好ましい。ただし、これらの範囲内でも、第１の不純物導入層８、９と第２の不純物導入層１８、２０との間のイオン濃度は１０倍程度異なることが好ましく、第２の不純物導入層１８、２０と第３の不純物導入層１９、２１との間のイオン濃度は１０倍程度異なることが好ましい。

【００２７】

図１に示す構造の薄膜トランジスタ１は、第１の不純物導入層８、９、第２の不純物導入層１８、２０、第３の不純物導入層１９、２１の順に不純物導入濃度を３段階に順次薄くなる構造にしたので、第１の不純物導入層８、９の不純物導入濃度をできるだけ高くすることができ、この第１の不純物導入層８、９はソース領域とドレイン領域に個々に形成され、各々ソース電極１３とドレイン電極１５との接続部分となっているので、イオン導入濃度が高ければコンタクト抵抗を低くすることができる。
また、不純物導入層をイオン導入濃度毎に３段階構造にしたので、チャネル部１６に接する側の第３のイオン導入層１９、２１のイオン導入濃度をできるだけ低くすることができ、よってオフ電流、即ち、薄膜トランジスタのオフ時のリーク電流を小さくすることができ、結果的にオンオフ比の良好なトランジスタ特性の優れた薄膜トランジスタが得られる。

【００２８】

次に、図１と図２に示す薄膜トランジスタ１を製造する方法について図３ないし図８を基に以下に説明する。
まず、ガラス等の透明の基板２上にＣＶＤ法などの成膜法を利用して多結晶シリコン膜を成膜し、この多結晶シリコン膜をフォトリソグラフィ、エッチングによりパターニングしてアイランド状の図３に示すような半導体層３を形成する。
次に、ゲート絶縁膜用のSiO_x膜あるいはSiN_x膜を基板２上と半導体層３上とに成膜し、このSiO_x膜をフォトリソグラフィ、エッチングによりパターニングして図３に示すように半導体層３の両端部３ａ、３ｂを除く部分を覆うアイランド状のゲート絶縁膜４を形成する。これらの半導体層３とゲート絶縁膜４の平面形状は例えば図２に示すように、横長の細い半導体層３に対してこの半導体層３よりも縦幅の大きな横幅の小さい矩形状のゲート絶縁膜４とし、半導体層３の両端部３ａ、３ｂをゲート絶縁膜４で覆わない構造とする。

【００２９】

ゲート絶縁膜４を形成したならば、図４に示すように半導体層３とその周囲の基板２、および、ゲート絶縁膜４を覆うように第１の電極膜２５と第２の電極膜２６を順次積層する。次に、第２の電極膜２６の上にレジスト膜を形成し、これをフォトリソグラフィ、エッチングによりパターニングして図５に示すゲート絶縁膜４の横幅よりも若干幅の小さなマスク層２７を形成する。
次いでこのマスク層２７をマスクとして前記第２の電極膜２６をウエットエッチングにより除去してマスク層２７の下にマスク層２７よりも縦幅、横幅共に若干小さな第２の電極膜加工部２６Ａを形成する。ここでマスク層２７をマスクとしてエッチング液により第２の電極膜加工部２６Ａを形成するならば、サイドエッチングによってマスク層２７の周縁よりも幅$0.1\sim0.5\times10^{-6}$m程度内側部分まで第２の電極膜加工部２６Ａを正確に除去できる（エッチング時間とエッチング液の濃度管理、エッチング液の温度管理等を正確に行うことで調整可能）ので、マスク層２７の周縁よりも若干周囲幅の小さな第２の電極膜加工部２６Ａを得ることができる。
なお、第２の電極膜２６をエッチングするためのエッチング液は第１の電極膜２５を殆どエッチングしないが、第２の電極膜２６をエッチングするもの、あるいは、第１の電極膜

２５に対するよりも、第２の電極膜２６に対する方がエッチング能の高い種類のエッチング液を選択して使用する必要がある。このエッチング液については後に詳述する。

【００３０】

次に、図６に示すように上方から第１のイオンドーピング（イオンの打ち込み）を行い、ゲート絶縁膜４に覆われていない半導体層３の両端部３ａ、３ｂに、これらの領域のイオン導入濃度をQ^{++}とした場合に、$5\times10^{18}\leqq Q^{++}\leqq10^{19}$ions／ｃｍ^{3}の範囲のイオンを導入し、第１のイオン導入層８、９を形成する。

また、このイオン打ち込み処理によってゲート絶縁膜４には覆われているが、マスク層２７に覆われていない半導体層３の両端部に近い部分に、先のイオン打込濃度よりも低濃度の第２のイオン導入層１８、２０を形成することができる。

この第２のイオン導入層１８、２０のイオン打込濃度は、第２の不純物導入層１８、２０のイオン導入濃度をQ^{+}とすると、$10^{17}\leqq Q^{+}\leqq5\times10^{18}$ ions／ｃｍ^{3}の範囲となることが好ましい。なお、先の上方からのイオン照射の際にマスク層２７の陰の領域となっていて、マスク層２７に覆われている半導体層３の中央部側の部分にはほとんどイオンは打ち込まれない。

【００３１】

次に、マスク層２７をO_2ガスを用いたプラズマ・アッシャー（灰化装置）により除去する（アッシング処理）。このアッシング処理の際に半導体層３は第１の電極膜２５により覆われているので、半導体層３がアッシング処理によって酸化されることがない。

次に、第２の電極膜加工部２６Ａをマスクと見立ててエッチングにより第１の電極膜２５を加工し、第２の電極膜加工部２６Ａと同じ平面形状の第１の電極膜加工部２５Ａを形成する。また、ここで第１の電極膜加工部２５Ａからなる第１の電極膜６と第２の電極膜加工部２６Ａからなる第２の電極膜７とからなる２層構造のゲート電極５が得られる。

【００３２】

ここで、第１の電極膜２５をチタンから形成し、第２の電極膜２６を銅から形成した場合は、第１の電極膜２５用のエッチング液はフッ酸（１wt％）を用い、第２の電極膜２６用のエッチング液はペルオキソ-硫酸-水素カリウム水溶液を用いることができる。また、第１の電極膜２５をアルミニウムから形成し、第２の電極膜２６をチタンから形成した場合は、第１の電極膜２５用のエッチング液は（燐酸＋硝酸＋酢酸＋水）の混合溶液を用い、第２の電極膜２６用のエッチング液はフッ酸（１wt％）を用いることができる。更に、第１の電極膜２５をクロムから形成し、第２の電極膜２６をアルミニウムから形成した場合は、第１の電極膜２５用のエッチング液は（硝酸セリウムアンモニウム＋硝酸アンモニウム＋水）の混合溶液を用い、第２の電極膜２６用のエッチング液は（燐酸＋硝酸＋酢酸＋水）の混合溶液を用いることができる。

【００３３】

次に、これらの上から図８に示すように第２のイオンドーピング処理を行う。ここで行う第２のイオンドーピング処理は、先の第１のイオンドーピング処理により生成される第２のイオン導入層１８、２０へのイオン導入濃度よりも更に低い低濃度の打ち込みとする。この第２のイオンドーピング処理により、第１第２の電極膜加工部２５Ａ、２６Ａに覆われていない領域に位置する半導体膜３に低濃度のイオンドーピングを行い、先の第２のイオン導入層１８、２０よりも更に内側の半導体膜３の領域に、先の第２の不純物導入層１８、２０よりも低濃度の第３のイオン導入層１９、２１を形成することができる。

ここで例えば、先の第１のイオンドーピング処理時において第２の不純物導入層１８、２０のイオン導入濃度Q^{+}を$10^{17}\leqq Q^{+}\leqq5\times10^{18}$ ions／ｃｍ^{3}の範囲とした場合、第３の不純物導入層１９、２１のイオン濃度Q^{0}を$10^{15}\leqq Q^{0}\leqq10^{17}$ ions／ｃｍ^{3}の関係が満足されるようにイオンドーピングする。即ち、第１の不純物導入層８、９に対して１／１０程度のイオン導入濃度となるように第２の不純物導入層１８、２０にイオンをドーピングし、更に第２の不純物導入層１９、２１に対して１／１０程度のイオン導入濃度となるように第３の不純物導入層１９、２１に対してイオンをドーピングすることが好ましい。

【００３４】
なお、第１のイオン導入層８、９のイオン導入濃度Q^{++}を$10^{17} \leqq Q^{++} \leqq 5 \times 10^{18}$ions／$cm^3$とした場合に、第２のイオン導入層１８、２０のイオン導入層濃度Q^{+}を$10^{15} \leqq Q^{+} \leqq 10^{17}$ ions／cm^3の範囲、第３のイオン導入層１９、２１のイオン導入層濃度Q^{0}を$10^{14} \leqq Q^{0} \leqq 5 \times 10^{15}$ions／$cm^3$の範囲とすることが好ましいが、各導入層のイオン導入濃度は１０倍程度の濃度差とすることが好ましい。。
【００３５】
図８に示す積層構造を得たならば、この積層構造の上に図１に示すように絶縁層１０を形成し、ソース領域８の上の絶縁層１０とドレイン領域９の上の絶縁層１０にコンタクトホール１１、１２を形成し、ソース領域８上にコンタクトホール１１を介してソース領域８に接続されたソース電極１３を形成し、ドレイン領域９上にコンタクトホール１２を介してドレイン領域９に接続されたドレイン電極１５を形成することで図１に示す構造の薄膜トランジスタ１を得ることができる。
【００３６】
以上の工程を実施して薄膜トランジスタ１を製造するならば、２段階のイオン導入領域を有する従来のこの種の薄膜トランジスタの製造工程に対して特別なマスクやフォトリソ工程を追加することなく、第２のイオンドーピング処理を追加することで３段階のイオン導入領域を有する薄膜トランジスタ１を製造できるので、製造コストが向上することを極力抑えながら高性能の薄膜トランジスタ１を製造することができる。また、第３のイオン導入層１９、２１を形成するためのイオンドーピング処理時においてゲート電極５をマスクとしてイオンの打込ができるので第３のイオン導入層１９、２１を半導体層３に正確に作り込むことができる。
従って、特別に製造コストを上昇させることなく、オンオフ比の高い、信頼性の高い薄膜トランジスタ１を製造することができる。
また、上層側の第２の電極膜７は良好な導電性が得られるように充分に厚く形成し、下層側の第１の電極膜６は容易に打込イオンが透過するように充分に薄く形成することが可能となる。下層側の第１の電極膜６を薄く形成することにより、イオンドーピングを短時間で行うことが可能となり、製造が容易となるとともに、低加速電圧でイオンドーピングを行うことが可能となり、基板等へ不要なダメージを与えることがなくなる。
【００３７】
ところで、先の実施形態にあっては、ゲート電極５を第１の電極膜６と第２の電極膜７とからなる２層構造としたが、ゲート電極５を１層構造としても差し支えない。ゲート電極５を１層構造とした場合、図４に示す工程において積層する電極膜２５、２６を例えば電極膜２５の１層のみとしてから次の工程を実施すれば良い。電極膜２５のみを用いる場合において、図６に示す状態で第２の電極膜２６Ａを略して電極膜２５上に直接レジスト２７を設けた構造として第１のイオンドーピングを行い、図７に示す状態において第２の電極膜７を略した状態から図８に示すように第２のイオンドーピングを行うことで３段階構造のイオン導入層を有する本発明に係る薄膜トランジスタを得ることができる。
【００３８】
図９と図１０は本発明に係る薄膜トランジスタアレイ基板が適用された薄膜トランジスタ型の液晶表示装置の一例の構造を示す。
この例の液晶表示装置Ａは、上下一対の透明の基板３０、３１の間に液晶層３２が挟持されてなる基本構造とされている。なお、図面では省略されているが、基板３０、３１の周縁部対向面側にはシール材が形成されていて、実際には基板３０、３１とシール材とに囲まれて液晶層３２が封止された構造とされている。
更に、図９の上方の基板３０の上には偏光板３３が設けられ、基板３０の液晶層３２側の面には共通電極膜３５と配向膜３６が形成されるとともに、下方の基板３１の下面側には偏光板３７が配置され、基板３１の液晶層３２側に先に説明した薄膜トランジスタ１が縦横に多数形成されている。また、図９に示す液晶表示装置Ａにおいてカラーフィルタを基板３０と共通電極膜３５との間に設けることでカラー表示が可能な液晶表示装置とするこ

ともできる。

【００３９】

基板３１側の詳細構造は、基板３１の液晶層側に複数のソース配線３８と複数のゲート配線３９とが所定の間隔をあけてマトリクス状に配線され、ソース配線３８とゲート配線３９とに囲まれた領域に個々に画素電極４０が形成され、各ソース配線３８と各ゲート配線３９とが交差した各部分と各画素電極４０との間の部分に画素電極４０のスイッチング素子としての薄膜トランジスタ１が形成されている。

この例で用いられている薄膜トランジスタ１は先の図１に示した構造の薄膜トランジスタ１であり、ゲート配線３９の一部がゲート電極５に共用されるとともに、ソース配線３８の一部から引き出してソース電極１３が形成され、ドレイン電極１５に画素電極４０が接続されて構成されている。

【００４０】

この例の液晶表示装置Ａは、基板３１の裏面側に設けられたバックライト等の光源からの透過光を利用し、薄膜トランジスタ１がスイッチングを行って通電する画素電極４０…と、対向側の基板３０の共通電極３５とによってそれらの間に存在する液晶層３２の液晶分子の配向状態を制御することで透過光の透過率を調整することができ、これによって透過光の階調表示ができるように構成されている。

この際、画素電極４０に通電するためのスイッチングを薄膜トランジスタ１が行う。ここでオンオフ比の良好な優れたトランジスタ特性の薄膜トランジスタ１を介し、電荷の移動が迅速に行われ、液晶分子を駆動できるので、高コントラストの表示を実現できるとともに、画面内での不要な濃淡の発生を防止することが可能となる。

なお、オフ電流の大きな薄膜トランジスタによって液晶の駆動を行った場合、画素電極４０に蓄積した信号電荷が充分に保持できないという問題が生じるおそれがある。

【００４１】

【実施例】

ガラス基板上に厚さ５００Åの多結晶シリコン膜をスパッタ法により形成し、この多結晶シリコン膜の上にレジストを塗布し、露光、現像し、これをエッチングして図１に平面形状を示すアイランド状の長さ２９×１０$^{-6}$m、幅１０×１０$^{-6}$mの半導体膜を形成した。

次に、この半導体膜の中央部の長さ１１×１０$^{-6}$mの部分を覆う厚さ１５００ÅのＳｉＯ$_x$膜からなる幅１６×１０$^{-6}$m、長さ１１×１０$^{-6}$mのゲート絶縁膜を図１と図３に示すように形成し、続いてこれらを覆う厚さ５００Åのチタンからなる第１の電極膜と厚さ１５００Åの銅からなる第２の電極膜をスパッタ法で図４に示すように形成した。

次に、これら積層体の上にレジストを塗布形成し、これを幅５×１０$^{-6}$mにフォトリソ、エッチングにより加工し、図５に示すマスク層を形成し、このマスク層を用いてその下の第２の電極膜をエッチングにより加工して図５に示す第２の電極膜加工部を形成した。ここでは、エッチング液として、ペルオキソ-硫酸-水素カリウム水溶液を用いた。このエッチングの際に加工時間の制御により、第２の電極膜のマスク層に対する銅の線幅を縦、横共に０.１～０.２×１０$^{-6}$m程度狭くなるようにサイドエッチング加工した。

【００４２】

続いてイオンドーピング装置によりジボラン（B_2H_6）を注入する第１のイオンドーピング処理を行い、図６に示すようにゲート絶縁膜に覆われていない部分の半導体膜両端部側に５×１０^{19} ion／ｃｍ^{3}となるようにＢ$^+$イオン注入を行って第１の不純物導入層を形成した。このイオンドーピング処理の際、マスク層でイオン照射が遮られていない領域でゲート絶縁膜で覆われた部分に位置する半導体膜には、５×１０^{17} ion／ｃｍ^{3}となるようにイオンが注入され、第２の不純物導入層が形成された。

【００４３】

続いてマスク層をO_2ガスを用いたプラズマアッシングにより図７に示すように除去後、銅からなる第２の電極膜をマスク層と見立てて第１の電極膜にSF_6による異方性ドライエッチング加工を施し、第２の電極膜から第２の電極膜加工部を図７に示すように形成し、２層構造のゲート電極を形成した。

次にイオンドーピング装置を用いてジボラン（B_2H_6）を注入する第２のイオンドーピング処理を施し、半導体膜の残りの部分を不純物濃度が１０^{15}ions となるようにイオン注入して図８に示すように第３の不純物導入層を形成した。
次いで厚さ３０００ÅのＳｉO_2の絶縁膜を形成し、コンタクトホールを加工した後に、クロム膜を形成しフォトリソ加工とエッチング加工を行ってクロム膜からなるソース電極とゲート電極を形成し、図１に示す断面構造の薄膜トランジスタアレイ基板を得た。

【００４４】

本実施例で得られた薄膜トランジスタのオン電流（I_{on}）とオフ電流（I_{OFF}）を測定した結果を図１１に示す。また、先の製造工程において、第２のイオンドーピング処理を省略し、第１のイオン導入層と第２のイオン導入層のみを形成した薄膜トランジスタを製造し、その薄膜トランジスタについてもオン電流（I_{on}）とオフ電流（I_{OFF}）を測定し、それらの結果を図１１に併せて示す。

【００４５】

図１１に示す測定結果から明らかなように、本発明に係る構造の薄膜トランジスタはオン電流（I_{on}）において比較例構造の薄膜トランジスタよりも若干高い値を示し、オフ電流（I_{OFF}）において比較例構造の薄膜トランジスタよりも大幅に低減された値を示すので、オンオフ比の高い優れたトランジスタ特性を有することが判明した。

【００４６】

【発明の効果】

以上説明したように、本発明の薄膜トランジスタは、不純物導入層をイオン導入層の濃度毎に３段階構造にしたので、第１の不純物導入層のイオン濃度をできるだけ高くすることができ、各々ソース電極とドレイン電極との接続部分とするので、イオン導入濃度が高ければ接続部分のコンタクト抵抗を低くできる。更に本発明の薄膜トランジスタは、多結晶シリコンＴＦＴがアモルファスシリコンに比べて本来有するキャリアの移動度が大きく駆動能力が高いとともに高速動作が可能な特徴を有する。
更に、チャネル部に接する側の第３のイオン導入層は、不純物導入層をイオン導入層の濃度毎に３段階にしたので、イオン導入濃度をできるだけ低くすることができ、よってオフ電流を小さくすることができ、結果的にオンオフ比の良好なトランジスタ特性の優れた薄膜トランジスタを得ることができる。

【００４７】

前記３段階構造の不純物導入層として、５×１０^{18}～１０^{19}ions／ｃｍ^3、１０^{17}～５×１０^{18} ions／ｃｍ^3、１０^{15}～１０^{17} ions／ｃｍ^{3}の３段階の関係が満足されるか、１０^{17}～５×１０^{18} ions／ｃｍ^3、１０^{15}～１０^{17} ions／ｃｍ^3、１０^{14}～５×１０^{15} ions／ｃｍ^{3}の３段階の関係が満足されることで、オンオフ比を従来構造よりも確実に高めた薄膜トランジスタを得ることができる。

【００４８】

先に記載の薄膜トランジスタを有する液晶表示装置であるならば、多結晶シリコン薄膜トランジスタがアモルファスシリコンに比べて本来有するキャリアの移動度が大きく駆動能力が高いとともに高速動作が可能な特徴を有した上、オン電流とオフ電流の比、オンオフ比の高い良好なトランジスタ特性の薄膜トランジスタを駆動用に備えるので、液晶駆動時の高速スイッチングが可能で、画素電極に蓄積した電荷を充分に保持できる良好な表示状態を有する液晶表示装置を提供することができる。

【００４９】

次に、本発明の製造方法は、第１のイオンドーピングによりマスク層とゲート絶縁層を利用して半導体層に最高濃度のイオン導入層と２番目の濃度の第２のイオン導入層を形成し、第２のイオンドーピングによりゲート電極を利用して第３のイオン導入層を形成するので、マスク層とゲート絶縁層を利用して目的の位置に正確にイオンドーピングすることができるとともに、ゲート電極を利用して目的の位置に正確にイオンドーピングすることができる。
また、ゲート電極を第１のゲート電極膜と第２のゲート電極膜とからなる２層構造として

おき、マスク層を除去する際に第２の電極膜で半導体層を覆っておくことでマスク層の酸化除去工程で半導体層を酸化させることなくマスク層の除去ができる。よって、トランジスタ特性の優れた信頼性の高い薄膜トランジスタを得ることができる。

【図面の簡単な説明】

【図１】　図１は本発明に係る薄膜トランジスタの第１実施形態の要部を示す断面図。

【図２】　図２は同第１実施形態の平面図。

【図３】　図３は薄膜トランジスタの製造方法を説明するためのもので、基板上に半導体層とゲート絶縁膜とを形成した状態を示す断面図。

【図４】　図４は薄膜トランジスタの製造方法を説明するためのもので、基板上の半導体層とゲート絶縁膜とを覆うように第１と第２の電極膜を形成した状態を示す断面図。

【図５】　図５は薄膜トランジスタの製造方法を説明するためのもので、第２の電極膜上に形成したレジストを基に、第２の電極膜をエッチングした状態を示す断面図。

【図６】　図６はレジストの上方から不純物のイオン注入を高濃度になるように行ってソース領域とドレイン領域とを形成した状態を示す断面図。

【図７】　図７は前記のイオン注入後にレジストを除去した後第１の電極膜をエッチングした状態を示す断面図。

【図８】　図８は再度低濃度のイオン注入作業を行って３段階構造のイオン注入部を形成した状態を示す断面図。

【図９】　図９は図１に示す薄膜トランジスタを備えた液晶表示装置の一例を示す構成図。

【図１０】　図１０は図９に示す液晶表示装置の画素電極と薄膜トランジスタ部分を示す平面図。

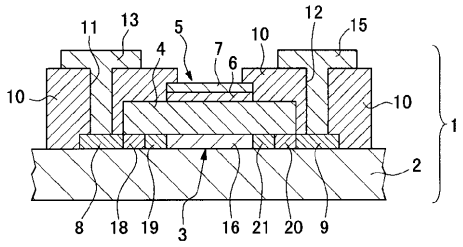
【図１１】　図１１は本発明に係る薄膜トランジスタ試料と比較例の薄膜トランジスタ試料の特性測定結果を示す図。

【図１２】　図１２は従来のトップゲート型の薄膜トランジスタの一構造例を示す図である。

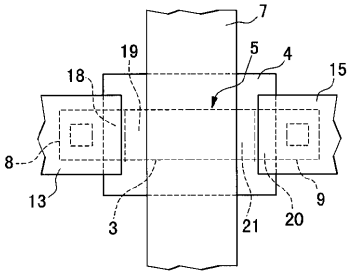
【符号の説明】

１…薄膜トランジスタ、　２…基板、
３…半導体層、　４…ゲート絶縁膜、
５…ゲート電極、　６…第１の電極膜、
７…第２の電極膜、　８、９…第１の不純物導入層、
１３…ソース電極、　１５…ドレイン電極、
１６…チャネル部、
１８、２０…第２の不純物導入層、　１９、２１…第３の不純物導入層、
２５Ａ…第１の電極膜加工部、　２６Ａ…第２の電極膜加工部、
２７…マスク層、
Ａ…液晶表示装置、　３８…ソース配線、
３９…ゲート配線、　３０、３１…基板、
４０…画素電極。

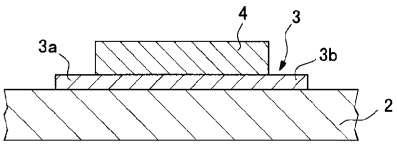
【図１】



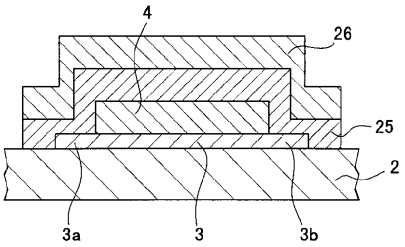
【図２】



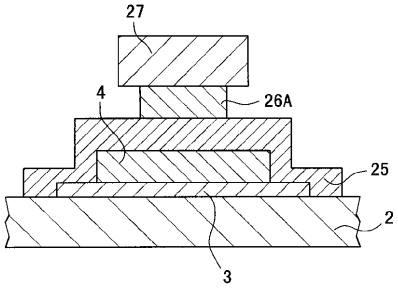
【図３】



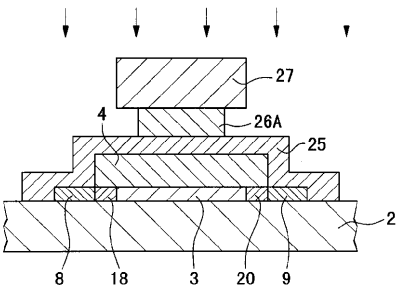
【図４】



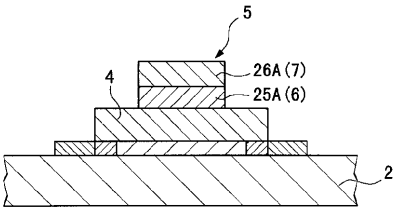
【図５】



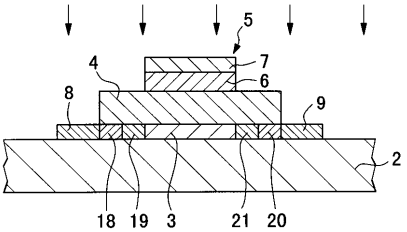
【図６】



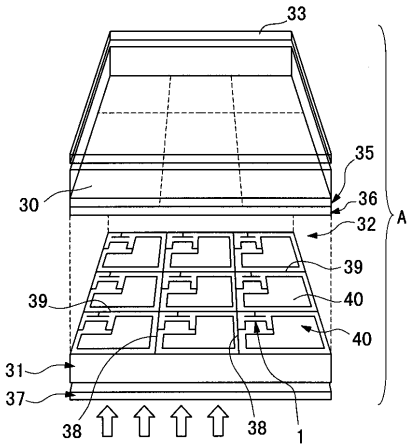
【図７】



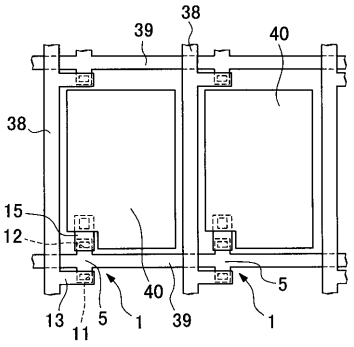
【図８】



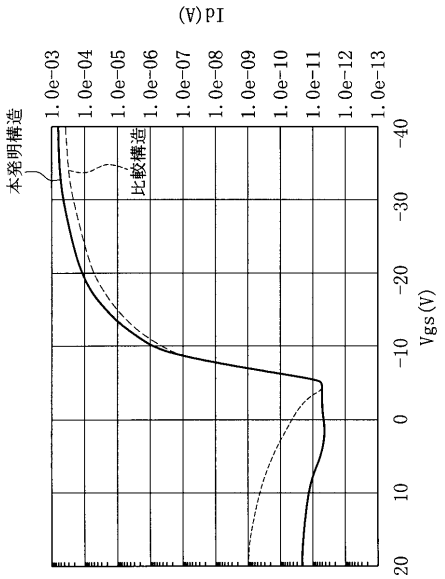
【図９】



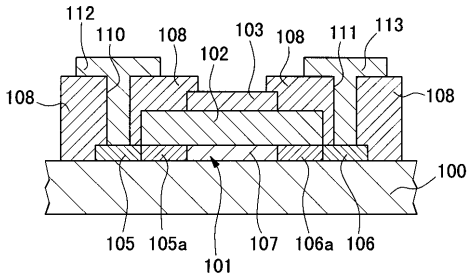
【図１０】


38
39
40
38
15
12
13
11
5
1
40
39
5
1

【図１１】


Id(A)
1.0e-03
1.0e-04
1.0e-05
1.0e-06
1.0e-07
1.0e-08
1.0e-09
1.0e-10
1.0e-11
1.0e-12
1.0e-13
本発明構造
比較構造
-40
-30
-20
-10
0
10
20
Vgs(V)

【図１２】


112
110
108
102
103
108
111
113
108
108
100
105
105a
101
107
106a
106

フロントページの続き

審査官　綿引　隆

(56)参考文献　特開平０９－０５５５０８（ＪＰ，Ａ）
特開平１１－３４５９７８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/336
H01L 29/786