(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118475973 A
(43)申请公布日 2024.08.09

(21)申请号 202180105311.2
(22)申请日 2021.12.29
(85)PCT国际申请进入国家阶段日
2024.06.27
(86)PCT国际申请的申请数据
PCT/JP2021/049025 2021.12.29
(87)PCT国际申请的公布数据
WO2023/127167 JA 2023.07.06
(71)申请人 夏普株式会社
地址 日本大阪府
(72)发明人 三谷昌弘 中村浩三
(74)专利代理机构 北京市隆安律师事务所 11323
专利代理师 权鲜枝 张艳凤
(51)Int.Cl.
G09G 3/3233(2006.01)
G09G 3/20(2006.01)

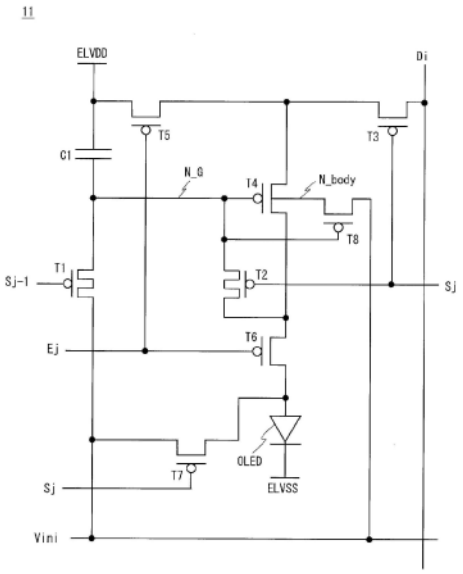
权利要求书4页 说明书24页 附图20页

(54)发明名称

显示装置

(57)摘要

在具备有机EL元件(OLED)的显示装置中,设置导通端子与p沟道型的驱动晶体管(T4)的沟道区域连接的p沟道型开关晶体管(T8)。由此,在显示装置显示了白显示的图像时,将被驱动晶体管(T4)的沟道区域的陷阱能级俘获的空穴经由开关晶体管(T8)抽取到初始化线(Vini)。其结果是,在驱动晶体管(T4)流过与数据电压相应的驱动电流,因此在紧后的帧中即使显示灰色显示的图像也不会视觉识别到残像。



CN 118475973 A

1.一种显示装置,具备:多条数据线,其用于提供表示应该显示的图像的数据信号;多条扫描线,其与所述多条数据线交叉;多个像素电路,其配置为与所述多条数据线和所述多条扫描线的交叉点分别对应;以及恒定电压供应线,其将规定的电压供应给各像素电路,

所述显示装置的特征在于,

各像素电路

与所述多条数据线中的任意1条数据线对应并且与所述多条扫描线中的任意1条扫描线对应,

具备:发光显示元件,其以与被供应的电流的量相应的亮度发光;电容元件;驱动晶体管,其具有与所述电容元件的一端连接的控制端子,根据写入到所述电容元件的电压来控制向所述发光显示元件的供应电流的量;以及开关晶体管,其具有与所述驱动晶体管的沟道区域连接的第1导通端子以及与所述恒定电压供应线连接的第2导通端子,

构成为在对应的扫描线为激活时将对应的数据线的电压提供给所述驱动晶体管的所述控制端子并写入到所述电容元件,至少在所述驱动晶体管的所述控制端子被提供与显示亮度的最大值或最小值对应的电压时,将所述开关晶体管设为导通状态。

2.根据权利要求1所述的显示装置,其中,

所述驱动晶体管和所述开关晶体管均是p沟道型的晶体管,

各像素电路构成为在所述驱动晶体管的所述控制端子被提供与显示亮度的最大值对应的电压时,将所述p沟道型开关晶体管设为导通状态,

所述恒定电压供应线是提供负电压的负电压供应线,

所述驱动晶体管的沟道区域经由所述p沟道型开关晶体管连接到所述负电压供应线。

3.根据权利要求1所述的显示装置,其中,

所述驱动晶体管是p沟道型的晶体管,所述开关晶体管是n沟道型的晶体管,

各像素电路构成为在所述驱动晶体管的所述控制端子被提供与显示亮度的最小值对应的电压时,将所述n沟道型开关晶体管设为导通状态,

所述恒定电压供应线是提供正电压的正电压供应线,

所述驱动晶体管的沟道区域经由所述n沟道型开关晶体管连接到所述正电压供应线。

4.根据权利要求1所述的显示装置,其中,

所述驱动晶体管和所述开关晶体管均是n沟道型的晶体管,

各像素电路构成为在所述驱动晶体管的所述控制端子被提供与显示亮度的最大值对应的电压时,将所述n沟道型开关晶体管设为导通状态,

所述恒定电压供应线是提供正电压的正电压供应线,

所述驱动晶体管的沟道区域经由所述n沟道型开关晶体管连接到所述正电压供应线。

5.根据权利要求1所述的显示装置,其中,

所述驱动晶体管是n沟道型的晶体管,所述开关晶体管是p沟道型的晶体管,

各像素电路构成为在所述驱动晶体管的所述控制端子被提供与显示亮度的最小值对应的电压时,将所述p沟道型开关晶体管设为导通状态,

所述恒定电压供应线是提供负电压的负电压供应线,

所述驱动晶体管的沟道区域经由所述p沟道型开关晶体管连接到所述负电压供应线。

6.根据权利要求2或5所述的显示装置,其中,

还具备将规定的正电压供应给所述像素电路的正电压供应线，

各像素电路

还具备具有与所述驱动晶体管的沟道区域连接的第1导通端子以及与所述正电压供应线连接的第2导通端子的n沟道型的开关晶体管，

构成为在所述驱动晶体管的所述控制端子被提供与显示亮度的最大值或最小值对应的电压中的较高的电压时，将所述n沟道型开关晶体管设为导通状态。

7.根据权利要求2、5或6中的任意一项所述的显示装置，其中，

所述驱动晶体管的沟道区域中俘获的空穴经由连接到所述沟道区域的所述p沟道型开关晶体管被放电至所述负电压供应线。

8.根据权利要求3、4或6中的任意一项所述的显示装置，其中，

所述驱动晶体管的沟道区域中俘获的电子经由连接到所述沟道区域的所述n沟道型开关晶体管被放电至所述正电压供应线。

9.根据权利要求2、5或6中的任意一项所述的显示装置，其中，

所述p沟道型开关晶体管的控制端子连接到所述驱动晶体管的所述控制端子。

10.根据权利要求3、4或6中的任意一项所述的显示装置，其中，

所述n沟道型开关晶体管的控制端子连接到所述驱动晶体管的所述控制端子。

11.根据权利要求2或5所述的显示装置，其中，

还具备与所述多条数据线交叉的多条发射线，

各发射线在被提供低电平的电压时为激活，在被提供高电平的电压时为非激活，

各像素电路

与所述多条发射线中的任意1条发射线对应，

构成为在对应的发射线为激活时允许电流向所述发光显示元件的供应，在所述对应的发射线为非激活时阻断电流向所述发光显示元件的供应，

所述p沟道型开关晶体管的控制端子连接到所述对应的发射线。

12.根据权利要求3或4所述的显示装置，其中，

各扫描线在被提供低电平的电压时为激活，在被提供高电平的电压时为非激活，

所述n沟道型开关晶体管的控制端子连接到所述对应的扫描线。

13.根据权利要求3或4所述的显示装置，其中，

还具备与所述多条数据线交叉的多条发射线，

各发射线在被提供低电平的电压时为激活，在被提供高电平的电压时为非激活，

各像素电路

与所述多条发射线中的任意1条发射线对应，

构成为在对应的发射线为激活时允许电流向所述发光显示元件的供应，在所述对应的发射线为非激活时阻断电流向所述发光显示元件的供应，

所述n沟道型开关晶体管的控制端子连接到所述对应的发射线。

14.根据权利要求3、4或6中的任意一项所述的显示装置，其中，

所述正电压供应线是用于向所述发光显示元件供应驱动电流的电源线。

15.根据权利要求2、5或6中的任意一项所述的显示装置，其中，

所述负电压供应线是用于将所述驱动晶体管的控制端子的电压初始化的初始化线。

16.根据权利要求3或4所述的显示装置,其中,

各扫描线在被提供低电平的电压时为激活,在被提供高电平的电压时为非激活,

在各像素电路中,所述正电压供应线是所述对应的扫描线。

17.根据权利要求2或5所述的显示装置,其中,

还具备与所述多条数据线交叉的多条发射线,

各发射线在被提供低电平的电压时为激活,在被提供高电平的电压时为非激活,

各像素电路

与所述多条发射线中的任意1条发射线对应,

构成为在对应的发射线为激活时允许电流向所述发光显示元件的供应,在所述对应的发射线为非激活时阻断电流向所述发光显示元件的供应,

在各像素电路中,所述负电压供应线是所述对应的发射线。

18.根据权利要求1至17中的任意一项所述的显示装置,其中,

各像素电路构成为在所述对应的扫描线为激活时,将所述驱动晶体管设为二极管连接状态,并且将所述对应的数据线的电压经由所述驱动晶体管提供给所述驱动晶体管的所述控制端子并写入到所述电容元件。

19.根据权利要求1所述的显示装置,其中,

还具备与所述多条数据线交叉的多条发射线,

各发射线在被提供低电平的电压时为激活,在被提供高电平的电压时为非激活,

各像素电路

与所述多条发射线的任意1条发射线对应,

还具备:

第1初始化晶体管,其具有:控制端子,其连接到所述对应的扫描线;第1导通端子,其连接到与所述驱动晶体管的所述控制端子和所述电容元件的所述一端连接的节点;以及第2导通端子,其连接到提供用于将所述节点初始化的初始化电位的初始化线,所述第1初始化晶体管在设置于将所述对应的数据线的电压写入到所述电容元件的数据写入期间之前的初始化期间成为导通状态来将所述节点的电位初始化;

写入晶体管,其具有:控制端子,其连接到所述对应的扫描线;第1导通端子,其连接到所述对应的数据线;以及第2导通端子,其连接到所述驱动晶体管的第1导通端子,所述写入晶体管在所述数据写入期间由于所述对应的扫描线成为激活而被设为导通状态来向所述驱动晶体管供应所述对应的数据线的电压;

补偿晶体管,其具有:控制端子,其连接到所述对应的扫描线;第1导通端子,其连接到所述驱动晶体管的第2导通端子;以及第2导通端子,其连接到所述驱动晶体管的所述控制端子,所述补偿晶体管在所述数据写入期间由于所述对应的扫描线成为激活而被设为导通状态来将所述驱动晶体管设为二极管连接状态;

电源供应晶体管,其具有:控制端子,其连接到所述对应的发射线;第1导通端子,其连接到用于向所述发光显示元件供应驱动电流的电源线;以及第2导通端子,其连接到所述驱动晶体管的所述第1导通端子,所述电源供应晶体管在设置为包含所述初始化期间和所述数据写入期间的非发光期间由于所述对应的发射线成为非激活而被设为截止状态,在所述数据写入期间后设置的发光期间由于所述对应的发射线成为激活而被设为导通状态;以及

发光控制晶体管,其具有:控制端子,其连接到所述对应的发射线;第1导通端子,其连接到所述驱动晶体管的所述第2导通端子;以及第2导通端子,其连接到所述发光显示元件的阳极,所述发光控制晶体管在所述非发光期间由于所述对应的发射线成为非激活而被设为截止状态,在所述发光期间由于所述对应的发射线成为激活而被设为导通状态。

显示装置

技术领域

[0001] 以下的公开涉及显示装置,更详细地说,涉及具备有机EL元件等由电流驱动的发光显示元件的显示装置。

背景技术

[0002] 作为具备薄型、高画质、低功耗等特征的显示装置,有机EL(Organic Electro Luminescence:有机电致发光)显示装置代替液晶显示装置近年来备受关注,目前正在活跃地进行其开发。在有机EL显示装置的显示面板,多个像素电路配置成矩阵状。各像素电路所包含的有机EL元件以与所输入的数据信号相应的亮度发光或熄灭,从而在显示面板显示图像。

[0003] 但是,例如当在显示面板持续显示如方格花纹这样的明暗的亮度差大的图像时,在切换到下一画面的时候,有时原来显示的图像会作为残像被观看者视觉识别到。在图像的亮度从白显示变化为灰色显示的情况下,由于在白显示时被驱动晶体管的沟道区域与栅极绝缘膜的界面或晶界的陷阱能级俘获的载流子,在灰色显示中流过驱动晶体管的电流的电流值变得比本来应该流过的电流值小。其结果是,存在如下问题:显示的图像的亮度下降,作为残像被观看者视觉识别到。

[0004] 在专利文献1所公开的显示装置中,在紧前的帧中,在像素电路被写入表示高亮度(白显示)的图像的数据信号时,存在如下情况:流过驱动晶体管的载流子被俘获到其栅极绝缘膜中,所俘获的载流子使驱动用TFT的阈值电压变动。在该情况下,与用于显示在下一帧中应该显示的图像的电流值不同的电流值的电流流过驱动用晶体管,产生残像。

[0005] 因此,在专利文献1中,在写入数据信号前,通过使驱动用TFT的栅极的电位上升,将栅极绝缘膜中俘获的载流子从栅极绝缘膜抽出到源极或漏极。由此,将驱动用TFT的电特性初始化,抑制残像的产生。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:日本的特开2006-251455号公报

发明内容

[0009] 发明要解决的问题

[0010] 但是,专利文献1所记载的显示装置需要预充电用晶体管的控制、用于使保持电容线的电位上升的控制,因此存在电路构成变得复杂这样的问题。

[0011] 因此,本申请的目的在于提供一种显示装置,其不会使电路构成复杂化,通过在使有机EL元件发光的发光期间使被沟道区域的陷阱能级俘获的载流子放电来抑制残像的产生。

[0012] 用于解决问题的方案

[0013] 某方面是一种显示装置,具备:多条数据线,其用于提供表示应该显示的图像的数

据信号;多条扫描线,其与所述多条数据线交叉;多个像素电路,其分别配置在所述多条数据线与所述多条扫描线的交叉点;以及恒定电压供应线,其将规定的电压供应给各像素电路,在所述显示装置中,

[0014] 各像素电路

[0015] 与所述多条数据线中的任意1条数据线对应并且与所述多条扫描线中的任意1条扫描线对应,

[0016] 具备:发光显示元件,其以与被供应的电流的量相应的亮度发光;电容元件;驱动晶体管,其具有与所述电容元件的一端连接的控制端子,根据写入到所述电容元件的电压来控制向所述发光显示元件的供应电流的量;以及开关晶体管,其具有与所述驱动晶体管的沟道区域连接的第1导通端子以及与所述恒定电压供应线连接的第2导通端子,

[0017] 构成为在对应的扫描线为激活时将对应的数据线的电压提供给所述驱动晶体管的所述控制端子并写入到所述电容元件,至少在所述驱动晶体管的所述控制端子被提供与显示亮度的最大值或最小值对应的电压时,将所述开关晶体管设为导通状态。

[0018] 发明效果

[0019] 根据某方面,开关晶体管的一方导通端子连接到向发光显示元件供应驱动电流的驱动晶体管的沟道区域,另一方导通端子连接到电压供应线。为了在这样的像素电路显示高亮度的图像,当在驱动晶体管流过大的电流时,载流子会被其沟道区域的陷阱能级俘获。此时,若使开关晶体管也导通,则由于电压供应线的电场,驱动晶体管的陷阱能级所俘获的载流子会被释放。被释放的载流子经过开关晶体管被抽取到电压供应线,因而沟道区域中俘获的载流子变少。因此,流过驱动晶体管的驱动电流不会再受到所俘获的载流子的影响,与数据信号相应的电流被供应给发光显示元件。由此,若在当前帧中显示的是高亮度的图像的区域在下一帧中被提供了显示更低亮度的图像的数据信号,则会显示与数据信号相应的本来亮度的图像。其结果是,不会视觉识别到作为亮度比与数据信号相应的亮度更低或更高的图像来显示的残像。

附图说明

[0020] 图1是示出在基础研究中使用的像素电路的构成的电路图。

[0021] 图2是示出第1实施方式的有机EL显示装置的整体构成的框图。

[0022] 图3是示出第1实施方式的有机EL显示装置所包含的像素电路的构成的电路图。

[0023] 图4是示出图3所示的像素电路的驱动晶体管和开关晶体管以及它们附近的布局图案的图。

[0024] 图5是图4所示的布局图案的截面图,更详细地,图5的(A)是沿着图4所示的箭头线A-A'的驱动晶体管的截面图,图5的(B)是沿着图4所示的箭头线B-B'的开关晶体管的截面图。

[0025] 图6是示出图3所示的像素电路被写入白显示电压的情况下的该像素电路的动作的时序图。

[0026] 图7是示出图3所示的像素电路被写入黑显示电压的情况下的该像素电路的动作的时序图。

[0027] 图8是表示驱动晶体管的沟道区域与具有连接到该沟道区域的n型源极区域的开

关晶体管的能带的图。

[0028] 图9是表示驱动晶体管的沟道区域与具有连接到该沟道区域的p型源极区域的开关晶体管的能带的图。

[0029] 图10是示出第2实施方式的有机EL显示装置所包含的像素电路的构成的电路图。

[0030] 图11是示出图10所示的像素电路的驱动晶体管和开关晶体管以及它们附近的布局图案的俯视图。

[0031] 图12是图11所示的布局图案的截面图,更详细地说,图12的(A)是沿着图11所示的箭头线A-A'的驱动晶体管的截面图,图12的(B)是沿着图11所示的箭头线C-C'的开关晶体管的截面图。

[0032] 图13是示出第3实施方式的有机EL显示装置所包含的像素电路的构成的电路图。

[0033] 图14是示出图13所示的像素电路的驱动晶体管、开关晶体管和开关晶体管以及它们附近的布局图案的俯视图。

[0034] 图15是图14所示的布局图案的截面图,更详细地,图15的(A)是沿着图14所示的箭头线A-A'的驱动晶体管T4的截面图,图15的(B)是沿着图14所示的箭头线B-B'的开关晶体管的截面图,图15的(C)是沿着图14所示的箭头线C-C'的开关晶体管的截面图。

[0035] 图16是示出第4实施方式的有机EL显示装置所包含的像素电路的构成的电路图。

[0036] 图17是示出第5实施方式的有机EL显示装置所包含的像素电路的构成的电路图。

[0037] 图18是示出第6实施方式的有机EL显示装置所包含的像素电路的构成的电路图。

[0038] 图19是示出第7实施方式的有机EL显示装置所包含的像素电路的构成的电路图。

[0039] 图20是示出第8实施方式的有机EL显示装置所包含的像素电路的构成的电路图。

具体实施方式

[0040] 在说明本发明的各实施方式前,作为基础研究,说明具备内部补偿电路的像素电路的构成和产生残像的理由。此外,在本说明书中,除非另有说明,否则"连接"是指"电连接的状态",在不脱离本发明的主旨的范围内,不仅包含是指直接连接的情况,也包含是指间接连接的情况。

[0041] <1.基础研究>

[0042] <1.1像素电路的构成>

[0043] 说明配置于现有的有机EL显示装置的显示面板的具备内部补偿电路的像素电路15的构成。图1是示出配置于显示面板10的像素电路15的构成的电路图。如图1所示,像素电路15具备1个有机EL元件OLED、7个p沟道型的晶体管T1～T7以及1个存储电容器Cst(也称为"电容元件")。更详细地说,像素电路15包含第1初始化晶体管T1、补偿晶体管T2、写入晶体管T3、驱动晶体管T4、电源供应晶体管T5、发光控制晶体管T6以及第2初始化晶体管T7。

[0044] 驱动晶体管T4具有栅极端子(也称为"控制端子")、第1导通端子以及第2导通端子。驱动晶体管T4的第1导通端子是经由电源供应晶体管T5连接到H电平电源线ELVDD(也称为"电压供应线"、"正电压供应线"或"高电压供应线")的导通端子,第2导通端子是经由发光控制晶体管T6连接到有机EL元件OLED的导通端子。在驱动晶体管T4中,在作为载流子的空穴从第1导通端子流到第2导通端子的情况下,第1导通端子成为源极端子,第2导通端子成为漏极端子。

[0045] 在形成有像素电路15的基板,配设有扫描线Sj(1≤j≤n的整数)、前扫描线Sj-1(也称为“放电线”)、发射线Ej、数据线Di(1≤i≤m的整数)、H电平电源线ELVDD、L电平电源线ELVSS(也称为“恒定电压供应线”、“负电压供应线”或“低电压供应线”)以及初始化线Vini(也称为“恒定电压供应线”)。写入晶体管T3其栅极端子连接到扫描线Sj,源极端子连接到数据线Di,根据扫描线Sj的选择将被供应到数据线Di的数据信号供应给驱动晶体管T4的第1导通端子。

[0046] 驱动晶体管T4的第1导通端子连接到写入晶体管T3的漏极端子,栅极端子连接到节点N_G。节点N_G是连接有后述的补偿晶体管T2的第2导通端子和存储电容器Cst的第1端子的节点,存储电容器Cst由提供到节点N_G的数据信号的电压来充电。驱动晶体管T4将由与被充电到存储电容器Cst的数据信号相应的电压(也称为“数据电压”)决定的驱动电流供应给有机EL元件OLED。此外,由如上所述的数据电压对存储电容器Cst进行的充电是指“数据电压向存储电容器Cst的写入”或“数据电压向节点N_G的写入”。

[0047] 补偿晶体管T2设置在驱动晶体管T4的栅极端子与第2导通端子之间。补偿晶体管T2的栅极端子连接到扫描线Sj。如果扫描线Sj成为激活,则补偿晶体管T2导通,将驱动晶体管T4进行二极管连接(连接成二极管)。由此,如下式(1)所示,节点N_G的电位Vng变为比数据电压低了驱动晶体管T4的阈值电压的绝对值|Vth|。节点N_G的电位Vng作为栅极电压被提供到驱动晶体管T4的栅极端子。

[0048] $Vng = Vdata - |Vth| \cdots (1)$

[0049] 在此,Vdata是数据电压,Vth是驱动晶体管T4的阈值电压,在p沟道型的晶体管中Vth＜0,在N沟道型的晶体管中Vth＞0。

[0050] 第1初始化晶体管T1其栅极端子连接到前扫描线Sj-1,设置在驱动晶体管T4的栅极端子与初始化线Vini之间。如果前扫描线Sj-1成为激活,则第1初始化晶体管T1导通,将初始化电位Vini提供到节点N_G,从而将节点N_G的电位Vng初始化。由此,初始化电位Vini被提供到驱动晶体管T4的栅极端子。此外,第1初始化晶体管T1和补偿晶体管T2为了减少漏电流而采用了双栅极结构。

[0051] 电源供应晶体管T5其栅极端子连接到发射线Ej,设置在H电平电源线ELVDD与驱动晶体管T4的第1导通端子之间。如果发射线Ej成为激活,则电源供应晶体管T5导通,将H电平电压ELVDD供应给驱动晶体管T4的第1导通端子。

[0052] 发光控制晶体管T6其栅极端子连接到发射线Ej,设置在驱动晶体管T4与第2初始化晶体管T7之间。发光控制晶体管T6根据发射线Ej的选择使驱动晶体管T4的第2导通端子与有机EL元件OLED导通。由此,由驱动晶体管T4控制了电流值的驱动电流从驱动晶体管T4被供应给有机EL元件OLED。

[0053] 第2初始化晶体管T7其栅极端子连接到扫描线Sj,设置在有机EL元件OLED的阳极与初始化线Vini之间。第2初始化晶体管T7在扫描线Sj被选择时将初始化信号DIS提供到有机EL元件OLED的阳极,将阳极的电位初始化。

[0054] 存储电容器Cst的第1端子连接到节点N_G,第2端子连接到H电平电源线ELVDD。存储电容器Cst对第1初始化晶体管T1和补偿晶体管T2截止时的节点N_G的电位Vng进行保持。

[0055] 有机EL元件OLED其阳极(有机EL元件OLED的一端)经由发光控制晶体管T6连接到驱动晶体管T4的第2导通端子,阴极(有机EL元件OLED的另一端)连接到L电平电源线ELVSS,

当被供应了由驱动晶体管T4控制的驱动电流时以与该电流值相应的亮度进行发光。

[0056] ＜1.2残像现象＞

[0057] 在驱动晶体管T4为P沟道型的情况下,在使进行了黑显示的画面的一部分以一定期间显示白色的方块图案(box pattern)后,使整个画面成为灰色显示。此时,显示了白色的方块图案的区域的亮度比周围的灰色显示区域的亮度低。这样的亮度下降的方块图案会作为残像被观看者视觉识别到。

[0058] 显示了白色的方块图案的时间越长,则亮度下降的方块图案作为残像被视觉识别到的时间越长。例如,在显示了白色的方块图案的时间为60秒时,残像需要30秒左右的时间才会消失。

[0059] 可以认为这样的残像是通过如下的机理产生的。在显示白色的方块图案的当前帧中,空穴被形成于p沟道型的驱动晶体管T4的沟道区域42与栅极绝缘膜的界面和晶界的陷阱能级俘获。即使在当前帧中所显示的白色的方块图案在下一帧中切换为灰色显示,所俘获的空穴也不会从陷阱能级立即被释放,而是暂时停留在陷阱能级。因此,在下一帧中,即使向驱动晶体管T4的栅极端子施加灰色显示的数据电压,通过驱动晶体管T4供应给有机EL元件OLED的电流的电流值也比由数据电压决定的电流值小。其结果是,显示了白显示的方块图案的区域的亮度比周围的灰色显示的亮度低。这样的亮度低的区域在直到陷阱能级所俘获的空穴全部被释放为止,会作为残像被观看者视觉识别到。

[0060] 因此,在进行白显示时,如果能够使存在于驱动晶体管T4的沟道区域42与栅极绝缘膜的界面和晶界的陷阱能级所俘获的空穴迅速地释放,则能够使残像在短时间内消失。因此,在以下说明的第1～第3各实施方式中,说明使被陷阱能级俘获的空穴释放来使残像迅速地消失的像素电路的构成及其动作。

[0061] ＜2.第1实施方式＞

[0062] ＜2.1有机EL显示装置的构成＞

[0063] 图2是示出第1实施方式的有机EL显示装置的整体构成的框图。如图2所示,有机EL显示装置(也简称为“显示装置”)具备显示面板10、显示控制电路20、数据线驱动器30、扫描线驱动器50以及发射线驱动器60。图2所示的有机EL显示装置从数据线驱动器30向各数据线直接供应数据信号。在本实施方式中,由数据线驱动器30实现数据线驱动电路,由扫描线驱动器50实现扫描线驱动电路,由发射线驱动器60实现发光控制线驱动电路。

[0064] 在显示面板10,配置有m(m为2以上的整数)条数据线D1～Dm和n+1(n为2以上的整数)条扫描线S0～Sn。另外,在显示面板10,与m条数据线D1～Dm和n条扫描线S1～Sn的交叉点分别对应地设置有m×n个像素电路11。因此,各像素电路11与m条数据线D1～Dm中的任意1条数据线对应,并且与n条扫描线S1～Sn中的任意1条扫描线对应。此外,如后述的图3所示,各像素电路11除了连接有对应的扫描线Sj以外,还连接有该对应的扫描线Sj的紧前的扫描线Sj-1(1≤j≤n)。在各像素电路11中,对应的扫描线Sj用于数据电压的写入的控制,紧前的扫描线Sj-1用于数据电压的初始化(后述的节点N_G的电位的初始化)的控制(详细内容后述)。

[0065] 在显示面板10,还与n条扫描线S1～Sn平行地配置有n条作为发光控制线的发射线E1～En。m条数据线D1～Dm以与n条扫描线S1～Sn和n条发射线E1～En分别交叉的方式配设,分别连接到数据线驱动器30。n条扫描线S1～Sn连接到扫描线驱动器50。n条发射线E1～En

连接到发射线驱动器60。n条发射线E1～En与n条扫描线S1～Sn分别对应,各像素电路11与n条发射线E1～En中的任意1条发射线对应。

[0066] 另外,在显示面板10,在各像素电路11配置有共用的电源线(未图示)。更详细地说,配置有供应用于驱动后述的有机EL元件(也称为“发光显示元件”)的H电平电压ELVDD的电源线(以下称为“H电平电源线”,与H电平电位同样用附图标记ELVDD表示。)和供应用于驱动有机EL元件的L电平电压ELVSS的电源线(以下称为“L电平电源线”,与L电平电位同样用附图标记ELVSS表示。)。而且,配置有供应用于后述的初始化动作的初始化电位Vini的初始化线(与初始化电位同样用附图标记Vini表示。)。这些电位从未图示的电源电路来供应。

[0067] 显示控制电路20向数据线驱动器30、扫描线驱动器50以及发射线驱动器60输出各种控制信号。更详细地说,显示控制电路20向数据线驱动器30输出数据起始脉冲DSP、数据时钟DCK、显示数据DA以及锁存脉冲LP。另外,显示控制电路20向扫描线驱动器50输出扫描起始脉冲SSP和扫描时钟SCK。而且,显示控制电路20向发射线驱动器60输出发射起始脉冲ESP和发射时钟ECK。

[0068] 数据线驱动器30包含未图示的m比特的移位寄存器、采样电路、锁存电路以及m个D/A转换器等。移位寄存器具有相互级联连接的m个双稳态电路,将被供应到第一级的数据起始脉冲DSP同步于数据时钟DCK进行传送,从各级输出采样脉冲。与采样脉冲的输出定时匹配地,显示数据DA被供应给采样电路。采样电路按照采样脉冲存储显示数据DA。当在采样电路存储了1行的显示数据DA时,显示控制电路20向锁存电路输出锁存脉冲LP。锁存电路在接收到锁存脉冲LP时,对存储于采样电路的显示数据DA进行保持。D/A转换器是与分别连接到数据线驱动器30的m个输出端子(未图示)的m条数据线D1～Dm对应地设置的,将保持于锁存电路的显示数据DA转换为作为模拟信号电压的数据信号,将所得到的数据信号分别输出到数据线D1～Dm。

[0069] 扫描线驱动器50驱动n条扫描线S1～Sn。更详细地说,扫描线驱动器50包含未图示的移位寄存器和缓冲器等。移位寄存器与扫描时钟SCK同步地按顺序传送扫描起始脉冲SSP。作为来自移位寄存器的各级的输出的扫描信号经由缓冲器被依次供应到对应的扫描线S1～Sn。通过激活(在本实施方式中为低电平)的扫描信号,包括与扫描线Sj连接的m个像素电路11的像素一并被选择。

[0070] 发射线驱动器60驱动n条发射线E1～En。更详细地说,发射线驱动器60包含未图示的移位寄存器和缓冲器等。移位寄存器与发射时钟ECK同步地按顺序传送发射起始脉冲ESP。作为来自移位寄存器的各级的输出的发射信号经由缓冲器被供应到对应的发射线Ej(j＝1～n)。

[0071] 图2中作为一个例子示出了将扫描线驱动器50配置于显示面板10的一端侧(图2中的显示面板10的左侧)、将发射线驱动器60配置于显示面板10的另一端侧(图2中的显示面板10的右侧)的有机EL显示装置,但扫描线驱动器50和发射线驱动器60的配置不限于此。例如,也可以是将扫描线驱动器50和发射线驱动器60均配置于显示面板10的两侧的两侧输入结构。另外,为了减少数据线驱动器30的输出端子数量,也可以在数据线驱动器30与各像素电路11之间设置有多路分配部。在该情况下,数据线驱动器30以经由多路分配部将所输出的数据信号供应给各数据线的被称为SSD(Source Shared Driving:源极共享驱动)的驱动方式来驱动。

[0072] ＜2.2像素电路的构成＞

[0073] 说明形成于显示面板10的像素电路11的构成。图3是示出像素电路11的构成的电路图。图3所示的像素电路11是在图1所示的像素电路15中进一步追加了p沟道型开关晶体管T8。开关晶体管T8的源极端子连接到作为驱动晶体管T4的沟道区域的体端子(body terminal;也称为“体端子N_body”),漏极端子连接到负电位的初始化线Vini,栅极端子连接到节点N_G。像素电路11的其它构成与像素电路15的构成相同,因此省略它们的说明。

[0074] ＜2.3开关晶体管附近的布局图案＞

[0075] 图4是示出像素电路11的驱动晶体管T4和开关晶体管T8以及它们附近的布局图案的图。此外,在以下说明的布局图案的说明和截面图的说明中,代替在上述电路的说明中使用的“栅极端子”、“源极端子”、“漏极端子”、“体端子”,分别记载为“栅极电极”、“源极区域”、“漏极区域”、“沟道区域”。

[0076] 如图4所示,构成驱动晶体管T4的半导体层40(也称为“第1半导体层”)包括源极区域41(也称为“第1源极区域”)、沟道区域42(也称为“第1沟道区域”)以及漏极区域43(也称为“第1漏极区域”)。源极区域41连接到写入晶体管T3(未图示)和电源供应晶体管T5(未图示)。漏极区域43连接到补偿晶体管T2(未图示)和发光控制晶体管T6(未图示),还经由发光控制晶体管T6(未图示)连接到有机EL元件OLED的阳极电极(未图示)。

[0077] 构成开关晶体管T8的半导体层80(也称为“第2半导体层”)从驱动晶体管T4的沟道区域42(也称为“第1沟道区域”)朝向图4的下方延伸,在半导体层80,从靠近驱动晶体管T4的沟道区域42的一侧起按顺序配置有源极区域81(也称为“第2源极区域”)、沟道区域82(也称为“第2沟道区域”)以及漏极区域83(也称为“第2漏极区域”)。开关晶体管T8的源极区域81连接到驱动晶体管T4的沟道区域,漏极区域83连接到初始化线Vini。

[0078] 节点N_G作为驱动晶体管T4的栅极电极发挥功能,并且也作为用于将数据电压充电的存储电容器Cst的第1端子发挥功能。节点N_G包括:矩形形状的主体部BY(也称为“节点主体部”),其覆盖驱动晶体管T4的沟道区域42;以及突起部PR,其从主体部BY分支并延伸到开关晶体管T8的沟道区域82上。主体部BY作为控制流过驱动晶体管T4的驱动电流的栅极电极发挥功能,突起部PR作为控制流过开关晶体管T8的电流的栅极电极发挥功能。

[0079] 此外,以往,在构成晶体管的半导体层中,使用了低温多晶硅(Low Temperature Polycrystalline Silicon;LTPS)膜。但是,近年来,开发了具有在下层形成有低温多晶硅膜、在上层形成有IGZO(氧化铟镓锌)等氧化物半导体膜的2层的半导体层的LTPO(Low Temperature Polycrystalline Oxide:低温多晶氧化物)技术。因此,在本说明书所述的各实施方式中,也可以代替低温多晶硅膜,而使用LTPO技术。由此,例如,通过在想要减少漏电流的晶体管(T1、T2、T7等)中使用IGZO膜,在需要驱动能力的晶体管(T3、T4、T5、T6)中使用LTPS膜,能够形成兼顾两个特征的像素电路。此外,构成晶体管的上述构成的半导体层在以下说明的各实施方式中也被使用。

[0080] 图5是图4所示的布局图案的截面图,更详细地说,图5的(A)是沿着图4所示的箭头线A-A’的驱动晶体管T4的截面图,图5的(B)是沿着图4所示的箭头线B-B’的开关晶体管T8的截面图。驱动晶体管T4是p沟道型,因此如图5的(A)所示,源极区域41和漏极区域43是掺杂有p型杂质的p+区域,沟道区域42是n型区域。在沟道区域42上隔着栅极绝缘膜GI形成有作为栅极电极发挥功能的主体部BY。

[0081] 开关晶体管T8也是p沟道型,源极区域81和漏极区域83通常由掺杂有p型杂质的p型区域形成,但是也可以如图5的(B)所示,源极区域81设为掺杂有n型杂质的n型区域(也可以是n+型或本征型区域),漏极区域83设为掺杂有p型杂质的p+型区域。沟道区域82是n型区域。源极区域81连接到驱动晶体管T4的沟道区域42。在沟道区域82上隔着栅极绝缘膜GI形成有从主体部BY分支并延伸且作为栅极电极发挥功能的突起部PR。漏极区域83连接到初始化线Vini。

[0082] ＜2.4像素电路的动作＞

[0083] 图6和图7是示出表示像素电路11的动作的时序图的图。如图6和图7所示,时序图被分为到时刻t1为止的前一帧、从时刻t1到t7为止的当前帧以及时刻t7以后的下一帧。另外,当前帧被分为从时刻t1到t2为止的初始化期间、从时刻t2到t3为止的数据写入期间、从时刻t3到t7为止的发光期间。

[0084] 在前一帧的发光期间,前扫描线Sj-1和扫描线Sj为H电平(高电平),发射线Ej为L电平(低电平)。此外,施加到数据线Di的数据电压的电平可取从表示作为示出最小显示亮度的数据电压的黑显示电压的H电平(VGH)(也称为“黑显示电压”)到表示作为示出最大显示亮度的数据电压的白显示电压的L电平(VGL)(也称为“白显示电压”)为止的值(也包含作为它们的中间电平的表示灰色显示电压的M电平(VGM)(也称为“灰色显示电压”)的电压)。此外,在本申请中,为了简单说明,用3个电平表示数据电压的电平,假设接近于黑显示电压的电压包含于H电平,接近于白显示电压的电压包含于L电平,接近于黑显示电压的电压与接近于白显示电压的电压之间的电压包含于M电平。

[0085] 在从前一帧变为当前帧的时刻t1,发射线Ej的电位从L电平变化为H电平。由此,电源供应晶体管T5和发光控制晶体管T6截止,电流不再流过驱动晶体管T4。然后,在直到变为时刻t2为止的期间中,当前扫描线Sj-1的电位从H电平变化为L电平时,第1初始化晶体管T1导通,节点N_G的电位Vng成为初始化电位Vini。接下来,当前扫描线Sj-1的电位从L电平返回到H电平时,第1初始化晶体管T1截止,节点N_G的电位Vng保持初始化电位Vini。

[0086] ＜2.4.1数据电压从H电平、M电平或L电平变化为L电平的情况＞

[0087] 以下,如图6所示,说明数据电压在时刻t2从H电平、M电平或L电平中的任意一个电平变化为L电平的情况。在时刻t2,施加到数据线Di的数据电压从H电平、M电平或L电平中的任意一个电平变化为L电平。然后,在直到变为时刻t3为止的期间中,扫描线Sj的电位从H电平变化为L电平。由此,写入晶体管T3和补偿晶体管T2导通,L电平的数据电压被写入到节点N_G,并且进行驱动晶体管T4的阈值补偿。接下来,当扫描线Sj的电位从L电平返回到H电平时,写入晶体管T3和补偿晶体管T2截止,节点N_G的电位Vng由下式表示。

[0088] $Vng = Vdata - |Vth|$

[0089] 在此,当白显示电压被施加到驱动晶体管T4的栅极电极时,空穴会不断被沟道区域42的陷阱能级俘获。由该俘获的空穴引起的残像在下一帧中被观看者视觉识别到。但是,在本实施方式中,从写入到节点N_G的数据电压变为L电平时起晶体管T8导通,沟道区域42与栅极绝缘膜的界面和晶界的陷阱能级所俘获的空穴会经由晶体管T8被释放到初始化线Vini。其结果是,在下一帧中,得以抑制由所俘获的空穴引起的残像现象的发生。

[0090] 在时刻t3,发射线Ej的电位从H电平变化为L电平。由此,发光控制晶体管T6和电源供应晶体管T5导通,电流从H电平电源线ELVDD按顺序经过电源供应晶体管T5、驱动晶体管

T4、发光控制晶体管T6,电流被供应给有机EL元件OLED。此时,驱动晶体管T4通过写入到节点N_G的白显示电压Vdata(W)来控制经过电源供应晶体管T5流动的电流,并将其供应给有机EL元件OLED。由此,有机EL元件OLED发光,像素电路11显示白显示的图像。然后,直到时刻t7为止电流持续流过有机EL元件OLED,像素电路11持续显示白显示的图像。

[0091] 从时刻t7起变为下一帧。在时刻t7,发射线Ej的电位从L电平变化为H电平。由此,发光控制晶体管T6和电源供应晶体管T5截止,从而电流不再被供应给有机EL元件OLED,因此,有机EL元件OLED熄灭。然后,在直到时刻t8为止的期间中,前扫描线Sj-1的电位从H电平变化为L电平,第1初始化晶体管T1导通。由此,节点N_G的电位Vng被初始化,成为初始化电位Vini。而且,前扫描线Sj-1的电位从L电平返回到H电平,第1初始化晶体管T1截止。其结果是,初始化电位Vini被保持于节点N_G。

[0092] 在时刻t8,施加到数据线Di的数据电压从L电平变化为M电平。然后,在直到变为时刻t9为止的期间中,扫描线Sj的电位从H电平变化为L电平。由此,写入晶体管T3和补偿晶体管T2导通,M电平的数据电压被写入到节点N_G,并且进行驱动晶体管T4的阈值补偿。

[0093] 在此,在图1所示的现有的像素电路15中,在当前帧的时刻t2～t3的期间,空穴被沟道区域42的陷阱能级俘获。由于不具备将所俘获的空穴积极地释放的机构,因此在时刻t2以后,所俘获的空穴不易被释放(按照msec量级以上的时间常数缓慢地释放)而继续残留。因此,下一帧的时刻t8以后在沟道区域42感应出的载流子(电流)比与写入到节点N_G的M电平的数据电压对应的载流子(电流)少。其结果是,观看者会视觉识别到亮度下降的图像(残像)。

[0094] 相对于此,在图3所示的本实施方式的像素电路11中,从时刻t2到t7为止,通过使开关晶体管T8导通,沟道区域42的陷阱能级所俘获的空穴经过开关晶体管T8被放电至初始化线Vini。当变为下一帧的时刻t8时,会在沟道区域42感应出与写入到节点N_G的M电平的数据电压相应的载流子(电流)。因此,得以抑制由所俘获的空穴引起的残像的产生。接下来,在直到变为时刻t9为止的期间中,当扫描线Sj的电位从L电平返回到H电平时,写入晶体管T3和补偿晶体管T2截止。

[0095] 在时刻t9,发射线Ej的电位从H电平变化为L电平。由此,电源供应晶体管T5和发光控制晶体管T6导通,电流从H电平电源线ELVDD按顺序经过电源供应晶体管T5、驱动晶体管T4、发光控制晶体管T6被供应给有机EL元件OLED。此时,驱动晶体管T4通过写入到节点N_G的灰色显示的数据电压来控制从H电平电源线ELVDD经过电源供应晶体管T5流动的电流。

[0096] 如上所述,在数据电压在时刻t2从H电平、M电平或L电平中的任意一个电平变化为L电平的情况下,在像素电路11中,在当前帧的时刻t3～t7的期间,开关晶体管T8导通。由此,沟道区域42的陷阱能级所俘获的空穴经过开关晶体管T8被放电至初始化线Vini。其结果是,在时刻t8以后,在沟道区域42感应出与期望的M电平的数据电压相应的载流子(电流)。这样,残像现象被抑制,因此有机EL元件OLED以与数据电压相应的亮度发光,像素电路11显示期望的灰色显示的图像。此后在有机EL元件OLED也持续流过期望的电流,因此有机EL元件OLED以与数据电压相应的期望的亮度持续发光,像素电路11成为灰色显示。

[0097] ＜2.4.2数据电压从H电平、M电平或L电平中的任意一个电平变化为H电平的情况＞

[0098] 接下来,如图7所示,说明在时刻t2数据电压从H电平、M电平或L电平中的任意一个

电平变化为H电平的情况。在时刻t2,施加到数据线Di的数据电压从H电平、M电平或L电平中的任意一个电平变化为H电平。然后,在直到变为时刻t3为止的期间中,扫描线Sj的电位从H电平变化为L电平。由此,写入晶体管T3和补偿晶体管T2导通,H电平的数据电压被写入到节点N_G,并且进行驱动晶体管T4的阈值补偿。接下来,当扫描线Sj的电位从L电平返回到H电平时,写入晶体管T3和补偿晶体管T2截止。

[0099] 在此,当黑显示电压被施加到驱动晶体管T4的栅极电极时,写入到节点N_G的数据电压变为H电平,因此开关晶体管T8截止。由此,驱动晶体管T4的沟道区域42变为与初始化线Vini断开的状态。此外,在黑显示电压的情况下,被陷阱能级俘获的空穴少,因此即使所俘获的空穴不被放电至初始化线Vini,也几乎不会视觉识别到由此引起的残像(亮度下降),但是另一方面,被陷阱能级俘获的电子变得显著,因此会视觉识别到由此引起的残像(亮度上升)。另外,如果只是为了在施加了黑显示电压时使空穴放电,则开关晶体管T8可以是n沟道型或p沟道型中的任何一种类型。

[0100] 从时刻t3起变为当前帧的发光期间,发射线Ej的电位从H电平变化为L电平。由此,电源供应晶体管T5和发光控制晶体管T6导通,电流从H电平电源线ELVDD按顺序经过电源供应晶体管T5、驱动晶体管T4、发光控制晶体管T6被供应给有机EL元件OLED。此时,驱动晶体管T4通过写入到节点N_G的黑显示的数据电压来控制从H电平电源线ELLVDD经过电源供应晶体管T5流动的电流。由此,有机EL元件OLED以与数据电压相应的亮度持续发光,像素电路11成为黑显示。

[0101] 从时刻t7起变为下一帧。在时刻t7,发射线Ej的电位从L电平变化为H电平。由此,发光控制晶体管T6和电源供应晶体管T5截止,从而电流不再被供应给有机EL元件OLED,因此有机EL元件OLED熄灭。然后,在直到时刻t8为止的期间中,前扫描线Sj-1的电位从H电平变化为L电平,第1初始化晶体管T1导通。由此,节点N_G的电位Vng被初始化,成为初始化电位Vini。而且,前扫描线Sj-1的电位从L电平返回到H电平,第1初始化晶体管T1截止。其结果是,初始化电位Vini被保持于节点N_G。

[0102] 在时刻t8,施加到数据线Di的数据电压从H电平变化为M电平。然后,在直到变为时刻t9为止的期间中,扫描线Sj的电位从H电平变化为L电平。由此,写入晶体管T3和补偿晶体管T2导通,M电平的数据电压被写入到节点N_G,并且进行驱动晶体管T4的阈值补偿。

[0103] 在图1所示的现有的像素电路15中,在当前帧的时刻t2～t3的期间,电子被沟道区域42的陷阱能级俘获。由于不具备将所俘获的电子积极地释放的机构,因此在时刻t2以后,所俘获的电子不易被释放(按照msec量级以上的时间常数缓慢地释放)而继续残留。因此,下一帧的时刻t8以后在沟道区域42感应出的载流子(电流)比与写入到节点N_G的M电平的数据电压对应的载流子(电流)多。其结果是,观看者会视觉识别到亮度上升的图像(残像)。

[0104] 另一方面,在图3所示的本实施方式的像素电路11中,从时刻t2到t7为止,开关晶体管T8被导通,但是由于连接目的地的电源线是作为负电位的初始化线Vini,因此,沟道区域42的陷阱能级所俘获的电子不被放电而继续残留。因此,下一帧的时刻t8以后在沟道区域42感应出的载流子(电流)比与写入到节点N_G的M电平的数据电压对应的载流子(电流)多。其结果是,与现有的像素电路15同样,观看者会视觉识别到亮度上升的图像(残像)。接下来,在直到变为时刻t9为止的期间中,当扫描线Sj的电位从L电平返回到H电平时,写入晶体管T3和补偿晶体管T2截止。

[0105] 在时刻t9,发射线Ej的电位从H电平变化为L电平。由此,电源供应晶体管T5和发光控制晶体管T6导通,电流从H电平电源线ELVDD按顺序经过电源供应晶体管T5、驱动晶体管T4、发光控制晶体管T6被供应给有机EL元件OLED。此时,驱动晶体管T4通过写入到节点N_G的灰色显示的数据电压来控制从H电平电源线ELVDD经过电源供应晶体管T5流动的电流。

[0106] 如上所述,在数据电压在时刻t2从H电平、M电平或L电平中的任意一个电平变化为H电平的情况下,在像素电路11中,在当前帧的时刻t2～t7的期间,开关晶体管T8导通,但是由于连接目的地的电源线是作为负电位的初始化线Vini,因此,沟道区域42的陷阱能级所俘获的电子不被放电而继续残留。其结果是,在下一帧的时刻t8以后,在沟道区域42感应出比与期望的M电平的数据电压对应的载流子(电流)大的载流子(电流)。残像现象没有被抑制,因此在切换为灰色显示的瞬间,有机EL元件OLED以数据电压以上的亮度发光,像素电路11显示比期望的灰色显示明亮的图像。然后,所俘获的电子逐渐(按照时间常数缓慢地)被释放,因此有机EL元件OLED经过几十秒逐渐下降到与期望的M电平的数据电压相应的期望的亮度,最终成为期望的灰色显示,不再看得到残像。

[0107] ＜2.5开关晶体管的动作＞

[0108] ＜2.5.1L电平的白显示电压被写入到节点N_G的情况＞

[0109] 在当前帧中,在通过将L电平的白显示电压Vdata(W)写入到节点N_G来进行驱动晶体管T4的阈值补偿时,空穴被驱动晶体管T4的沟道区域的陷阱能级俘获。因此,为了使所俘获的空穴经由p沟道型开关晶体管T8放电至初始化线Vini,需要使开关晶体管T8导通。用于使p沟道型的开关晶体管T8导通的条件为

[0110] Vth(T8)＞Vgs。

[0111] 在此,Vgs是开关晶体管T8的栅极-源极间电压,由下式表示。

[0112] Vgs＝Vng-Vbody

[0113] ＝Vdata(W)-|Vth(T4)|-Vbody

[0114] ＝Vdata(W)+Vth(T4)-Vbody

[0115] 因此,用于使开关晶体管T8导通的条件变为如下。

[0116] Vth(T8)＞Vdata(W)+Vth(T4)-Vbody…(2)

[0117] 为了使开关晶体管T8导通,设定满足上式(2)的驱动晶体管T4的阈值电压Vth(T4)、开关晶体管T8的阈值电压Vth(T8)以及白显示电压Vdata(W)。

[0118] 作为电压设定的一个例子,在设定为

[0119] Vdata(W)＝2V

[0120] ELVDD＝4V

[0121] ELVSS＝-4V

[0122] Voled＝3V

[0123] Vbody≈{(ELVDD-ELVSS)-Voled}/2

[0124] ＝2.5V

[0125] Vini＝-3V

[0126] Vth(T4)＝-4V

[0127] Vth(T8)＝-2V的情况下,式(2)的左边为

[0128] Vth(T8)＝-2V

[0129] 式(2)的右边为

[0130] Vdata(W)+Vth(T4)-Vbody＝2V+(-4V)-(2.5V)

[0131] ＝-4.5V,

[0132] 满足式(2)。因此,开关晶体管T8导通,因而驱动晶体管T4的沟道区域的陷阱能级所俘获的空穴经由开关晶体管T8被放电至初始化线Vini。其结果是,在当前帧为白显示的情况下,在下一帧的灰色显示时不会产生残像(白显示部看起来暗)。但是,如果是不满足式(2)的阈值电压、电源电压的设定,则开关晶体管T8不会导通,因此即使是白显示也可能产生残像。

[0133] ＜2.5.2H电平的黑显示电压被写入到节点的情况＞

[0134] 在当前帧中,在写入了H电平的黑显示电压Vdata(B)时,电子被驱动晶体管T4的沟道区域的陷阱能级俘获。此时,p沟道型的开关晶体管T8导通的条件与式(2)同样由下式表示。

[0135] Vth(T8)＞Vgs

[0136] 在此,

[0137] Vgs＝Vng-Vbody

[0138] ＝Vdata(B)-|Vth(T4)|-Vbody

[0139] ＝Vdata(B)+Vth(T4)-Vbody。

[0140] 因此,用于开关晶体管T8导通的条件变为如下。

[0141] Vth(T8)＞Vdata(B)+Vth(T4)-Vbody…(3)

[0142] 作为电压设定的一个例子,在设定为

[0143] Vdata(B)＝5V

[0144] ELVDD＝4V

[0145] ELVSS＝-4V

[0146] Voled＝3V

[0147] Vbody≈{(ELVDD-ELVSS)-Voled}/2

[0148] ＝2.5V

[0149] Vini＝-3V

[0150] Vth(T4)＝-4V

[0151] Vth(T8)＝-2V的情况下,式(3)的左边为

[0152] Vth(T8)＝-2V

[0153] 式(3)的右边为

[0154] Vdata(B)+Vth(T4)-Vbody＝5V+(-4V)-(2.5V)

[0155] ＝-1.5V,

[0156] 不满足式(3)。因此,开关晶体管T8不导通,因而驱动晶体管T4的沟道区域的陷阱能级所俘获的电子不会经由开关晶体管T8被放电至初始化线Vini,而停留在驱动晶体管T4的沟道区域。其结果是,在当前帧为黑显示的情况下,在下一帧的灰色显示时产生残像(黑显示部看起来明亮)。

[0157] ＜2.6用于使被驱动晶体管的沟道区域俘获的空穴放电至初始化线的能带图＞

[0158] 使用能带图来说明在驱动晶体管T4导通而流过驱动电流时,沟道区域42中俘获的

空穴经由开关晶体管T8被放电至初始化线Vini的情况。图8和图9是表示驱动晶体管T4的沟道区域42与连接到沟道区域42的开关晶体管T8的能带的图。图8是T8的源极区域81为n型的情况下的图,图9是T8的源极区域81为p型的情况下的图。

[0159] 首先,说明驱动晶体管T4和开关晶体管T8截止时。如图8和图9所示,驱动晶体管T4的沟道区域42、开关晶体管T8的沟道区域82均为n型区域,被施加使T8截止的电压(Vng≥Vth(T8)+Vbody)。此时,T4的沟道区域由于费米能级Ef在本征费米能级Ei之上,因此没有俘获空穴。p+型的漏极区域83在与n型的沟道区域82相接的同时,连接到作为负电位的初始化线Vini。因此,漏极区域83的费米能级Ef比沟道区域的费米能级Ef高了作为反向偏置电压的Vini。由于空穴本身没有被沟道区域42俘获,因此无论T8的源极区域81是n型还是p型(在图8和图9中的任何一种情况下),空穴都不会经由开关晶体管T8被放电至初始化线Vini。

[0160] 接下来,说明驱动晶体管T4和开关晶体管T8处于导通的情况。

[0161] 节点N_G作为驱动晶体管T4和开关晶体管T8的栅极电极发挥功能,因此当对晶体管T4和T8的栅极电极施加了使T8导通的电压(Vng＜Vth(T8)+Vbody)时,沟道区域42和沟道区域82的费米能级Ef变得比本征费米能级Ei小,导电型从n型反转为p型。随着此时的能带的弯曲(导电型的反转),空穴被俘获到T4的沟道区域42附近的陷阱能级。如图8所示,在T8的源极区域81为n型的情况下,该区域对于空穴成为位垒(potential barrier),因此从电位而言,空穴不易流到Vini,但是另一方面,变得与处于源极区域81的价电子带的作为多数载流子的电子易于复合,T4的沟道区域附近所俘获的空穴易于消失。另外,如图9所示,在T8的源极区域为p型的情况下,该区域对于空穴不会成为位垒,因此T4的沟道区域附近所俘获的空穴直接流到Vini并被放电。

[0162] ＜2.7效果＞

[0163] 根据本实施方式,为了进行驱动晶体管T4的阈值补偿,当向节点N_G写入L电平的白显示电压作为数据电压时,空穴被驱动晶体管T4的沟道区域42的陷阱能级俘获。接下来,在发光期间,当被提供了白显示的数据电压时,驱动晶体管T4将与数据电压相应的驱动电流供应给有机EL元件OLED。此时,开关晶体管T8导通。由此,驱动晶体管T4的沟道区域42的陷阱能级所俘获的空穴经由开关晶体管T8被放电至初始化线Vini。其结果是,被驱动晶体管T4的陷阱能级俘获的空穴不再存在,因此在下一帧中写入了灰色显示电压的情况下,与写入的灰色显示的数据电压值相应的电流也会从驱动晶体管T4经由发光控制晶体管T6被供应给有机EL元件OLED。其结果是,能够显示没有残像的图像。

[0164] ＜3.第2实施方式＞

[0165] ＜3.1有机EL显示装置的构成＞

[0166] 第2实施方式的有机EL显示装置的整体构成是与图2所示的第1实施方式的有机EL显示装置的整体构成相同的,因此省略其框图和说明。

[0167] ＜3.2像素电路的构成＞

[0168] 说明形成于本实施方式的显示面板10的像素电路12的构成。图10是示出本实施方式的有机EL显示装置所包含的像素电路12的构成的电路图。在图10所示的像素电路12,与图3所示的像素电路11不同,设置有n沟道型开关晶体管T9来代替p沟道型开关晶体管T8作为开关晶体管。开关晶体管T9的源极端子与开关晶体管T8的情况同样连接到驱动晶体管T4的沟道区域,栅极端子连接到节点N_G。但是,与开关晶体管T8的情况不同,在开关晶体管T9

中,漏极端子连接到正电位的H电平电源线ELVDD。此外,像素电路12的其它构成是与图3所示的像素电路11的构成相同的,因此省略其说明。

[0169] ＜3.3开关晶体管及其附近的布局图案＞

[0170] 图11是示出像素电路12的驱动晶体管T4和开关晶体管T9及其附近的布局图案的俯视图。如图11所示,构成驱动晶体管T4的半导体层40(也称为“第1半导体层”)的源极区域41和漏极区域43的连接目的地是与第1实施方式的情况相同的,因此省略其说明。

[0171] 延伸的构成开关晶体管T9的半导体层90(也称为“第2半导体层”)从驱动晶体管T4的沟道区域42朝向图11的下方延伸,在半导体层90,从靠近驱动晶体管T4的沟道区域42的一侧起按顺序配置有源极区域91(也称为“第1源极区域”)、沟道区域92(也称为“第2沟道区域”)以及漏极区域93(也称为“第2漏极区域”)。开关晶体管T9的源极区域91连接到驱动晶体管T4的沟道区域42,漏极区域93连接到H电平电源线ELVDD。

[0172] 节点N_G作为驱动晶体管T4的栅极电极发挥功能,并且也作为用于将数据电压充电的存储电容器Cst发挥功能。节点N_G包含:矩形形状的主体部BY,其覆盖驱动晶体管T4的沟道区域42;以及突起部PR,其从主体部BY分支并延伸到开关晶体管T9的沟道区域92上。主体部BY作为控制流过驱动晶体管T4的驱动电流的栅极电极发挥功能,并且也作为用于将数据电压充电的存储电容器Cst的第1端子发挥功能。突起部PR作为控制流过开关晶体管T9的电流的栅极电极发挥功能。

[0173] 图12是图11所示的布局图案的截面图,更详细地说,图12的(A)是沿着图11所示的箭头线A-A’的驱动晶体管T4的截面图,图12的(B)沿着图11所示的箭头线C-C’的开关晶体管T9的截面图。驱动晶体管T4是p沟道型,因而图12的(A)所示的截面图是与图5的(A)所示的截面图相同的。因此,省略驱动晶体管T4的说明。

[0174] 开关晶体管T9与开关晶体管T8不同,是n沟道型的晶体管,源极区域91和漏极区域93通常由掺杂有n型杂质的n型区域形成,但是也可以如图12的(B)所示,源极区域91为p型(也可以是p+型或本征型),沟道区域92为p型,漏极区域93为n+型。在开关晶体管T9的沟道区域92上隔着栅极绝缘膜GI形成有包括从节点N_G的主体部BY延伸的突起部PR的栅极电极。源极区域91连接到驱动晶体管T4的沟道区域42,漏极区域93连接到H电平电源线ELVDD。

[0175] ＜3.4像素电路的动作＞

[0176] 表示像素电路的动作的时序图是与图6和图7所示的第1实施方式的情况相同的。因此,使用图6和图7来说明本实施方式的像素电路12的动作。

[0177] ＜3.4.1数据电压从H电平、M电平或L电平中的任意一个电平变化为H电平的情况＞

[0178] 以下,如图7所示,说明数据电压从H电平、M电平或L电平中的任意一个电平变化为作为黑显示电压的H电平的情况。到时刻t1为止的动作与第1实施方式的情况相同,因此省略其说明。在时刻t2,施加到数据线Di的数据电压从H电平、M电平或L电平中的任意一个电平变化为H电平。然后,在直到变为时刻t3为止的期间中,扫描线Sj的电位从H电平变化为L电平。由此,写入晶体管T3和补偿晶体管T2导通,H电平的数据电压被写入到节点N_G,并且进行驱动晶体管T4的阈值补偿。接下来,当扫描线Sj的电位从L电平返回到H电平时,写入晶体管T3和补偿晶体管T2截止,节点N_G与第1实施方式的式(1)同样由下式表示。

[0179] $Vng=Vdata-|Vth|$

[0180] 在此,当黑显示电压被施加到驱动晶体管T4的栅极电极时,电子会不断被沟道区域42的陷阱能级俘获。由该俘获的电子引起的残像在下一帧中被观看者视觉识别到。但是,在本实施方式中,从写入到节点N_G的数据电压变为了H电平时起晶体管T9导通,沟道区域42与栅极绝缘膜的界面和晶界的陷阱能级所俘获的电子经由晶体管T9被释放至H电平电源线ELVDD。其结果是,在下一帧中,得以抑制由所俘获的电子引起的残像现象的发生。

[0181] 在时刻t3,发射线Ej的电位从H电平变化为L电平。由此,发光控制晶体管T6和电源供应晶体管T5导通,电流从H电平电源线ELVDD按顺序经过电源供应晶体管T5、驱动晶体管T4、发光控制晶体管T6被供应给有机EL元件OLED。此时,驱动晶体管T4通过写入到节点N_G的黑显示电压Vdata(B)来控制经过电源供应晶体管T5流动的电流,并将其供应给有机EL元件OLED。由此,有机EL元件OLED发光,像素电路11显示黑显示的图像。然后,直到时刻t7为止电流持续流过有机EL元件OLED,像素电路11持续显示黑显示的图像。

[0182] 从时刻t7起变为下一帧。在时刻t7,发射线Ej的电位从L电平变化为H电平。由此,发光控制晶体管T6和电源供应晶体管T5截止,从而电流不再被供应给有机EL元件OLED,因此有机EL元件OLED熄灭。然后,在直到时刻t8为止的期间中,前扫描线Sj-1的电位从H电平变化为L电平,第1初始化晶体管T1导通。由此,节点N_G的电位Vng被初始化,成为初始化电位Vini。而且,前扫描线Sj-1的电位从L电平返回到H电平,第1初始化晶体管T1截止。其结果是,初始化电位Vini被保持于节点N_G。

[0183] 在时刻t8,施加到数据线Di的数据电压从H电平变化为M电平。然后,在直到变为时刻t9为止的期间中,扫描线Sj的电位从H电平变化为L电平。由此,写入晶体管T3和补偿晶体管T2导通,M电平的数据电压被写入到节点N_G,并且进行驱动晶体管T4的阈值补偿。

[0184] 在图1所示的现有的像素电路15中,在当前帧的时刻t2～t3的期间,电子被沟道区域42的陷阱能级俘获。现有的像素电路15由于不具备将所俘获的电子积极地释放的机构,因此在时刻t2以后,所俘获的电子不易被释放(由于按照msec量级以上的时间常数缓慢地释放)而在下一帧以后也继续残留。因此,时刻t8以后在沟道区域42感应出的载流子(电流)比与写入到节点N_G的M电平的数据电压对应的载流子(电流)多。其结果是,观看者会视觉识别到亮度上升的图像(残像)。

[0185] 相对于此,在图10所示的本实施方式的像素电路12中,从时刻t2到t7为止,使开关晶体管T9导通,因此,沟道区域42的陷阱能级所俘获的电子经过开关晶体管T8被放电至H电平电源线ELVDD。当变为下一帧的时刻t8时,会在沟道区域42感应出与写入到节点N_G的M电平的数据电压相应的载流子(电流)。因此,得以抑制由所俘获的电子引起的残像的产生。接下来,在直到变为时刻t9为止的期间中,当扫描线Sj的电位从L电平返回到H电平时,写入晶体管T3和补偿晶体管T2截止。

[0186] 在时刻t9,发射线Ej的电位从H电平变化为L电平。由此,电源供应晶体管T5和发光控制晶体管T6导通,电流从H电平电源线ELVDD按顺序经过电源供应晶体管T5、驱动晶体管T4、发光控制晶体管T6被供应给有机EL元件OLED。此时,驱动晶体管T4通过写入到节点N_G的灰色显示的数据电压来控制从H电平电源线ELVDD经过电源供应晶体管T5流动的电流。

[0187] 如上所述,在数据电压在时刻t2从H电平、M电平或L电平中的任意一个电平变化为H电平的情况下,在像素电路12中,在当前帧的时刻t2～t7的期间,开关晶体管T9导通。由此,沟道区域42的陷阱能级所俘获的电子经过开关晶体管T9被放电至H电平电源线ELVDD。

其结果是,在时刻t8以后,在沟道区域42感应出与期望的M电平的数据电压相应的载流子(电流)。这样,残像现象被抑制,因此有机EL元件OLED以与数据电压相应的亮度发光,像素电路12显示期望的灰色显示的图像。此后在有机EL元件OLED也持续流过期望的电流,因此,有机EL元件OLED以与数据电压相应的期望的亮度持续发光,像素电路11成为灰色显示。

[0188] ＜3.4.2数据电压从H电平、M电平或L电平中的任意一个电平变化为L电平的情况＞

[0189] 如图6所示,在时刻t2,施加到数据线Di的数据电压从H电平、M电平或L电平中的任意一个电平变化为L电平。然后,在直到变为时刻t3为止的期间中,扫描线Sj的电位从H电平变化为L电平。由此,写入晶体管T3和补偿晶体管T2导通,从而L电平的数据电压被写入到节点N_G,并且进行驱动晶体管T4的阈值补偿。接下来,当扫描线Sj的电位从L电平返回到H电平时,写入晶体管T3和补偿晶体管T2截止。

[0190] 从时刻t3起变为当前帧的发光期间,发射线Ej的电位从H电平变化为L电平。由此,电源供应晶体管T5和发光控制晶体管T6导通,电流从H电平电源线ELVDD按顺序经过电源供应晶体管T5、驱动晶体管T4、发光控制晶体管T6被供应给有机EL元件OLED。此时,驱动晶体管T4通过写入到节点N_G的白显示的数据电压来控制从H电平电源线ELLVDD经过电源供应晶体管T5流动的电流。由此,有机EL元件OLED以与数据电压相应的亮度发光,像素电路成为白显示。

[0191] 在此,当白显示电压被施加到驱动晶体管T4的栅极电极时,写入到节点N_G的数据电压变为L电平,因此开关晶体管T9截止。由此,驱动晶体管T4的沟道区域42变为与H电平电源线ELLVDD断开的状态。此外,在白显示电压的情况下,被沟道区域42的陷阱能级俘获的电子少,因此即使所俘获的电子不被放电至H电平电源线ELLVDD,也几乎不会视觉识别到由此引起的残像,但是另一方面,被陷阱能级俘获的空穴变得显著,因此会视觉识别到由此引起的残像(亮度下降)。

[0192] 从时刻t7起变为下一帧。在时刻t7,发射线Ej的电位从L电平变化为H电平。由此,发光控制晶体管T6和电源供应晶体管T5截止,从而电流不再被供应给有机EL元件OLED,因此有机EL元件OLED熄灭。然后,在直到时刻t8为止的期间中,前扫描线Sj-1的电位从H电平变化为L电平,第1初始化晶体管T1导通。由此,节点N_G的电位Vng被初始化,成为初始化电位Vini。而且,前扫描线Sj-1的电位从L电平返回到H电平,第1初始化晶体管T1截止。其结果是,初始化电位Vini被保持于节点N_G。

[0193] 在时刻t8,施加到数据线Di的数据电压从L电平变化为M电平。然后,在直到变为时刻t9为止的期间中,扫描线Sj的电位从H电平变化为L电平。由此,写入晶体管T3和补偿晶体管T2导通,M电平的数据电压被写入到节点N_G,并且进行驱动晶体管T4的阈值补偿。

[0194] 在图1所示的现有的像素电路15中,在当前帧的时刻t2～t3的期间,空穴被沟道区域42的陷阱能级俘获。现有的像素电路15由于不具备将俘获的空穴积极地释放的机构,因此在时刻t2以后,所俘获的空穴不易被释放(按照msec量级以上的时间常数缓慢地释放)而继续残留。因此,下一帧的时刻t8以后在沟道区域42感应出的载流子(电流)比与写入到节点N_G的M电平的数据电压对应的载流子(电流)少。其结果是,观看者会视觉识别到亮度下降的图像(残像)。

[0195] 另一方面,在图10所示的本实施方式的像素电路12中,从时刻t2到t7为止,开关晶

体管T9被导通,但是由于连接目的地的电源线是作为正电位的H电平电源线ELVDD,因此,沟道区域42的陷阱能级所俘获的空穴不被放电而继续残留。因此,下一帧的时刻t8以后在沟道区域42感应出的载流子(电流)比与写入到节点N_G的M电平的数据电压对应的载流子(电流)少。其结果是,与现有的像素电路15同样,观看者会视觉识别到亮度下降的图像(残像)。接下来,在直到变为时刻t9为止的期间中,当扫描线Sj的电位从L电平返回到H电平时,写入晶体管T3和补偿晶体管T2截止。

[0196] 在时刻t9,发射线Ej的电位从H电平变化为L电平。由此,电源供应晶体管T5和发光控制晶体管T6导通,电流从H电平电源线ELVDD按顺序经过电源供应晶体管T5、驱动晶体管T4、发光控制晶体管T6被供应给有机EL元件OLED。此时,驱动晶体管T4通过写入到节点N_G的灰色显示的数据电压来控制从H电平电源线ELVDD经过电源供应晶体管T5流动的电流。

[0197] 如上所述,在数据电压在时刻t2从H电平、M电平或L电平中的任意一个电平变化为L电平的情况下,在像素电路12中,在当前帧的时刻t2～t7的期间,开关晶体管T9导通,但是由于连接目的地的电源线是作为正电位的H电平电源线ELVDD,因此,沟道区域42的陷阱能级所俘获的空穴不被放电而继续残留。其结果是,在下一帧的时刻t8以后,在沟道区域42感应出比与期望的M电平的数据电压对应的载流子(电流)少的载流子(电流)。残像现象没有被抑制,因此在切换为灰色显示的瞬间,有机EL元件OLED以数据电压以下的亮度发光,像素电路12显示比期望的灰色显示暗的图像。然后,所俘获的空穴逐渐(按照时间常数缓慢地)被释放,因此有机EL元件OLED经过几十秒逐渐下降到与期望的M电平的数据电压相应的期望的亮度,最终成为期望的灰色显示,不再看得到残像。

[0198] ＜3.5开关晶体管的动作＞

[0199] ＜3.5.1H电平的黑显示电压被写入到节点N_G的情况＞

[0200] 在当前帧中,在通过将H电平的黑显示电压Vdata(B)写入到节点N_G来进行驱动晶体管T4的阈值补偿时,电子被驱动晶体管T4的沟道区域的陷阱能级俘获。因此,为了使所俘获的电子经由n沟道型开关晶体管T9放电至H电平电源线ELLVDD,需要使开关晶体管T9导通。用于使n沟道型的开关晶体管T9导通的条件为

[0201] Vth(T9)＜Vgs。

[0202] 在此,Vgs是开关晶体管T9的栅极-源极间电压,由下式表示。

[0203] Vgs＝Vng-Vbody

[0204] ＝Vdata(B)+Vth(T4)-Vbody

[0205] 因此,用于使开关晶体管T9导通的条件变为如下。

[0206] Vth(T9)＜Vdata(B)+Vth(T4)-Vbody…(4)

[0207] 为了使开关晶体管T9导通,设定满足上式(4)的驱动晶体管T4的阈值电压Vth(T4)、开关晶体管T9的阈值电压Vth(T9)以及黑显示电压Vdata(B)。

[0208] 作为电压设定的一个例子,在设定为

[0209] Vdata(B)＝5V

[0210] ELVDD＝4V

[0211] ELVSS＝-4V

[0212] Voled＝3V

[0213] Vbody≈{(ELVDD-ELVSS)-Voled}/2

[0214] ＝2.5V

[0215] Vini＝-3V

[0216] Vth(T4)＝-4V

[0217] Vth(T9)＝-2V的情况下,式(4)的左边为

[0218] Vth(T9)＝-2V

[0219] 式(4)的右边为

[0220] Vdata(B)+Vth(T4)-Vbody＝5V+(-4V)-(2.5V)

[0221] ＝-1.5V,

[0222] 满足式(4)。因此,开关晶体管T9导通,因而驱动晶体管T4的沟道区域的陷阱能级所俘获的电子经由开关晶体管T9被放电至H电平电源线ELLVDD。其结果是,在当前帧中进行黑显示,在下一帧中进行灰色显示的区域,不会产生黑显示部看起来明亮的残像。但是,应当注意,在上述的电压设定例中,开关晶体管T9是耗尽型的n沟道晶体管,其阈值电压Vth(T9)设定为-2V。此外,在没有设定满足这样的式(4)的阈值电压、电源电压的情况下,开关晶体管T9不导通,因此即使是黑显示也可能产生残像。

[0223] ＜3.5.2L电平的白显示电压被写入到节点N_G的情况＞

[0224] 在当前帧中,在写入了L电平的白显示电压时,空穴被驱动晶体管T4的沟道区域的陷阱能级俘获。此时,n沟道型的开关晶体管T9导通的条件由下式表示。

[0225] Vth(T9)＜Vgs

[0226] 在此,

[0227] Vgs＝Vng-Vbody

[0228] ＝Vdata(W)+Vth(T4)-Vbody。

[0229] 因此,开关晶体管T9导通的条件与式(4)同样由下式(5)表示。

[0230] Vth(T9)＜Vdata(W)+Vth(T4)-Vbody…(5)

[0231] 作为电压设定的一个例子,在设定为

[0232] Vdata(W)＝2V

[0233] ELVDD＝4V

[0234] ELVSS＝-4V

[0235] Voled＝3V

[0236] Vbody≈{(ELVDD-ELVSS)-Voled}/2

[0237] ＝2.5V

[0238] Vini＝-3V

[0239] Vth(T4)＝-4V

[0240] Vth(T9)＝-2V的情况下,式(5)的左边为

[0241] Vth(T9)＝-2V

[0242] 式(5)的右边为

[0243] Vdata(W)+Vth(T4)-Vbody＝2V+(-4V)-(2.5V)

[0244] ＝-4.5V,

[0245] 不满足式(5)。因此,开关晶体管T9不导通,因而驱动晶体管T4的沟道区域的陷阱能级所俘获的空穴不会被放电至H电平电源线ELVDD,而停留在驱动晶体管T4的沟道区域。

因此,在当前帧为白显示的情况下,在下一帧的灰色显示时产生残像(白显示部看起来暗)。但是,应当注意,在上述的电压设定例中,开关晶体管T9是耗尽型的n沟道晶体管,其阈值电压Vth(T9)设定为-2V。

[0246] ＜3.6效果＞

[0247] 根据本实施方式,为了进行驱动晶体管T4的阈值补偿,当向节点N_G写入H电平的黑显示电压时,电子被驱动晶体管T4的沟道区域的陷阱能级俘获。在驱动晶体管T4导通而有机EL元件OLED被供应驱动电流时,驱动晶体管T4的沟道区域的陷阱能级所俘获的电子被释放。被释放的电子经由开关晶体管T9向H电平电源线ELVDD放电。由此,被驱动晶体管T4的陷阱能级俘获的电子不再存在,因此在下一帧中写入了灰色显示电压的情况下,与所写入的灰色显示的数据电压值相应的电流也会从驱动晶体管T4经由发光控制晶体管T6被供应给有机EL元件OLED。其结果是,在下一帧中能够显示没有残像的图像。

[0248] ＜4第3实施方式＞

[0249] 第3实施方式的有机EL显示装置的整体构成是与图2所示的第1实施方式的有机EL显示装置的整体构成相同的,因此,省略其框图和说明。

[0250] ＜4.1像素电路的构成＞

[0251] 说明形成于本实施方式的显示面板10的像素电路13的构成。图13是示出本实施方式的有机EL显示装置所包含的像素电路13的构成的电路图。如图13所示,像素电路13具备在第1实施方式中说明的p沟道型开关晶体管T8和在第2实施方式中说明的n沟道型开关晶体管T9。开关晶体管T8的源极端子和开关晶体管T9的源极端子均连接到驱动晶体管T4的体端子N_body。开关晶体管T8的漏极端子连接到初始化线Vini,开关晶体管T9的漏极端子连接到H电平电源线ELVDD。另外,开关晶体管T8、T9的栅极端子均连接到节点N_G。像素电路13的其它构成是与图2所示的像素电路11的构成相同的,因此,省略其说明。

[0252] ＜4.2开关晶体管和它们附近的布局图案＞

[0253] 图14是示出驱动晶体管T4、开关晶体管T8和开关晶体管T9以及它们附近的布局图案的俯视图。构成驱动晶体管T4的半导体层40(也称为“第1半导体层”)是与第1和第2实施方式的情况相同的,因此省略它们的说明。形成有从驱动晶体管T4的沟道区域42朝向下方延伸的2个半导体层80、90(也将它们统称为“第2半导体层”)。

[0254] 开关晶体管T8是与在第1实施方式中说明的p沟道型开关晶体管T8相同的构成,开关晶体管T9是与在第2实施方式中说明的n沟道型开关晶体管T9相同的构成。因此,对开关晶体管T8和T9的各构成要素分别标注与在图4和图11中分别标注的附图标记相同的附图标记,省略它们的说明。

[0255] 节点N_G包含:矩形形状的主体部BY,其覆盖驱动晶体管T4的沟道区域;以及突起部PR,其从主体部BY延伸到开关晶体管T8和T9的沟道区域82、92上。突起部PR其顶端分支为2个方向,一方延伸到开关晶体管T8的沟道区域82上,另一方延伸到开关晶体管T9的沟道区域92上。它们分别控制开关晶体管T8和T9的导通/截止,作为用于使被驱动晶体管T4的沟道区域俘获的空穴或电子放电的栅极电极发挥功能。

[0256] 图15是图14所示的布局图案的截面图,更详细地说,图15的(A)是沿着图14所示的箭头线A-A’的驱动晶体管T4的截面图,图15的(B)是沿着图14所示的箭头线B-B’的开关晶体管T8的截面图,图15的(C)是沿着图14所示的箭头线C-C’的开关晶体管T9的截面图。图15

的(A)所示的截面图是与图5的(A)所示的驱动晶体管T4的截面图相同的结构。另外,图15的(B)所示的截面图是与图5的(B)所示的开关晶体管T8的截面图相同的结构,图15的(C)所示的截面图是与图12的(B)所示的开关晶体管T9的截面图相同的结构。因此,省略对这些晶体管T4、T8、T9的结构的说明。

[0257] ＜4.3像素电路的动作＞

[0258] 表示像素电路13的动作的时序图是与在第1实施方式和第2实施方式中说明的图6和图7所示的时序图相同的。因此,本实施方式的开关晶体管T8和T9的详细动作是与在第1实施方式和第2实施方式中说明的动作相同的,因此省略说明。

[0259] ＜4.4效果＞

[0260] 根据本实施方式,为了进行驱动晶体管T4的阈值补偿,当向节点N_G写入L电平的白显示电压作为数据电压时,在空穴被驱动晶体管T4的沟道区域42的陷阱能级俘获的同时,开关晶体管T8导通。同样地,当向节点N_G写入H电平的黑显示电压作为数据电压时,在电子被驱动晶体管T4的沟道区域42的陷阱能级俘获的同时,开关晶体管T9导通。

[0261] 这样,与相当于白显示或黑显示的数据电压(H电平或L电平)相应地,开关晶体管T8或T9中的任意一个晶体管导通。因此,在白显示中被驱动晶体管T4的沟道区域42的陷阱能级俘获的载流子是空穴的情况下,其经由开关晶体管T8被放电至初始化线Vini,在黑显示中被俘获的载流子是电子的情况下,其经由开关晶体管T9被放电至H电平电源线ELVDD。由此,被驱动晶体管T4的陷阱能级俘获的空穴或电子不再存在,因此在下一帧中写入了灰色显示电压的情况下,与写入的灰色显示的数据电压值相应的电流也会被供应给有机EL元件OLED。其结果是,在下一帧中,不再存在当前帧中被驱动晶体管T4的沟道区域42的陷阱能级俘获的载流子的影响,因此在显示M电平的图像的情况下,能够显示没有残像的与数据电压相应的亮度的图像。

[0262] ＜5.第4实施方式(第1实施方式的变形例)＞

[0263] 在上述第1～第3实施方式中,开关晶体管T8、T9的栅极端子均连接到包含驱动晶体管T4的栅极端子的节点N_G,但是构成为至少在表示最大或最小显示亮度的数据电压(即白显示电压或黑显示电压)中的较低的电压被提供到节点N_G时,p沟道型开关晶体管T8变为导通状态,至少在表示最大或最小显示亮度的数据电压(即白显示电压或黑显示电压)中的较高的电压被提供到节点N_G时,n沟道型开关晶体管T9变为导通状态。以下,将这样的构成的有机EL显示装置之中的至少在表示最大或最小显示亮度的数据电压中的较低的电压被提供到节点N_G时p沟道型开关晶体管T8变为导通状态的有机EL显示装置的另一个例子作为第4实施方式进行说明。

[0264] 本实施方式相当于上述第1实施方式的变形例,仅像素电路的构成与上述第1实施方式不同。图16是示出本实施方式的像素电路14的构成的电路图。在本实施方式的像素电路14中,如图16所示,p沟道型开关晶体管T8的栅极端子连接到对应的发射线Ej,在这一点上与该晶体管T8的栅极端子连接到驱动晶体管T4的栅极端子(节点N_G)的上述第1实施方式的像素电路11(图3)不同。本实施方式的像素电路14的其它构成是与上述第1实施方式的像素电路11同样的。

[0265] 在这样的本实施方式的像素电路14中,如图6所示,在发光期间中,在其紧前的数据写入期间向存储电容器Cst写入的数据电压(准确来说是阈值补偿后的数据电压)、即与

该发光期间中的有机EL元件OLED的亮度(显示亮度)对应的数据电压被提供到驱动晶体管T4的栅极端子(节点N_G),与p沟道型开关晶体管T8的栅极端子连接的发射线Ej的电压为L电平。因此,与显示亮度对应的电压被提供到驱动晶体管T4的栅极端子时,p沟道型开关晶体管T8成为导通状态。在该像素电路14中,不仅在表示最大或最小显示亮度的数据电压中的较低的电压(在该例子中为白显示电压)VGL被提供到驱动晶体管T4的栅极端子时开关晶体管T8成为导通状态,而且无论显示亮度的值如何,在发光期间中开关晶体管T8都成为导通状态。

[0266] 通过这样的本实施方式,也与上述第1实施方式同样,能够将向驱动晶体管T4的N_G(所连接的存储电容器Cst)写入数据电压时被驱动晶体管T4的沟道区域的陷阱能级俘获的空穴经由开关晶体管T8放电至初始化线Vini,因此与第1实施方式同样,在下一帧中能够显示没有残像的图像。

[0267] ＜6.第5实施方式(第2实施方式的变形例)＞

[0268] 将包含上述第1实施方式～第3实施方式的有机EL显示装置在内的上述构成的有机EL显示装置之中的至少在表示最大或最小显示亮度的数据电压(即白显示电压或黑显示电压)中的较高的电压被提供到节点N_G时,n沟道型开关晶体管T9变为导通状态的有机EL显示装置的另一个例子作为第5实施方式进行说明。

[0269] 本实施方式相当于上述第2实施方式的变形例,仅像素电路的构成与上述第2实施方式不同。图17是示出本实施方式的像素电路15的构成的电路图。在本实施方式的像素电路15中,如图17所示,n沟道型开关晶体管T9的栅极端子连接到对应的扫描线Sj,在这一点上与该晶体管T9的栅极端子连接到驱动晶体管T4的栅极端子(节点N_G)的上述第2实施方式的像素电路12(图10)不同。本实施方式的像素电路15的其它构成是与上述第2实施方式的像素电路12同样的。

[0270] 在这样的本实施方式的像素电路15中,如图7所示,在发光期间中,在其紧前的数据写入期间向存储电容器Cst写入的数据电压(准确来说是阈值补偿后的数据电压)、即与该发光期间中的有机EL元件OLED的亮度(显示亮度)对应的数据电压被提供到驱动晶体管T4的栅极端子(节点N_G),与n沟道型开关晶体管T9的栅极端子连接的扫描线Sj的电压为L电平。因此,与显示亮度对应的电压被提供到驱动晶体管T4的栅极端子时,n沟道型开关晶体管T9成为导通状态。在该像素电路16中,不仅在表示最大或最小显示亮度的数据电压中的较高的电压(在该例子中为黑显示电压)VGH被提供到驱动晶体管T4的栅极端子时开关晶体管T9成为导通状态,而且无论显示亮度的值如何,在发光期间中开关晶体管T9都成为导通状态。

[0271] 因此,通过本实施方式,也与上述第2实施方式同样,能够将向驱动晶体管T4的N_G(所连接的存储电容器Cst)写入数据电压时被驱动晶体管T4的沟道区域的陷阱能级俘获的电子经由开关晶体管T9放电至H电平电源线ELVDD,因此与第2实施方式同样,在下一帧中能够显示没有残像的图像。

[0272] ＜7.第6实施方式(第2实施方式的其它变形例)＞

[0273] 作为上述第2实施方式的变形例,n沟道型开关晶体管T9的栅极电极也可以连接到发射线,而不是连接到从节点N_G的主体部BY延伸的突起部PR。将使用这样的构成的像素电路的有机EL显示装置作为第6实施方式进行说明。图19是示出该有机EL显示装置所包含的

像素电路16的构成的电路图。

[0274] 在上述构成的像素电路16中,如图6或图7的时序图所示,在从时刻t1到t3为止的期间,发射线Ej成为H电平,开关晶体管T9导通。因此,在时刻t2～t3,在向驱动晶体管T4的N_G写入数据电压时,能够将被驱动晶体管T4的沟道区域的陷阱能级俘获的电子经由开关晶体管T9释放至H电平电源线ELVDD,因此与第2实施方式同样,在下一帧中能够显示没有残像的图像。

[0275] ＜8.第7实施方式＞

[0276] 在上述第1～第6实施方式中,将开关晶体管T8、T9的漏极端子分别连接到L电平的初始化线Vini和H电平电源线ELVDD。但是,连接这些漏极端子的配线不限于上述配线,只要是在发光期间或与其接近的期间维持H电平和L电平的电压的配线即可。以下,将这样的构成的有机EL显示装置的一个例子作为第7实施方式进行说明。

[0277] 图19是本实施方式的像素电路17的电路图。像素电路17的时序图是与在第1实施方式～第3实施方式的说明中使用的图6和图7所示的时序图相同的,因此省略其说明。如图19所示,为了使被驱动晶体管T4俘获的载流子(空穴)充分放电,希望在从发光期间的开始时刻即时刻t3到结束时刻即时刻t7为止的期间或与其接近的期间,各个漏极端子连接到作为恒定电压供应线发挥功能的配线。因此,p沟道型开关晶体管T8的漏极端子在发光期间连接到作为L电平的发射线Ej。由此,能够使被驱动晶体管T4俘获的空穴经由开关晶体管T8放电至发射线Ej。

[0278] 这样,通过使p沟道型开关晶体管T8的漏极端子连接到发射线Ej,也能够使被驱动晶体管T4俘获的空穴放电。由此,在显示了白显示后显示灰色显示的图像的情况下也能够抑制残像的产生。

[0279] ＜9.第8实施方式＞

[0280] 接下来,将对n沟道型开关晶体管T9的漏极端子不是连接H电平电源线ELVDD而是连接在发光期间或与其接近的期间维持H电平的电压的其它配线的有机EL显示装置的一个例子作为第8实施方式进行说明。

[0281] 图20是本实施方式的像素电路18的电路图。像素电路18的时序图是与在第1实施方式～第3实施方式的说明中使用的图6和图7所示的时序图相同的,因此省略其说明。如图20所示,为了使被驱动晶体管T4俘获的载流子(电子)充分放电,希望在从发光期间的开始时刻即时刻t3到结束时刻即时刻t7为止的期间或与其接近的期间,各个漏极端子连接到作为恒定电压供应线发挥功能的配线。因此,n沟道型开关晶体管T9的漏极端子在发光期间连接到作为H电平的扫描线Sj。由此,能够使被驱动晶体管T4俘获的电子经由开关晶体管T9放电至扫描线Sj。

[0282] 这样,通过将n沟道型开关晶体管T9的漏极端子连接到扫描线Sj,也能够使被驱动晶体管T4俘获的电子放电。由此,在显示了黑显示的图像后显示灰色显示的图像的情况下也能够抑制残像的产生。

[0283] ＜10.其它＞

[0284] 在上述各实施方式中,说明了像素电路包括p沟道型的晶体管T1～T7。但是,像素电路也可以包括n沟道型的晶体管。在该情况下,也与上述各实施方式的情况同样,设置p沟道型和n沟道型开关晶体管中的至少任意一方。由此,在当前帧中显示了黑显示或白显示的

图像的区域在下一帧中显示灰色显示的图像的情况下,所显示的图像成为与数据电压相应的亮度的图像,变得不会视觉识别到残像。

[0285] 以下,进一步详细地说明代替p沟道型晶体管而使用n沟道型晶体管作为像素电路中的驱动晶体管T4的情况。在使用n沟道型的驱动晶体管T4的像素电路中,例如与上述第1实施方式同样(图3),通过设置具有与驱动晶体管T4的沟道区域连接的源极端子、与初始化线Vini等负电压供应线连接的漏极端子、以及与驱动晶体管T4的栅极端子连接的栅极端子的p沟道型开关晶体管T8,能得到与上述第1实施方式同样的效果。但是,在驱动晶体管T4是n沟道型的情况下,数据电压的L电平相当于黑显示电压(表示最小显示亮度的数据电压),H电平相当于白显示电压(表示最大显示亮度的数据电压)。因此,在该构成中,在将L电平的黑显示电压写入到像素电路时空穴被驱动晶体管T4的沟道区域的陷阱能级俘获,该俘获的空穴在发光期间中经由开关晶体管T8被放电至负电压供应线。另外,在使用n沟道型的驱动晶体管T4的像素电路中,例如与上述第2实施方式同样(图10),通过设置具有与驱动晶体管T4的沟道区域连接的源极端子、与H电平电源线ELVDD等正电压供应线连接的漏极端子、以及与驱动晶体管T4的栅极端子连接的栅极端子的n沟道型开关晶体管T9,能得到与上述第2实施方式同样的效果。在该构成中,在向H电平的白显示电压写入像素电路时电子被驱动晶体管T4的沟道区域的陷阱能级俘获,该俘获的电子在发光期间中经由开关晶体管T9被放电至正电压供应线。再者,在使用n沟道型的驱动晶体管T4的像素电路中,通过设置与第3实施方式同样地连接的p沟道型开关晶体管T8和n沟道型开关晶体管T9,能得到与第3实施方式同样的效果。

[0286] 另外,在上述各实施方式中,使用了以将数据线Di的数据电压经由二极管连接状态的驱动晶体管T4写入到节点N_G(所连接的存储电容器Cst)的方式构成的内部补偿方式的像素电路。但是,在其它内部补偿方式的像素电路、不进行内部补偿的像素电路中,通过设置如上述各实施方式的像素电路那样连接的p沟道型开关晶体管T8和/或n沟道型开关晶体管T9(参照图3、图10、图13、图18、图19),也能得到与上述同样的效果。

[0287] 此外,也可以将以上叙述的显示装置的特征不违反其性质地在不脱离本发明的主旨的范围内任意组合,来构成兼具上述实施方式和变形例中的一些特征的显示装置。

[0288] 附图标记说明

[0289] 10…显示面板

[0290] 11～18…像素电路

[0291] T1…第1初始化晶体管

[0292] T2…补偿晶体管

[0293] T3…写入晶体管

[0294] T4…驱动晶体管

[0295] T5…电源供应晶体管

[0296] T6…发光控制晶体管

[0297] T7…第2初始化晶体管

[0298] T8…p沟道型开关晶体管

[0299] T9…n沟道型开关晶体管

[0300] OLED…有机EL元件(发光显示元件)

[0301] N_G…节点(node)

[0302] N_body…体端子(开关晶体管的源极区域)

[0303] ELVDD…H电平电源线(电压供应线、正电压供应线)、H电平电压

[0304] ELVSS…L电平电源线(电压供应线、负电压供应线)、L电平电压

[0305] Vini…初始化线(负电压供应线)

[0306] Sj…扫描线(正电压供应线)

[0307] Ej…发射线(负电压供应线)。

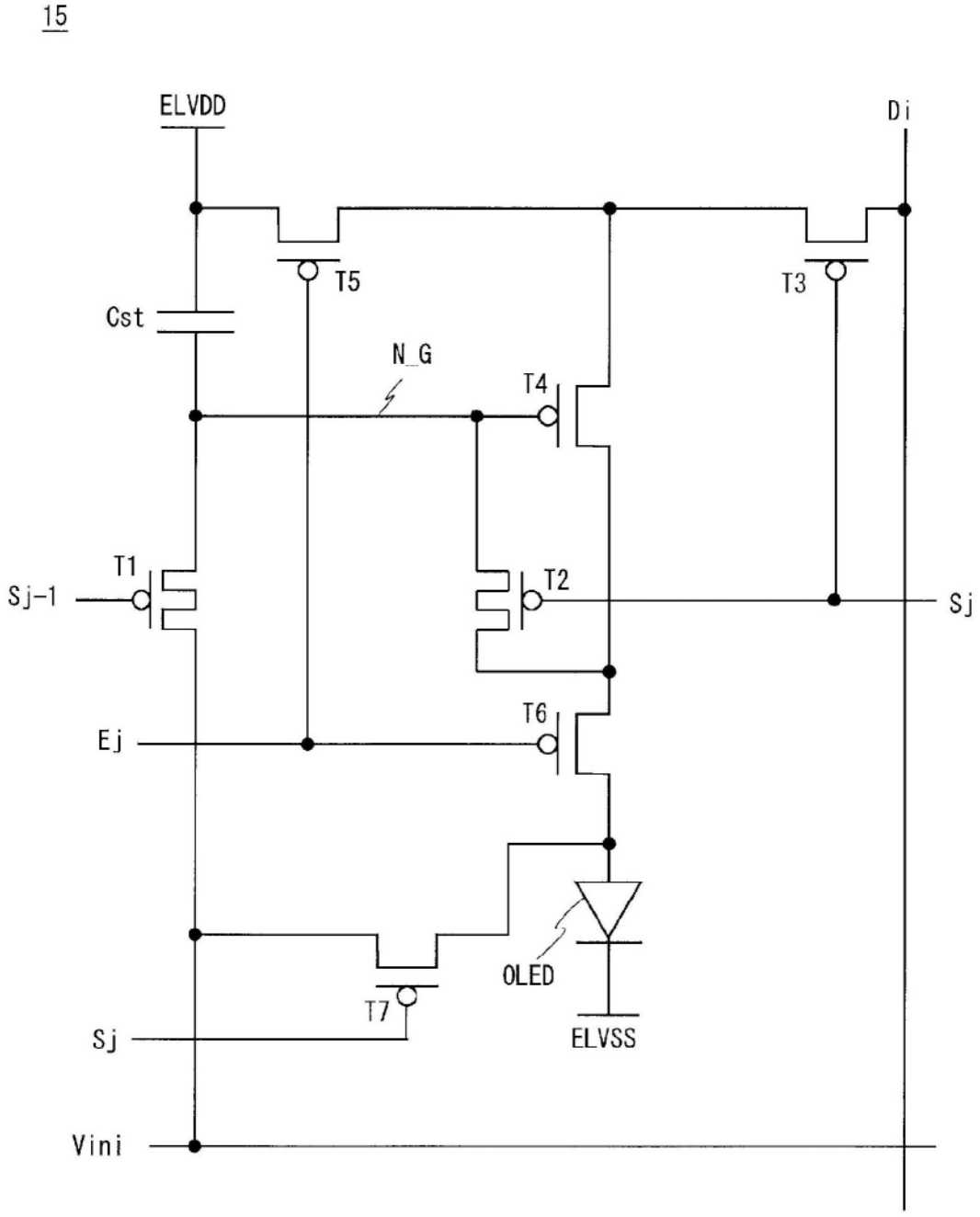

15
ELVDD
Di
T5
T3
Cst
N_G
T4
T1
T2
Sj-1
Sj
T6
Ej
OLED
T7
Sj
ELVSS
Vini

图1

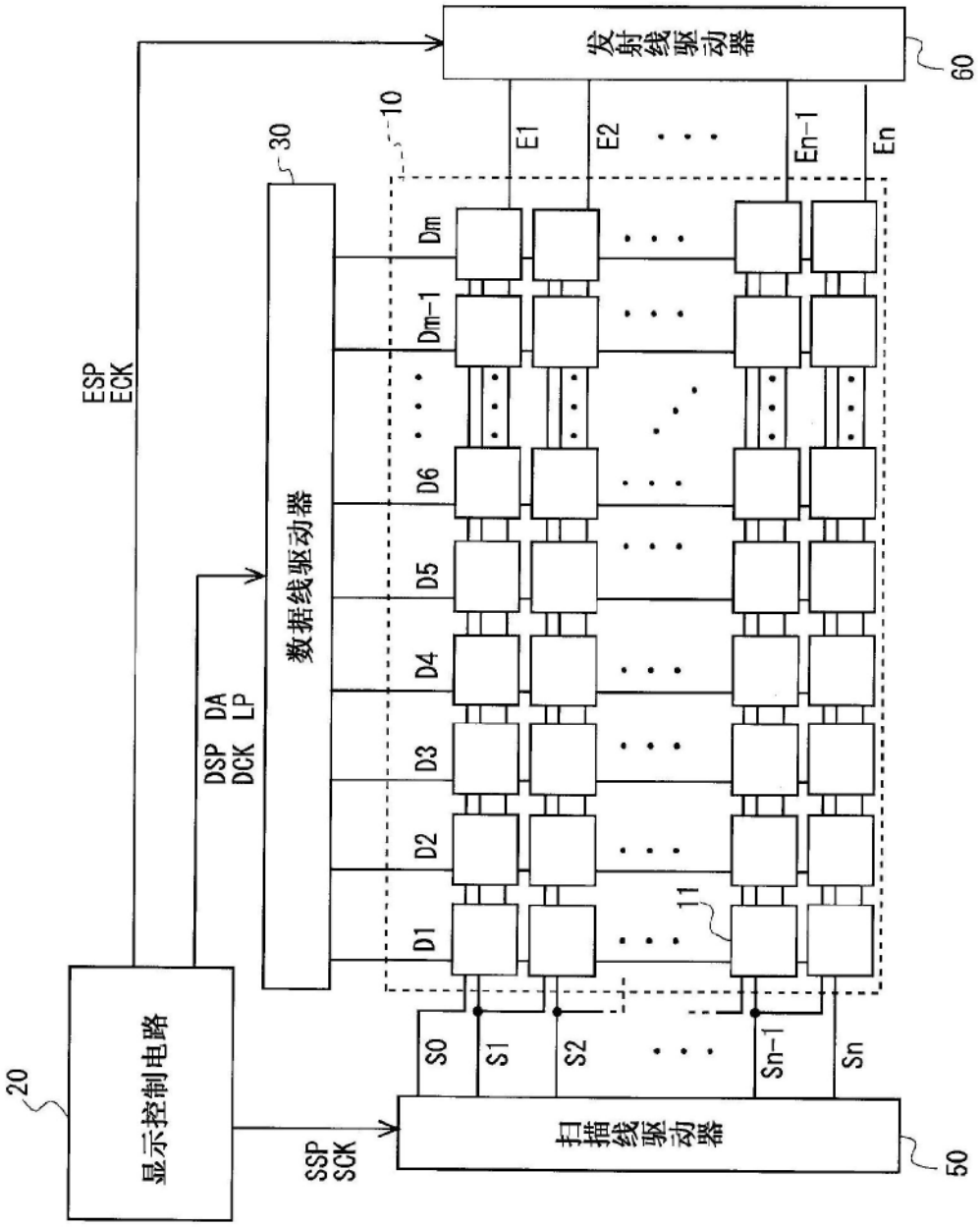

发射线驱动器
60
10
30
E1
E2
En-1
En
Dm
Dm-1
D6
D5
D4
D3
D2
D1
11
ESP
ECK
数据线驱动器
DSP DA
DCK LP
S0
S1
S2
Sn-1
Sn
20
显示控制电路
SSP
SCK
扫描线驱动器
50

图2

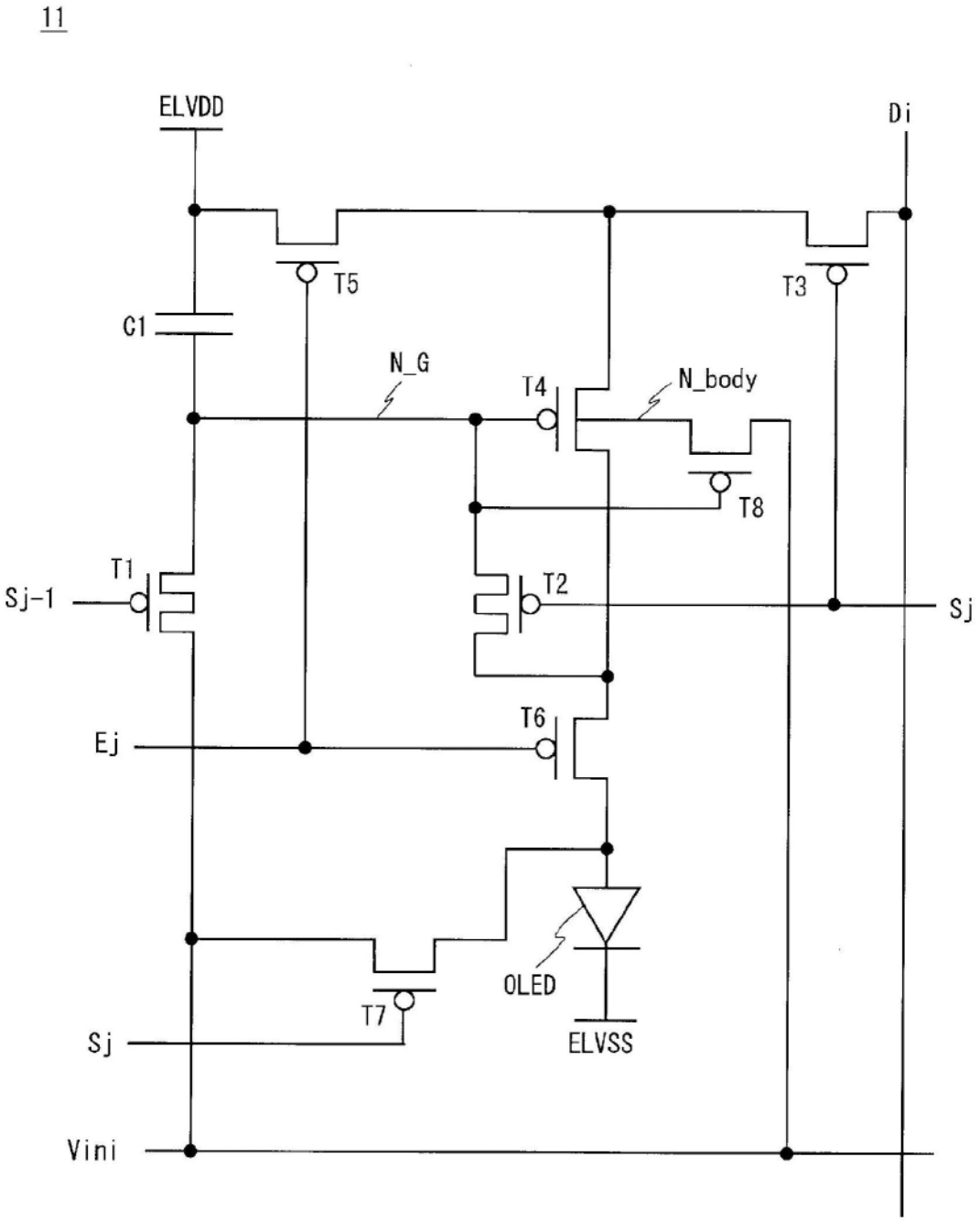

11
ELVDD
Di
T5
T3
C1
N_G
T4
N_body
T8
T1
Sj-1
T2
Sj
T6
Ej
OLED
T7
Sj
ELVSS
Vini

图3

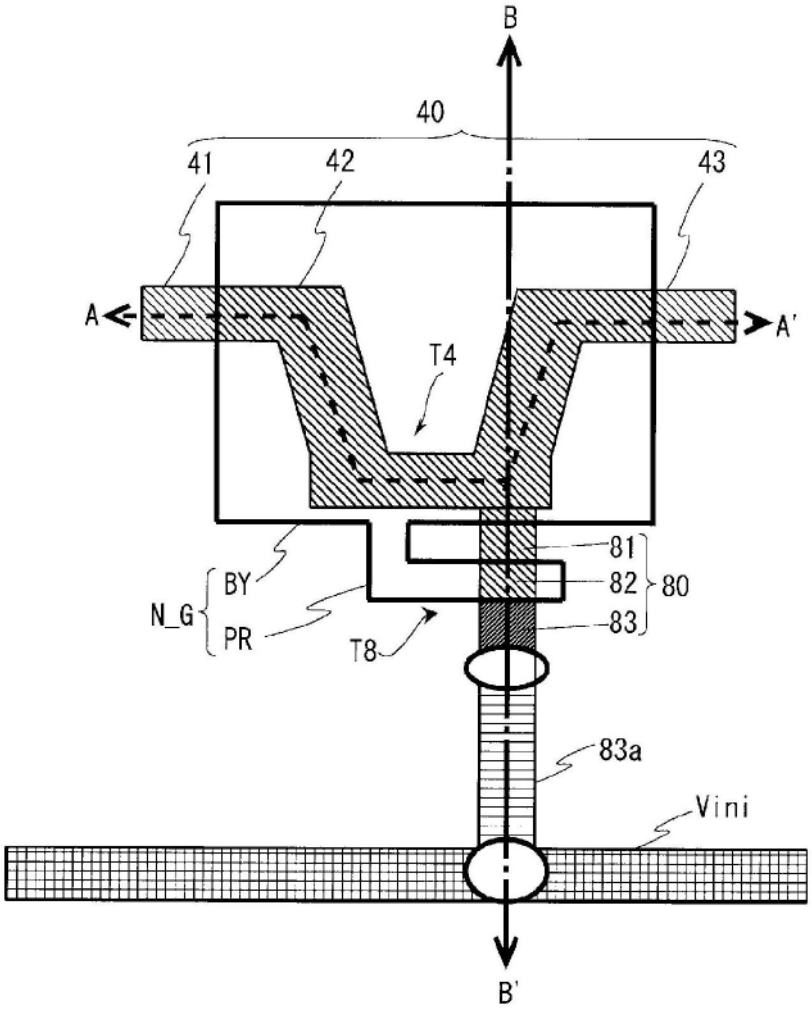


图4

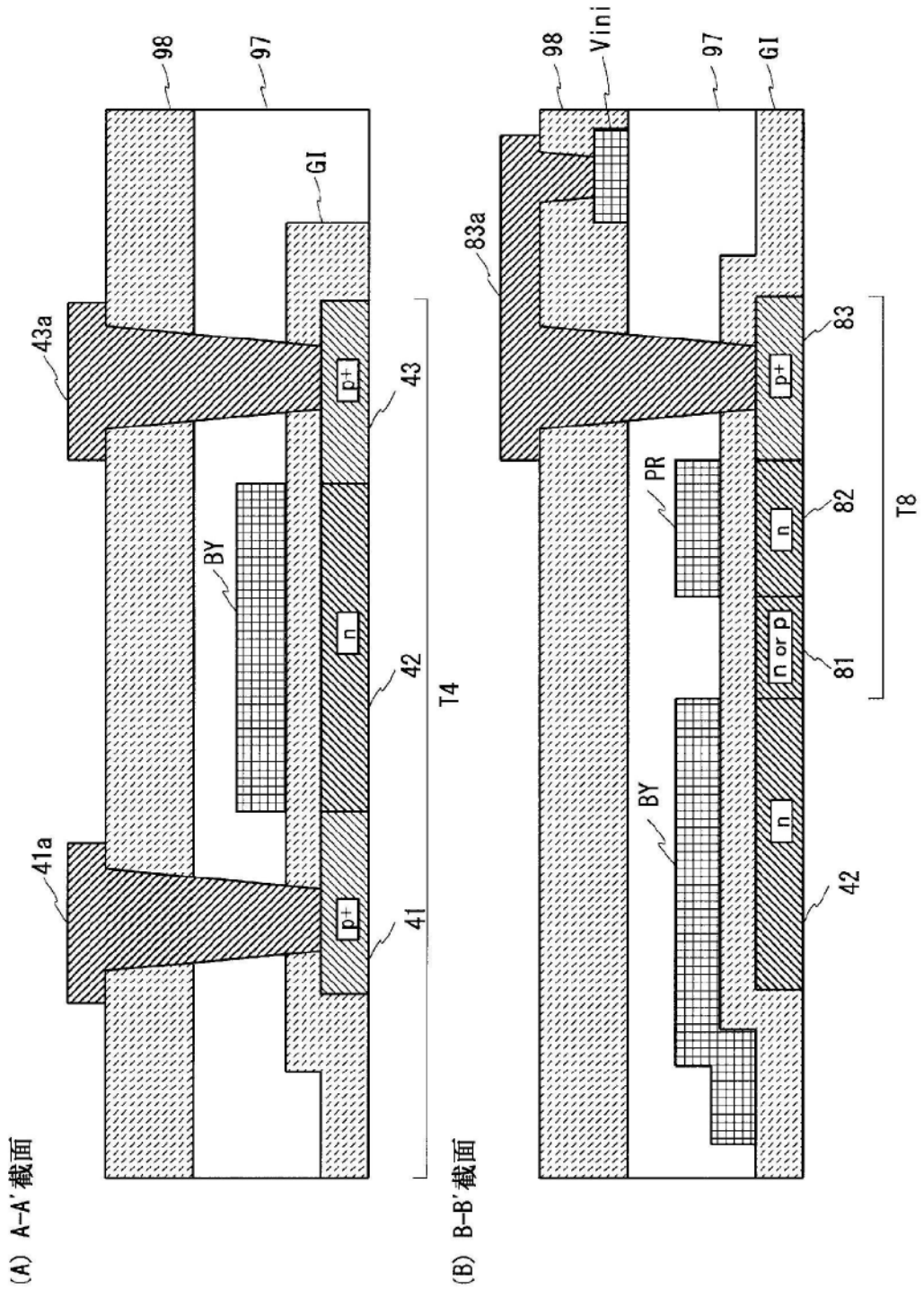

98
97
GI
43a
43
p+
BY
n
42
T4
41a
41
p+
(A) A-A'截面
98
Vini
97
GI
83a
83
p+
PR
82
n
T8
n or p
81
BY
n
42
(B) B-B'截面

图5

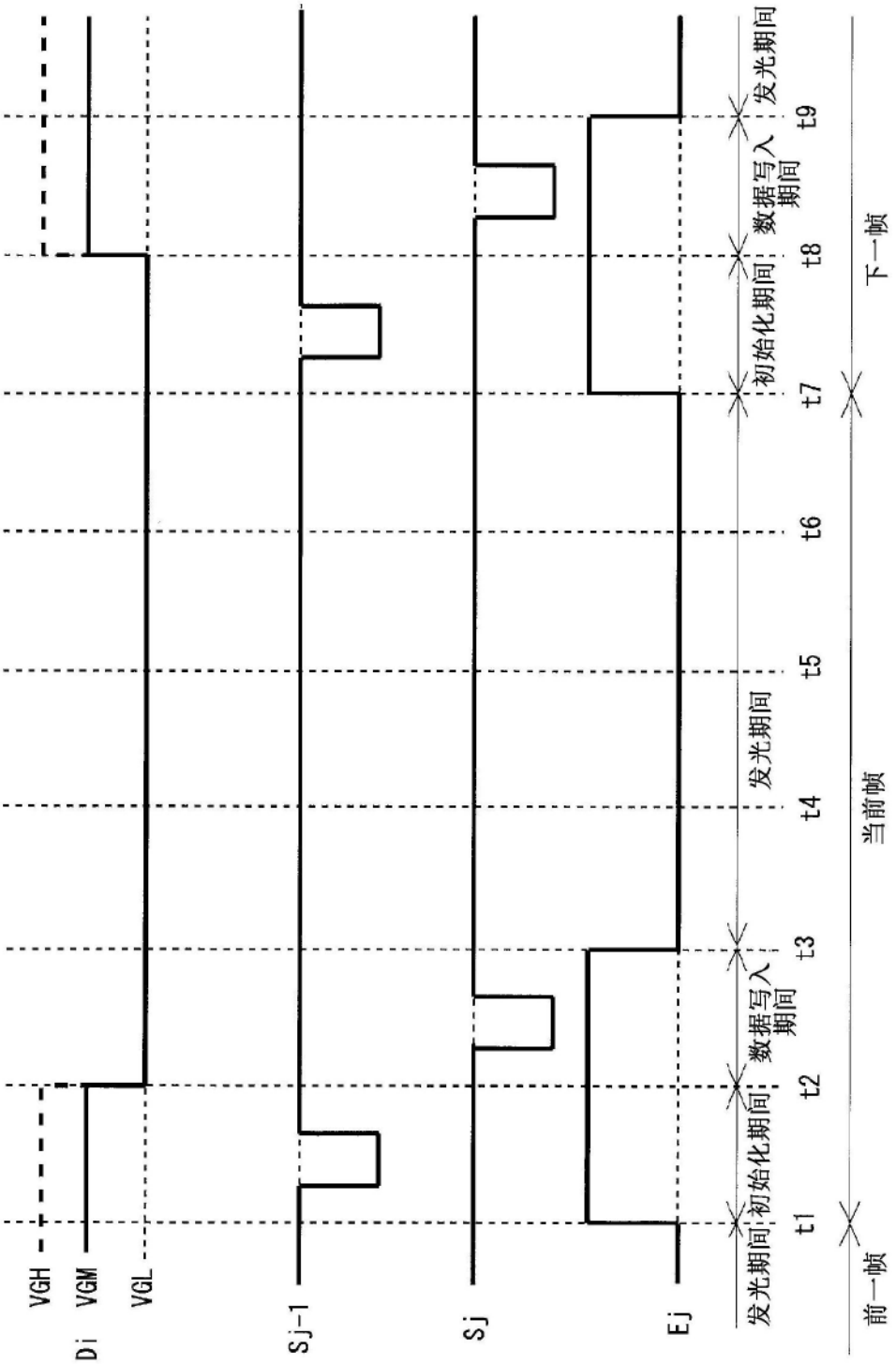

VGH
VGM
VGL
Di
Sj-1
Sj
Ej
t1
t2
t3
t4
t5
t6
t7
t8
t9
发光期间
初始化期间
数据写入期间
发光期间
初始化期间
数据写入期间
发光期间
前一帧
当前帧
下一帧

图6

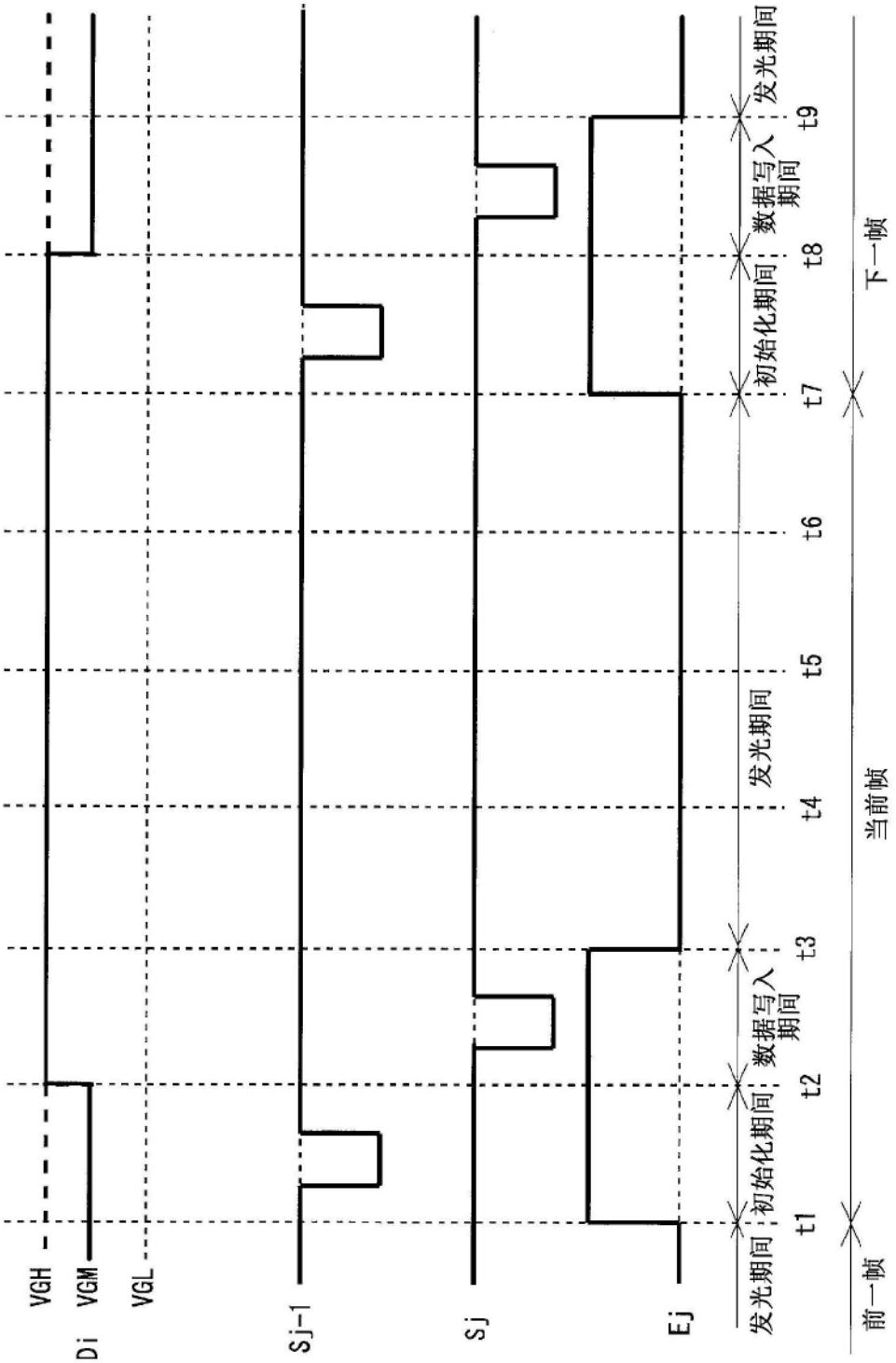

VGH
VGM
VGL
Di
Sj-1
Sj
Ej
发光期间
初始化期间
数据写入期间
发光期间
初始化期间
数据写入期间
发光期间
t1
t2
t3
t4
t5
t6
t7
t8
t9
前一帧
当前帧
下一帧

图7

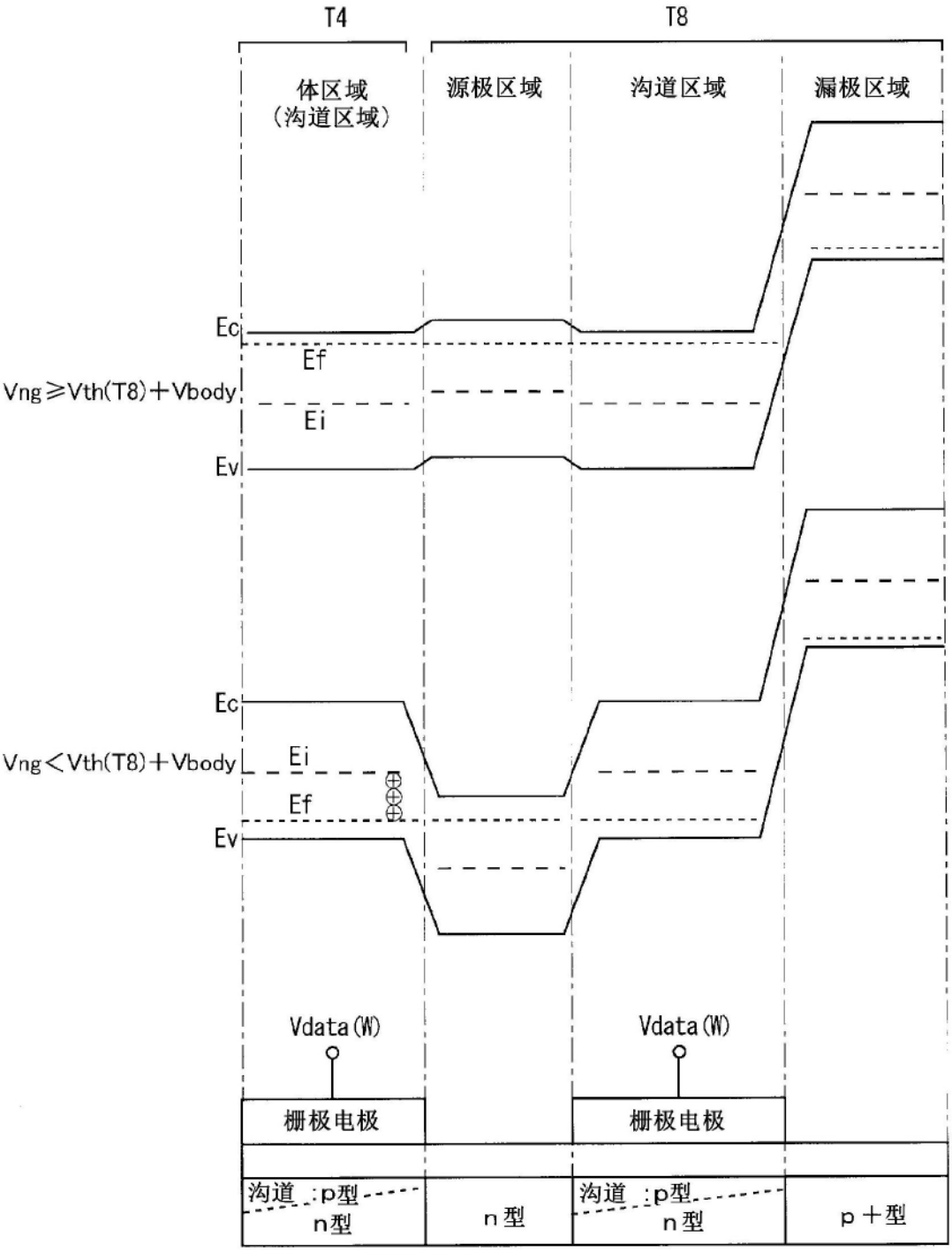

T4
T8
体区域
（沟道区域）
源极区域
沟道区域
漏极区域
Ec
Ef
Vng≥Vth(T8)＋Vbody
Ei
Ev
Ec
Vng＜Vth(T8)＋Vbody
Ei
Ef
Ev
Vdata(W)
Vdata(W)
栅极电极
栅极电极
沟道 ：p型
n型
n型
沟道 ：p型
n型
p＋型

图8

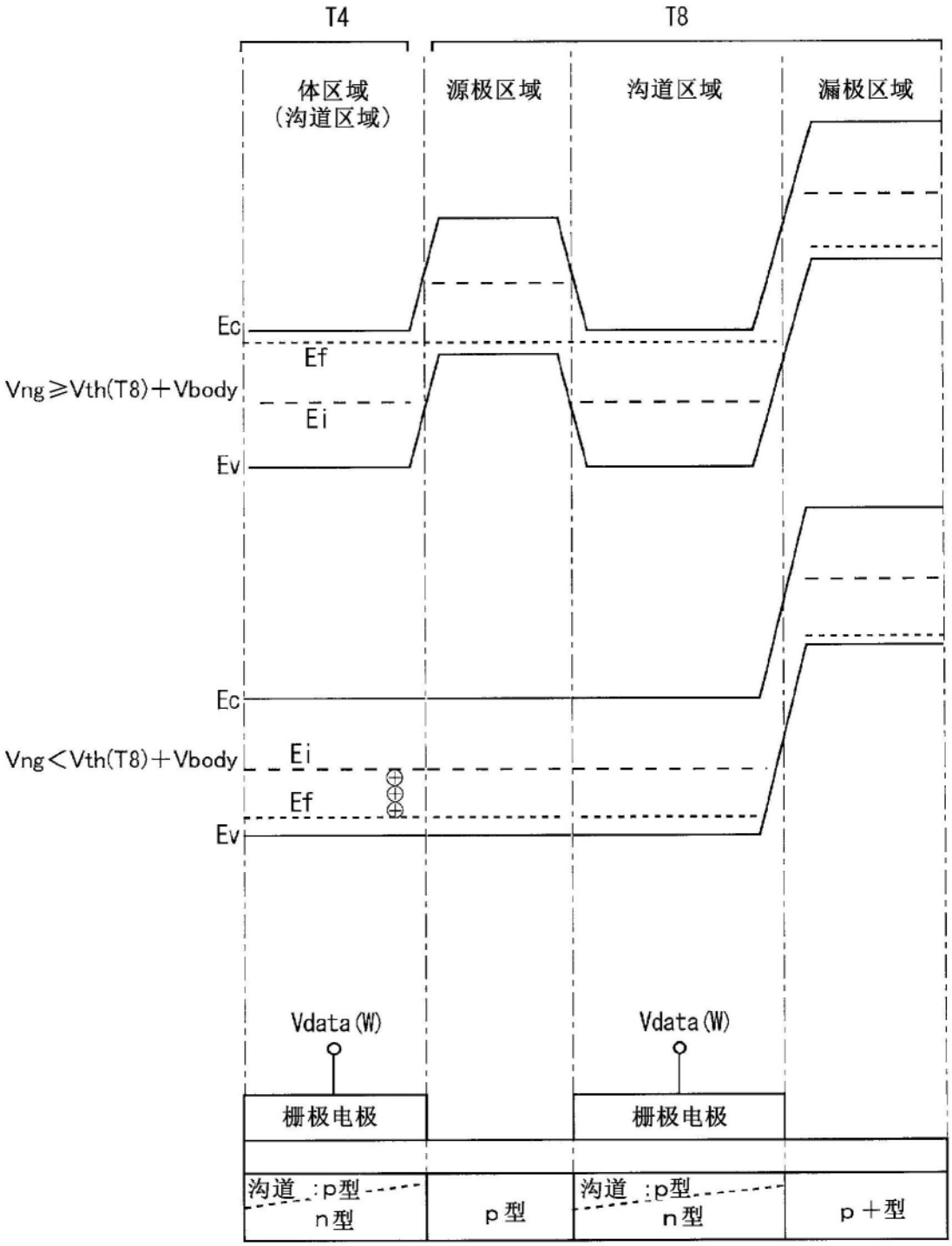

T4
T8
体区域
（沟道区域）
源极区域
沟道区域
漏极区域
Ec
Ef
Vng≥Vth(T8)＋Vbody
Ei
Ev
Ec
Vng＜Vth(T8)＋Vbody
Ei
Ef
Ev
Vdata(W)
Vdata(W)
栅极电极
栅极电极
沟道 ：p型
n型
p型
沟道 ：p型
n型
p＋型

图9

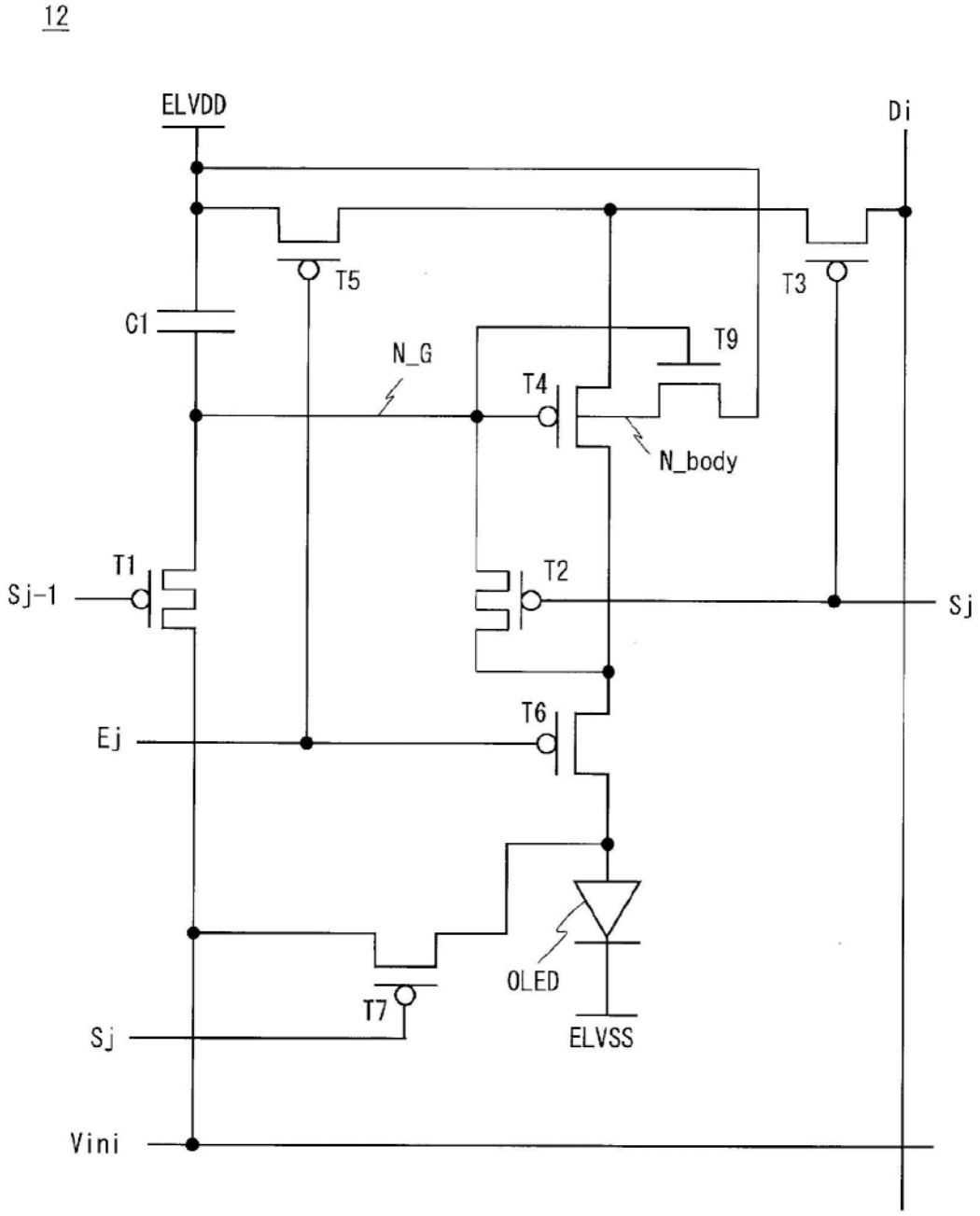

12
ELVDD
Di
T5
T3
C1
T9
N_G
T4
N_body
T1
T2
Sj-1
Sj
T6
Ej
OLED
T7
Sj
ELVSS
Vini

图10

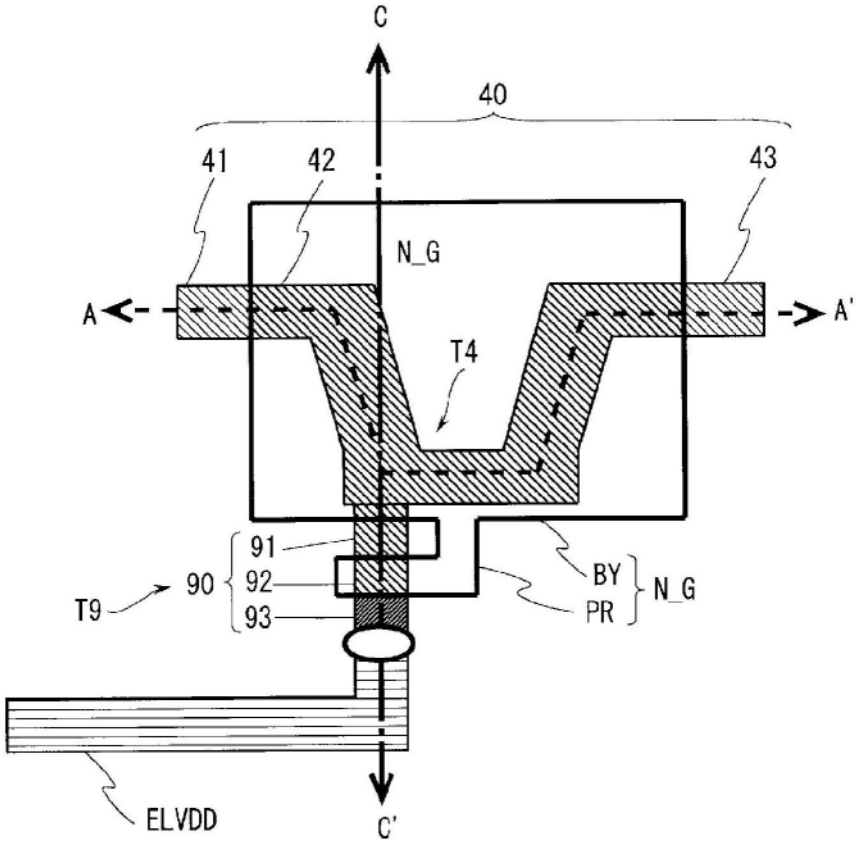


图11

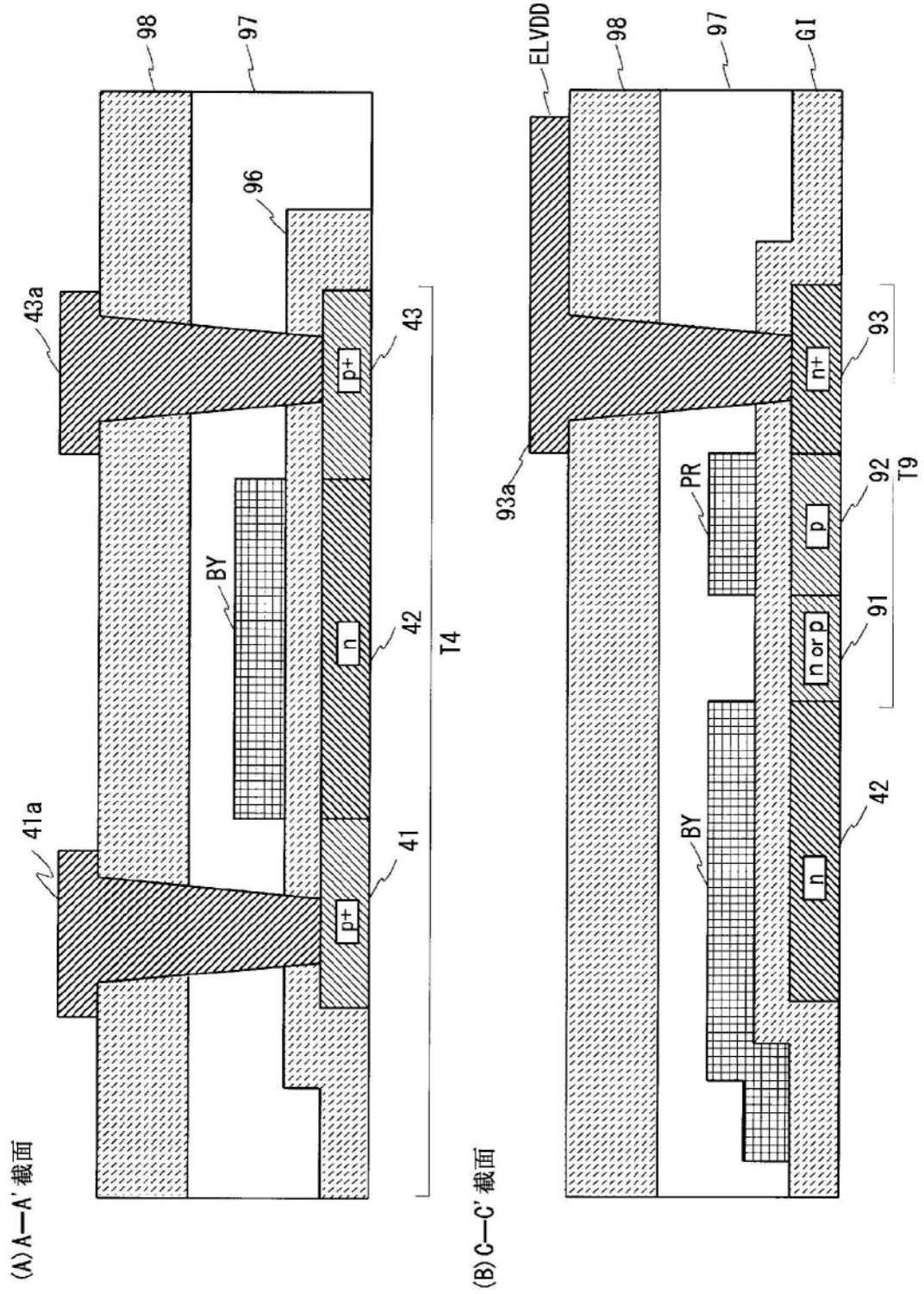

98
97
96
43a
43
p+
BY
n
42
T4
41a
41
p+
(A) A—A' 截面
ELVDD
98
97
GI
93
n+
93a
PR
92
T9
p
91
n or p
BY
42
n
(B) C—C' 截面

图12

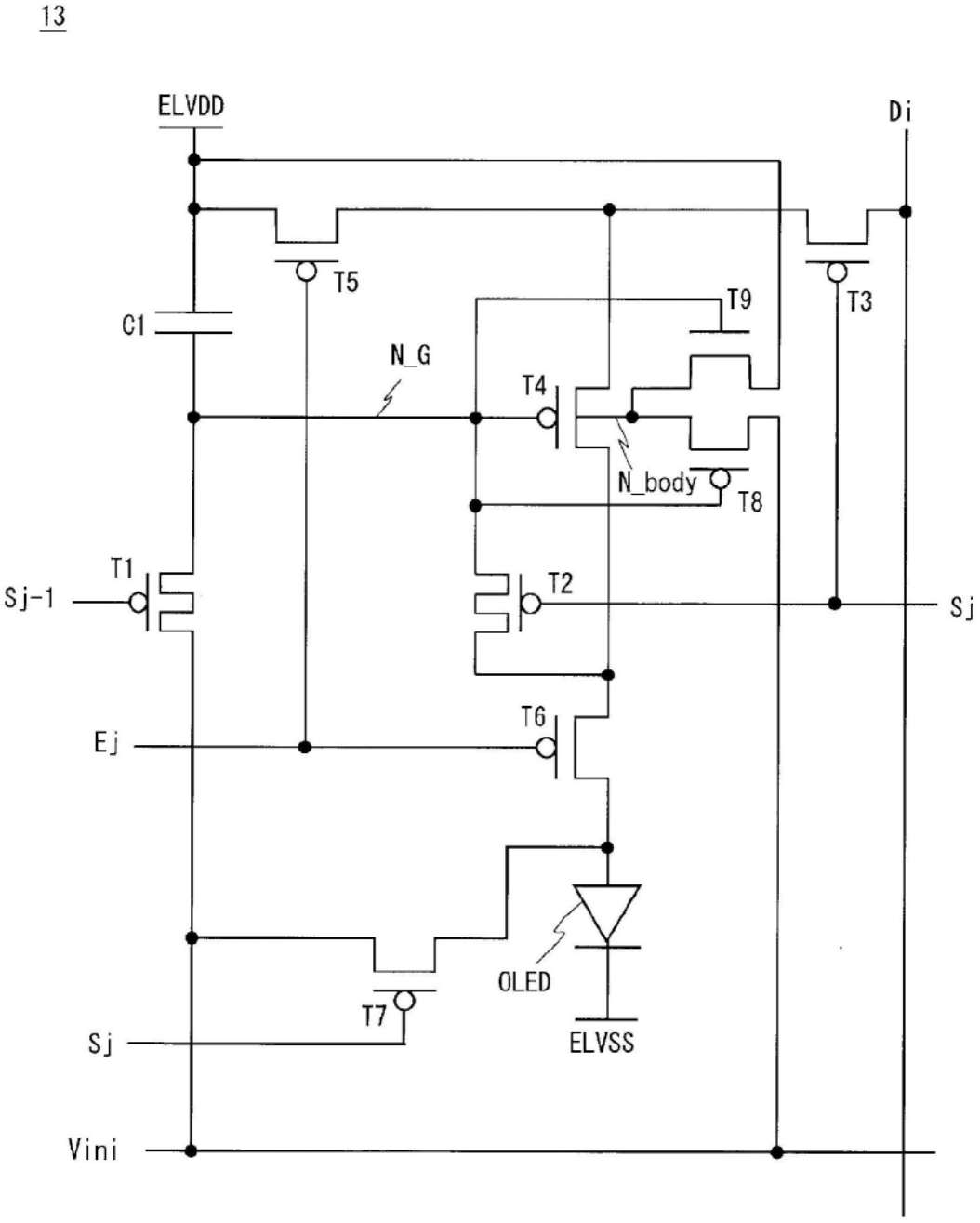

13
ELVDD
Di
T5
T9
T3
C1
N_G
T4
N_body
T8
T1
Sj-1
T2
Sj
T6
Ej
OLED
T7
Sj
ELVSS
Vini

图13

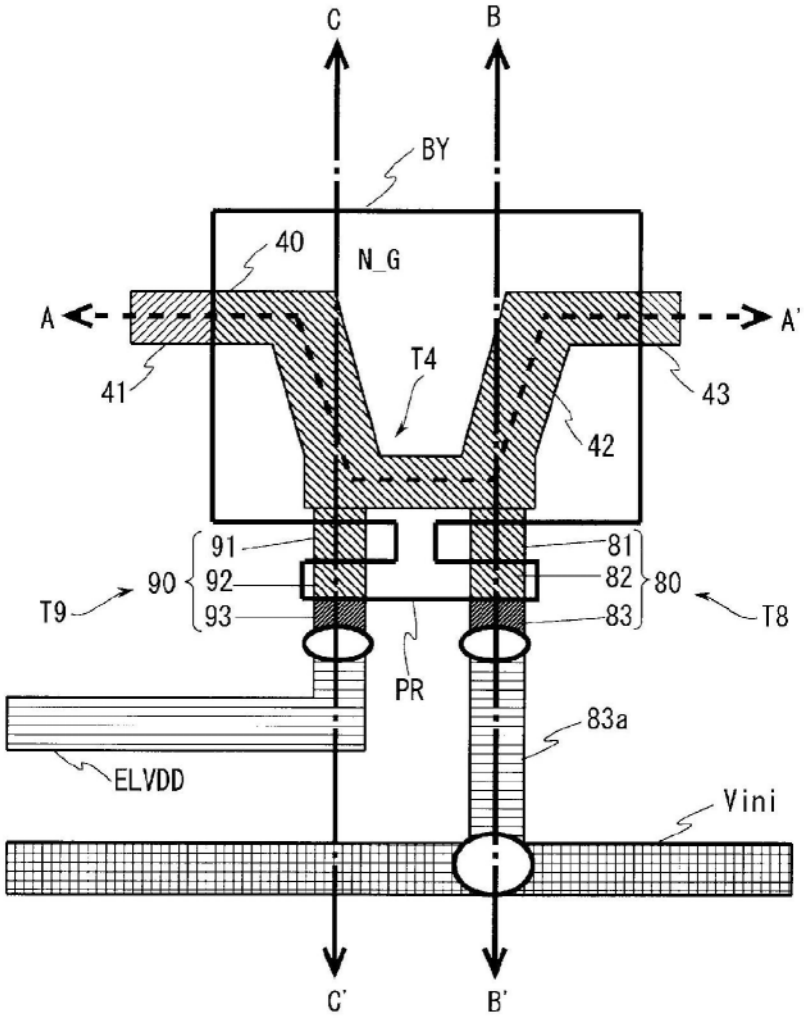

C
B
BY
40
N_G
A
A'
41
T4
43
42
91
81
90
92
82
80
T9
93
83
T8
PR
83a
ELVDD
Vini
C'
B'

图14

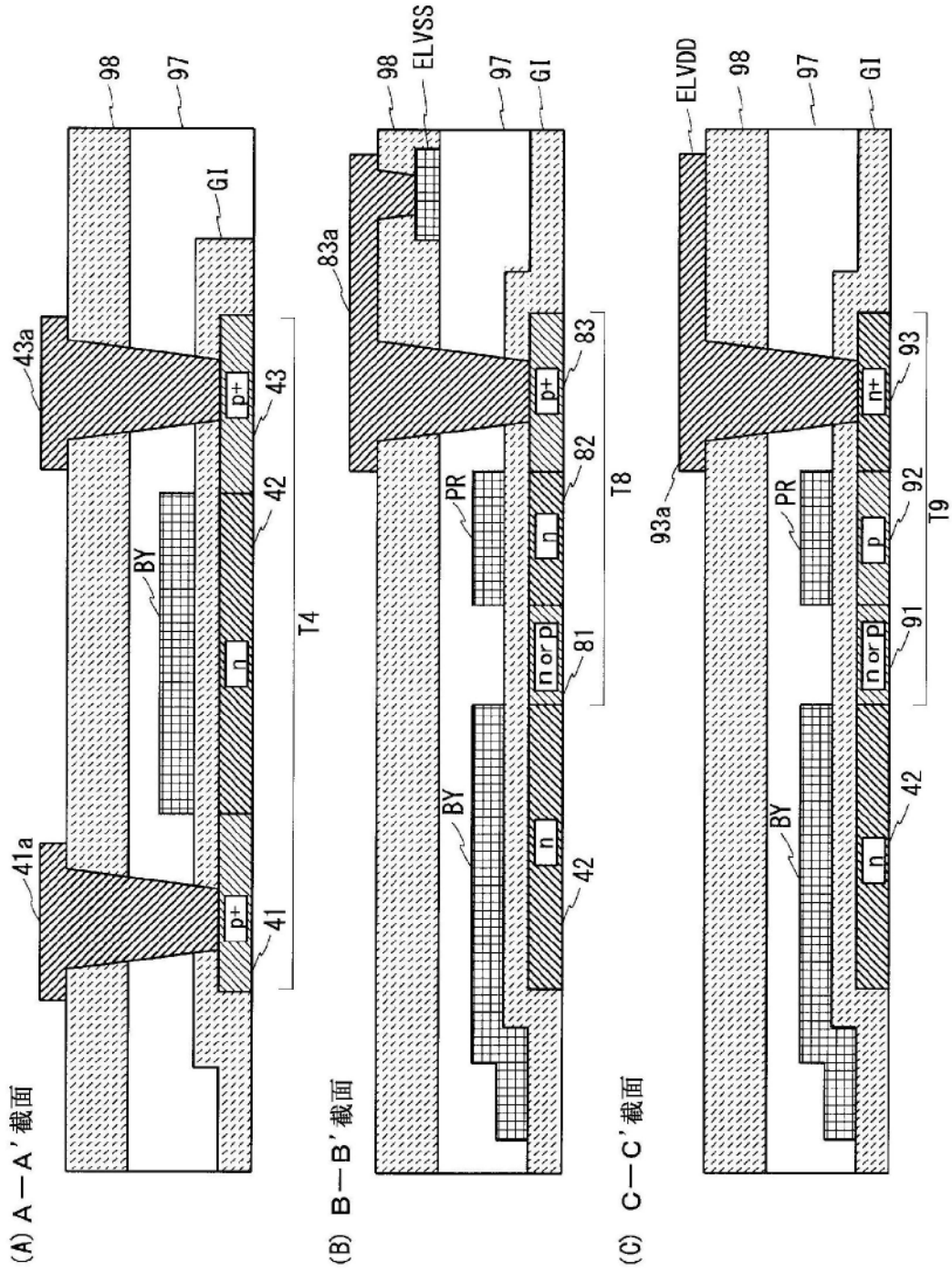

(A) A－A'截面
(B) B－B'截面
(C) C－C'截面
98
97
GI
ELVSS
ELVDD
43a
83a
93a
41a
p+
n
n or p
43
42
41
83
82
81
93
92
91
T4
T8
T9
BY
PR

图15

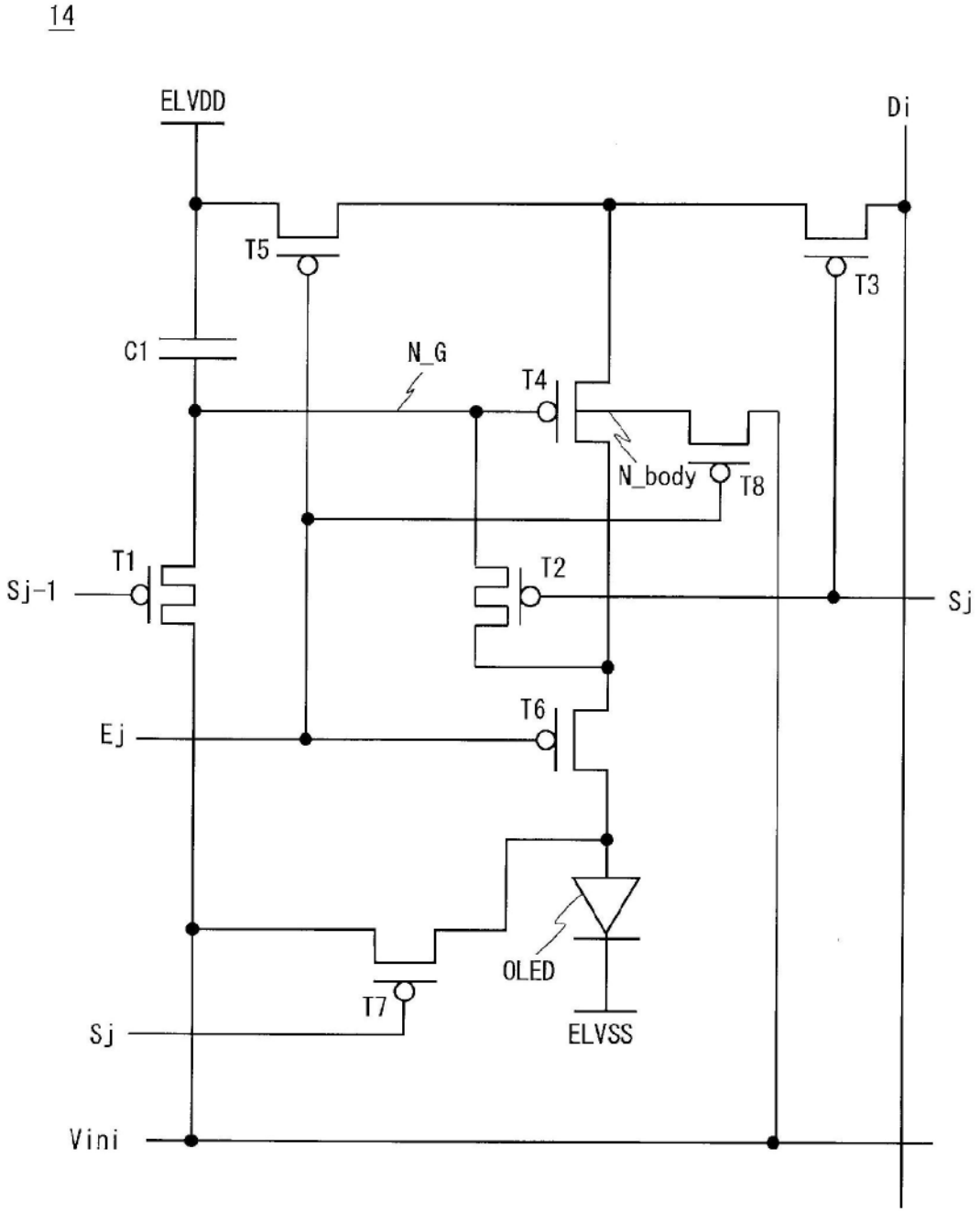

14
ELVDD
Di
T5
T3
C1
N_G
T4
N_body
T8
T1
T2
Sj-1
Sj
T6
Ej
OLED
T7
Sj
ELVSS
Vini

图16

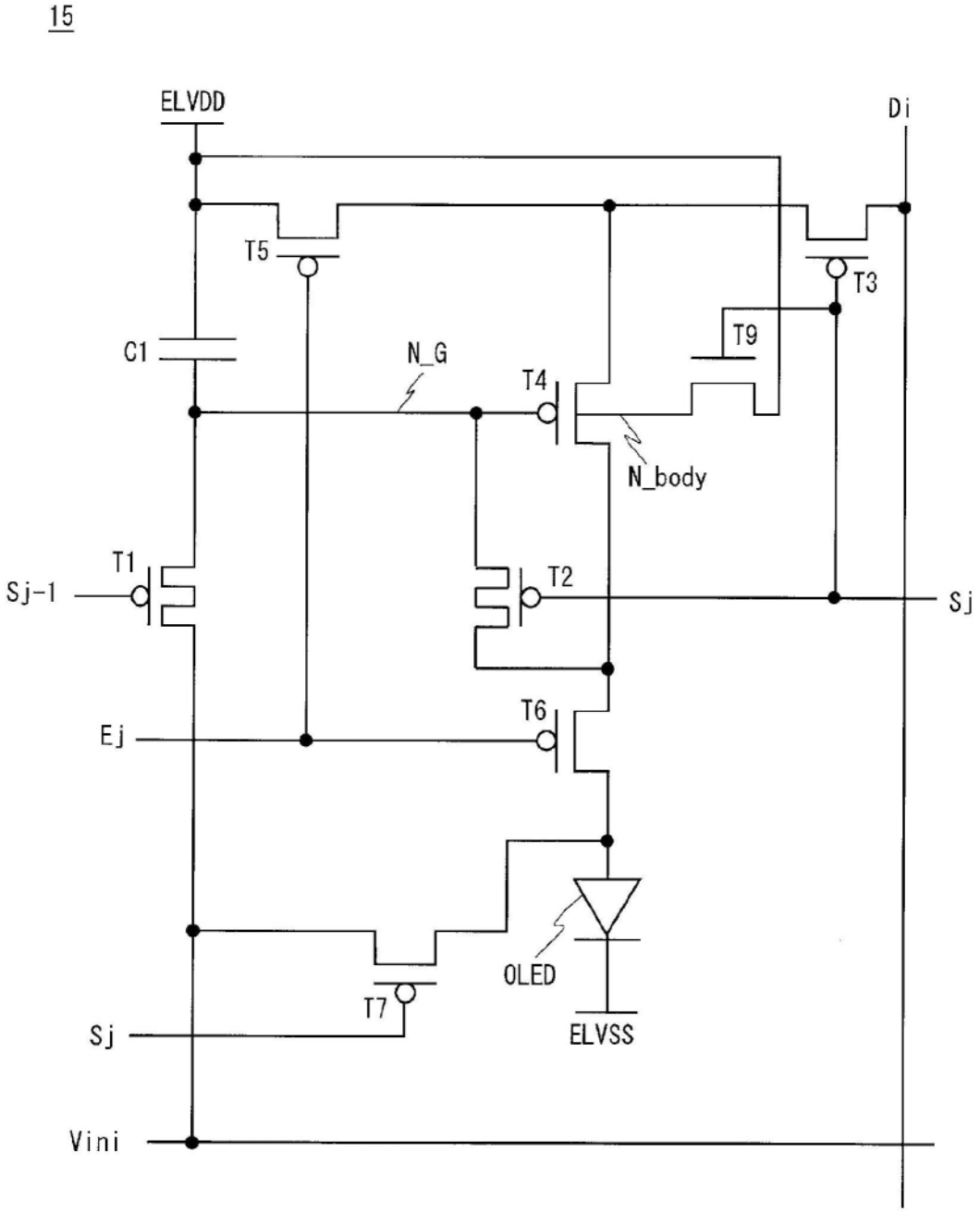

15
ELVDD
Di
T5
T3
C1
N_G
T9
T4
N_body
T1
T2
Sj-1
Sj
T6
Ej
OLED
T7
Sj
ELVSS
Vini

图17

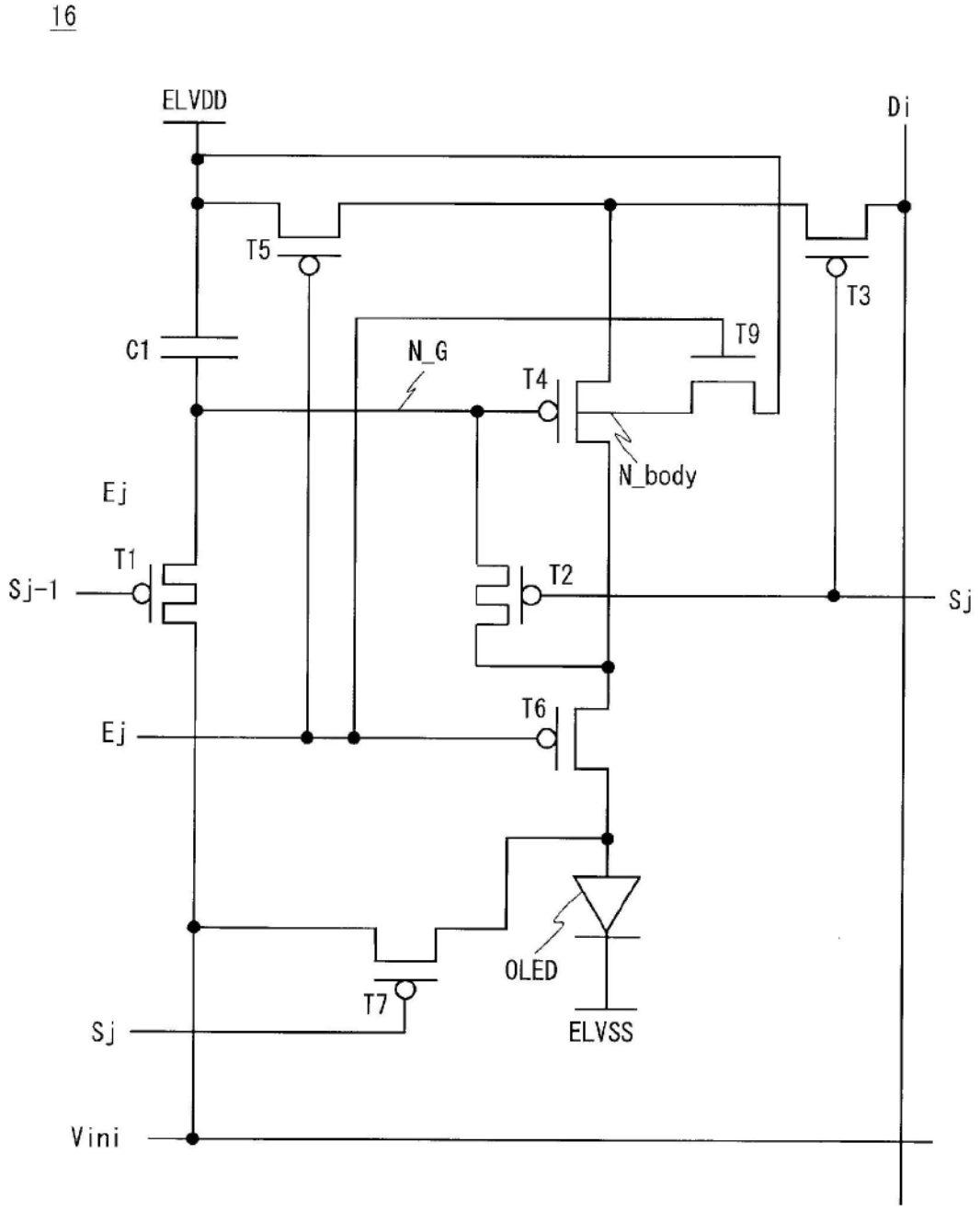

16
ELVDD
Di
T5
T3
C1
N_G
T9
T4
N_body
Ej
T1
Sj-1
T2
Sj
T6
Ej
OLED
T7
Sj
ELVSS
Vini

图18

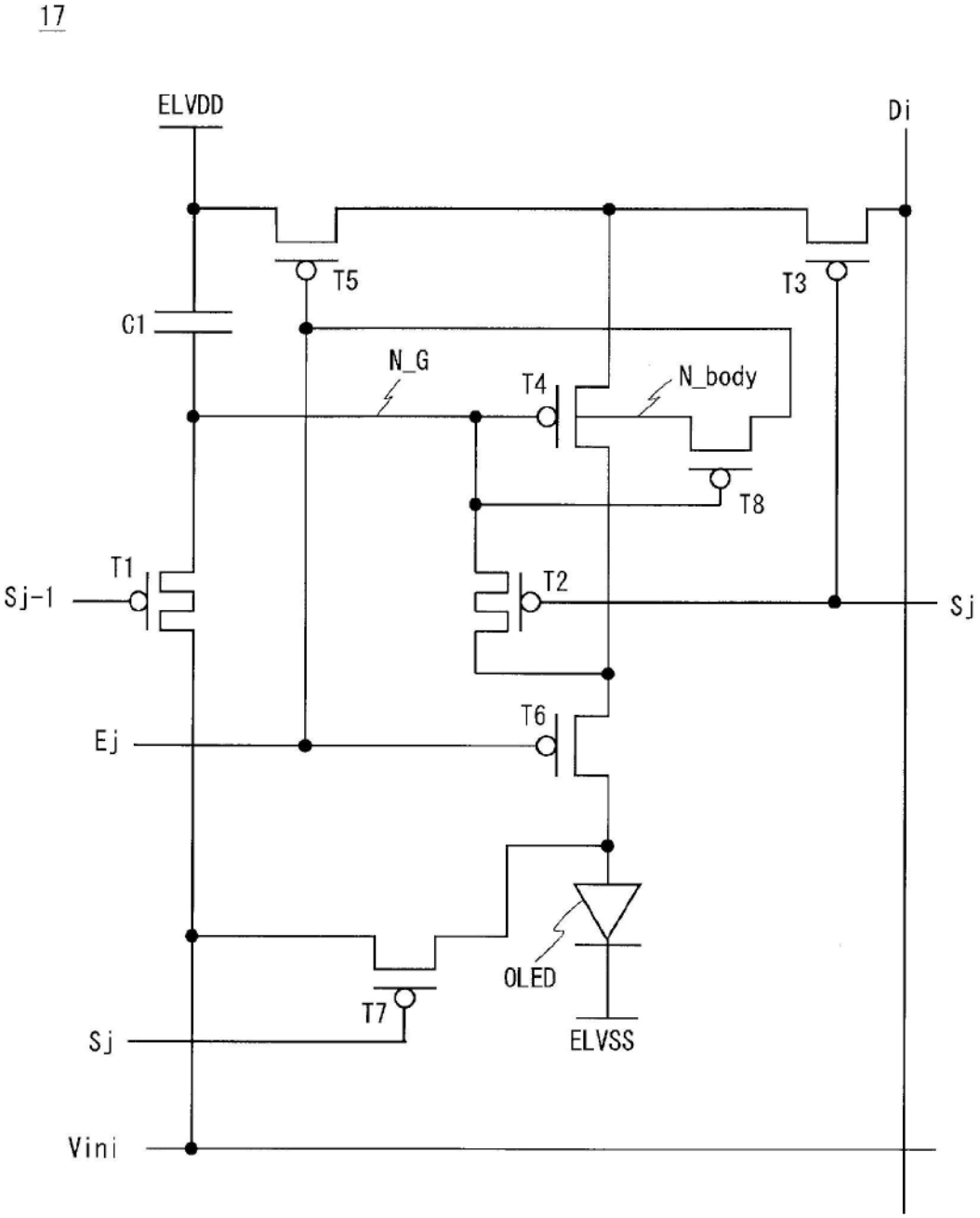

17
ELVDD
Di
T5
T3
C1
N_G
T4
N_body
T8
T1
T2
Sj-1
Sj
Ej
T6
OLED
T7
Sj
ELVSS
Vini

图19

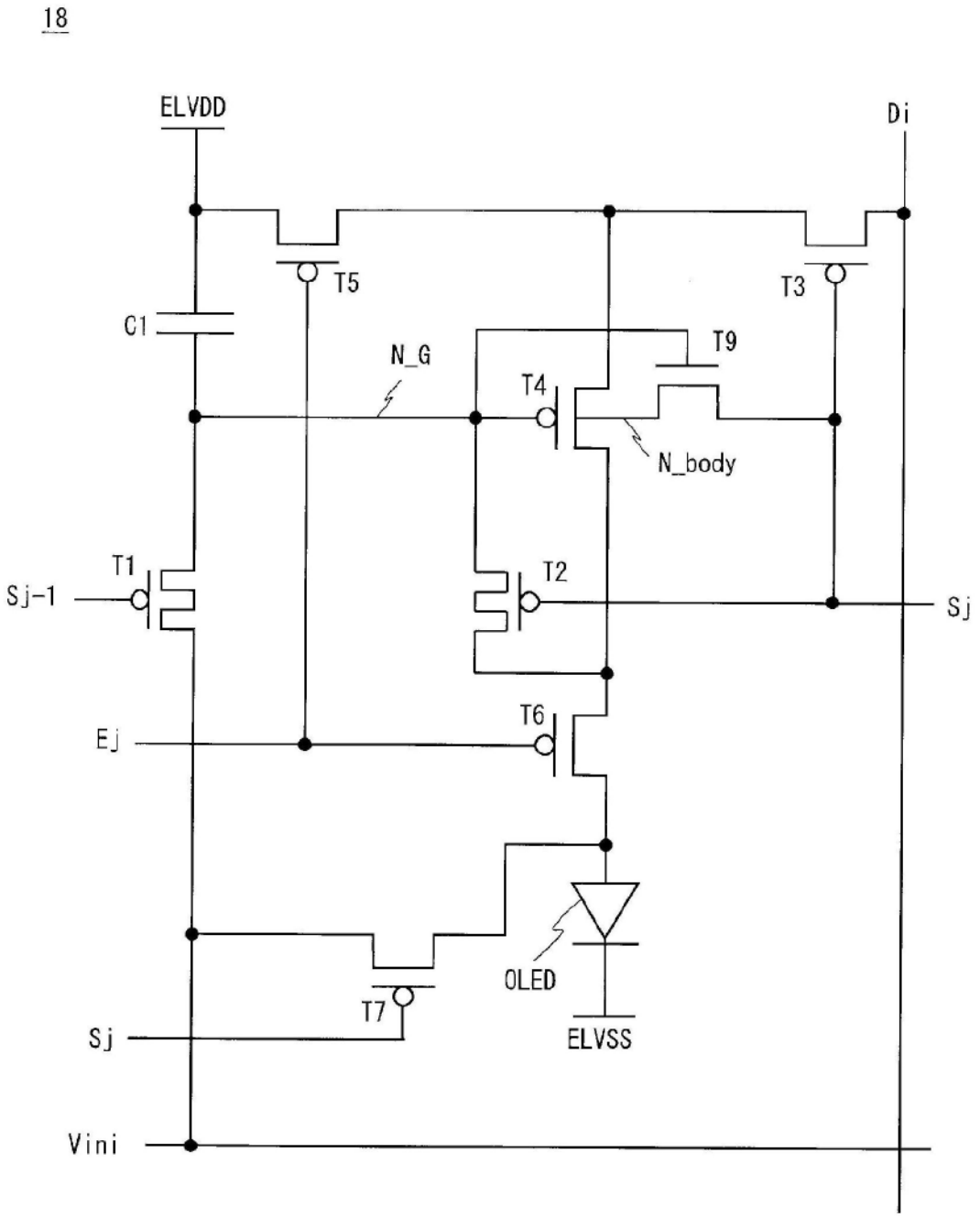

18
ELVDD
Di
T5
T3
C1
N_G
T9
T4
N_body
T1
T2
Sj-1
Sj
T6
Ej
OLED
T7
Sj
ELVSS
Vini

图20