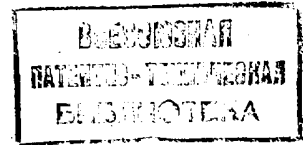




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

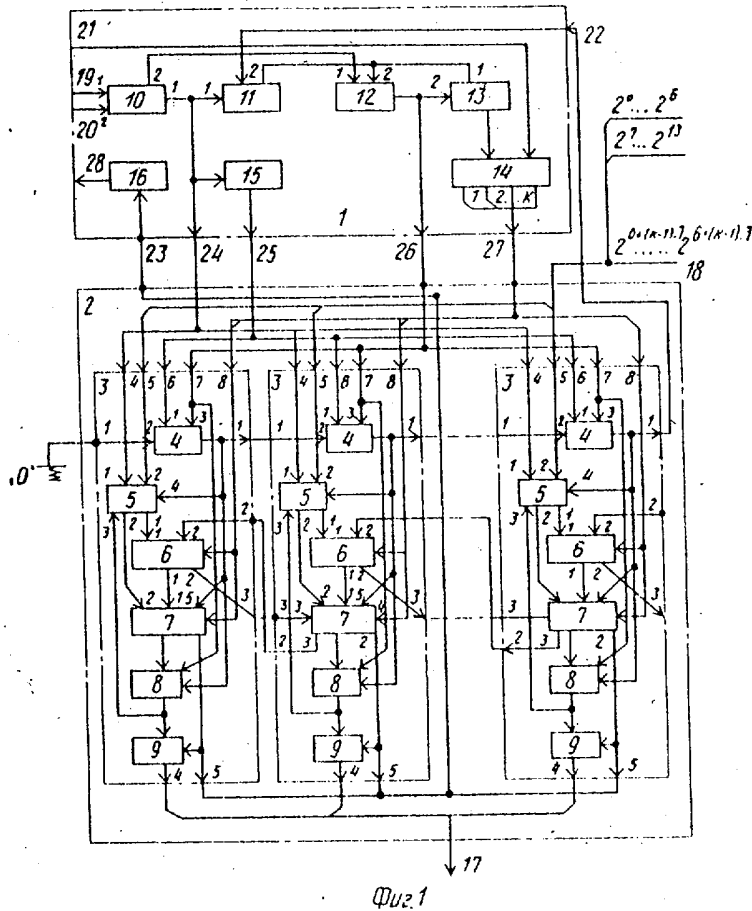
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

2

(21) 4723624/24
 (22) 26.07.89
 (46) 07.07.91. Бюл. № 25
 (72) Е.А.Шурмухин
 (53) 681.325 (088.8)
 (56) Авторское свидетельство СССР
 № 771659, кл. Н 03 М 7/12, 1980.
 Авторское свидетельство СССР
 № 1042010, кл. Н 03 М 7/12, 1983.
 (54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНОГО КОДА
 В ДВОИЧНО-ДЕСЯТИЧНЫЙ КОД

(57) Изобретение относится к автоматике и вычислительной технике и может быть использовано при построении преобразователей двоичного кода в двоично-десятичный, в двоично-десятично-шестидесятиричный, в двоично-десятичный код секунд, минут, градусов, для преобразования двоичных кодов с масштабированием. Цель изобретения – расширение класса решаемых преобразователем задач за счет обеспечения возможности преобразования в двоично-



(19) SU (11) 1662005 A1

десятично-шестидесятиричный код при одновременном упрощении преобразователя. Цель достигается тем, что в преобразователе, содержащем блок 1 управления и накапливающий сумматор 2, последний состоит из $n/7$ каскадов 3 (n – максимальное число преобразуемых разрядов кода), каждый из которых содержит

триггер 4 управления, коммутатор 5, сумматор 6, табличный преобразователь 7, регистр 8 числа, элемент И 9, а блок 1 управления содержит формирователь 10 входных сигналов, триггер 11, элемент И 12, счетчик 13, дешифратор 14 команд, одновибратор 15, формирователь 16 выходных сигналов. 1 з.п. ф-лы, 3 ил.

Изобретение относится к автоматике и вычислительной технике и может быть использовано при построении преобразователей в двоично-десятичный код, для преобразования двоичных кодов с масштабированием.

Целью изобретения является расширение класса решаемых задач за счет обеспечения возможности преобразования в двоично-десятично-шестидесятиричный код при одновременном упрощении устройства.

На фиг.1 изображена структурная схема предлагаемого преобразователя; на фиг.2 – временная диаграмма работы преобразователя; на фиг.3 – структурная схема табличного преобразователя.

Преобразователь двоичного кода в двоично-десятичный содержит блок 1 управления, накапливающий сумматор 2, состоящий из 3 каскадов, каждый из которых содержит триггер 4 управления, коммутатор 5, сумматор 6, табличный преобразователь 7, регистр 8 и группу элемента И 9.

Блок 1 управления состоит из формирователя 10 входных сигналов, формирующего импульс по переднему фронту строба разрешения записи, триггера 11, элемента И 12, счетчика 13, дешифратора 14, одновибратора 15 и формирователя 16 выходных сигналов. Информационные выходы каскадов преобразования являются информационными выходами 17 накопительного сумматора и преобразователя. Информационные входы каскадов преобразования являются информационными входами 18 преобразователя и накопительного сумматора. Блок 1 управления имеет тактовый вход 19, вход 20 пуска преобразования, управляющий вход 21, вход 22 сброса, вход 23 окончания преобразования, выход 24 разрешения записи, установочный выход 25, тактовый выход 26, управляющий выход 27, выход 28 окончания преобразования. Блок 1 управления в зависимости от типа входного кода, вида преобразования формирует в каждом такте преобразования для каждого каска-

да преобразования код команд преобразования. Закон преобразования задается по управляющему входу 21.

Триггер 4 обеспечивает управление работой каскадом преобразования, а именно устанавливает регистр 8 или в режим хранения, или в режим записи, совместно с табличным преобразователем 7 формирует признак окончания работы, разрешает прохождение разрядов двоичного кода через коммутатор 5 на вход сумматора 6, поступающих или с регистра 8, или с входа каскада.

Коммутатор 5 обеспечивает коммутацию семи разрядов двоичного кода, поступающих на его входы или с выхода регистра 8, или с входа каскада. Управление осуществляется по импульсу разрешения записи, поступающего на его управляющий вход с входа каскада. Единичный уровень с триггера 4 управления, поступающий на опросный вход коммутатора, разрешает работу последнего. При нулевом уровне с триггера 4 управления на выходе коммутатора формируется нулевая информация. Выходы пяти старших разрядов коммутатора 5 подключены к сумматору 6, а двух младших разрядов – к входам табличного преобразователя 7.

Сумматор 6 обеспечивает суммирование пяти старших разрядов данного каскада с пятью однозначными разрядами, поступающими от последующего старшего каскада. Кроме того, обеспечивает коррекцию и формирует на своих выходах: на втором выходе числа кратные: $2^{(K-t) \cdot 7} \cdot 100^t$ – при двоично-десятичном преобразовании, $2^{(K-t) \cdot 7} \cdot 60^t$ – при двоично-десятично-шестидесятиричном; на первом выходе двоичный код вида: $100^{t-1} \cdot 2^{(K-t) \cdot 7} (2^2 \dots 2^6)$ – при двоично-десятичном преобразовании, $60^{t-1} \cdot 2^{(K-t) \cdot 7} (2^2 \dots 2^5)$ – при двоично-десятично-шестидесятиричном; где K – номер каскада преобразования; t – номер такта преобразования, причем $2^{(K-t) \cdot 7} \geq 1$, отрицательная степень числа 2 указывает на то, что данный каскад закончил свою работу. Вид преобразования

двоично-десятичный или двоично-десятично-шестидесятиричный определяется управляющим входом сумматора 6.

Табличный преобразователь 7 при $K > t$ производит разложение семиразрядного двоичного кода, поступающего на его вход:

два младших разряда на второй вход с выхода коммутатора 5;

пять старших разрядов на первый вход с первого выхода сумматора 6 на две составляющие;

первую составляющую, кратную в каждом такте преобразования числу 100^t ;

вторую составляющую, содержащую пять старших разрядов предыдущей младшей тетрады.

В общем случае данные составляющие описываются выражениями вида:

первая составляющая – составляющая В: $V = 100^t \cdot 2^{(K-t-1) \cdot 7} (2^0 \dots 2^6)$ – при двоично-десятичном преобразовании; $V = 60^t \cdot 2^{(K-t-1) \cdot 7} (2^0 \dots 2^6)$ – при двоично-десятично-шестидесятиричном преобразовании;

вторая составляющая – составляющая С: $C = 100^{t-1} \cdot 2^{(K-t-1) \cdot 7} (2^2 \dots 2^6)$ – при двоично-десятичном преобразовании; $C = 60^{t-1} \cdot 2^{(K-t-1) \cdot 7} (2^2 \dots 2^6)$ – при двоично-десятично-шестидесятиричном преобразовании.

При $K = t$ – табличный преобразователь данного каскада осуществляет преобразование в двоично-десятичный код.

Выбор вида преобразования осуществляется в двухразрядным кодом, поступающим на его управляющий вход с управляющего входа каскада преобразования.

Кроме того, табличный преобразователь 7 анализирует двоичный код по входу на предмет формирования признака окончания работы тетрады. При наличии на его входе нулевой информации на выходе "2" формируется положительный потенциал, что означает окончание работы каскада. Признак окончания преобразования формируется также и при наличии на его опросном входе отрицательного потенциала с триггера 4 управления независимо от содержания информации на его информационных входах.

Регистр 8 предназначен для накопления двоичных эквивалентов, поступающих на его информационные входы с информационного выхода табличного преобразователя вида $V = 100^t \cdot 2^{(K-t-1) \cdot 7} (2^0 \dots 2^6)$ или $V = 60^t \cdot 2^{(K-t-1) \cdot 7} (2^0 \dots 2^6)$. В последнем такте работы каскада, когда $K = t$, с информацион-

ного выхода табличного преобразователя 7 в регистр 8 числа записываются двоично-десятичный код вида или $100^{K-t} (2^0 \dots 2^3, 2^0 \cdot 10^1 \dots 2^3 \cdot 10^1)$ или $60^{K-t} (2^0 \dots 2^3, 2^0 \cdot 10^1, 2^0 \cdot 10, 2^2 \cdot 10)$.

Группа элементов И 9 обеспечивает подключение преобразованного числа на выход преобразователя. Каскад преобразования обеспечивает преобразование семиразрядного двоичного кода или в двоично-десятичный код либо в двоично-десятично-шестидесятиричный.

Работа накопительного сумматора осуществляется по тактам. Время преобразования двоичного кода определяется выражением вида

$$T = \frac{n \cdot 1}{7} T_1,$$

где $T \geq 1$, целое число – время преобразования кода;

T_1 – период тактовых импульсов;

n – количество разрядов входного преобразуемого кода.

Преобразование двоичного кода каскад осуществляет следующим образом. Табличный преобразователь 7 производит разложение входного семиразрядного двоичного кода на две составляющие. Код разрядов первой составляющей, кратный $100^t \cdot 2^{(K-t-1)}$ или $60^t \cdot 2^{(K-t-1)}$ запоминается в регистре 8 для дальнейшего преобразования, а код разрядов второй составляющей с выхода табличного преобразователя старшего каскада поступает на второй вход сумматора 6 предыдущего младшего каскада, где производится суммирование с 5-ю старшими разрядами данного каскада, поступающими с первого выхода коммутатора 5 на первый вход сумматора 6. Одновременно производится коррекция суммы. Числа, кратные $100^t \cdot 2^{(K-t-1) \cdot 7} \cdot 60^t$, с второго выхода сумматоров 6 поступают на третий вход табличного преобразователя последующей старшей тетрады, где участвуют в формировании кода сотен старшей тетрады. Входной семиразрядный код, поступающий с информационного входа тетрады на второй вход коммутатора 5, при наличии положительного потенциала импульса разрешения записи на первом входе коммутатора, поступает на выходы коммутатора; при наличии отрицательного потенциала на первом входе коммутатора на выход поступает информация с регистра 8.

Триггер 4 устанавливается по первому входу в разрешающее положение импульсом, а положительный потенциал с его вы-

хода 25 разрешает прохождение разрядов кода с коммутатора 5 и табличного преобразователя 7 и устанавливает регистр 8 в режим параллельного ввода. В совокупности триггеры 4 образуют регистр сдвига. Количество рабочих тактов каскада преобразования равно номеру каскада, т.е. первый младший каскад заканчивает свою работу после первого такта, начиная с момента прихода импульса с входа 20 пуска преобразования, второй каскад – после второго такта, К-я тетрада – после К-го такта. Очередным тактовым импульсом в триггер 4 каждого последующего каскада переписывается значение триггера 4 управления из каждого последующего каскада преобразования.

Преобразование двоичных кодов в двоично-десятичный, в двоично-десятично-шестидесятиричный, в двоично-десятичный код секунд, минут, градусов производится по одному и тому же алгоритму. Различие только в содержании программы, "жестко" заложенной в сумматоре 6 и табличном преобразователе 7.

Двухразрядный код управления с входа 21 поступает на вход дешифратора 14, который производит в каждом такте преобразования перекодировку для каждого каскада двухразрядного входного кода управления в двухразрядный код управления каскадом. Например, при преобразовании двоичного кода секунд в код секунд, минут, градусов:

в первом такте, где осуществляется преобразование в код минут, сумматор 6 осуществляет коррекцию вида

$$2^{(K-t) \cdot 7} \cdot 60^t, \quad (1)$$

табличный преобразователь 7 первого каскада осуществляет преобразование кода в двоично-десятичный, табличные преобразователи 7 каскадов, начиная с второго, производят разложение кода на две составляющие вида

$$\begin{aligned} &60^t \cdot 2^{(K-t-1) \cdot 7} (2^0 \dots 2^6) \text{ и} \\ &60^{t-1} \cdot 2^{(K-t-1) \cdot 7} (2^2 \dots 2^5) \end{aligned} \quad (2)$$

во втором такте, где осуществляется преобразование в код градусов, первый каскад не участвует в преобразовании и его регистр 8 находится в режиме хранения, сумматор 6, начиная с второго каскада, осуществляет коррекцию вида $60^t 2^{(K-t) \cdot 7}$, табличный преобразователь второго каскада осуществляет преобразование кода в двоично-десятичный код. Табличные преоб-

разователи 7, начиная с третьего, производят разложение кода на две составляющие вида:

5 в третьем такте, где осуществляется преобразование двоичного кода градусов в двоично-десятичный.

Первый и второй каскады не участвуют в преобразовании, их регистры 8 находятся в режиме "Хранение", сумматор 6 тетрад, начиная с третьей, осуществляет коррекцию вида (1). Табличный преобразователь 7 третьего каскада осуществляет преобразование в двоично-десятичный код. Табличные преобразователи 7 тетрад, начиная с четвертого, производят разложение кода на две составляющие вида.

Импульс пуска преобразования, поступающий на вход пуска преобразования преобразователя и блока управления, формируется по амплитуде формирователем 10 блока 1 управления и в качестве импульса разрешения записи поступает на выход блока 1 управления, вход разрешения записи накопительного сумматора, вход разрешения записи каскада преобразования и на управляющий вход коммутатора 5 каскада 3 преобразования, разрешая тем самым прохождение разрядов кода с информационного входа каскада преобразования на выход коммутатора 5. Одновременно импульс пуска преобразования своим передним фронтом запускает одновибратор 15 блока 1 управления и устанавливает триггер 11 в единичное состояние, которое разрешает прохождение через элемент И 12 импульсов тактовой частоты, поступающих на второй вход элемента И 12 с входа 19 преобразователя через формирователь 10. Сформированный по переднему фронту импульса пуска преобразования одновибратором 15 импульс устанавливает триггеры 4 по входу "1" в единичное состояние. На выходе триггеров 4 формируется единичный уровень, который разрешает прохождение разрядов кода через коммутатор 5, разрешает работу табличного преобразователя 7 и устанавливает регистр 8 числа в режим записи. При $t = K$ табличный преобразователь преобразует двоичный код в двоично-десятичный. Код в сумматоре 6 в этом случае не формируется. Табличный преобразователь 7 при $t > K$ производит разложение входного двоичного кода на две составляющие В и С.

55 Импульсы тактовой частоты с выхода элемента И 12 поступают на второй счетный вход счетчика 13 и на тактовый вход каскада 3 преобразования. Передним фронтом тактового импульса код В записывается в регистр 8. Задним фронтом тактового им-

пульса в счетчик 13 блока 1 управления добавляется единица, а в триггер 4 управления записывается значение, поступающее на его второй вход с выхода триггера 4 предыдущего младшего каскада. В первом такте в триггер 4 управления первого младшего каскада задним фронтом тактового импульса записывается нулевое значение, т.е. триггер 4 управления устанавливается в исходное состояние и первый каскад в процессе преобразования больше не участвует, на втором выходе табличного преобразователя 7 формируется признак окончания преобразования. Регистр 8 устанавливается в режим "Хранение", коммутатор 5 формирует на выходе нулевую информацию.

После преобразования всех разрядов на вторых выходах табличных преобразователей 7 всех каскадов накопительного сумматора, которые объединены монтажной ИЛИ, появится положительный потенциал, который является признаком окончания преобразования.

Признак окончания преобразования поступает на управляющий вход элементов И 9 всех каскадов и таким образом подключит преобразованное число к выходу преобразователя, кроме того, признак окончания преобразования поступает на вход формирователя 16, где формируется по амплитуде и длительности и поступает на выход преобразователя, сообщая тем самым потребителю о готовности преобразованного кода.

После окончания работы последней тетрады задним фронтом импульса триггера 4 управления по входу 22 блока 1 управления производится сброс триггера 11 и счетчика 13, и цикл преобразования заканчивается. Следующее слово обрабатывается аналогичным образом.

Ф о р м у л а и з о б р е т е н и я

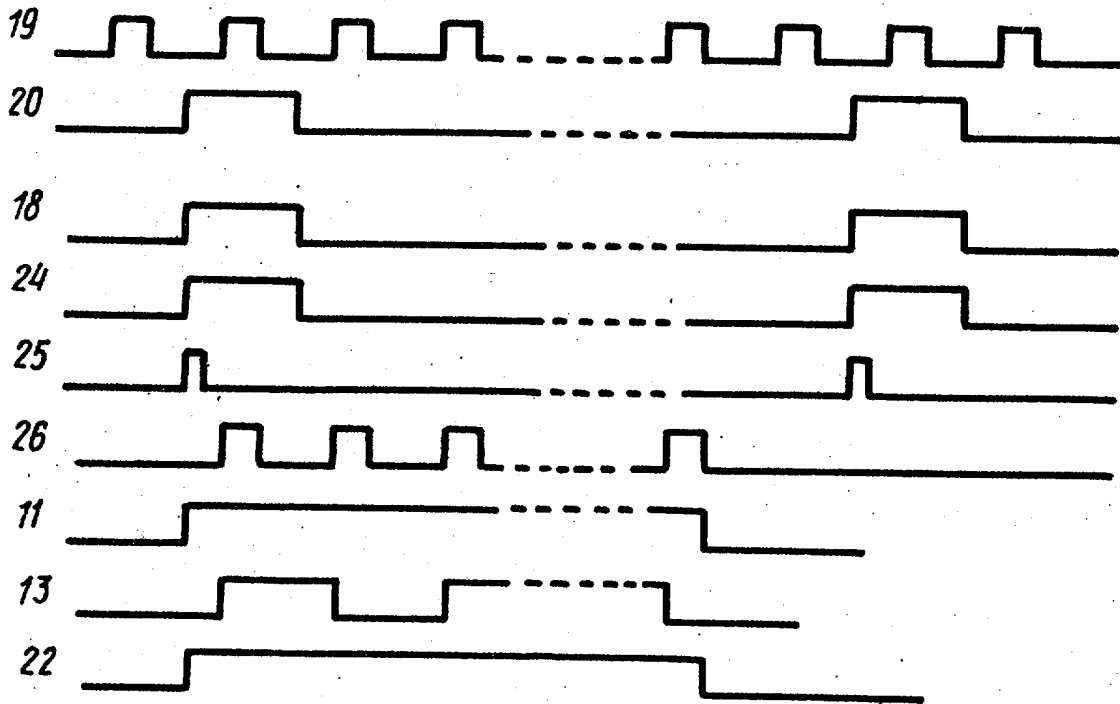
1. Преобразователь двоичного кода в двоично-десятичный код, содержащий блок управления, двоично-десятичный накапливающий сумматор, вход разрешения записи которого соединен с выходом разрешения записи блока управления, тактовый выход которого соединен с тактовым входом накапливающего сумматора, вход разрешения записи которого соединен с установочным выходом блока управления, вход пуска которого является входом пуска преобразователя, выход окончания преобразования является выходом окончания преобразования преобразователя, о т л и ч а ю щ и й с я тем, что, с целью расширения класса решаемых задач за счет обеспечения возможности преобразования

в двоично-десятично-шестидесятиричный код при одновременном упрощении устройства, в нем накапливающий сумматор состоит из $K \lfloor n/7 \rfloor$ каскадов, (где n -- разрядность входного кода), каждый из которых содержит триггер управления, коммутатор, сумматор, табличный преобразователь, регистр и группу элементов И, выходы которых соединены с первыми информационными выходами каскада, тактовые входы всех каскадов соединены с тактовым выходом блока управления, вход окончания преобразования которого соединен с выходом окончания преобразования каскадов, входы разрешения записи которых соединены с выходом разрешения записи блока управления, управляющий выход которого соединен с входами выбора закона преобразования каскадов, информационные входы которых соединены с информационным входом преобразователя, тактовый и управляющий входы которого соединены с соответствующими входами блока управления, вход сброса которого соединен с выходом сброса первого каскада, второй информационный выход i -го каскада ($i=1:K-1$) соединен с вторым информационным входом $(i+1)$ -го каскада, выходы переноса i -го каскада соединены с входами переноса $(i-1)$ -го каскада, управляющий выход i -го каскада соединен с управляющим входом $(i-1)$ -го каскада, причем в каждом из каскадов первые входы элементов И соединены с выходами регистра и первыми информационными входами коммутатора, вторые информационные входы которого соединены с первыми информационными входами каскада, вход разрешения записи которого соединен с управляющим входом коммутатора, первый информационный выход которого соединен с первым входом сумматора, второй вход которого соединен с вторым информационным входом каскада, а вход опроса сумматора соединен с управляющим входом каскада и управляющим входом табличного преобразователя, первые информационные входы которого соединены с первыми выходами сумматора, вторые входы которого являются выходами переноса каскада, выход окончания преобразования которого соединен с первыми выходами табличного преобразователя и вторыми входами группы элементов И, вторые выходы коммутатора соединены с вторыми входами табличного преобразователя, вход опроса которого соединен с выходом управляющего триггера, являющегося управляющим выходом каскада, входом опроса коммутатора и входом записи

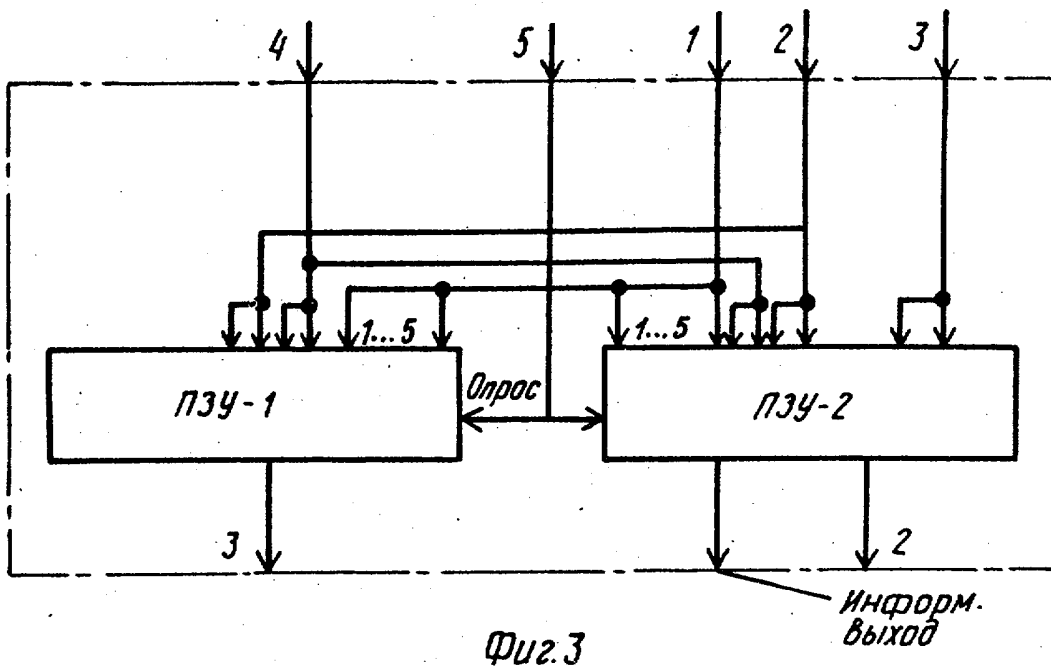
регистра, информационные входы которого соединены с вторыми выходами табличного преобразователя, синхровход и установочный вход управляющего триггера соединены соответственно с тактовым и установочным входами каскада, управляющий вход которого соединен с информационным входом управляющего триггера.

2. Преобразователь по п.1, отличающийся тем, что в нем блок управления содержит формирователь входных сигналов, формирователь выходных сигналов, триггер, элемент И, счетчик, дешифратор и одновибратор, выход которого является установочным выходом блока управления, а вход соединен с первым выходом формирователя входных сигналов, с единичным входом триггера и выходом разрешения записи блока управления, вход сброса которого со-

единен с входом сброса триггера, выход которого соединен с первым входом элемента И и управляющим входом счетчика, счетный вход которого соединен с выходом элемента И и тактовым выходом блока управления, управляющий вход которого соединен с управляющим входом дешифратора, информационный вход которого соединен с выходом счетчика, а выходы дешифратора являются управляющими выходами блока управления, тактовый вход и вход пуска которого соединены соответственно с первым и вторым входами формирователя входных сигналов, второй выход которого соединен с вторым входом элемента И, вход и выход окончания преобразования блока управления соединены соответственно с входом и выходом формирователя выходных сигналов.



Фиг. 2



Редактор Н. Рогович

Составитель М. Аршавский
Техред М. Моргентал

Корректор О. Кравцова

Заказ 2137

Тираж 456

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101