

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 11 日(11.10.2012)



(10) 国際公開番号

WO 2012/137472 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
G09F 9/30 (2006.01)
- (21) 国際出願番号: PCT/JP2012/002296
- (22) 国際出願日: 2012 年 4 月 2 日(02.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-083959 2011 年 4 月 5 日(05.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 金子 誠二
(KANEKO, Seiji).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA &
PARTNERS); 〒5410053 大阪府大阪市中央区本町
2 丁目 5 番 7 号 大阪丸紅ビル 5 階 Osaka (JP).

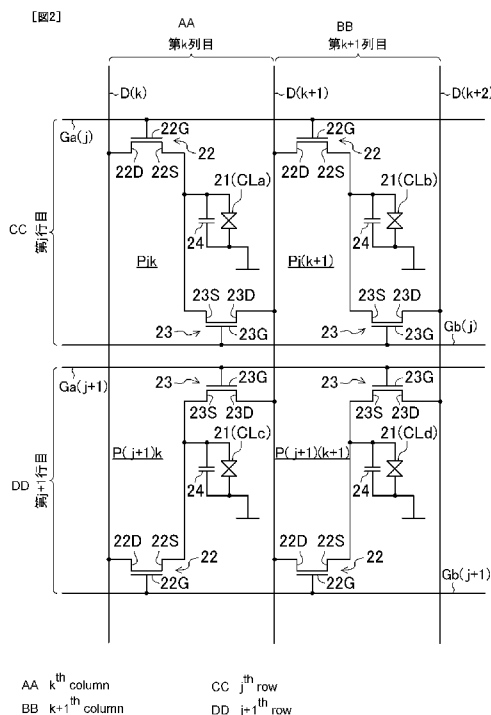
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: アクティブマトリクス基板及び液晶表示装置



(57) Abstract: In $n+1$ data lines (D) of an active matrix substrate of the present invention, data lines to which an anodic data signal is applied and data lines to which a cathodic data signal is applied are arranged alternately in the row direction. Pixel sections (P1k - Pmk) each include: a liquid crystal element (21); a first switching element (22) that switches the connection state of the liquid crystal element (21) and the data line (D(k)) of the k^{th} column in response to a control signal that is applied to one of first and second gate lines (Ga(j), Gb(j)); and a second switching element (23) that switches the connection state of the liquid crystal element (21) and the data line (D(k+1)) of the $(k+1)^{\text{th}}$ column in response to a control signal that is applied to the other of the first and second gate lines (Ga(j), Gb(j)). According to the present invention, power consumption can be reduced because dot inversion drive can be performed without inverting the polarity of the data signal that is applied to each of the data lines in each single frame. The present invention is applicable to liquid crystal display devices.

(57) 要約: 本発明のアクティブマトリクス基板の $n+1$ 本のデータ線 (D) は、正極性のデータ信号が印加されるデータ線と負極性のデータ信号が印加されるデータ線とが行方向に交互に並ぶように配置される。画素部 (P1k ~ Pmk) の各々は、液晶素子 (21) と、第 1 及び第 2 ゲート線 (Ga(j), Gb(j)) のうち一方に印加される制御信号に応答して第 k 列目のデータ線 (D(k)) と液晶素子 (21) との接続状態を切り替える第 1 のスイッチング素子 (22) と、他方に印加される制御信号に応答して第 $k+1$ 列目のデータ線 (D(k+1)) と液晶素子 (21) との接続状態を切り替える第 2 のスイッチング素子 (23) と、を含む。本発明によると、1 フレーム毎に各データ線に印加するデータ信号の極性を反

転させることなくドット反転駆動を行うことができるので、消費電力を低減することが可能となる。本発明は、液晶表示装置に有用である。

WO 2012/137472 A1

明 細 書

発明の名称： アクティブマトリクス基板及び液晶表示装置

技術分野

[0001] 本発明は、アクティブマトリクス基板及び液晶表示装置に関する。特に、本発明は、低周波数で駆動可能であって且つ画面輝度のチラツキ（フリッカ）による表示の劣化を抑制したアクティブマトリクス基板及び液晶表示装置に関する。

背景技術

[0002] 近年、電子ブック用端末や携帯電話等のディスプレイとして用いられる表示パネルには、低消費電力化の要求が高まっている。

[0003] 表示パネルの低消費電力化の手段としては、優れた輝度を確保するためにパネルの開口率を高めることや、低周波数でパネルの駆動を行うことが挙げられる。

[0004] 低周波数駆動を行う場合には、画面輝度のチラツキ（フリッカ）対策が必須となる。フリッカはデータ書き込みを高速化することにより抑制可能であることが知られており、高速書き込みによりフリッカを抑制しつつ低消費電力で駆動可能な表示装置が求められている。

[0005] また、フリッカが視認されにくくするための対策として、隣接する画素の出力を逆極性とすること（ドット反転駆動）が行われている。これは、隣接する画素の出力を逆極性とすることにより、正極性と負極性とで書き込みが平均化され、フリッカが視認されにくくなるものである。

[0006] 特許文献 1 には、正極側駆動電圧を印加すべき第 1 のタイミングに相当する第 1 タイミング信号、及び負極側駆動電圧を印加すべき第 2 のタイミングに相当する第 2 タイミング信号を交互に生成して出力するタイミング生成ドライバと、第 1 データ線を介して第 1 データドライバに接続され且つ第 1 ゲート線を介して入力される第 1 タイミング信号により対応する各液晶表示セルに正極側駆動電圧を印加する第 1 スイッチング素子と、第 2 データ線を介

して第2データドライバに接続され且つ第2ゲート線を介して入力される第2タイミング信号により対応する一の液晶表示セルに負極側駆動電圧を印加する第2スイッチング素子と、を備えた液晶表示装置が開示されている。そして、この液晶表示装置によれば、データ線駆動電圧の極性を1水平期間毎に反転させることなしに、隣接する液晶表示素子に印加する駆動電圧の極性を逆転させることができるため、フリッカや輝度ムラの発生が無い高品質の表示が得られ、また液晶パネルの駆動で消費される電力の低減が図れると記載されている。

先行技術文献

特許文献

[0007] 特許文献1：特開平06-266315号公報

発明の概要

発明が解決しようとする課題

[0008] しかしながら、特許文献1の構成によれば、データドライバが1つのパネルあたり2種類必要となり、各データドライバを駆動するために大きな消費電力が必要となり、しかも、製造コストが嵩む問題がある。また、1画素あたりにゲート線2本、データ線2本を要するので、開口率が小さくなり、その分、バックライトの消費電力が大きくなってしまう。

[0009] 本発明は、アクティブマトリクス基板やそれを備えた液晶表示装置において、高速書き込みを行い、消費電力を低減し、さらに製造コストを低減することを目的とする。

課題を解決するための手段

[0010] 本発明のアクティブマトリクス基板は、

m行n列（m，nは、2以上の整数）のマトリクス状に配列されたm×n個の画素部と、

上記m×n個の画素部のm行の画素行にそれぞれ対応し、行方向に沿って互いに並行して延びると共に列方向に互いに離間するm本の第1のゲート線

及び m 本の第2のゲート線と、

正極性のデータ信号が印加されるデータ線及び負極性のデータ信号が印加されるデータ線を含み、上記 $m \times n$ 個の画素部の n 列の画素列を区画するように列方向に沿って互いに並行して延びると共に該正極性のデータ信号が印加されるデータ線と該負極性のデータ信号が印加されるデータ線とが行方向に交互に並ぶように配置される $n + 1$ 本のデータ線と、を備え、

上記 $m \times n$ 個の画素部のうち第 k 列目 ($1 \leq k \leq n$) の画素列に含まれる m 個の画素部の各々は、

液晶素子と、

上記画素部に対応する第1及び第2ゲート線の間に配置され、該第1及び第2のゲート線のうち一方に印加される制御信号に応答して、第 k 列目のデータ線と上記液晶素子との接続状態を切り替える第1のスイッチング素子と、

上記画素部に対応する第1及び第2ゲート線の間に配置され、該第1及び第2のゲート線のうち他方に印加される制御信号に応答して、第 $k + 1$ 列目のデータ線と上記液晶素子との接続状態を切り替える第2のスイッチング素子と、を含むことを特徴とする。

[0011] 上記の構成のアクティブマトリクス基板の駆動について、第 k 列目の画素列に含まれる画素部（ここでは第1画素部とする）と、それに行方向に隣接し、且つ第 $k + 1$ 列目の画素列に含まれる画素部（ここでは第2画素部とする）とについて ($1 \leq k < n$)、説明する。ここでは、第 k 列目及び第 $k + 2$ 列目のデータ線には正極性のデータ信号が印加され、第 $k + 1$ 列目のデータ線には負極性のデータ信号が印加される場合、且つ、第1画素部の第1のスイッチング素子が第1ゲート線に印加される制御信号に応答して第 k 列目のデータ線と上記液晶素子との接続状態を切り替えるように設けられ、第1画素部の第2のスイッチング素子が第2ゲート線に印加される制御信号に応答して第 $k + 1$ 列目のデータ線と上記液晶素子との接続状態を切り替えるように設けられ、第2画素部の第1のスイッチング素子が第1ゲート線に印加

される制御信号に応答して第 $k + 1$ 列目のデータ線と上記液晶素子との接続状態を切り替えるように設けられ、そして、第 2 画素部の第 2 のスイッチング素子が第 2 ゲート線に印加される制御信号に応答して第 $k + 2$ 列目のデータ線と上記液晶素子との接続状態を切り替えるように設けられている場合について説明する。

[0012] 第 1 の駆動期間においては、 m 本の第 1 のゲート線のいずれか 1 本に制御信号が印加される一方で m 本の第 2 のゲート線のいずれにも制御信号が印加されず、一方、第 2 の駆動期間においては、 m 本の第 2 のゲート線のいずれか 1 本に制御信号が印加される一方で m 本の第 1 のゲート線のいずれにも制御信号が印加されないように駆動が行われる。そのため、第 1 の駆動期間においては、第 1 及び第 2 画素部に対応する第 1 のゲート線が選択されて制御信号が印加されると、第 1 画素部では、その制御信号に応答して第 1 のスイッチング素子がオンとなり、正極性のデータ信号が印加された第 k 列目のデータ線を介して液晶素子には正の駆動電圧が印加されることとなる。また、第 2 画素部では、その制御信号に応答して第 1 のスイッチング素子がオンとなり、負極性のデータ信号が印加された第 $k + 1$ 列目のデータ線を介して液晶素子には負の駆動電圧が印加されることとなる。第 2 の駆動期間においては、第 1 及び第 2 画素部に対応する第 2 のゲート線が選択されて制御信号が印加されると、第 1 画素部では、その制御信号に応答して第 2 のスイッチング素子がオンとなり、負極性のデータ信号が印加された第 $k + 1$ 列目のデータ線を介して液晶素子には負の駆動電圧が印加されることとなる。また、第 2 画素部では、その制御信号に応答して第 2 のスイッチング素子がオンとなり、正極性のデータ信号が印加された第 $k + 2$ 列目のデータ線を介して液晶素子には正の駆動電圧が印加されることとなる。

[0013] したがって、上記の構成のアクティブマトリクス基板によれば、第 1 の駆動期間では、第 1 画素部、第 2 画素部にはそれぞれ正、負の駆動電圧が印加され、第 2 の駆動期間では、第 1 画素部、第 2 画素部にはそれぞれ負、正の駆動電圧が印加されることとなるので、各画素部においてフレーム毎に印加

される電圧の極性を反転させてドット反転駆動を行うことができ、結果として、フリッカや輝度ムラが視認されにくく、高品質の表示が得られる。

[0014] なお、第1画素部の第1のスイッチング素子が第2ゲート線に印加される制御信号に応答して第 k 列目のデータ線と上記液晶素子との接続状態を切り替えるように設けられ、第1画素部の第2のスイッチング素子が第1ゲート線に印加される制御信号に応答して第 $k+1$ 列目のデータ線と上記液晶素子との接続状態を切り替えるように設けられ、第2画素部の第1のスイッチング素子が第2ゲート線に印加される制御信号に応答して第 $k+1$ 列目のデータ線と上記液晶素子との接続状態を切り替えるように設けられ、そして、第2画素部の第2のスイッチング素子が第1ゲート線に印加される制御信号に応答して第 $k+2$ 列目のデータ線と上記液晶素子との接続状態を切り替えるように設けられている場合についても、同様に、ドット反転駆動を行うことができる。

[0015] このとき、各データ線に印加されるデータ信号の極性を1フレーム毎に充放電させて反転させることなく、隣接する第1画素部と第2画素部のそれぞれの液晶素子に印加する駆動電圧の極性を逆転させることができるので、駆動で消費される電力を抑制することができる。

[0016] また、上記の構成によれば1つの画素部に2つのスイッチング素子が設けられているが、1本のデータ線（ここでは、第 $k+1$ 列目のデータ線（ $1 \leq k < n$ ））は、第 k 列目の画素列に含まれる画素部（第1画素部）の第2スイッチング素子にデータ信号を与える一方、第 $k+1$ 列目の画素列に含まれる画素部（第2画素部）の第1スイッチング素子にデータ信号を与えるように構成されているので、隣接する画素列を区画する各部分にデータ線が1本ずつ配置されていればよい。このため、第1及び第2のスイッチング素子を各々駆動するために1つの画素列あたり2本のデータ線を配置する必要がなく、アクティブマトリクス基板の開口率を大きく確保でき、その結果として、バックライトの消費電力を抑制することができる。

[0017] さらに、上記の構成によれば、 $n+1$ 本のデータ線は正極性のデータ信号

が印加されるデータ線と負極性のデータ信号が印加されるデータ線が交互に並ぶように配置されているので、これらのデータ線を単一種類のデータドライバで駆動することが可能であり、複数種類のデータドライバを設ける場合よりもデータドライバ駆動のための消費電力を抑制することができる。また、複数種類のデータドライバを設ける場合よりも製造コストを低減することができる。さらに、複数種類のデータドライバを設ける場合よりも狭額縁化することができる。

[0018] 本発明のアクティブマトリクス基板は、列方向に隣接する画素部において、上記第1スイッチング素子同士または上記第2スイッチング素子同士が上記第1のゲート線及び／または第2のゲート線を挟んで両側に対向して配置されることが好ましい。

[0019] 本発明のアクティブマトリクス基板は、上記第1のゲート線と上記第2のゲート線とが列方向において交互に並ぶように配置されることが好ましい。

[0020] 上記の構成によれば、第1のゲート線と第2のゲート線の一对が各画素部を列方向に区画するように配置されることとなる。第1の駆動期間では第1のゲート線に制御信号が印加される一方、第2ゲート線には制御信号が印加されず、第2の駆動期間では第2のゲート線に制御信号が印加される一方、第1ゲート線には制御信号が印加されない。つまり、第1のゲート線と第2のゲート線には同一フレーム内に両ゲート線に対し制御信号が印加されることがないので、第1のゲート線と第2のゲート線の一对が各画素部を列方向に区画するように両者の一对が近くに配置されても、第1のゲート線と第2のゲート線との間での寄生容量による駆動特性の劣化を抑制することができる。

[0021] 本発明のアクティブマトリクス基板は、上記第1スイッチング素子及び上記第2スイッチング素子のそれぞれが酸化物半導体膜を備えた薄膜トランジスタ（Thin Film Transistor、以下「TFT」とも称する）であることが好ましい。

[0022] 上記の構成によれば、第1スイッチング素子及び第2スイッチング素子の

それぞれが酸化物半導体膜を備えたTFTであるので、高速書き込み駆動が可能となり、画面の輝度変化を抑制することができると共に、書き込み休止期間のTFTオフリークによる画素電位変化を低減することができる。そのため、フリッカによる表示の劣化をさらに抑制することができる。

[0023] 本発明の液晶表示装置は、上述した本発明のアクティブマトリクス基板と、

行方向において正極性のデータ信号の印加の対象となるデータ線と負極性のデータ信号の印加の対象となるデータ線とが交互に並ぶように、各データ信号を上記 $n + 1$ 本のデータ線にそれぞれ印加するデータドライバと、

第1の駆動期間では、上記 m 本の第1のゲート線のいずれか1本に上記第1のスイッチング素子に送信する制御信号を印加し、第2の駆動期間では、上記 m 本の第1のゲート線のいずれにも制御信号を印加しない第1のゲートドライバと、

上記第1の駆動期間では、上記 m 本の第2のゲート線のいずれにも制御信号を印加せず、上記第2の駆動期間では、上記 m 本の第2のゲート線のいずれか1本に上記第2のスイッチング素子に送信する制御信号を印加する第2のゲートドライバと、

を備えることを特徴とする。

[0024] 上記の構成によれば、データドライバが正極性のデータ信号の印加の対象となるデータ線と負極性のデータ信号の印加の対象となるデータ線とが行方向に交互に並ぶように、各データ信号を上記 $n + 1$ 本のデータ線にそれぞれ印加し、且つ、第1ゲートドライバ及び第2ゲートドライバは、第1の駆動期間においては、上記 m 本の第1のゲート線のいずれか1本に上記第1のスイッチング素子に送信する制御信号を印加する一方で m 本の第2のゲート線のいずれにも制御信号を印加せず、第2の駆動期間においては、上記 m 本の第2のゲート線のいずれか1本に上記第2のスイッチング素子に送信する制御信号を印加する一方で m 本の第1のゲート線のいずれにも制御信号を印加しないので、隣接する画素部同士で逆極性の電圧を印加することができ、ま

た、各駆動期間毎に各画素部の極性を反転するドット反転駆動を行うことができる。

- [0025] また、上記の構成によれば、単一種類のデータドライバが、行方向において正極性のデータ信号の印加の対象となるデータ線と負極性のデータ信号の印加の対象となるデータ線とが交互に並ぶように、各データ信号を上記 $n + 1$ 本のデータ線にそれぞれ印加するので、複数種類のデータドライバを設ける場合よりもデータドライバ駆動のための消費電力を抑制することができる。また、複数種類のデータドライバを設ける場合よりも製造コストを低減することができる。また、複数種類のデータドライバを設ける場合よりも狭額縁化することができる。

発明の効果

- [0026] 本発明のアクティブマトリクス基板は、画素部の m 行の画素行にそれぞれ対応する m 本の第 1 のゲート線及び m 本の第 2 のゲート線が行方向に沿って互いに並行して延びるように配置され、画素部の n 列の画素列を区画するように延びる $n + 1$ 本のデータ線が正極性のデータ信号が印加されるデータ線と負極性のデータ信号が印加されるデータ線とが交互に並ぶように配置され、各画素部が、液晶素子と、第 1 及び第 2 のゲート線のうち一方に印加される制御信号に応答して第 k 列目のデータ線と液晶素子との接続状態を切り替える第 1 のスイッチング素子と、第 1 及び第 2 のゲート線のうち他方に印加される制御信号に応答して第 $k + 1$ 列目のデータ線と液晶素子との接続状態を切り替える第 2 のスイッチング素子と、を含むので、第 1 の駆動期間において第 1 のゲート線に制御信号を印加して第 1 のスイッチング素子をオンにし、次いで、第 2 の駆動期間において第 2 のゲート線に制御信号を印加して第 2 のスイッチング素子をオンにすることにより、隣接する画素部の液晶素子に印加される電圧を逆極性とすることができると共に、各液晶素子に印加される電圧の極性を 1 駆動期間毎に反転することができる。つまり、ドット反転駆動を行うことができる。そして、このようにアクティブマトリクス基板の駆動を行うことにより、各データ線に印加されるデータ信号の極性を充

放電させて反転させることなく各液晶素子に印加される電圧の極性を反転することができるので、駆動電力を抑制することができる。

[0027] また、本発明によれば1つの画素部に2つのスイッチング素子が設けられているが、1本のデータ線（ここでは、第 $k+1$ 列目のデータ線（ $1 \leq k < n$ ））は、第 k 列目の画素列に含まれる画素部の第2スイッチング素子に制御信号を与える一方で第 $k+1$ 列目の画素列に含まれる画素部の第1スイッチング素子に制御信号を与えるように構成されている、或いは、第 k 列目の画素列に含まれる画素部の第1スイッチング素子に制御信号を与える一方で第 $k+1$ 列目の画素列に含まれる画素部の第2スイッチング素子に制御信号を与えるように構成されているので、隣接する画素列を区画する各部分にデータ線が1本ずつ配置されていればよい。このため、第1及び第2のスイッチング素子を各々駆動するために1つの画素列あたり2本のデータ線を配置する必要が無く、アクティブマトリクス基板の開口率を大きく確保でき、その結果として、バックライトの消費電力を抑制することができる。

[0028] さらに、本発明によれば、 $n+1$ 本のデータ線が正極性のデータ信号が印加されるデータ線と負極性のデータ信号が印加されるデータ線とが交互に並ぶように配置されているので、これらのデータ線を単一種類のデータドライバで駆動することが可能であり、複数種類のデータドライバを設ける場合よりもデータドライバ駆動のための消費電力を抑制することができる。また、複数種類のデータドライバを設ける場合よりも製造コストを低減することができる。さらに、複数種類のデータドライバを設ける場合よりも狭額縁化することができる。

図面の簡単な説明

[0029] [図1]実施形態1の液晶表示装置の概略構成図である。

[図2]図1のうち4つの画素部 P_{jk} , $P_{j(k+1)}$, $P_{(j+1)k}$, $P_{(j+1)(k+1)}$ の領域の拡大図である。

[図3]実施形態1の動作タイミングチャートである。

[図4]実施形態1の動作説明のための（a）第1の駆動期間及び（b）第2の

駆動期間におけるイメージ図である。

[図5] 1 フレームの書き込み時間が (a) A [m s e c]、(b) $2/3 \times A$ [m s e c]、及び (c) $1/2 \times A$ [m s e c] における書き込み時間とパネル表面輝度の関係を示すグラフである。

[図6] 変形例の液晶表示装置の概略構成図である。

発明を実施するための形態

[0030] 以下、図面を参照して本発明の実施の形態について説明する。

[0031] <実施形態 1>

図 1 は、液晶表示装置 10 の概略構成を示す。

[0032] 液晶表示装置 10 は、装置全体の基準電圧を生成し出力する基準電圧作成回路 11 と、基準電圧作成回路 11 からの電圧信号を電流増幅して後述のデータドライバ 15 へと出力する電流アンプ 12 と、コントローラ (不図示) からの水平同期信号に基づいて複数本の第 1 ゲート線 $G_a(1)$, $G_a(2)$, ... (以下、複数本の第 1 ゲート線をまとめて第 1 ゲート線 G_a と称することもある。) のそれぞれを制御する第 1 ゲートドライバ 13 と、水平同期信号に基づいて複数本の第 2 ゲート線 $G_b(1)$, $G_b(2)$, ... (以下、複数本の第 2 ゲート線をまとめて第 2 ゲート線 G_b と称することもある。) のそれぞれを制御する第 2 ゲートドライバ 14 と、水平同期信号に基づいて複数本のデータ線 $D(1)$, $D(2)$, ... (以下、複数本のデータ線をまとめてデータ線 D と称することもある。) のそれぞれにデータ信号を印加する単一種類のデータドライバ 15 と、を備える。データドライバ 15 は、1 つのデータドライバで構成されていてもよく、全て同種類のデータドライバを組み合わせで構成されていてもよい。なお、第 1 ゲート線 G_a 、第 2 ゲート線 G_b 及びデータ線 D は、アクティブマトリクス基板 20 上に形成されている。

[0033] (アクティブマトリクス基板 20)

アクティブマトリクス基板 20 には、 $m \times n$ 個の画素部 $P11$, $P12$, ... (以下、複数の画素部をまとめて画素部 P と称することもある。) が m 行 $\times$ n 列のマトリクス状に配列されている。ここで、 m , n は 2 以上の整数とする

。これらの $m \times n$ 個の画素部 P のそれぞれは、 $1 \leq j \leq m$ 及び $1 \leq k \leq n + 1$ である整数 j 、 k において、第 j 行目の画素行と第 k 列目の画素列の交差する領域に画素部 P_{jk} が配置されている。

[0034] 複数本の第1ゲート線 G_a は、 $m \times n$ 個の画素部の m 行の画素行にそれぞれ対応し、行方向に沿って互いに並行して延びるように、 m 本設けられている。これらの m 本の第1ゲート線 G_a のそれぞれは、第 j 行目に第1ゲート線 $G_a(j)$ が配置されている。複数本の第2ゲート線 G_b は、 $m \times n$ 個の画素部の m 行の画素行にそれぞれ対応し、行方向に沿って互いに並行して延びるように、 m 本設けられている。これらの m 本の第2ゲート線 G_b のそれぞれは、第 j 行目に第2ゲート線 $G_b(j)$ が配置されている。そして、第 j 行目の第1ゲート線 $G_a(j)$ と第2ゲート線 $G_b(j)$ のそれぞれは、列方向に互いに離間するように配置されている。

[0035] 複数本のデータ線 D は、 $m \times n$ 個の画素部 P の n 列の画素列を区画するように列方向に沿って互いに並行して延びるように、 $n + 1$ 本設けられている。これらの $n + 1$ 本のデータ線 D のそれぞれは、第 k 列目にデータ線 $D(k)$ が配置されている。 $n + 1$ 本のデータ線 D は、正極性のデータ信号が印加されるものと負極性のデータ信号が印加されるものとを含み、正極性のデータ信号が印加されるデータ線と負極性のデータ信号が印加されるデータ線とが交互に並ぶように配置されている。

[0036] (画素部 P)

次に、図2を用いて各画素部 P の構成について説明する。各画素部 P は、液晶素子21、第1のスイッチング素子である第1TFT22、第2のスイッチング素子である第2TFT23、及びメモリ用の蓄積コンデンサ24を備える。第1TFT22、第2TFTは、それぞれ、半導体膜として酸化物半導体膜を備える。酸化物半導体膜としては、例えば、インジウムガリウム亜鉛複合酸化物(IGZO)等が挙げられる。

[0037] 液晶素子21は、一方の端子が対向電極に接続されている。

[0038] 蓄積コンデンサ24は、一方の端子が第1TFT22及び第2TFT23

の共通のソース 22 S、23 S に接続され、他方の端子が対向電極に接続されている。

[0039] 以下、 $1 \leq j < m$ 、 $1 \leq k < n$ である整数 k 、 n において、第 j 行目～第 $j + 1$ 行目の画素行と第 k 列目～第 $k + 1$ 列目の画素列の交差する領域に位置する4個の画素部 P_{jk} 、 $P_{j(k+1)}$ 、 $P_{(j+1)k}$ 、 $P_{(j+1)(k+1)}$ における第1 TFT 22 及び第2 TFT 23 について詳細に説明する。

[0040] (画素部 P_{jk})

第1 TFT 22 は、第1 ゲート線 $G_a(j)$ 及び第2 ゲート線 $G_b(j)$ の間に配置されている。第1 TFT 22 は、第1 ゲート線 $G_a(j)$ に印加される制御信号に応答して第 k 列目のデータ線 $D(k)$ と液晶素子 21 (液晶素子 CL_a) との接続状態を切り替えられるように、ゲート 22 G が第 j 行目の第1 ゲート線 $G_a(j)$ に接続され、ドレイン 22 D が第 k 列目のデータ線 $D(k)$ に接続され、ソース 22 S が液晶素子 21 の他方の端子に接続されている。

[0041] 第2 TFT 23 は、第1 ゲート線 $G_a(j)$ 及び第2 ゲート線 $G_b(j)$ の間に配置されている。第2 TFT 23 は、第2 ゲート線 $G_b(j)$ に印加される制御信号に応答して第 $k + 1$ 列目のデータ線 $D(k+1)$ と液晶素子 21 との接続状態を切り替えられるように、ゲート 23 G が第 j 行目の第2 ゲート線 $G_b(j)$ に接続され、ドレイン 23 D が第 $k + 1$ 列目のデータ線 $D(k+1)$ に接続され、ソース 23 S が液晶素子 21 の他方の端子に接続されている。

[0042] (画素部 $P_{j(k+1)}$)

第1 TFT 22 は、第1 ゲート線 $G_a(j)$ に印加される制御信号に応答して第 $k + 1$ 列目のデータ線 $D(k+1)$ と液晶素子 21 (液晶素子 CL_b) との接続状態を切り替えられるように、ゲート 22 G が第 j 行目の第1 ゲート線 $G_a(j)$ に接続され、ドレイン 22 D が第 $k + 1$ 列目のデータ線 $D(k+1)$ に接続され、ソース 22 S が液晶素子 21 の他方の端子に接続されている。

[0043] 第2 TFT 23 は、第2 ゲート線 $G_b(j)$ に印加される制御信号に応答して第 $k + 2$ 列目のデータ線 $D(k+2)$ と液晶素子 21 との接続状態を切り替えられるように、ゲート 23 G が第 j 行目の第2 ゲート線 $G_b(j)$ に接続され、ドレ

イン 2 3 D が第 $k + 2$ 列目のデータ線 $D(k+2)$ に接続され、ソース 2 3 S が液晶素子 2 1 の他方の端子に接続されている。

[0044] (画素部 $P(j+1)k$)

第 1 T F T 2 2 は、第 2 ゲート線 $G_b(j+1)$ に印加される制御信号に応答して第 k 列目のデータ線 $D(k)$ と液晶素子 2 1 (液晶素子 CL_c) との接続状態を切り替えられるように、ゲート 2 2 G が第 $j + 1$ 行目の第 2 ゲート線 $G_b(j+1)$ に接続され、ドレイン 2 2 D が第 k 列目のデータ線 $D(k)$ に接続され、ソース 2 2 S が液晶素子 2 1 の他方の端子に接続されている。

[0045] 第 2 T F T 2 3 は、第 1 ゲート線 $G_a(j+1)$ に印加される制御信号に応答して第 $k + 1$ 列目のデータ線 $D(k+1)$ と液晶素子 2 1 との接続状態を切り替えられるように、ゲート 2 3 G が第 $j + 1$ 行目の第 1 ゲート線 $G_a(j+1)$ に接続され、ドレイン 2 3 D が第 $k + 1$ 列目のデータ線 $D(k+1)$ に接続され、ソース 2 3 S が液晶素子 2 1 の他方の端子に接続されている。

[0046] (画素部 $P(j+1)(k+1)$)

第 1 T F T 2 2 は、第 2 ゲート線 $G_b(j+1)$ に印加される制御信号に応答して第 $k + 1$ 列目のデータ線 $D(k+1)$ と液晶素子 2 1 (液晶素子 CL_d) との接続状態を切り替えられるように、ゲート 2 2 G が第 $j + 1$ 行目の第 2 ゲート線 $G_b(j+1)$ に接続され、ドレイン 2 2 D が第 $k + 1$ 列目のデータ線 $D(k+1)$ に接続され、ソース 2 2 S が液晶素子 2 1 の他方の端子に接続されている。

[0047] 第 2 T F T 2 3 は、第 1 ゲート線 $G_a(j+1)$ に印加される制御信号に応答して第 $k + 2$ 列目のデータ線 $D(k+2)$ と液晶素子 2 1 との接続状態を切り替えられるように、ゲート 2 3 G が第 $j + 1$ 行目の第 1 ゲート線 $G_a(j+1)$ に接続され、ドレイン 2 3 D が第 $k + 2$ 列目のデータ線 $D(k+2)$ に接続され、ソース 2 3 S が液晶素子 2 1 の他方の端子に接続されている。

[0048] (動作)

次に、図 3 を参照して、液晶表示装置 1 0 の動作について説明する。ここでは、表示データとして全面点灯のデータが入力されるものとする。

[0049] $n + 1$ 本のデータ線 D は、常に正極性のデータ信号が印加されるデータ線

と、常に負極性のデータ信号が印加されるデータ線とが行方向に交互に並ぶように配置されている。つまり、データドライバ15は、奇数である整数 o ($1 \leq o \leq n+1$) に対して第 o 列目のデータ線 $D(o)$ には常に正極性のデータ信号を印加しかつ偶数である整数 e ($2 \leq e \leq n+1$) に対して第 e 列目のデータ線 $D(e)$ には常に負極性のデータ信号を印加する、或いは、奇数である整数 o ($1 \leq o \leq n+1$) に対して第 o 列目のデータ線 $D(o)$ には常に負極性のデータ信号を印加しかつ偶数である整数 e ($2 \leq e \leq n+1$) に対して第 e 列目のデータ線 $D(e)$ には常に正極性のデータ信号を印加する。ここでは、図3に示すように、データ線 $D(k)$, $D(k+2)$ には常に正極性のデータ信号が印加され、データ線 $D(k+1)$ には常に負極性のデータ信号が印加されることとする。

[0050] (第1の駆動期間)

まず、時刻 t_1 から時刻 t_3 までの第1の駆動期間における動作について説明する。

[0051] はじめに、時刻 t_1 においてフレーム同期信号 FRM がHレベルになると、第1ゲートドライバ13が第1ゲート線 $G_a(j)$ を選択し、第1ゲート線 $G_a(j)$ がHレベルになる。これにより、画素部 P_{jk} の第1TFT22に第1ゲートドライバ13から制御信号が印加されてオンとなると共に、データドライバ15からデータ線 $D(k)$ を介して正極性のデータ信号が送信される。従って、第1の駆動期間中、液晶素子 CL_a には正の駆動電圧が印加されることとなる。

[0052] 同様に、時刻 t_1 において第1ゲート線 $G_a(j)$ がHレベルになると、画素部 $P_{j(k+1)}$ の第1TFT22に第1ゲートドライバ13から制御信号が印加されてオンとなると共に、データドライバ15からデータ線 $D(k+1)$ を介して負極性のデータ信号が送信される。従って、第1の駆動期間中、液晶素子 CL_b には負の駆動電圧が印加されることとなる。

[0053] その後、時刻 t_2 において第1ゲートドライバ13が第1ゲート線 $G_a(j+1)$ を選択すると、第1ゲート線 $G_a(j+1)$ がHレベルになる。これにより、画

素部 $P(j+1)k$ の第 2 TFT 23 に第 1 ゲートドライバ 13 から制御信号が印加されてオンとなると共に、データドライバ 15 からデータ線 $D(k+1)$ を介して負極性のデータ信号が送信される。従って、第 1 の駆動期間中、液晶素子 CLc には負の駆動電圧が印加されることとなる。

[0054] 同様に、時刻 t_2 において第 1 ゲート線 $G_a(j+1)$ が H レベルになると、画素部 $P(j+1)(k+1)$ の第 2 TFT 23 に第 1 ゲートドライバ 13 から制御信号が印加されてオンとなると共に、データドライバ 15 からデータ線 $D(k+2)$ を介して正極性のデータ信号が送信される。従って、第 1 の駆動期間中、液晶素子 CLd には正の駆動電圧が印加されることとなる。

[0055] 時刻 t_2 以降も同様にして、第 1 ゲートドライバ 13 が水平同期信号に基づいて順次第 1 ゲート線 G_a を選択し、第 1 の駆動期間中、各液晶素子に正または負の駆動電圧がそれぞれ印加される。

[0056] (第 2 の駆動期間)

次に、時刻 t_3 から時刻 t_5 までの第 2 の駆動期間における動作について説明する。

[0057] 時刻 t_3 においてフレーム同期信号 FRM が H レベルになると、第 2 ゲートドライバ 14 が第 2 ゲート線 $G_b(j)$ を選択し、第 2 ゲート線 $G_b(j)$ が H レベルになる。これにより、画素部 Pjk の第 2 TFT 23 に第 2 ゲートドライバ 14 から制御信号が印加されてオンとなると共に、データドライバ 15 からデータ線 $D(k+1)$ を介して負極性のデータ信号が送信される。従って、第 2 の駆動期間中、液晶素子 CLa には負の駆動電圧が印加されることとなる。

[0058] 同様に、時刻 t_3 において第 2 ゲート線 $G_b(j)$ が H レベルになると、画素部 $Pj(k+1)$ の第 2 TFT 23 に第 2 ゲートドライバ 14 から制御信号が印加されてオンとなると共に、データドライバ 15 からデータ線 $D(k+2)$ を介して正極性のデータ信号が送信される。従って、第 2 の駆動期間中、液晶素子 CLb には正の駆動電圧が印加されることとなる。

[0059] その後、時刻 t_4 において第 2 ゲートドライバ 14 が第 2 ゲート線 $G_b(j+1)$ を選択すると、第 2 ゲート線 $G_b(j+1)$ が H レベルになる。これにより、画

素部 $P(j+1)k$ の第 1 TFT 22 に第 2 ゲートドライバ 14 から制御信号が印加されてオンとなると共に、データドライバ 15 からデータ線 $D(k)$ を介して正極性のデータ信号が送信される。従って、第 2 の駆動期間中、液晶素子 CLc には正の駆動電圧が印加されることとなる。

[0060] 同様に、時刻 t_4 において第 2 ゲート線 $G_b(j+1)$ が H レベルになると、画素部 $P(j+1)(k+1)$ の第 1 TFT 22 に第 2 ゲートドライバ 14 から制御信号が印加されてオンとなると共に、データドライバ 15 からデータ線 $D(k+1)$ を介して負極性のデータ信号が送信される。従って、第 2 の駆動期間中、液晶素子 CLd には負の駆動電圧が印加されることとなる。

[0061] 時刻 t_4 以降も同様にして、第 2 ゲートドライバ 14 が水平同期信号に基づいて順次第 2 ゲート線 G_b を選択し、第 2 の駆動期間中、各液晶素子に正または負の駆動電圧がそれぞれ印加される。

[0062] また、時刻 t_5 以降の駆動期間においては、上記説明した第 1 の駆動期間と第 2 の駆動期間の動作が順番に繰り返される。

[0063] 以上説明したように、データ線 $D(k)$ 及びデータ線 $D(k+2)$ に常に正極性のデータ信号を印加し、データ線 $D(k+1)$ に常に負極性のデータ信号を印加することにより、第 1 の駆動期間においては、図 4 (a) に示すように、液晶素子 CLa 、 CLb 、 CLc 、及び CLd にはそれぞれ正、負、負、及び正の駆動電圧が印加され、第 2 の駆動期間においては、図 4 (b) に示すように、液晶素子 CLa 、 CLb 、 CLc 、及び CLd にはそれぞれ負、正、正、及び負の駆動電圧が印加される。従って、各データ線 D へ印加するデータ信号の極性を反転させることなく、隣接する液晶素子同士で逆極性とすることができ、また、各液晶素子 CLa 、 CLb 、 CLc 、 CLd において印加される電圧の極性を 1 フレームごとに反転することができる。

[0064] なお、上記実施形態では、第 1 ゲートドライバ 13、第 2 ゲートドライバ 14 及びデータドライバ 15 はアクティブマトリクス基板 20 の外に設けられているとしたが、これらがアクティブマトリクス基板 20 の周辺領域に形成されていてもよい。

[0065] (実施形態 1 の効果)

実施形態 1 によれば、各データ線 D に印加されるデータ信号の極性を充放電させて反転させることなく、常に正極性のデータ信号または負極性のデータ信号を送信することにより各液晶素子 2 1 に印加される電圧の極性を反転することができるので、駆動電力の消費を抑制することができる。また、各データ線 D に印加されるデータ信号の極性を充放電させて反転させることなく各液晶素子 2 1 に印加される電圧の極性を反転することができるので、安定な制御を高速で行うことが可能となる。

[0066] さらに、実施形態 1 によれば第 1 T F T 2 2 と第 2 T F T 2 3 とが酸化物半導体膜を備えているので、高速書き込み駆動が可能となる。図 5 (a) ~ (c) は、高速書き込み後に休止する駆動においてフリッカパターンを画面表示した場合の、書き込み時間とパネル表面輝度の関係を示す。図 5 (a) の各フレーム毎の書き込み時間を A [m s e c] として、図 5 (b) は書き込み時間が $2/3 \times A$ [m s e c]、図 5 (c) は書き込み時間が $1/2 \times A$ [m s e c] の場合を示す。図 5 より、各フレーム毎の書き込み時間が短くなるほど輝度の振幅が小さくなり、画面輝度のチラツキが低減されることが知られている。従って、高速で書き込みを行うことにより、画面の輝度変化を抑制することができると共に、書き込み休止期間の T F T オフリークによる画素電位変化を低減することができる。そのため、フリッカによる表示の劣化をさらに抑制することができる。

[0067] また、実施形態 1 によれば、1つの画素部 P に2つの T F T (第 1 T F T 2 2 及び第 2 T F T 2 3) が設けられているが、1本のデータ線 D (ここでは、例えば第 $k + 1$ 列目のデータ線 D ($k+1$)) は、第 k 列目の画素列に含まれる画素部 P $j k$ の第 2 T F T 2 3 にデータ信号を与える一方で第 $k + 1$ 列目の画素列に含まれる画素部 P $j (k+1)$ の第 1 T F T 2 2 にデータ信号を与えるように構成されている、或いは、第 k 列目の画素列に含まれる画素部 P ($j+1$) k の第 1 T F T 2 2 にデータ信号を与える一方で第 $k + 1$ 列目の画素列に含まれる画素部 P ($j+1$) ($k+1$) の第 2 T F T 2 3 にデータ信号を与えるように構成

されているので、隣接する画素列（第 k 列目及び第 $k+1$ 列目）を区画する各部分にデータ線 D が1本ずつ配置されていればよい。このため、第1 TFT 22及び第2 TFT 23を各々駆動するために1つの画素列あたり2本のデータ線を配置する必要が無く、アクティブマトリクス基板20の開口率を大きく確保でき、その結果として、バックライトの消費電力を抑制することができる。

[0068] さらに、実施形態1によれば、 $n+1$ 本のデータ線 D は、正極性のデータ信号が印加されるデータ線と負極性のデータ信号が印加されるデータ線が交互に並ぶように配置されているので、これらのデータ線 D を単一種類のデータドライバ15で駆動することが可能であり、複数種類のデータドライバを設ける場合よりもデータドライバ15の駆動のための消費電力を抑制することができる。また、複数種類のデータドライバを設ける場合よりも製造コストを低減することができる。さらに、複数種類のデータドライバを設ける場合よりも狭額縁化することができる。

[0069] 実施形態1によれば、本発明のアクティブマトリクス基板20は、第1ゲート線 G_a 及び第2ゲート線 G_b は、アクティブマトリクス基板20上において、列方向に交互に並ぶように配置されている。これにより、第1ゲート線 $G_a(j+1)$ と第2ゲート線 $G_b(j)$ の一对が第 j 行目の画素行と第 $j+1$ 行目の画素行を列方向に区画するように配置されることとなる。第1の駆動期間では第1ゲート線 G_a に制御信号が印加される一方で第2ゲート線 G_b には制御信号が印加されず、第2の駆動期間では第2ゲート線 G_b に制御信号が印加される一方で第1ゲート線 G_a には制御信号が印加されない。つまり、第1ゲート線 $G_a(j+1)$ と第2ゲート線 $G_b(j)$ には同一フレームに両ゲート線に対し制御信号が印加されることがないので、第1ゲート線 $G_a(j+1)$ と第2ゲート線 $G_b(j)$ の一对が第 j 行目の画素行と第 $j+1$ 行目の画素行を列方向に区画するように配置されても、一对の第1ゲート線 $G_a(j+1)$ と第2ゲート線 $G_b(j)$ 間での寄生容量による駆動特性の劣化を抑制することができる。

[0070] <変形例>

実施形態1では、第1ゲート線G a及び第2ゲート線G bがアクティブマトリクス基板20上において列方向に交互に並ぶように配置されているとしたが、図6に変形例として示すように、第1ゲート線G a及び第2ゲート線G bが交互に並ばないように配置されていてもよい。

[0071] この場合、列方向に隣接する画素部P jk、P (j+1)kにおいて、画素部P jkの第2TF T 23と画素部P (j+1)kの第1TF T 22とが、2本の第2ゲート線G b (j)、G b (j+1)を挟んで両側に対向して配置される。また、列方向に隣接する画素部P (j-1)k、P jkにおいては、画素部P (j-1)kの第2TF T 23と画素部P jkの第1TF T 22とが、2本の第1ゲート線G b (j-1)、G b (j)を挟んで両側に対向して配置される。つまり、2本の第1ゲート線G aまたは2本の第2ゲート線G bを介して第1TF T 22と第2TF T 23とが両側に対向して配置され、これにより、アクティブマトリクス基板20の開口率を大きく確保することができる。

[0072] また、実施形態1では、n+1本のデータ線Dは、常に正極性のデータ信号が印加されるデータ線及び常に負極性のデータ信号が印加されるデータ線を含むとして説明したが、あるときは、特定のデータ線D（ここではデータ線D(k)とする）に正極性のデータ信号が印加され、また別のときには、データ線D(k)に負極性のデータ信号が印加されてもよい。或いは、複数フレーム毎に、特定のデータ線D(k)に対して印加される電圧の極性が反転しても構わない。この場合でも、1フレーム毎に各データ線に印加するデータ信号の極性を反転させることなくドット反転駆動を行うことができるので、上述したように、1フレームごとにデータ線に印加する電圧の極性を反転させる場合よりも消費電力を低減することが可能となる。

産業上の利用可能性

[0073] 本発明は、アクティブマトリクス基板及び液晶表示装置について有用である。特に、本発明は、低周波数で駆動可能であって且つ画面輝度のチラツキ（フリッカ）による表示の劣化を抑制したアクティブマトリクス基板及び液

晶表示装置について有用である。

符号の説明

[0074]	D	データ線
	G a	第 1 ゲート線
	G b	第 2 ゲート線
	P	画素部
	1 0	液晶表示装置
	1 3	第 1 ゲートドライバ
	1 4	第 2 ゲートドライバ
	1 5	データドライバ
	2 0	アクティブマトリクス基板
	2 1 (C L)	液晶素子
	2 2	第 1 スイッチング素子 (第 1 T F T)
	2 3	第 2 スイッチング素子 (第 2 T F T)

請求の範囲

[請求項1] m 行 n 列 (m , n は、2 以上の整数) のマトリクス状に配列された $m \times n$ 個の画素部と、

上記 $m \times n$ 個の画素部の m 行の画素行にそれぞれ対応し、行方向に沿って互いに並行して延びると共に列方向に互いに離間する m 本の第 1 のゲート線及び m 本の第 2 のゲート線と、

正極性のデータ信号が印加されるデータ線及び負極性のデータ信号が印加されるデータ線を含み、上記 $m \times n$ 個の画素部の n 列の画素列を区画するように列方向に沿って互いに並行して延びると共に該正極性のデータ信号が印加されるデータ線と該負極性のデータ信号が印加されるデータ線とが行方向に交互に並ぶように配置される $n + 1$ 本のデータ線と、

を備え、

上記 $m \times n$ 個の画素部のうち第 k 列目 ($1 \leq k \leq n$) の画素列に含まれる m 個の画素部の各々は、

液晶素子と、

上記画素部に対応する第 1 及び第 2 ゲート線間に配置され、該第 1 及び第 2 のゲート線のうち一方に印加される制御信号に応答して、第 k 列目のデータ線と上記液晶素子との接続状態を切り替える第 1 のスイッチング素子と、

上記画素部に対応する第 1 及び第 2 ゲート線間に配置され、該第 1 及び第 2 のゲート線のうち他方に印加される制御信号に応答して、第 $k + 1$ 列目のデータ線と上記液晶素子との接続状態を切り替える第 2 のスイッチング素子と、

を含むことを特徴とするアクティブマトリクス基板。

[請求項2] 請求項 1 において、

上記第 1 のゲート線と上記第 2 のゲート線とが列方向において交互に並ぶように配置される

ことを特徴とするアクティブマトリクス基板。

[請求項3]

請求項 1 または 2 において、

上記第 1 スイッチング素子及び上記第 2 スイッチング素子のそれぞれは酸化物半導体膜を備えた薄膜トランジスタである

ことを特徴とするアクティブマトリクス基板。

[請求項4]

請求項 1 ～ 3 のいずれか 1 項に記載のアクティブマトリクス基板と

、

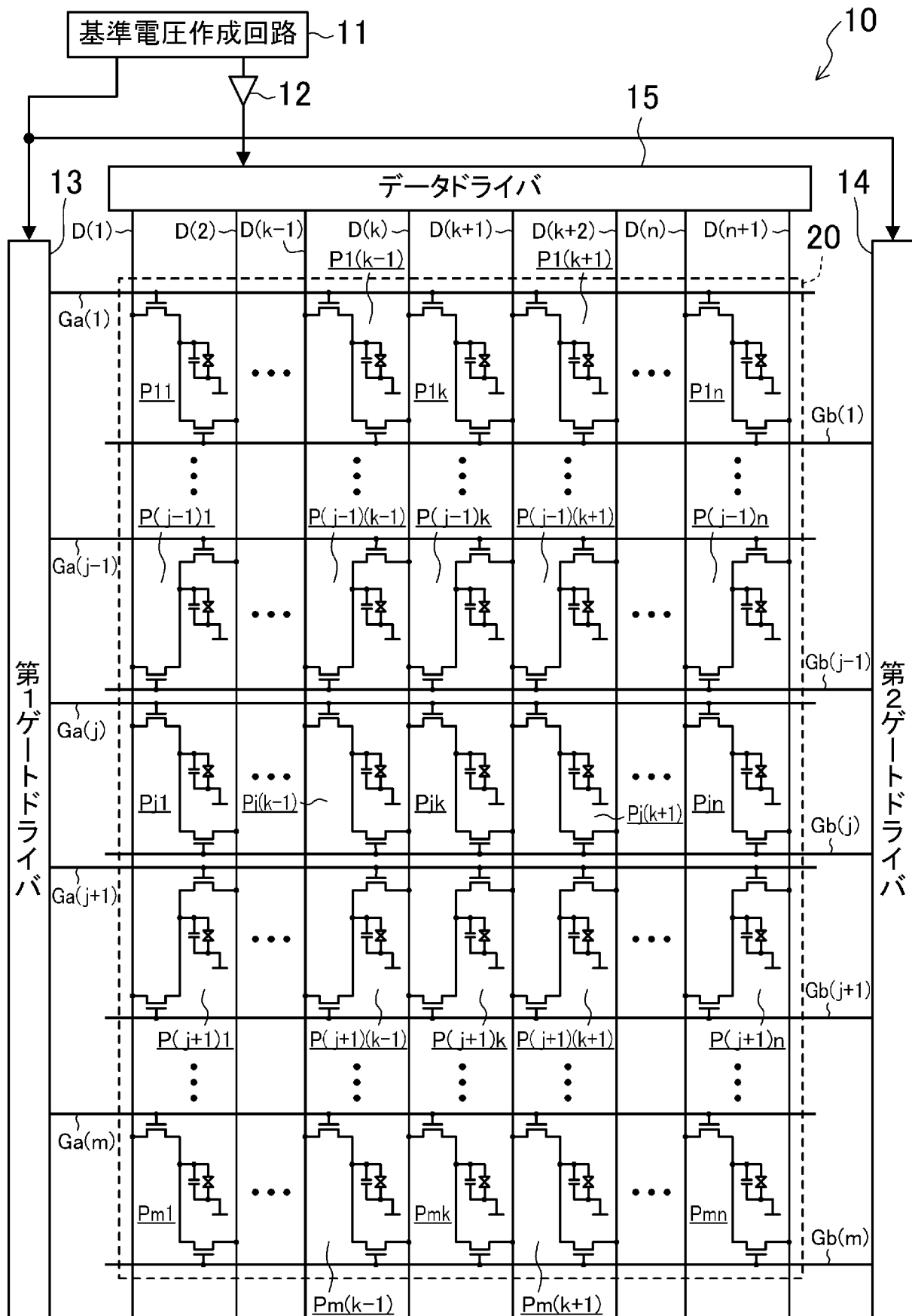
行方向において正極性のデータ信号の印加の対象となるデータ線と負極性のデータ信号の印加の対象となるデータ線とが交互に並ぶように、各データ信号を上記 $n + 1$ 本のデータ線にそれぞれ印加するデータドライバと、

第 1 の駆動期間では、上記 m 本の第 1 のゲート線のいずれか 1 本に上記第 1 のスイッチング素子に送信する制御信号を印加し、第 2 の駆動期間では、上記 m 本の第 1 のゲート線のいずれにも制御信号を印加しない第 1 のゲートドライバと、

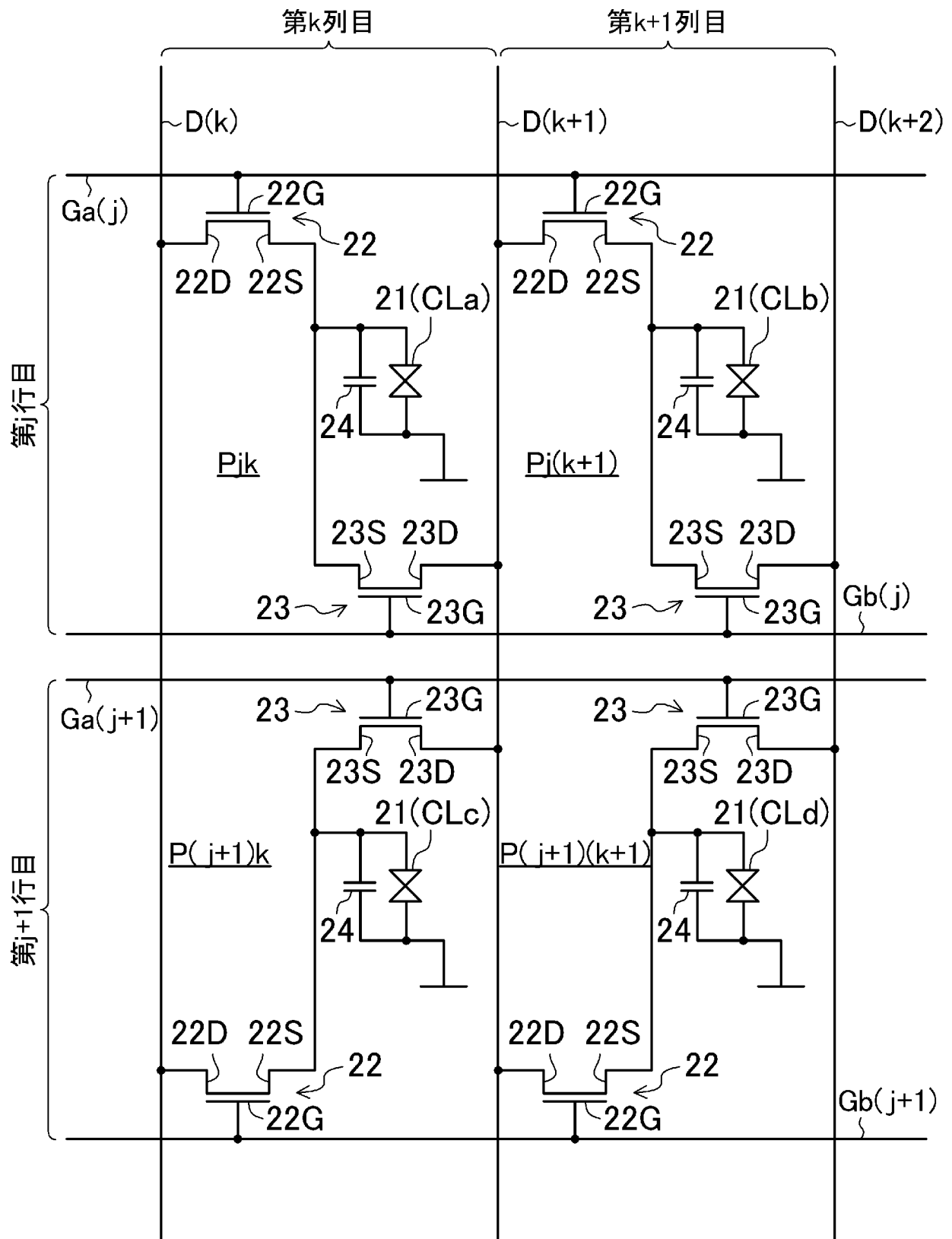
上記第 1 の駆動期間では、上記 m 本の第 2 のゲート線のいずれにも制御信号を印加せず、上記第 2 の駆動期間では、上記 m 本の第 2 のゲート線のいずれか 1 本に上記第 2 のスイッチング素子に送信する制御信号を印加する第 2 のゲートドライバと、

を備えることを特徴とする液晶表示装置。

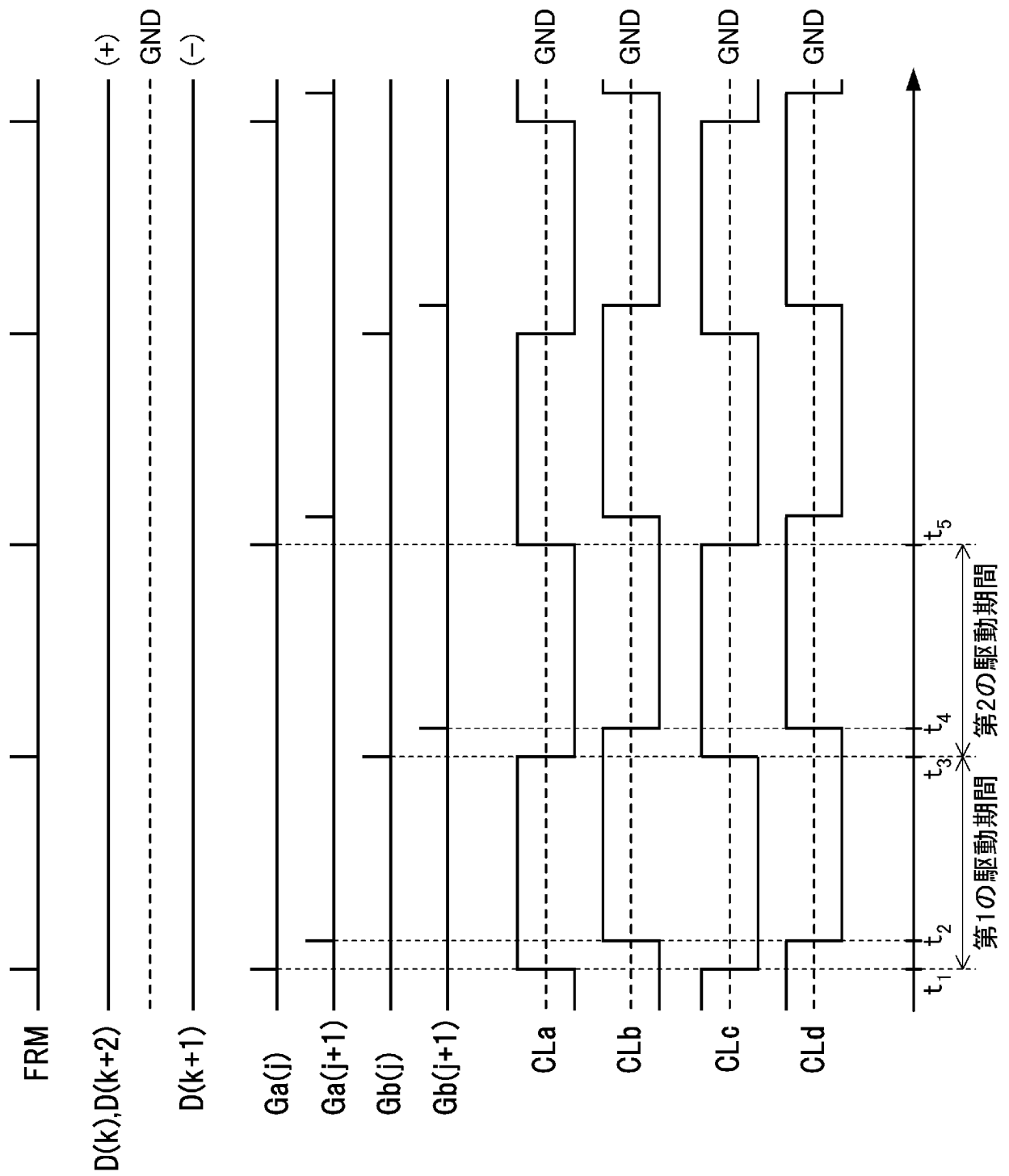
[図1]



[図2]

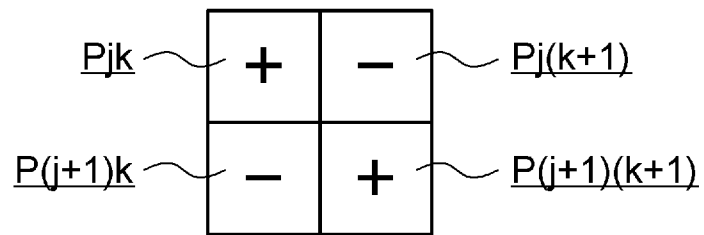


[図3]

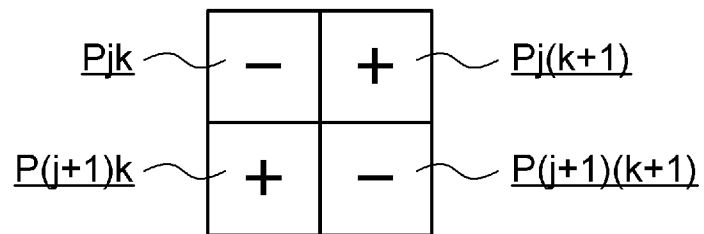


[図4]

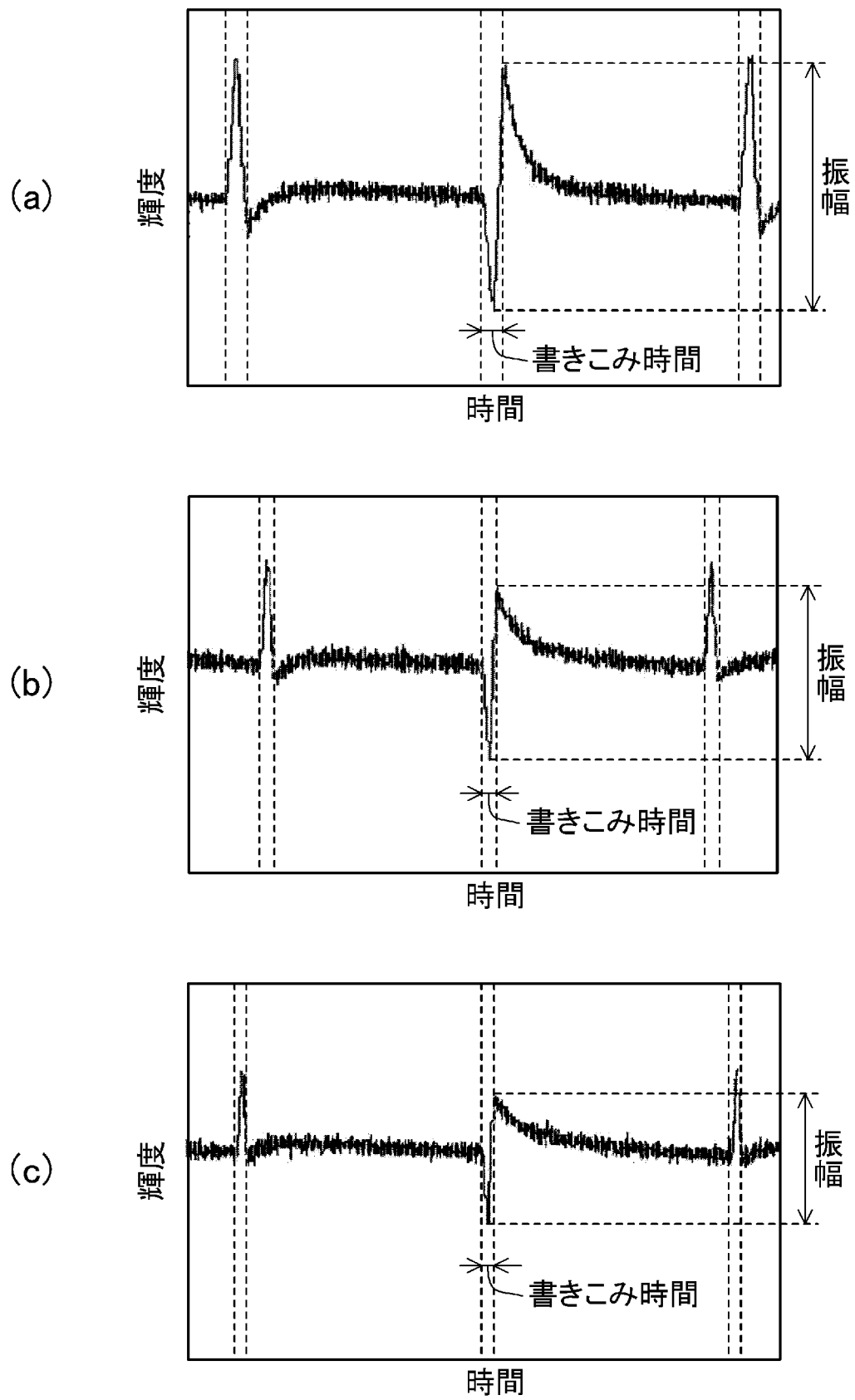
(a)



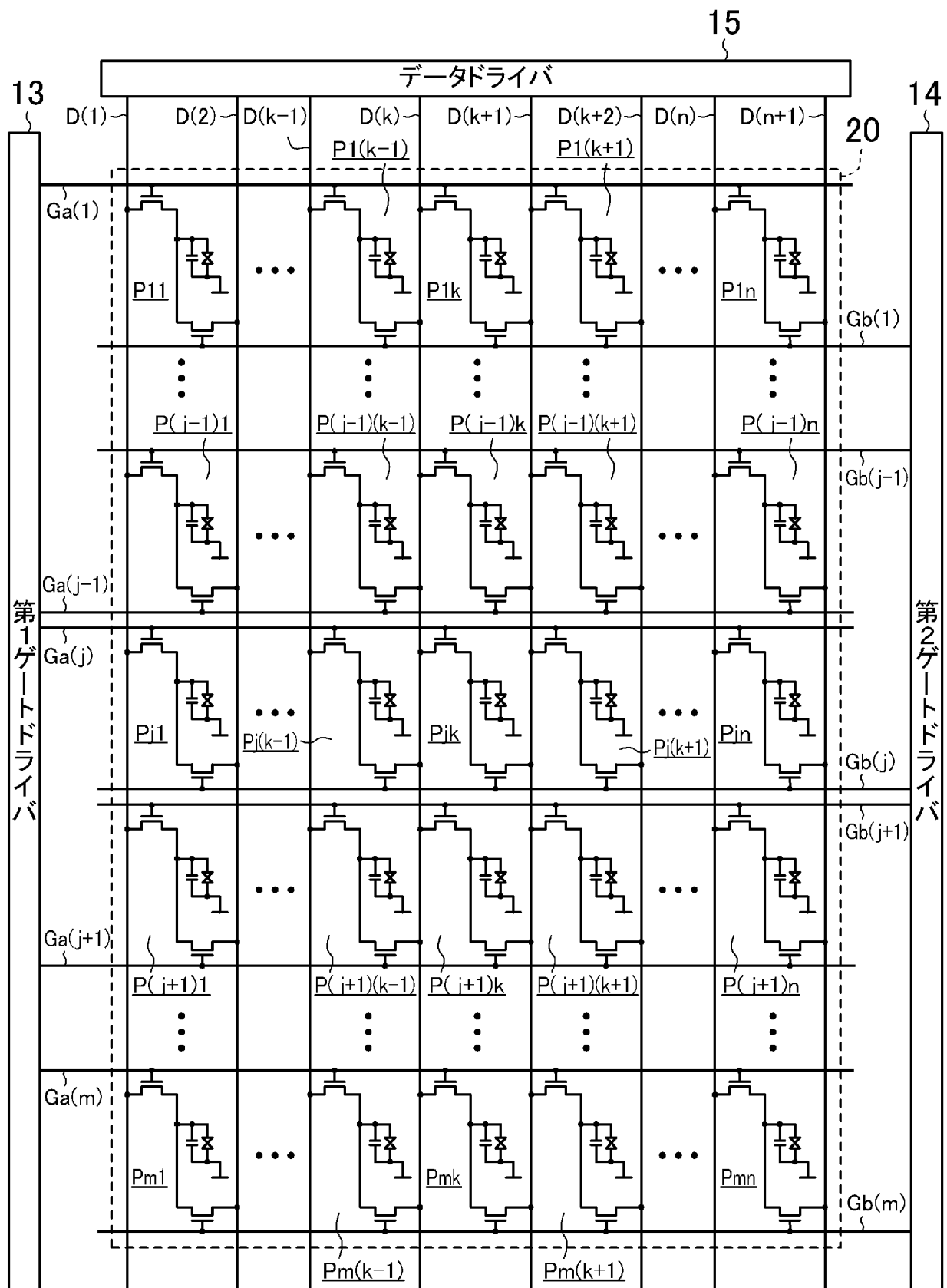
(b)



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002296

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/133, G09F9/30, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-121767 A (NEC LCD Technologies, Ltd.), 17 May 2007 (17.05.2007), Best Mode for carrying out the Invention; fig. 1 to 4 & US 2007/0097052 A1 & KR 2007-0045973 A & CN 1955824 A & TW 200727056 A	1-2 3-4
Y	JP 2010-135780 A (Semiconductor Energy Laboratory Co., Ltd.), 17 June 2010 (17.06.2010), paragraph [0003] & US 2010/0117077 A1 & KR 2010-0051560 A & CN 101740630 A & TW 201029187 A	3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 June, 2012 (07.06.12)

Date of mailing of the international search report
19 June, 2012 (19.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002296

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-139288 A (Samsung Electronics Co., Ltd.), 01 June 2006 (01.06.2006), paragraphs [0091] to [0095]; fig. 15 to 18 & US 2006/0208984 A1 & US 2011/0181583 A1 & KR 2006-0047024 A & KR 2006-0058966 A & KR 2006-0082104 A & KR 2006-0083645 A & CN 1773601 A & CN 101364395 A & TW 200630924 A	4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002296

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claim 1 is an independent claim.

Claims 2-4 are dependent claims which directly or indirectly refer to claim

1.

The invention of claim 1 is not novel, since the invention is disclosed in the prior art documents (example: JP 2007-121767 A).

Therefore, the technical feature common to claims 1-4 is not relevant to a "special technical feature" within the meaning of PCT Rule 13.2 (a technical feature which specifies a contribution which the claimed inventions make over the prior art as a whole).

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002296

Continuation of Box No.III of continuation of first sheet (2)

Since the inventions of claims 1-4 do not share a "special technical feature", it is not considered that a group of these inventions are so linked as to form a single general inventive concept.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F1/1368, G02F1/133, G09F9/30, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	J P 2 0 0 7 - 1 2 1 7 6 7 A (NEC液晶テクノロジー株式会社) 2 0 0 7 . 0 5 . 1 7, 【発明を実施するための最良の形態】, 図 1 ~ 4 & US 2007/0097052 A1 & KR 2007-0045973 A & CN 1955824 A & TW 200727056 A	1 - 2 3 - 4

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 6 . 2 0 1 2

国際調査報告の発送日

1 9 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

藤田 都志行

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

2 L

3 0 1 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 2010-135780 A (株式会社半導体エネルギー研究所) 2010.06.17, 段落【0003】 & US 2010/0117077 A1 & KR 2010-0051560 A & CN 101740630 A & TW 201029187 A	3
Y	J P 2006-139288 A (三星電子株式会社) 2006.06.01, 段落【0091】～【0095】, 図15～18 & US 2006/0208984 A1 & US 2011/0181583 A1 & KR 2006-0047024 A & KR 2006-0058966 A & KR 2006-0082104 A & KR 2006-0083645 A & CN 1773601 A & CN 101364395 A & TW 200630924 A	4

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1は独立項である。請求項2－4は、請求項1を直接的又は間接的に引用する従属項である。

請求項1に係る発明は、先行技術文献（例：JP 2007-121767 A）に開示されているので、新規ではない。

したがって、請求項1－4に共通する技術的特徴は、PCT規則13.2の「特別な技術的特徴」（クレームされた発明が全体として先行技術に対して行う貢献を明示する技術的特徴）に該当しない。

請求項1－4に係る発明は、「特別な技術的特徴」を共有していないので、これら一群の発明は単一の一般的発明概念を形成するように連関しているとは認められない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。