

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4239546号
(P4239546)

(45) 発行日 平成21年3月18日(2009.3.18)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl. F I
H03F 1/22 (2006.01) H03F 1/22

請求項の数 16 (全 19 頁)

<p>(21) 出願番号 特願2002-294395 (P2002-294395) (22) 出願日 平成14年10月8日(2002.10.8) (65) 公開番号 特開2004-134826 (P2004-134826A) (43) 公開日 平成16年4月30日(2004.4.30) 審査請求日 平成17年9月13日(2005.9.13)</p>	<p>(73) 特許権者 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 (74) 代理人 100117226 弁理士 吉村 俊一 (72) 発明者 青木 雄一 東京都港区芝五丁目7番1号 日本電気株式会社内 審査官 白井 亮</p>
---	---

最終頁に続く

(54) 【発明の名称】 電子回路

(57) 【特許請求の範囲】

【請求項1】

第1の端子と第2の端子との間の電流を第3の端子で制御できるトランジスタを用いて構成された電子回路であって、

入力信号を第3の端子で受ける入力トランジスタと、第1の端子が前記入力トランジスタの第2の端子に接続され、第3の端子が容量を介して基準電位に接続され、出力信号を第2の端子から出力する出力トランジスタとを有するカスコード増幅器、および、

制御信号を第3の端子で受ける制御トランジスタと、当該制御トランジスタの第1および第2の端子と直列に接続されたダイオードとを有する制御回路、を備え、

カスコード増幅器を構成する前記出力トランジスタの第3の端子を、前記制御回路を介して基準電位に接続することを特徴とする電子回路。

10

【請求項2】

請求項1に記載の電子回路において、前記カスコード増幅器を複数備え、それぞれのカスコード増幅器を構成する出力トランジスタの第3の端子を、該複数のカスコード増幅器が共有する前記制御回路を介して基準電位に接続することを特徴とする電子回路。

【請求項3】

請求項1に記載の電子回路において、前記カスコード増幅器と前記制御回路とを複数備え、それぞれのカスコード増幅器を構成する入力トランジスタの第3の端子に共通の入力信号が供給され、それぞれの制御回路を構成する制御トランジスタの第3の端子に供給される制御信号に応じて、前記入力信号の出力先を選択することを特徴とする電子回路。

20

【請求項 4】

請求項 1 に記載の電子回路において、前記カスコード増幅器と前記制御回路とを複数備え、それぞれのカスコード増幅器を構成する入力トランジスタを共通にし、それぞれのカスコード増幅器を構成する出力トランジスタの第 1 の端子は相互に接続されることを特徴とする電子回路。

【請求項 5】

請求項 3 または請求項 4 に記載の電子回路において、前記カスコード増幅器を構成する出力トランジスタの第 1 の端子は相互に接続され、前記制御回路を構成する制御トランジスタの第 3 の端子に供給される制御信号に応じて、前記出力トランジスタの第 2 の端子からの出力信号を変化させることを特徴とする電子回路。

10

【請求項 6】

請求項 1 から 5 のいずれか 1 項に記載の電子回路において、前記トランジスタはバイポーラトランジスタであることを特徴とする電子回路。

【請求項 7】

請求項 1 から 5 のいずれか 1 項に記載の電子回路において、前記トランジスタは電界効果トランジスタであることを特徴とする電子回路。

【請求項 8】

請求項 1 から 5 のいずれか 1 項に記載の電子回路において、前記入力トランジスタはバイポーラトランジスタであり、前記出力トランジスタは電界効果トランジスタであることを特徴とする電子回路。

20

【請求項 9】

請求項 1 から 5 のいずれか 1 項に記載の電子回路において、前記入力トランジスタは電界効果トランジスタであり、前記出力トランジスタはバイポーラトランジスタであることを特徴とする電子回路。

【請求項 10】

請求項 6 または請求項 9 に記載の電子回路において、前記ダイオードは、出力トランジスタのベースおよびエミッタと同じ層構造の p n 接合を用いることを特徴とする電子回路。

【請求項 11】

請求項 6 または請求項 9 に記載の電子回路において、前記ダイオードは、トランジスタのベースおよびエミッタ間 p n 接合を利用することを特徴とする電子回路。

30

【請求項 12】

請求項 1 から 11 のいずれか 1 項に記載の電子回路において、前記制御回路の電圧降下は、前記カスコード増幅器を構成する入力トランジスタの第 1 および第 2 端子間の電圧降下と、前記カスコード増幅器を構成する出力トランジスタの第 1 および第 3 端子間の電圧降下との和以下であり、前記入力トランジスタの第 1 および第 2 端子間の電圧降下以上であることを特徴とする電子回路。

【請求項 13】

請求項 1 から 12 のいずれか 1 項に記載の電子回路において、前記制御トランジスタの第 1 および第 2 の端子間の電流密度は、前記入力トランジスタの第 1 および第 2 端子間の電流密度より低いことを特徴とする電子回路。

40

【請求項 14】

第 1 の端子と第 2 の端子との間の電流を第 3 の端子で制御できるトランジスタを用いて構成された電子回路であって、

第 3 の端子が容量を介して基準電位に接続され、入力信号を第 1 の端子で受け、出力信号を第 2 の端子から出力する出力トランジスタと、当該出力トランジスタがオン状態のとき、当該出力トランジスタの第 1 および第 2 端子間の電流量を決める電流源トランジスタとを有し、前記出力トランジスタの第 1 の端子が前記電流源トランジスタの第 2 の端子に接続されたカスコード増幅器、および、

制御信号を第 3 の端子で受ける制御トランジスタと、当該制御トランジスタの第 1 およ

50

び第2の端子と直列に接続されたダイオードとを有する制御回路、を備え、

カスコード増幅器を構成する前記出力トランジスタの第3の端子を、前記制御回路を介して基準電位に接続することを特徴とする電子回路。

【請求項15】

第1の端子と第2の端子との間の電流を第3の端子で制御できるトランジスタを用いて構成された電子回路であって、

入力信号を第3の端子で受ける入力トランジスタと、第1の端子が前記入力トランジスタの第2の端子に接続され、第3の端子が容量を介して基準電位に接続され、出力信号を第2の端子から出力する出力トランジスタとを有する第1のカスコード増幅器、

第3の端子が容量を介して基準電位に接続され、入力信号を第1の端子で受け、出力信号を第2の端子から出力する出力トランジスタと、当該出力トランジスタがオン状態のとき、当該出力トランジスタの第1および第2端子間の電流量を決める電流源トランジスタとを有し、当該出力トランジスタの第1の端子が当該電流源トランジスタの第2の端子に接続された第2のカスコード増幅器、および、

制御信号を第3の端子で受ける制御トランジスタと、当該制御トランジスタの第1および第2の端子と直列に接続されたダイオードとを有する制御回路、を備え、

前記第1のカスコード増幅器と前記第2のカスコード増幅器とが並んでおり、

それぞれのカスコード増幅器には共通の入力信号が与えられ、それぞれのカスコード増幅器を構成する出力トランジスタの第3の端子を前記制御回路を介して基準電位に接続することを特徴とする電子回路。

【請求項16】

請求項14または請求項15に記載の電子回路において、トランジスタはバイポーラトランジスタであることを特徴とする電子回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子回路に関し、特に、カスコード増幅器のベースないしゲート接地トランジスタのバイアス制御により回路の動作状態や信号経路の切り替えを行う電子回路に関する。

【0002】

【従来の技術】

無線通信回路などで用いられる高周波回路では、信号の経路や利得などを切り替えるための電子回路が必要とされている。図10は、移動体無線機器における高周波送受信部を示すブロック図である。送受アンテナ切替器102および送受発振器切替器112には高周波の経路を切り替えるための電子回路が用いられており、低雑音アンプ103、中間周波数アンプ106、ドライバアンプ110および送信アンプ111などの一部にも回路の特性や利得を可変とするための電子回路が用いられている。ここでは、従来の電子回路の例として、2つの高周波切替器と1つの利得可変増幅器をあげる。

【0003】

まず、図11は、従来の高周波切替器の電子回路の構成例である（特許文献1を参照）。この電子回路においては、トランジスタQ1とトランジスタQ0がカスコード接続されており、トランジスタQ1のベースには高周波入力信号が入力端子INから供給されている。トランジスタQ0のベースには、トランジスタを高周波で接地するための容量C1と、制御信号端子CTLが接続されている。このトランジスタQ0を制御信号端子CTLからの信号によってオン・オフすることにより、出力信号端子OUTから出力する高周波信号が変化する。

【0004】

図13は、従来の高周波切替器の電子回路の構成例である（特許文献2を参照）。この電子回路においては、トランジスタQ1のコレクタにはエミッタ結合されたトランジスタQ01・Q02がカスコード接続されており、トランジスタQ1のベースには高周波入力信

10

20

30

40

50

号が入力端子 I N から供給されている。トランジスタ Q O 1 ・ Q O 2 のベースには、トランジスタを高周波で接地するための容量 C 1 ・ C 2 と、トランジスタ Q O 1 ・ Q O 2 のオン・オフを切り替えるためのスイッチ S W 1 ・ S W 2 がそれぞれ接続されている。スイッチ S W 1 ・ S W 2 を切り替えることにより、信号の出力端子 O U T 1 ・ O U T 2 を切り替えている。

【 0 0 0 5 】

図 1 4 は、従来の利得可変増幅器の電子回路の構成例である（特許文献 3 を参照）。この電子回路においては、ソースを接地したトランジスタ Q I 1 と、ベースを容量 C 1 を介して接地したトランジスタ Q O 1 とからなるカスコード増幅器および、ソースを接地したトランジスタ Q I 2 と、ベースを容量 C 2 を介して接地されたトランジスタ Q O 2 とからなるカスコード増幅器、が並列に並んでおり、トランジスタ Q I 2 のゲートにトランジスタ Q I O のドレインが容量 C 3 を介して接続されている。トランジスタ Q I 1 のゲートに高周波入力信号が入力端子 I N から供給されている。トランジスタ Q O 1 とトランジスタ Q O 2 のバイアスを抵抗 R 1、抵抗 R 3 を介して接続された制御電源 V c により制御することにより、増幅器の利得が制御される。

10

【 0 0 0 6 】

上述した各従来例は、いずれも、容量を介して接地しているカスコード増幅器のベースないしゲート接地トランジスタのベースをバイアス制御することにより回路の動作状態や線路の切替を行っていることにおいては共通技術である。

【 0 0 0 7 】

20

【特許文献 1】

特開 2 0 0 0 - 2 7 8 1 0 9 号公報（図 1）

【特許文献 2】

特開平 9 - 1 2 1 1 1 9 号公報（図 1）

【特許文献 3】

特開 2 0 0 2 - 1 5 1 9 8 3 号公報（図 1）

【 0 0 0 8 】

【発明が解決しようとする課題】

容量を介して接地されているカスコード増幅器のベースないしゲート接地トランジスタのバイアスを制御することにより回路の動作状態や信号経路の切替を行う従来の電子回路の問題点は、接地容量の充放電に時間がかかるために、切替時間が遅くなることである。

30

【 0 0 0 9 】

例えば、図 1 1 に示す従来の切替器にトランジスタ Q C、抵抗 R 2 および抵抗 R 3 からなる制御回路をつけた図 1 2 において、トランジスタ Q O をオンする際には、容量 C 1 を抵抗 R 1 を通して電源 V c c 2 から充電することになる。切替器がオフ時の容量 C 1 の充電電圧を V 0、トランジスタ Q I がオンするコレクタ・エミッタ間電圧を V C E Q I、トランジスタ Q O がオンするベース・エミッタ間電圧を V B E Q O とし、トランジスタ Q O がオンするまでのベース電流が充分小さいとすると、切替器がオフからオンに切り替わるのにかかる時間は、容量 C 1 の充電電圧 V C 1 が V 0 から V C E Q I + V B E Q O まで充電されるまでにかかる時間に等しい。

40

【 0 0 1 0 】

制御回路が切り替わってからの時間 t における充電電圧 V C 1 は、下記数式 1 のように表される。

$$V_{C1}(t) = (V_0 - V_{cc2}) \exp\{-t / (R_1 \cdot C_1)\} + V_{cc2} \quad \dots 1$$

つまり、オフからオンへの切替時間は抵抗 R 1 と容量 C 1 による時定数に大きく依存している。

【 0 0 1 1 】

R 1 を 1 0 k、C 1 を 1 0 p F、V c c 2 を 3 . 0 V、V 0 を 0 . 2 V、V C E Q I を 0 . 6 V、V B E Q O を 1 . 2 V とし計算した充電電圧 V C 1 対時間 t のグラフを図 1 6 に示す。なお、V C 1 (t) > V C E Q I + V B E Q O、となるまでの切替時間は 7 7 n s かかっている

50

。ここで、抵抗 R_2 の値を大きくすることによりオフ時の充電電圧 V_0 を高くすることで、オフからオン時間を短縮できるが、オンからオフへ切替わる際の時間は同様に抵抗 R_2 と容量 C_1 の時定数に依存するため、逆にオンからオフへの切替時間が長くなってしま

【0012】

本発明の目的は、接地容量の充電時間による切替時間の遅延を低減した、電子回路を提供することである。

【0013】

【発明を解決するための手段】

上記目的を達成するための請求項1の電子回路は、第1の端子と第2の端子との間の電流を第3の端子で制御できるトランジスタを用いて構成された電子回路であって、入力信号を第3の端子で受ける入力トランジスタと、第1の端子が前記入力トランジスタの第2の端子に接続され、第3の端子が容量を介して基準電位に接続され、出力信号を第2の端子から出力する出力トランジスタとを有するカスコード増幅器、および、制御信号を第3の端子で受ける制御トランジスタと、当該制御トランジスタの第1および第2の端子と直列に接続されたダイオードとを有する制御回路、を備え、カスコード増幅器を構成する前記出力トランジスタの第3の端子を、前記制御回路を介して基準電位に接続することを特徴とする。

10

【0014】

請求項2の発明は、請求項1に記載の電子回路において、前記カスコード増幅器を複数備え、それぞれのカスコード増幅器を構成する出力トランジスタの第3の端子を、該複数のカスコード増幅器が共有する前記制御回路を介して基準電位に接続することを特徴とする。

20

【0015】

請求項3の発明は、請求項1に記載の電子回路において、前記カスコード増幅器と前記制御回路とを複数備え、それぞれのカスコード増幅器を構成する入力トランジスタの第3の端子に共通の入力信号が供給され、それぞれの制御回路を構成する制御トランジスタの第3の端子に供給される制御信号に応じて、前記入力信号の出力先を選択することを特徴とする。

【0016】

請求項4の発明は、請求項1に記載の電子回路において、前記カスコード増幅器と前記制御回路とを複数備え、それぞれのカスコード増幅器を構成する入力トランジスタを共通にし、それぞれのカスコード増幅器を構成する出力トランジスタの第1の端子は相互に接続されることを特徴とする。

30

【0017】

請求項5の発明は、請求項3または請求項4に記載の電子回路において、前記カスコード増幅器を構成する出力トランジスタの第1の端子は相互に接続され、前記制御回路を構成する制御トランジスタの第3の端子に供給される制御信号に応じて、前記出力トランジスタの第2の端子からの出力信号を変化させることを特徴とする。

【0018】

請求項2～5の発明は、請求項1の電子回路を信号経路切替器に用いる場合に好ましく適用される。

40

【0019】

請求項6の発明は、請求項1から5のいずれか1項に記載の電子回路において、前記トランジスタはバイポーラトランジスタであることを特徴とする。請求項7の発明は、請求項1から5のいずれか1項に記載の電子回路において、前記トランジスタは電界効果トランジスタであることを特徴とする。請求項8の発明は、請求項1から5のいずれか1項に記載の電子回路において、前記入力トランジスタはバイポーラトランジスタであり、前記出力トランジスタは電界効果トランジスタであることを特徴とする。請求項9の発明は、請求項1から5のいずれか1項に記載の電子回路において、前記入力トランジスタは電界

50

効果トランジスタであり、前記出力トランジスタはバイポーラトランジスタであることを特徴とする。

【0020】

請求項10の発明は、請求項6または請求項9に記載の電子回路において、前記ダイオードは、出力トランジスタのベース・エミッタと同じ層構造のpn接合を用いることを特徴とする。請求項11の発明は、請求項6または請求項9に記載の電子回路において、前記ダイオードは、トランジスタのベース・エミッタ間pn接合を利用することを特徴とする。

【0021】

請求項12の発明は、請求項1から11のいずれか1項に記載の電子回路において、前記制御回路の電圧降下は、前記カスコード増幅器を構成する入力トランジスタの第1および第2端子間の電圧降下と、前記カスコード増幅器を構成する出力トランジスタの第1および第3端子間の電圧降下との和以下であり、前記入力トランジスタの第1および第2端子間の電圧降下以上であることを特徴とする。

10

【0022】

請求項13の発明は、請求項1から12のいずれか1項に記載の電子回路において、前記制御トランジスタの第1および第2の端子間の電流密度は、前記入力トランジスタの第1および第2端子間の電流密度より低いことを特徴とする。

【0023】

上記目的を達成するための請求項14の電子回路は、第1の端子と第2の端子との間の電流を第3の端子で制御できるトランジスタを用いて構成された電子回路であって、第3の端子が容量を介して基準電位に接続され、入力信号を第1の端子で受け、出力信号を第2の端子から出力する出力トランジスタと、当該出力トランジスタがオン状態のとき、当該出力トランジスタの第1および第2端子間の電流量を決める電流源トランジスタとを有し、前記出力トランジスタの第1の端子が前記電流源トランジスタの第2の端子に接続されたカスコード増幅器、および、制御信号を第3の端子で受ける制御トランジスタと、当該制御トランジスタの第1および第2の端子と直列に接続されたダイオードとを有する制御回路、を備え、カスコード増幅器を構成する前記出力トランジスタの第3の端子を、前記制御回路を介して基準電位に接続することを特徴とする。

20

【0024】

請求項15の電子回路は、第1の端子と第2の端子との間の電流を第3の端子で制御できるトランジスタを用いて構成された電子回路であって、入力信号を第3の端子で受ける入力トランジスタと、第1の端子が前記入力トランジスタの第2の端子に接続され、第3の端子が容量を介して基準電位に接続され、出力信号を第2の端子から出力する出力トランジスタとを有する第1のカスコード増幅器、第3の端子が容量を介して基準電位に接続され、入力信号を第1の端子で受け、出力信号を第2の端子から出力する出力トランジスタと、当該出力トランジスタがオン状態のとき、当該出力トランジスタの第1および第2端子間の電流量を決める電流源トランジスタとを有し、当該出力トランジスタの第1の端子が当該電流源トランジスタの第2の端子に接続された第2のカスコード増幅器、および、制御信号を第3の端子で受ける制御トランジスタと、当該制御トランジスタの第1および第2の端子と直列に接続されたダイオードとを有する制御回路、を備え、前記第1のカスコード増幅器と前記第2のカスコード増幅器とが並んでおり、それぞれのカスコード増幅器には共通の入力信号が与えられ、それぞれのカスコード増幅器を構成する出力トランジスタの第3の端子を前記制御回路を介して基準電位に接続することを特徴とする電子回路。

30

40

【0025】

請求項16の発明は、請求項14または請求項15の電子回路において、トランジスタはバイポーラトランジスタであることを特徴とする。

【0026】

以上の本発明の電子回路においては、トランジスタの第1および第2の端子とダイオード

50

を直列に接続した制御回路を用いることにより、カスコード増幅器をオフする際にカスコード増幅器の接地容量の放電を少なく抑えることができる。その結果、再充電時間を短縮でき、オンからオフへの切替時間を長くすることなしにオフからオンへの切替時間を短縮できる。

【0027】

特に、カスコード増幅器のオン・オフを切り替える際に、カスコード増幅器がオフ状態になる入力トランジスタの第1および第2端子間の電圧降下と出力トランジスタの第1および第3端子間の電圧降下との和が、制御回路による電圧降下に等しい場合、本発明の電子回路による切替回路は最短の切替時間を提供することができる。

【0028】

【発明の実施の形態】

本発明の電子回路の実施の形態について、図面を参照して以下説明する。

【0029】

図1は、本発明の第1の実施の形態を示す図である。この電子回路は、第1の端子と第2の端子との間の電流を第3の端子で制御できるトランジスタを用いた、カスコード増幅器と制御回路から構成されている。カスコード増幅器は、高周波入力端子INからの入力信号を第3の端子で受ける入力トランジスタQIと、第1の端子が前記入力トランジスタQIの第2の端子に接続され、第3の端子が容量C1を介して基準電位に接続され、出力信号を第2の端子から出力する出力トランジスタQOとを有している。制御回路は、制御信号端子CTLからの制御信号を第3の端子で受ける制御トランジスタQCと、その制御トランジスタQCの第1および第2の端子と直列に接続されたダイオードDとを有している。そして、この電子回路において、出力トランジスタQOの第3の端子は、制御回路を介して基準電位に接続されており、出力トランジスタQOの第3の端子のバイアスを制御して、入力信号の出力端子OUTへの出力量を制御できるようにしている。

【0030】

電源Vcc2と抵抗R1は、出力トランジスタQOの第3の端子をバイアスするバイアス回路になっている。ただし、本発明の効果は、出力トランジスタQOの第3の端子をバイアスするバイアス回路が内部インピーダンス0（ゼロ）の理想電圧源でない限り有効である。なぜならば、カレントミラーや電流源などの他のバイアス回路を用いたとしても、必ず容量の充電時間による遅延の問題が発生するからである。

【0031】

ここで、トランジスタがバイポーラトランジスタである場合、第1の端子はエミッタ、第2の端子はコレクタ、第3の端子はベースである。また、トランジスタが電界効果トランジスタである場合、第1の端子はソース、第2の端子はドレイン、第3の端子はゲートである。

【0032】

まず、図1の実施の形態において、全てのトランジスタがバイポーラトランジスタである場合について説明する。カスコード増幅器をオン状態にする際には、容量C1を抵抗R1を通して電源Vcc2から充電することになる。切替器がオフ時の容量C1の充電電圧をV0、入力トランジスタQIがオンするコレクタ・エミッタ間電圧をVCEQI、入力トランジスタQIがオフするコレクタ・エミッタ間電圧をVCEQIOFF、出力トランジスタQOがオンするベース・エミッタ間電圧をVBEQOとし、出力トランジスタQOがオンするまでのベース電流が充分小さいとすると、切替器がオフからオンに切り替わるのにかかる時間は、容量C1の充電電圧VC1がV0からVCEQI+VBEQOまで充電されるまでにかかる時間に等しい。ここまでは、図12に示す従来の切替器と同様である。

【0033】

ここで、図1の制御回路に抵抗R2を設けて構成した図2の電子回路において、抵抗R2を0、制御トランジスタQCがオンするコレクタ・エミッタ間電圧をVCEQC、ダイオードDの電圧降下をVDとすると、オフ時の容量C1の充電電圧VC1はVCEQC+

10

20

30

40

50

VDとなる。図12に示す従来の切替器の充電電圧VC1はVCEQCであるので、上述した数式1より、オフからオンに切り替わる時間が短縮される。オンからオフへの切替時間に関しても、抵抗R2を小さくできるため、抵抗R2と容量C1の時定数を小さくでき、切替時間を短縮できる。

【0034】

さらに、 $VCEQC + VD = VCEQIOFF + VBEQO$ である場合、切替器オフ時の充電電圧VC1は切替器をオフできる最大の電圧となるので、オフからオンへの切替時間を最短にできる。また、 $VCEQC + VD = VCEQIOFF + VBEQO$ は、集積回路では容易に実現できる。まず、 $VD = VBEQO$ とするためには、ダイオードDを出力トランジスタQOのベースエミッタ間と同じ層構造を持つpn接合で形成すれば良い。また、 $VCEQC = VCEQIOFF$ にするためには、制御トランジスタQCをオンにした時の電流密度を、入力トランジスタQIがオフする程度まで下げれば良い。図17にコレクタ電流とオン電圧の例を示す。図17において、入力トランジスタQIのコレクタ電流を4.5mAでバイアスする場合、オン電圧VCEQIは0.6V、オフ電圧VCEQIOFFは0.3Vとなる。ここで、コレクタ電流密度を低くすることにより、制御トランジスタQCのオン電圧VCEQCをVCEQIOFFに近づけることができる。よって、 $VCEQC = VCEQIOFF$ にするためには、制御トランジスタQCをオンにした時の電流密度を、入力トランジスタQIがオフする程度まで下げれば良く、これもトランジスタの面積比の調整で容易に実現できる。

【0035】

次に、出力トランジスタQOが電界効果トランジスタである場合について図2の実施の形態を参照して説明する。電界効果トランジスタでは、状態を切り替えるための電圧値は出力トランジスタQOだけで決まるので、入力トランジスタQIと制御トランジスタQCについては、バイポーラトランジスタと電界効果トランジスタのどちらでも本発明の効果は同じである。オフ状態になる最小の出力トランジスタQOのゲート電圧値をVGOFF、オン状態になる最大の出力トランジスタQOのゲート電圧値をVGONとすると、オフ状態からオン状態への切替時間を最小にするためには、オフ状態の制御回路による電圧降下をVGOFFに近づければ良い。ここまでは、図15に示す従来の切替器でも同様である。しかし、オン状態からオフ状態に切り替わる時間は、ダイオードDによる電圧降下分だけ抵抗R2を小さくできるため、抵抗R2と容量C1の時定数を小さくでき、切替時間を短縮できる。

【0036】

図3は、本発明の第2の実施の形態を示す図である。この電子回路は、第1の実施の形態で定義したカスコード増幅器が複数並列に備えており、そのカスコード増幅器を構成する出力トランジスタQOの第3の端子を、第1の実施の形態で定義した制御回路を介して基準電位に接続することにより、カスコード増幅器の回路の特性や利得を制御している。カスコード増幅器が複数並ぶことにより、接地容量が大きくなっても、充電時間を短くできる。この実施の形態において、カスコード増幅器を2つ並列に並べ、高周波出力端子OUT1を容量を介して高周波出力端子IN2に接続したものが、図15に示す従来の電子回路に対応した機能を持つ。また、図4に示すように、第1の実施の形態で定義したカスコード増幅器が複数並列に並んだうちの少なくとも1つを、第1の実施の形態で定義した制御回路にて制御し、回路の利得を切り替える場合などにも利用可能である。

【0037】

図5は、本発明の第3の実施の形態を示す図である。この電子回路は、第1の実施の形態で定義したカスコード増幅器が複数並列に並んでおり、それぞれのカスコード増幅器を構成する入力トランジスタQIの第3の端子には共通の入力信号が供給されており、制御回路を構成する制御トランジスタQCの第3の端子に供給される制御信号に応じて、入力信号の出力先(出力端子)を切り替えている。制御回路1~nのうち、少なくとも1つを同じく第1の実施の形態で定義した制御回路にて制御することにより、その経路の切替時間を短くすることができる。

【0038】

図6は、本発明の第4の実施の形態を示す図である。本実施の形態は第3の実施の形態において、それぞれのカスコード増幅器の入力トランジスタ Q_I を共通(同一)にしたものであり、第3の実施の形態と同じく制御回路1~nのうち、少なくとも1つを第1の実施の形態で定義した制御回路にて制御することにより、その経路の切替時間を短くすることができる。この実施の形態において、カスコード増幅器を構成する出力トランジスタ Q_O の第1の端子は相互に接続されるように構成することができる。

【0039】

入力トランジスタ Q_I が共通であるので、どれか1の経路が必ずオン状態であれば、入力トランジスタ Q_I もオン状態である。よって、任意の経路 m をオフにする制御回路 m の最大電圧は、入力トランジスタ Q_I がオンするコレクタ・エミッタ間電圧を V_{CEQ_I} 、トランジスタ Q_{Om} がオンするベース・エミッタ間電圧を $V_{BEQ_{Om}}$ とし、トランジスタがバイポーラトランジスタである場合、 $V_{CEQ_I} + V_{BEQ_{Om}}$ となる。

【0040】

また、上述した第3および第4の実施の形態において、カスコード増幅器を構成する出力トランジスタ Q_O の第1の端子は相互に接続され、制御回路を構成する制御トランジスタ Q_C の第3の端子に供給される制御信号に応じて、出力トランジスタ Q_O の第2の端子からの出力信号を変化させることができる。

【0041】

図7は、本発明の第5の実施の形態を示す図である。この電子回路は、第1と第2の端子間の電流を第3の端子で制御できるトランジスタを用いたカスコード増幅器と、第1の実施の形態で定義した制御回路とから構成されている。カスコード増幅器は、第3の端子が容量を介して基準電位に接続され、入力信号を第1の端子で受け、出力信号を第2の端子から出力する出力トランジスタ Q_O と、その出力トランジスタ Q_O がオン状態のとき、その出力トランジスタ Q_O の第1と第2の端子間の電流量を決める電流源トランジスタ Q_B とを有し、前記出力トランジスタ Q_O の第1の端子が前記電流源トランジスタ Q_B の第2の端子に接続されている。出力トランジスタ Q_O の第3の端子は、制御回路を介して基準電位に接続されており、出力トランジスタ Q_O の第3の端子のバイアスを制御して、入力信号の出力端子 OUT への出力量を制御できるようにしている。本実施の形態の効果は、第1の実施の形態と同様である。

【0042】

図8は、本発明の第6の実施の形態を示す図である。第1の実施の形態で定義したカスコード増幅器と、第5の実施の形態で定義したカスコード増幅器が並列に並んでおり、それぞれのカスコード増幅器には共通の入力信号が与えられており、制御回路により信号の出力端子を切り替えている。制御回路1・制御回路2のうち、少なくとも1つを同じく第1の実施の形態で定義した制御回路にて制御することにより、その経路の切替時間を短くすることができる。

【0043】

以上の電子回路において、トランジスタをバイポーラトランジスタおよび電界効果トランジスタから選択して適用することができ、また、入力トランジスタ Q_I をバイポーラトランジスタとし、出力トランジスタ Q_O を電界効果トランジスタとすることができ、またその逆にすることもできる。また、制御回路を構成するダイオード D としては、出力トランジスタ Q_O のベース・エミッタと同じ層構造の pn 接合を用いたり、トランジスタのベース・エミッタ間 pn 接合を利用することができる。

【0044】

なお、以上の実施の形態において、本発明の効果の説明に関係のない部分の整合回路・バイアス回路や直流阻止容量などは省略しているが、当然入力トランジスタの第3の端子はバイアスされているものとする。

【0045】

【実施例】

10

20

30

40

50

次に、本発明の実施例について説明する。以下説明する実施例においては、トランジスタにはすべて高周波特性に優れたGaAs-HBT（ヘテロ・バイポーラ・トランジスタ）を用い、ベース・エミッタ間オン電圧は1.2Vとする。しかし、SiバイポーラトランジスタやSiGe-HBTなど、いかなるトランジスタを用いても同様の効果が得られることは言うまでもない。また、簡単のため、基準電位はすべて接地であり、電源端子Vcc1～Vcc6にはすべて3.0Vの直流電圧源を用いた。ダイオードにはすべてベースとコレクタを接続したHBTを用いた。カスコード接続されるトランジスタのエミッタ接地トランジスタのバイアス回路や入出力の直流阻止容量などは省略するが、基準電位や電源を異なる電圧とする場合や、ダイオードにベース・エミッタ間接合やショットキー接合など他のダイオードを使用する場合においても同様な効果が得られるものである。

10

【0046】

(実施例1)

図9は、本発明の第1の実施例の構成を示す図である。ベースを高周波信号入力端子INに入力されたエミッタ接地トランジスタQIのコレクタに、ベースを容量C1を介して接地されたベース接地トランジスタQOがカスコード接続されている。出力トランジスタQOのコレクタは、出力端子OUTと負荷Loadを介して電源Vcc1に接続されている。出力トランジスタQOのベースは、抵抗R1を介して電源Vcc2によってバイアスされるとともに、抵抗R2と、ダイオードDと、ベースを抵抗R3を介して制御端子CTLに接続された制御トランジスタQCのコレクタ・エミッタとを直列に接続した制御回路を介して接地されている。

20

【0047】

R1とR3を10k、R2を0、C1を10pFとして計算した周波数2GHzの出力信号と入力信号のデシベル比Gainの時間変化を、切替信号VCTL、C1の充電電圧VC1と併せて図19に示す。切替時間を利得が±1dB以内になる時間と定義すると、切替時間は約30nsである。同様に、図12の従来切替回路で計算したGainの時間変化を切替信号VCTL、C1の充電電圧VC1と併せて図18に示す。切替時間は約90nsである。以上から、本発明によりオフオンの切替時間は約3分の1になっている。

【0048】

逆に、従来切替回路のオンからオフへのGainの時間変化を図20に示す。本発明の電子回路のオンからオフへのGainの時間変化を図21に示す。この場合、R2が0であるので、従来切替回路の方が若干早く切替わっているが、両者にほとんど差はない。

30

【0049】

オンからオフへの切り替わり時間が、オフからオンへの切り替わり時間より早くなっている。オンからオフへの切り替わり時間を遅くして、時間を合わせるためには抵抗R2を大きくすれば良い。

【0050】

(実施例2)

図22は、本発明を差動増幅回路に適用した第2の実施例の構成を示す図である。ベースを高周波信号入力端子INに入力されたエミッタ接地トランジスタQIのコレクタに、ベースを容量C1・C2を介して接地され、ベース接地トランジスタQO1・QO2がカスコード接続されている。出力トランジスタQO1のコレクタは、出力端子OUT1と負荷Load1を介して電源Vcc1に接続されている。出力トランジスタQO2のコレクタは、出力端子OUT2と負荷Load2を介して電源Vcc4に接続されている。出力トランジスタQO1のベースは、抵抗R1を介して電源Vcc2によってバイアスされるとともに、抵抗R2と、ダイオードQD1と、ベースを抵抗R3を介して制御端子CTL1に接続された制御トランジスタQC1のコレクタ・エミッタとを直列に接続した制御回路を介して接地されている。出力トランジスタQO2のベースは、抵抗R2を介して電源Vcc3によってバイアスされるとともに、抵抗R5と、ダイオードQD2と、ベースを抵抗R

40

50

4を介して制御端子CTL2に接続された制御トランジスタQC2のコレクタ・エミッタとを直列に接続した制御回路を介して接地されている。

【0051】

本実施例の回路では、制御端子CTL1・CTL2からの制御信号によって、入力信号INからの出力を出力端子OUT1・OUT2に切り替えることができる。

【0052】

同様に、図27に示すように出力を3端子以上に分ける場合にも本発明を適用できる。

【0053】

(実施例3)

図23は、本発明の第3の実施例の構成を示す図である。ベースを高周波信号入力端子INに入力されたエミッタ接地トランジスタQI1のコレクタに、ベースを容量C1を介して接地され、ベース接地トランジスタQO1がカスコード接続されている。同じく、ベースを高周波信号入力端子INに入力されたエミッタ接地トランジスタQI2のコレクタに、ベースを容量C2を介して接地され、ベース接地トランジスタQO2がカスコード接続されている。出力トランジスタQO1のコレクタは、出力端子OUT1と負荷Load1を介して電源Vcc1に接続されている。出力トランジスタQO2のコレクタは出力端子OUT2と負荷Load2を介して電源Vcc4に接続されている。出力トランジスタQO1のベースは、抵抗R1を介して電源Vcc2によってバイアスされるとともに、抵抗R2と、ダイオードD1と、ベースを抵抗R3を介して制御端子CTL1に接続されたトランジスタQC1のコレクタ・エミッタとを直列に接続した制御回路を介して接地されている。出力トランジスタQO2のベースは、抵抗R2を介して電源Vcc3によってバイアスされるとともに、抵抗R5と、ダイオードD2と、ベースを抵抗R4を介して制御端子CTL2に接続された制御トランジスタQC2のコレクタ・エミッタとを直列に接続した制御回路を介して接地されている。

【0054】

本実施例の回路では、制御端子CTL1・CTL2からの制御信号によって、入力信号INからの出力を出力端子OUT1・OUT2に切り替えることができる。また、図24に示すように、入力トランジスタQI1とQI2の高周波を受けるベースを直流阻止容量などを介して接続し、負荷Load1を共有し、入力トランジスタQI1とQI2のバイアス量を変化させて、トランジスタQI1・QO1のカスコードアンプとトランジスタQI2・QO2のカスコードアンプの電流量を変えることも可能である。

【0055】

(実施例4)

図25は、本発明の第4の実施例の構成を示す図である。ベースを高周波信号入力端子INに入力されたエミッタ接地トランジスタQIのコレクタに、ベースを容量C1・C2を介して接地され、ベース接地トランジスタQO1・QO2がカスコード接続されている。出力トランジスタQO2のコレクタは、出力端子OUTと負荷Load1を介して電源Vcc1に接続されている。出力トランジスタQO2のベースは、抵抗R2を介して電源Vcc3によってバイアスされる。出力トランジスタQO1のコレクタは、電源Vcc4に接続されている。出力トランジスタQO1のベースは、抵抗R1を介して電源Vcc2によってバイアスされるとともに、抵抗R2と、ダイオードDと、ベースを抵抗R3を介して制御端子CTLに接続された制御トランジスタQCのコレクタ・エミッタとを直列に接続した制御回路を介して接地されている。

【0056】

本実施例の回路では、制御端子CTL1からの制御信号によって、出力端子OUTへの出力を調整できる。同様に、図26のように片側の経路に抵抗などでできた減衰器を挿入した構成をとることにより、制御端子CTL1からの制御信号によって出力端子OUTへの出力を調整できる。

【0057】

(実施例5)

10

20

30

40

50

図28は、本発明の第5の実施例の構成を示す図である。構成は第2の実施例と同じであるが、ダイオードDを各切替回路で共用している。この場合も同様の効果を得ることができる。

【0058】

なお、以上の実施例で示した数値は、回路の使用目的やトランジスタの特性などによって最適化されるものとする。

【0059】

【発明の効果】

本発明の電子回路によれば、カスコード増幅器のベースないしゲート接地トランジスタのバイアス制御により回路の動作状態や信号経路の切り替えを行う電子回路において切替時間を短縮することができる。

10

【図面の簡単な説明】

【図1】本発明の一実施の形態を示す図である。

【図2】本発明の一実施の形態を示す図である。

【図3】本発明の一実施の形態を示す図である。

【図4】本発明の一実施の形態を示す図である。

【図5】本発明の一実施の形態を示す図である。

【図6】本発明の一実施の形態を示す図である。

【図7】本発明の一実施の形態を示す図である。

【図8】本発明の一実施の形態を示す図である。

20

【図9】本発明の一実施の形態を示す図である。

【図10】移動体無線機器の高周波送受信部を示す図である。

【図11】従来の電子回路を示す図である。

【図12】従来の電子回路を示す図である。

【図13】従来の電子回路を示す図である。

【図14】従来の電子回路を示す図である。

【図15】従来の電子回路を示す図である。

【図16】従来の電子回路の切替時間の例を示す図である。

【図17】コレクタ電流とオン電圧の例を示す図である。

【図18】従来の電子回路の切替時間の例を示す図である。

30

【図19】本発明の電子回路の切替時間の例を示す図である。

【図20】従来の電子回路の切替時間の例を示す図である。

【図21】本発明の電子回路の切替時間の例を示す図である。

【図22】本発明の一実施の形態を示す図である。

【図23】本発明の一実施の形態を示す図である。

【図24】本発明の一実施の形態を示す図である。

【図25】本発明の一実施の形態を示す図である。

【図26】本発明の一実施の形態を示す図である。

【図27】本発明の一実施の形態を示す図である。

【図28】本発明の一実施の形態を示す図である。

40

【符号の説明】

Q I , Q I 1 , Q I 2 , Q I n , Q O , Q O 1 , Q O 2 , Q O 3 , Q I n , Q C , Q C 1 , Q C 2 , Q C 3 , Q C n , : トランジスタ

D , D 1 , D 2 , D 3 , D n , Q D 1 , Q D 2 : ダイオード

R 1 ~ R 9 : 抵抗

C 1 ~ C 5 , C n : 容量

L o a d , L o a d 1 , L o a d 2 , L o a d 3 , L o a d n : 負荷

V c c 1 ~ V c c 6 : 電源

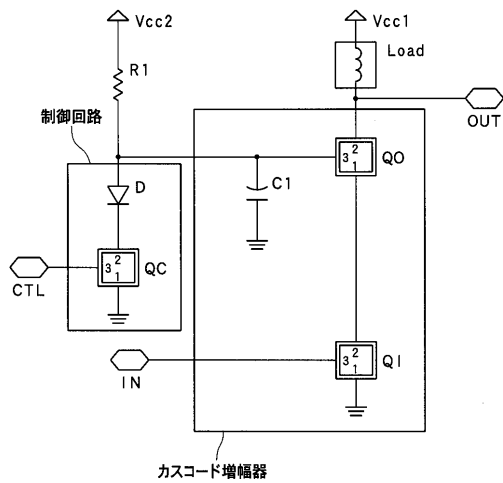
B i a s , B i a s 1 , B i a s 2 , B i a s 3 , B i a s n : バイアス回路

D C B : 直流阻止容量

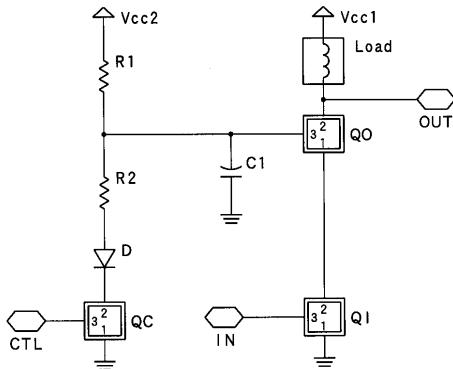
50

- A 1 : 減衰器
- IN : 高周波入力端子
- OUT , OUT 1 ~ OUT 3 : 高周波出力端子
- CTL , CTL 1 ~ CTL 3 : 制御信号端子
- 1 0 1 : アンテナ端子
- 1 0 2 , 1 1 2 : 高周波切替器
- 1 0 3 , 1 0 6 , 1 1 0 , 1 1 1 : アンプ
- 1 0 4 , 1 0 7 , 1 0 9 : 帯域通過フィルタ
- 1 1 3 : ローカル信号発生器
- TX : 送信信号入力端子
- RX : 受信信号出力端子

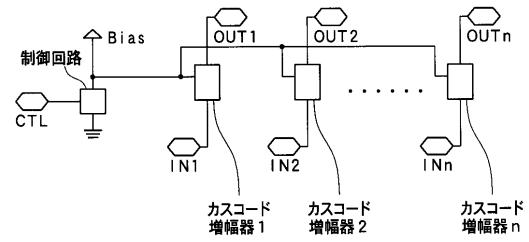
【 図 1 】



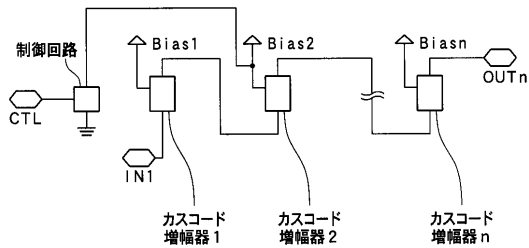
【 図 2 】



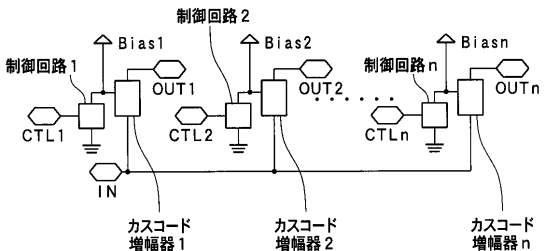
【 図 3 】



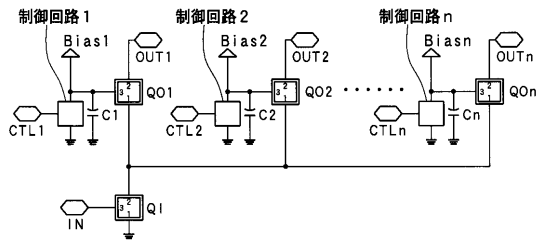
【 図 4 】



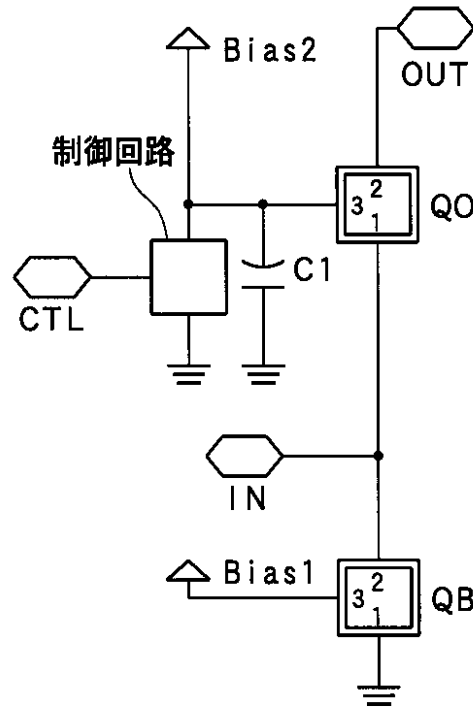
【 図 5 】



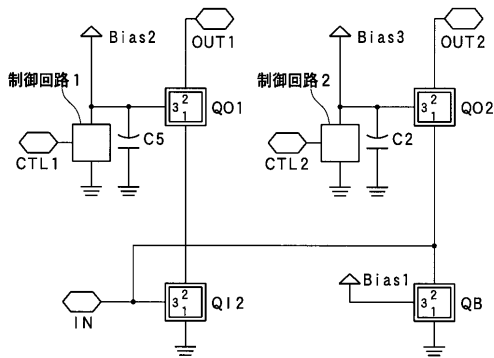
【図6】



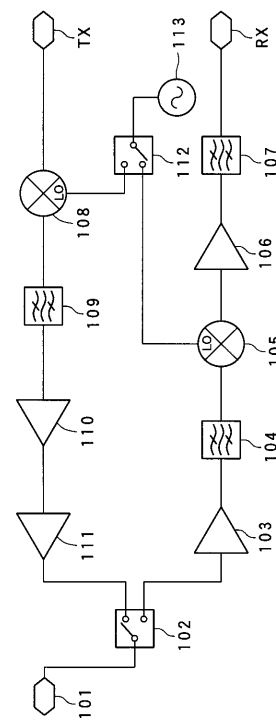
【図7】



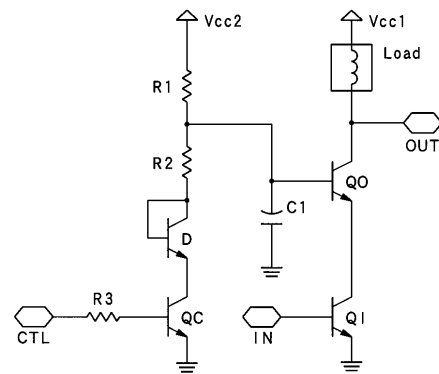
【図8】



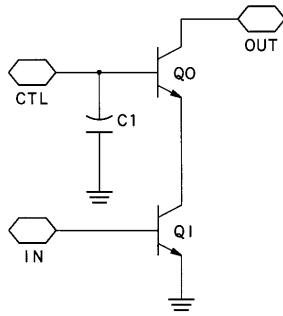
【図10】



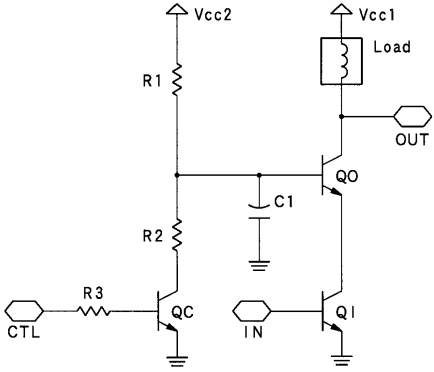
【図9】



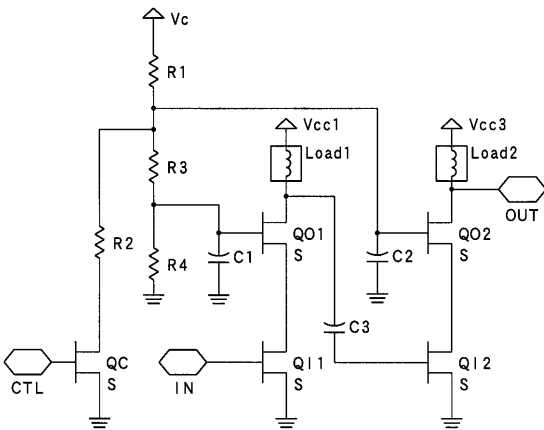
【図 1 1】



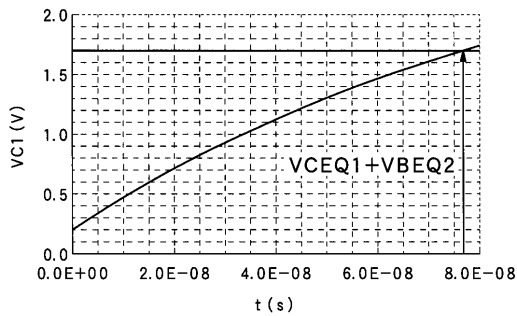
【図 1 2】



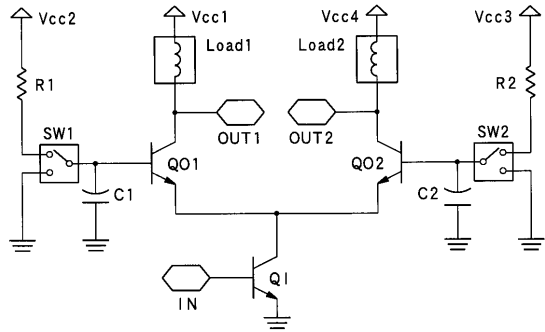
【図 1 5】



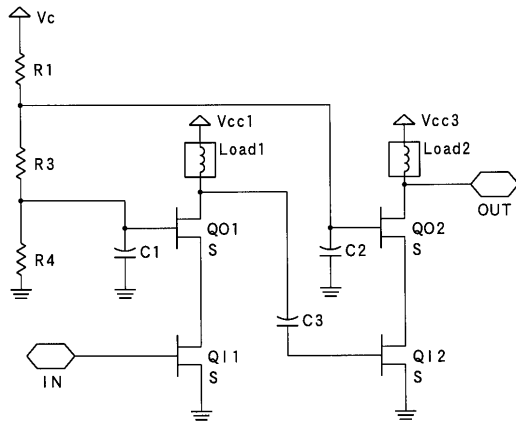
【図 1 6】



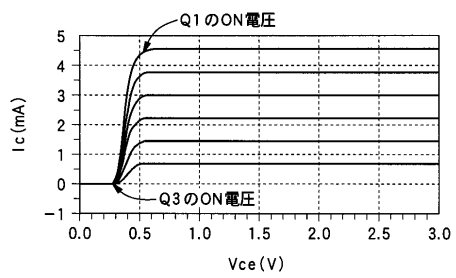
【図 1 3】



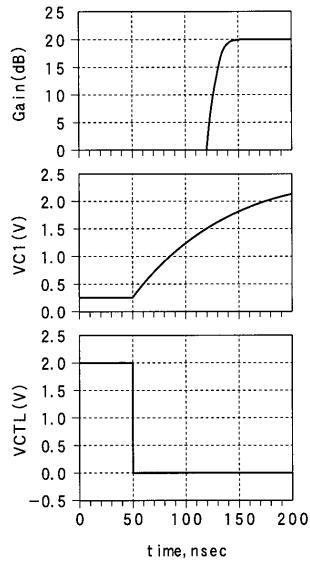
【図 1 4】



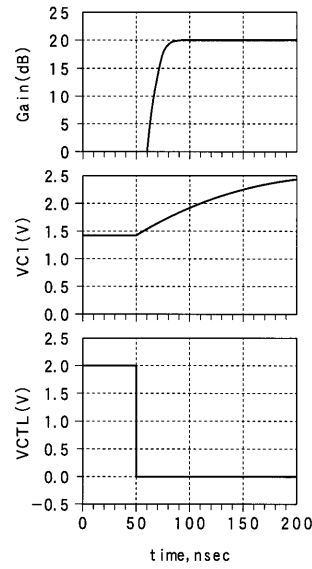
【図 1 7】



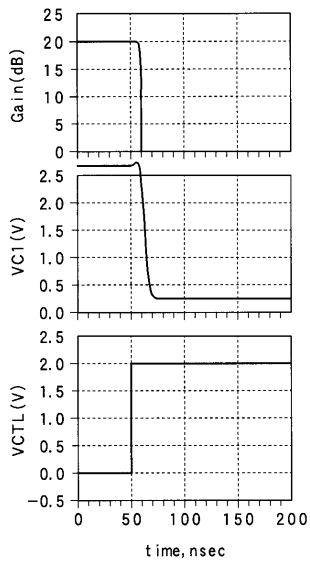
【 18 】



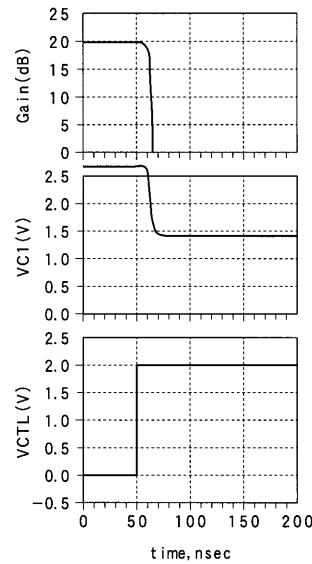
【 19 】



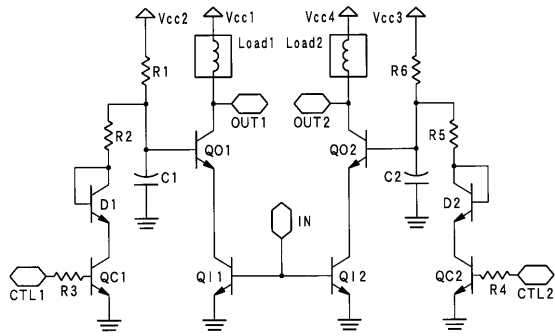
【 20 】



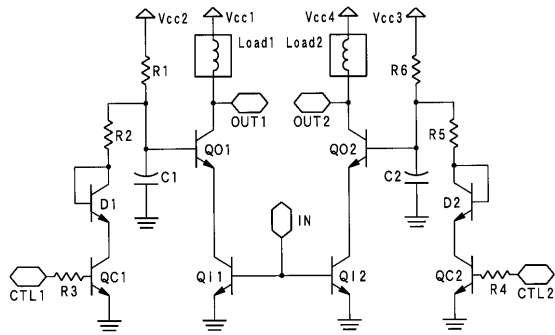
【 21 】



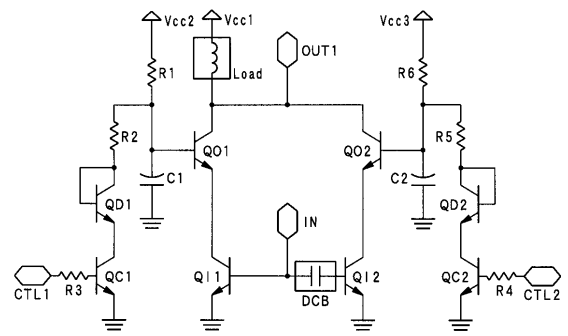
【 2 2 】



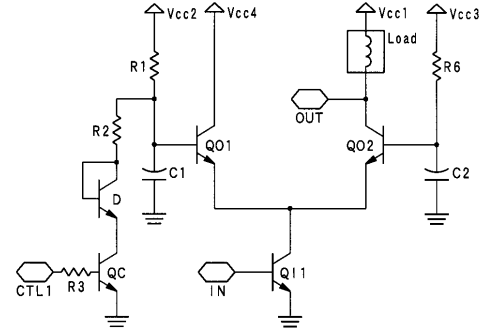
【 2 3 】



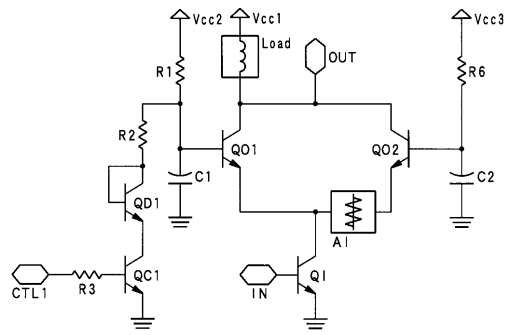
【 2 4 】



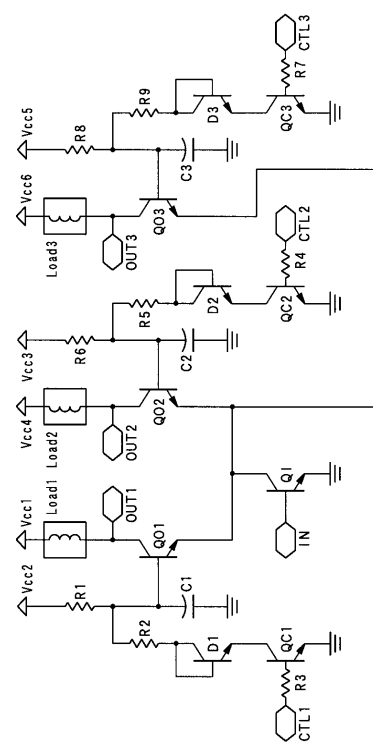
【 2 5 】



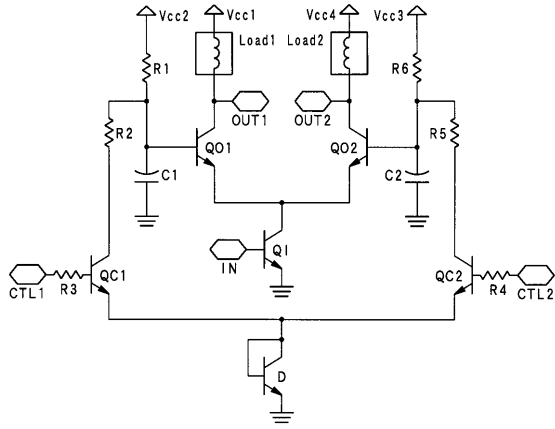
【 2 6 】



【 2 7 】



【 図 28 】



フロントページの続き

- (56)参考文献 特開平05 - 259765 (JP, A)
特開平06 - 169224 (JP, A)
特開平06 - 177681 (JP, A)
特開平06 - 224647 (JP, A)
特開昭63 - 185211 (JP, A)
特開2000 - 278109 (JP, A)
特開2000 - 278061 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00-3/45
3/50-3/52
3/62-3/64
3/68-3/72