[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G06F 12/00

[12] 发明专利说明书

[21] ZL 专利号 99104896.2

[45] 授权公告日 2003 年 8 月 20 日

[11] 授权公告号 CN 1118757C

[22] 申请日 1999.4.16 [21] 申请号 99104896.2

[30] 优先权

[32] 1998.4.17 [33] US [31] 061953

[71] 专利权人 摩托罗拉公司

地址 美国伊利诺斯

[72] 发明人 德里克·安德鲁·里奇

多诺万·.斯考特·伯普斯

弗兰克·阿伦·米勒

审查员 韩 燕

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

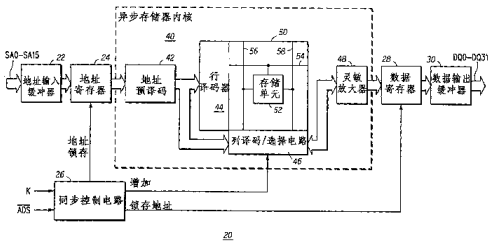
代理人 付建军

权利要求书 4 页 说明书 8 页 附图 2 页

[54] 发明名称 同步流水线串存储器及其操作方法

[57] 摘要

一种同步流水线串存储器 20 通过打破常规流水线的规律获得了高速。该存储器 20 包括在周期时钟信号的第一个周期中锁存串地址的地址寄存器 24。该串地址驱动异步存储器内核 40 的输入，但是该异步存储器内核 40 的输出在紧接着第一周期的周期时钟信号的第二周期之后发生的周期时钟信号的第三周期前不被锁存。在周期时钟信号的连续周期中，存储器 20 输出连续的串数据，以完成串周期。



ISSN1008-4274

1. 一种同步流水线串存储器(20)，其特征在于：

地址输入缓冲器（22），它具有：用于接收地址信号的输入端，和用于提供缓冲地址的输出端；

地址寄存器(24)，它具有：用于接收串地址的输入端，输出端，及控制输入端；

异步存储器内核(40)，它具有：连接到所述地址寄存器(24)的输出端的地址输入端，根据所述串地址按顺序提供第一数据和第二数据的输出端；

数据寄存器(28)，它具有：连接到所述存储器内核(40)输出端的输入端，输出端，及控制输入端；

数据输出缓冲器（30），连接到数据寄存器（28）的输出端，它还有用于提供数据信号的输出端；和

同步控制电路(26)，它具有：用于接收周期时钟信号的第一输入端，用于接收串地址控制信号的第二输入端，连接到所述地址寄存器(24)的所述控制输入端、以为其提供第一控制信号的第一输出端，及连接到所述数据寄存器(28)的所述控制输入端、以为其提供第二控制信号的第二输出端，

其中，所述同步控制电路(26)响应所述串地址控制信号的激活，在所述周期时钟信号的第一周期中激活所述第一控制信号，在所述第一周期后所述周期时钟信号至少一个周期的所述周期时钟信号的第二个周期中激活所述第二控制信号。

2. 一种集成电路同步流水线串存储器(20)，其特征在于：

多个地址输入缓冲器(22)，每一个都具有连接到相应的多个地址输入端之一的输入端，及输出端，所述的多个地址输入缓冲器(22)接收串地址；

地址寄存器(24)，具有连接到所述多个地址输入缓冲器(22)中每一个的所述输出端的输入端，还具有输出端，及控制输入端；

异步存储器内核(40)，具有连接到所述地址寄存器(24)的所述输出端的地址输入端，以及响应所述串地址按顺序提供第一数据和第二数据的输出端；

数据寄存器(28)，具有连接到所述存储器内核(40)的输出端的输入端，输出端，及控制输入端；

多个数据输出缓冲器(30)，每一个都具有连接到所述数据寄存器(28)的所述输出端的输入端，及连接到相应的多个数据输出端之一的输出端；以及

同步控制电路(26)，具有用于接收周期时钟信号的第一输入端，用于接收串地址控制信号的第二输入端，第一输出端连接到所述地址寄存器(24)的所述控制输入端，用于为其提供第一控制信号，第二输出端连接到所述数据寄存器(28)的所述控制输入端，用于为其提供第二控制信号，

所述同步控制电路(26)响应所述串地址控制信号的激活，在所述周期时钟信号的第一周期中激活所述第一控制信号，在所述第一周期后所述周期时钟信号至少一个周期的所述周期时钟信号的第二个周期中激活所述第二控制信号。

3. 权利要求 1 或权利要求 2 的存储器(20)，其中所述存储器内核(40)在所述第二周期中提供所述第一数据，在紧接着所述第二周期的所述周期时钟信号的第三周期中提供第二数据。

4. 权利要求 3 的存储器(20)，其中所述的同步控制电路(26)在所述第二周期及所述第三周期中激活所述第二控制信号。

5. 权利要求 4 的存储器(20)，其中所述存储器内核(40)在紧接着所述第三周期的所述周期时钟信号的第四周期中提供第三数据，及在紧接着所述第四周期的所述周期时钟信号的第五周期中提供第四数据，其中所述同步控制电路(26)在所述第四周期及所述第五周期中激活所述第二控制信号。

6. 权利要求 1 或 2 的存储器(20)，其中所述的存储器内核(40)的特征为：

存储器矩阵(50)，它具有多条字线(54)，多个位线对(56，58)，及位于所述多条字线(54)的每一条与所述多对位线(56，58)的每一对的交叉处的多个存储单元(52)；

行译码电路(42，44)，它连接到所述地址寄存器(24)及所述存储矩阵(50)，用于激活由所述串地址确定的所述多条字线(54)中的一条字线；

列译码电路(42，46)，它连接到所述地址寄存器(24)及所述存储矩阵(50)，用于通过选择位于所述多条字线(54)中选中的一条字线上的存储单元的相应部分，提供表示所述第一数据位和所述第二数据位的差分电压；以及

连接到所述列译码电路及所述数据寄存器(28)的灵敏放大器(48)，用于通过放大所述差分电压检测所述第一数据和所述第二数据，并为所述数据寄存器(28)提供相应的放大了的电压。

7. 同步流水线串存储器(20)的工作方法，其特征在于以下步骤：

检测对于同步流水线串存储器(20)的串访问；

在所述周期时钟信号的第一周期响应周期时钟信号的预定跳变把串地址锁存在地址寄存器(24)中；

响应所述串地址，通过将所述串地址输入一个异步存储器内核（40）的输入端，按顺序选择第一数据和第二数据；

在距离所述第一周期至少一个周期的所述周期时钟信号的第二周期中，响应所述周期时钟信号的所述预定跳变把所述第一数据锁存到一个在所述异步存储器内核（40）的输出端的数据寄存器(28)；

输出所述第一数据；

在紧接着所述第二周期的所述周期时钟信号的第三周期中，响应所述周期时钟信号的所述预定跳变把所述第二数据锁存到所述数据寄存器(28)；

输出所述第二数据。

8. 权利要求 7 的方法，其特征在于以下步骤：

响应所述串地址选择第三和第四数据；

在紧接着所述第三周期至少一个周期后的所述周期时钟信号的第

四周期中，响应所述周期时钟信号的所述预定跳变把所述第三数据锁存到所述数据寄存器(28);

输出所述第三数据;

在紧接着所述第四周期的所述周期时钟信号的第五周期中，响应所述周期时钟信号的所述预定跳变把所述第四数据锁存到所述数据寄存器(28);

输出所述第四数据。

同步流水线串存储器及其操作方法

技术领域

本发明总体涉及集成电路存储器，尤其涉及能以串方式提供数据的同步集成电路存储器。

背景技术

在桌面计算机及通信应用中高速存储器、尤其是静态高速随机访问存储器(SRAMs)是非常重要的。这些存储器的典型应用是作为数据处理器的高速缓冲存储器(cashe)。高速缓冲存储器是一种相对高速的存储器，它保存有位于较大及较慢的主存储器中的数据的本地拷贝。由于一旦数据处理器访问某特定地址处的数据，那么很可能还会访问相邻地址处的数据，因此高速缓冲存储器改善了系统的性能。由于数据处理器也能以非常高的速度工作，因此使高速缓冲存储器尽可能快会改善系统的性能。

使高速缓冲存储器访问加速的一种技术是使用串周期（burst cycles）。在串周期中，数据处理器以模数的方式从一系列存储区取数据，这些存储区是访问地址附近的连续区域或成簇区域。在串访问开始时，数据处理器给存储器发出串地址。该串地址选择并激活存储器的字线，使得在整个串期间该字线有效。位于激活字线上的所有存储单元给相应的位线对提供差分电压。列译码器选择相应于串部分选择的数据位线对的一个子组。然后在最终输出前读出并放大选中位线对间建立的的差分电压。在后续周期中，选择相应于串中其它数据的的其它位线对的子组。由于已经进行了地址译码、字线选择及驱动，以及位线差分，因此后续的串周期更快。

更为流行的第二种技术是使这些存储器与数据处理器的时钟信号同步。由于数据处理器同步访问来自总线的数据，因此存储器可以利用得到的时钟信号来控制它的内部操作。

应用于同步存储器的第三种技术是流水线。流水线把复杂的任务分解为一系列较小的子任务。用异步电路来完成每一个子任务。流水线寄存器在每一个异步电路之间，它接收前一级流水线的输出，与时钟周期信号同步提供给下一级。流水线允许几个操作的不同子任务并行执行，提高了性能。

例如在大量应用流水线的数据处理领域，可以用五级流水线来执行程序指令，包括取指令，指令译码，取操作数，执行，以及回写五级。由于在一条指令回写的同时，可以执行第二条指令，第三条指令可以取操作数等等，因此在这个五级流水线的例子中，性能得以提高。

由于可以很方便地把串访问分解为重叠的子任务，因此流水线也一直应用于同步串存储器。例如，一种熟知的同步存储器流水线包括地址输入级，地址预译码级，阵列访问级，以及数据输出级。和流水线的规律一样，这种存储器在每一级之间都包含有寄存器，总共三个寄存器。当该存储器接收到四个数据的串访问要求时，第一个访问在地址输入和数据输出之间需要四个周期，但是由于流水线的特性，其后的每一个访问只需要一个周期。 因此这种存储器被称为“4－1－1－1”存储器。

然而，随着时代的发展数据处理器的时钟越来越快，使得常规流水线存储器如果不进一步分解电路及加入更多级的流水线就很难使所有信号传送过每一级流水线。因此需要能以更高的时钟速度工作而又不额外增加流水线深度的同步流水线串存储器。本发明提供这种存储器，通过下述结合附图的详细描述可以更清楚地了解其性能和优点。

发明内容

根据本发明的一个方面，提供一种同步流水线串存储器，其特征在于：地址输入缓冲器，它具有：用于接收地址信号的输入端，和用于提供缓冲地址的输出端；地址寄存器，它具有：用于接收串地址的输入端，输出端，及控制输入端；异步存储器内核，它具有：连接到所述地址寄存器的输出端的地址输入端，根据所述串地址按顺序提供

第一数据和第二数据的输出端；数据寄存器，它具有：连接到所述存储器内核输出端的输入端，输出端，及控制输入端；数据输出缓冲器，连接到数据寄存器的输出端，它还有用于提供数据信号的输出端；和同步控制电路，它具有：用于接收周期时钟信号的第一输入端，用于接收串地址控制信号的第二输入端，连接到所述地址寄存器的所述控制输入端、以为其提供第一控制信号的第一输出端，及连接到所述数据寄存器的所述控制输入端、以为其提供第二控制信号的第二输出端，其中，所述同步控制电路响应所述串地址控制信号的激活，在所述周期时钟信号的第一周期中激活所述第一控制信号，在所述第一周期后所述周期时钟信号至少一个周期的所述周期时钟信号的第二个周期中激活所述第二控制信号。

根据本发明的另一方面，提供一种集成电路同步流水线串存储器，其特征在于：多个地址输入缓冲器，每一个都具有连接到相应的多个地址输入端之一的输入端，及输出端，所述的多个地址输入缓冲器接收串地址；地址寄存器，具有连接到所述多个地址输入缓冲器中每一个的所述输出端的输入端，还具有输出端，及控制输入端；异步存储器内核，具有连接到所述地址寄存器的所述输出端的地址输入端，以及响应所述串地址按顺序提供第一数据和第二数据的输出端；数据寄存器，具有连接到所述存储器内核的输出端的输入端，输出端，及控制输入端；多个数据输出缓冲器，每一个都具有连接到所述数据寄存器的所述输出端的输入端，及连接到相应的多个数据输出端之一的输出端；以及同步控制电路，具有用于接收周期时钟信号的第一输入端，用于接收串地址控制信号的第二输入端，第一输出端连接到所述地址寄存器的所述控制输入端，用于为其提供第一控制信号，第二输出端连接到所述数据寄存器的所述控制输入端，用于为其提供第二控制信号，所述同步控制电路响应所述串地址控制信号的激活，在所述周期时钟信号的第一周期中激活所述第一控制信号，在所述第一周期后所述周期时钟信号至少一个周期的所述周期时钟信号的第二个周期中激活所述第二控制信号。

根据本发明的再一方面，提供同步流水线串存储器的工作方法，其特征在于以下步骤：检测对于同步流水线串存储器的串访问；在所述周期时钟信号的第一周期响应周期时钟信号的预定跳变把串地址锁存在地址寄存器中；响应所述串地址，通过将所述串地址输入一个异步存储器内核的输入端按顺序选择第一数据和第二数据；在距离所述第一周期至少一个周期的所述周期时钟信号的第二周期中，响应所述周期时钟信号的所述预定跳变把所述第一数据锁存到一个在所述异步存储器内核的输出端的数据寄存器；输出所述第一数据；在紧接着所述第二周期的所述周期时钟信号的第三周期中，响应所述周期时钟信号的所述预定跳变把所述第二数据锁存到所述数据寄存器；输出所述第二数据。

根据本发明提供的与常规流水线规则不同的存储器，能以更高的时钟速度工作而又不额外增加流水线深度。

附图说明

图 1 的方框图说明根据本发明的高速同步流水线串静态随机存取存储器(SRAM)。

图 2 说明图 1 的存储器的时序图。

具体实施方式

图 1 的方框图说明根据本发明的同步流水线串存储器 20。存储器 20 包括地址输入缓冲器 22，地址寄存器 24，同步控制电路 26，数据寄存器 28，数据输出缓冲器 30，及异步存储器内核 40。地址输入缓冲器 22 具有输入端，用于通过相应的集成电路焊盘接收表示为“SA0-SA15”的 16 位输入地址信号，还具有用于提供缓冲地址信号的输出端。地址寄存器 24 的输入端连接到地址输入缓冲器 22 的输出端，控制输入端用于接收表示为“锁存地址”的信号，输出端连接到异步存储器内核 40 的输入端。同步控制电路 26 的第一输入端用于接收表示为“K”的周期性时钟信号，第二输入端用于接收表示为“$\overline{ADS}$”的地址状态控制信号，第一输出端用于提供锁存地址信号，第二输出端用于提供表示为“增加”的信号，第三输

出端用于提供表示为“锁存数据”的信号。数据寄存器 28，具有连接到异步存储器内核 40 的输出端的输入端，用于接收 LATCH DATA 信号的控制输入端，以及具有输出端。数据输出缓冲器 30 的输入端连接到数据寄存器 28 的输出端，输出端用于把表示为“DQ0－DQ31”的 32 位数据信号送到相应的集成电路焊盘。

异步存储器内核 40 包括地址预译码器 42，行译码器 44，列译码器/选择电路 46，灵敏放大器(amps)48，以及存储矩阵 50。地址预译码器 42 具有连接到地址寄存器 24 输出端的输入端，及具有输出端。行译码器 44 具有连接到地址预译码器 42 输出端的输入端，以及连接到存储矩阵 50 的输出端。列译码器/选择电路 46 具有连接到地址预译码器 42 输出端的地址输入端，用于接收增加信号的控制输入端，连接到存储矩阵 50 的第一数据端，以及具有第二数据端。灵敏放大器 48 具有连接到列译码器/选择电路 46 的第二数据端的输入端，及连接到数据寄存器 28 的输入端的输出端。

存储矩阵 50 是高速静态随机访问存储器(SRAM)矩阵，它包括与位线对交叉的字线阵，每一个存储单元都位于字线和位线对的交叉处。图 1 表示的存储单元 52 连接在字线 54 和由位线 56 与 58 组成的位线对上。存储矩阵 50 最好不是单独一个矩阵，而是被分割成四个部分的一组矩阵，在每一部分又有多个子块。然而存储器 20 的具体密度及把存储矩阵 50 组织成小的子矩阵，四部分，块等等对于本发明并不重要，不需要进一步讨论。

一般工作时，异步存储器内核 40 的功能类似于单片异步 SRAM。在访问周期，异步存储器内核 40 分两部分对地址译码。第一部分由地址预译码器 42 完成。地址预译码器 42 接收存储在地址寄存器 24 的缓冲地址，并产生一组预译码信号，其中的一些输入到行译码器 44，其它输入到列译码器/选择电路 46。与行译码(在选中的部分)有关的信号输入到行译码器 44，激活一根字线。例如响应于激活的字线 54，存储单元 52 在位线 56 和 58 之间形成表示存储在其中的逻辑状态的差分电压。该差分电压比较小，位线必须分得一定大小的电压才能使

灵敏放大器 48 准确地检测到存储单元 52 的逻辑状态。列译码器/选择电路 46 响应增加信号，根据预定的增量大小(例如模数（modulo）方式)使列地址增加，沿着相应于字线 54 的行产生连续的数据。

为了改善性能，存储器 20 采用流水线结构。信号 K 由低变为高时在地址输入缓冲器 22 的输入端建立地址信号 SA0－SA15。该输入地址响应锁存地址信号锁存到地址寄存器 24 中。当输入信号 $\overline{ADS}$ 有效时，在信号 K 从低变高并延迟一定时间后，同步控制电路 26 在第一时钟周期中激活锁存地址信号。该输入地址 SA0－SA15 表示驱动异步存储器内核 40 的串地址。

此后，异步存储器内核 40 进行地址预译码及行和列译码，以选择选中地址处的唯一数据字。列译码器/选择电路 46 把选中的位线连接到灵敏放大器 48。在该位线间建立表示被访问的存储单元的状态的微小的差分电压。然后灵敏放大器 48 检测并放大该微小的差分电压，在其输出端提供大的单端电压。

常规流水线串存储器器件的工作速度受到通过异步存储器内核 40 的延迟的限制。如果时钟信号 K 高于一定的频率，其周期可能太短，以致于在下一个 K 信号周期传输通过存储器内核到达输出端的信号失效。解决此问题的常规方法是额外加入流水线寄存器，以把异步存储器内核 40 中的电路划分为两个较小的次级电路。这种解决方法需要加入额外的访问周期及额外的寄存器。

然而根据本发明，用与常规流水线规则不同的存储器 20 来解决这个问题。在第一个 K 周期，存储器 20 激活锁存地址信号，但是在紧接其后的第二个 K 周期不激活锁存数据信号。同步控制电路 26 只在下一个或更后的 K 周期的第三个 K 周期中激活锁存数据信号。

参考图 2 可以更好地了解这些过程的时序，其中说明了图 1 中存储器 20 的时序图。在图 2 中，水平轴表示时间，纵轴表示各个信号的电压。存储器 20 利用周期时钟信号 K 从低到高的跳变来同步内部过程。K 是标准总线时钟信号，其频率是数据处理器内部时钟频率的一部分。图 2 表示了表示为“T1”、“T2”等的七个完整的 K 时钟

周期，用连续的 K 时钟低到高的跳变作为周期的开始。T1 由低到高的跳变称为 T1 的“上升沿”。

数据处理器通过把有效地址送到信号线 SA0－SA15 并激活控制信号 $\overline{ADS}$ 开始串访问。如图 2 所示，数据处理器在邻近标为“T1”的下一个 K 时钟周期的上升沿之前的 K 时钟周期中激活这些信号。

同步控制电路 26 在 T1 的上升沿响应激活的信号 $\overline{ADS}$，激活锁存地址信号，以把 SA0－SA15 锁存到地址寄存器 24。地址预译码器 42 和行译码器 44 响应地址寄存器 24 输出的这个新的地址，共同完成行译码功能，激活字线，例如字线 54。字线 54 的激活使得位于该字线上的所有存储单元根据字线 54 上的相应存储单元中存储的该位的逻辑状态使位线(已经予充电并平衡)电位差变。位线电位差变很慢，但最终可以得到足够大的差分电位，能准确检测并放大。地址预译码器 42 及列译码器/选择电路 46 共同完成列译码功能，开始选择串周期的第一个数据。

同步控制电路 26 在 T3 的上升沿激活锁存数据信号，延迟一定时间之后存储器 20 输出访问的数据。注意在 T2 的上升沿，同步控制电路 26 并不激活任何流水线寄存器。

其后的串访问如下进行：在 T3 的上升沿，同步控制电路 26 激活送到列译码器/选择电路 46 的增加信号。列译码器/选择电路 46 响应接收到的增加信号改变列地址，选择串访问的下一个数据。行地址不改变。在 T3 的剩余时间检测该数据。在 T4 的上升沿之前数据寄存器 28 的输入端的该数据有效，在该时钟沿同步控制电路 26 使该数据锁存到数据寄存器 28。延迟一定时间后，该数据在外部管腿上有效，数据处理器也可能在 T5 的上升沿将其锁存。后续的串访问以同样的方式进行。

存储器 20 利用了从字线开始激活到建立足够的位线差分电位的时间不适宜使用另外的流水线这一事实。此外，由于这些信号线长，电容大，因此激活字线及使位线产生差分电位所需时间很长。通过打破常规的流水线规则，能在第一个周期(T2)开始激活字线，使得选中

的存储单元能用多于一个周期来使它们连接的位线产生差分电位。由于存储器 20 允许用比锁存地址预译码器 42 的输出更多的时间来加大位线的差分电压，因此检测更加可靠。

虽然通过优选实施方式描述了本发明，对于熟悉本专业的技术人员来说，可以以各种方式修改本发明，还可以采用除了以上提出及描述以外的许多实施方式。例如，流水线技术可以应用于能响应串周期的任何类型的存储器，包括 SRAMs，动态随机存取存储器(DRAMs)，只读存储器(ROMs)，可编程 ROMs(PROMs)，可擦除 PROMs(EPROMs)，电可擦除 PROMs(EEPROMs)，块可擦除(flash)EEPROMs 等。根据本发明的存储器也支持除 4－1－1－1 以外的其它类型的串访问。此外，虽然存储器 20 只执行串访问，但该流水线技术也能用于执行单周期访问的存储器中。因此附加的权利要求涵盖所有在本发明合法范围内的所有修改方案。

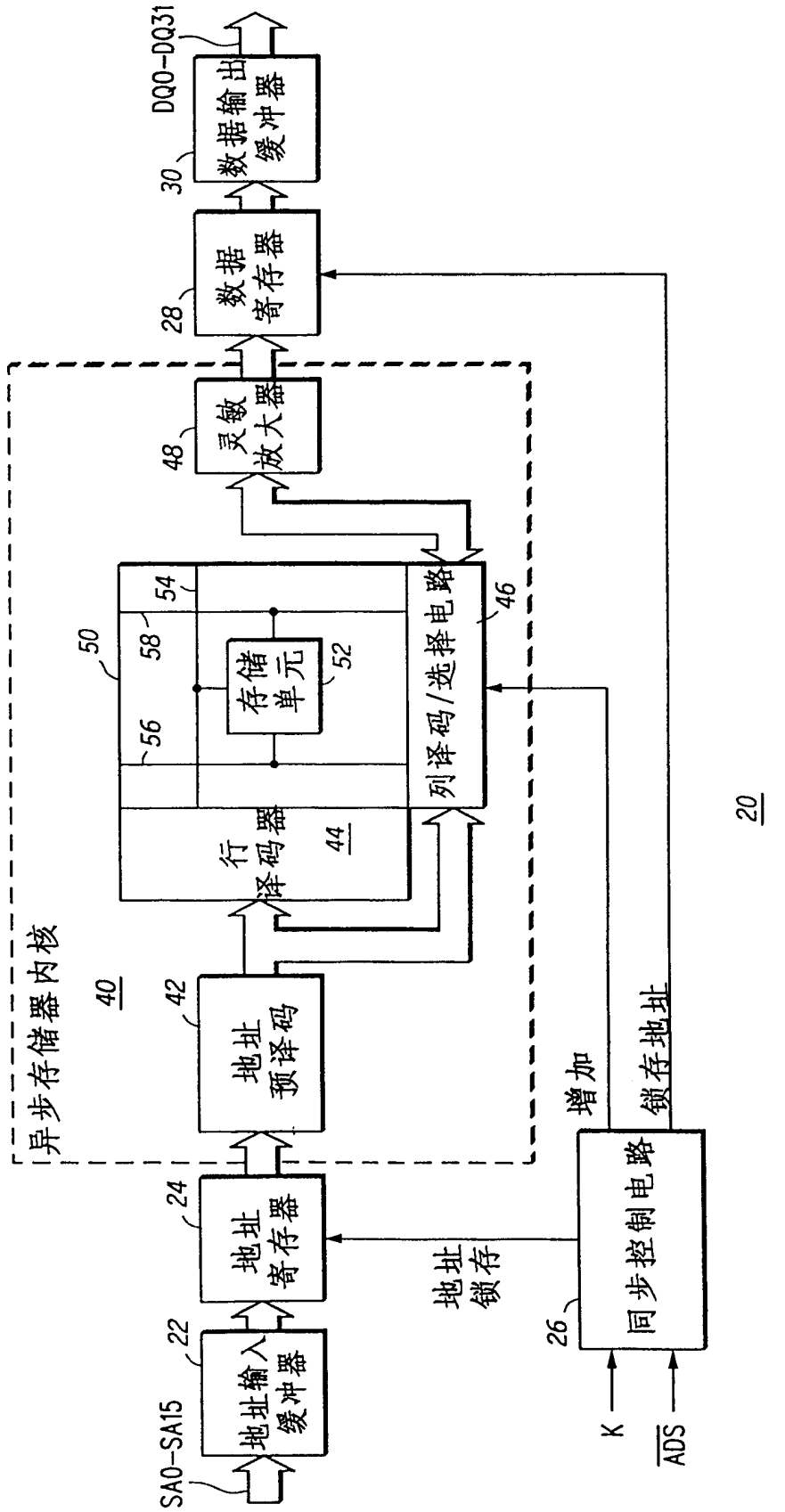

DQ0-DQ31
30
数据输出缓冲器
28
数据寄存器
48
灵敏放大器
50
54
58
56
存储单元
52
列译码/选择电路
46
行译码器
44
异步存储器内核
40
42
地址预译码
24
地址寄存器
22
地址输入缓冲器
SA0-SA15
地址锁存
增加
锁存地址
26
同步控制电路
K
ADS
20

图 1

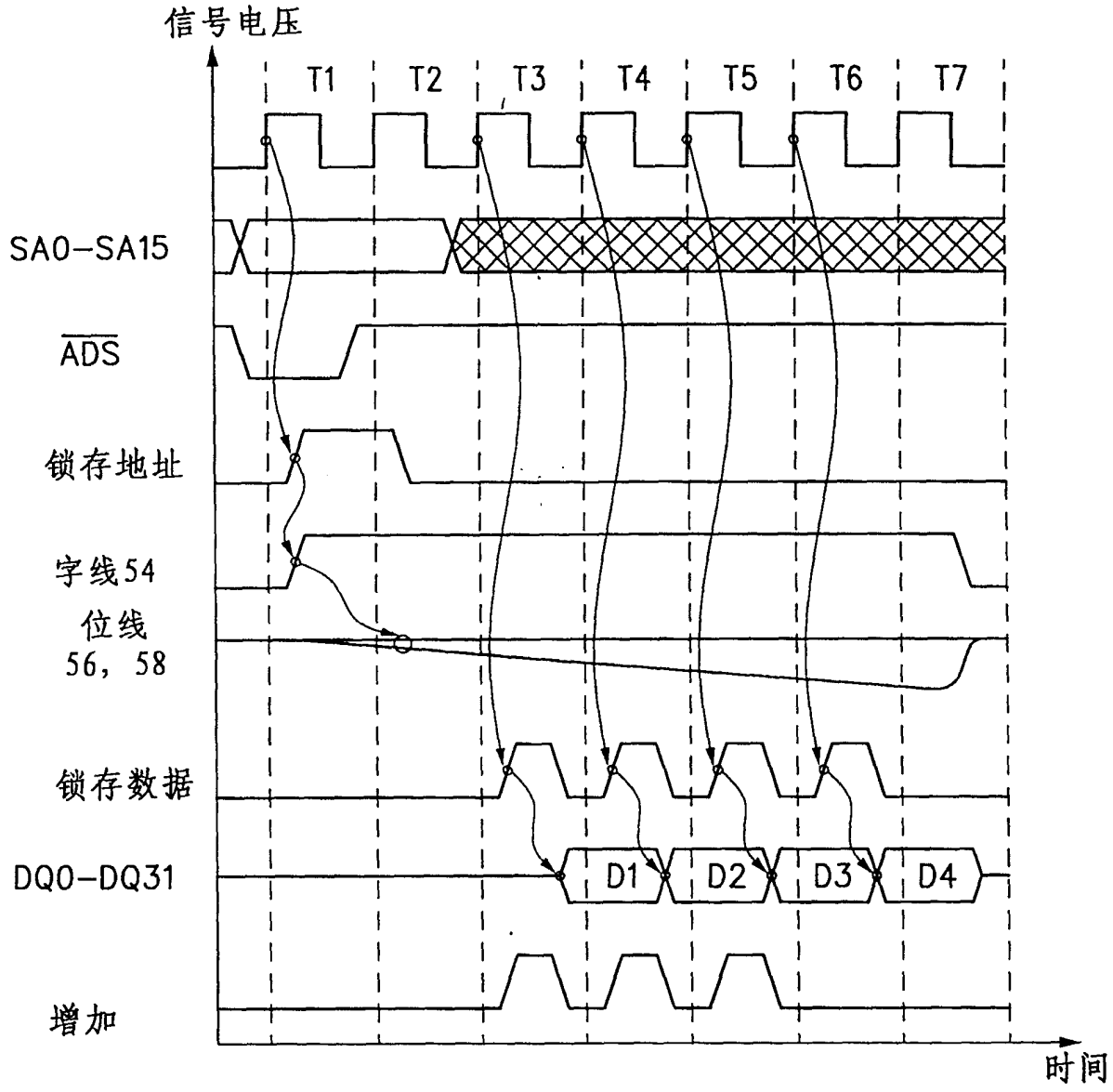

信号电压
T1
T2
T3
T4
T5
T6
T7
SA0-SA15
ADS
锁存地址
字线54
位线
56，58
锁存数据
DQ0-DQ31
D1
D2
D3
D4
增加
时间

图 2