

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5356598号
(P5356598)

(45) 発行日 平成25年12月4日(2013.12.4)

(24) 登録日 平成25年9月6日(2013.9.6)

(51) Int. Cl.	F I		
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08	1 O 2 A	
HO 1 L 27/088 (2006.01)	HO 1 L 27/08	1 O 2 E	

請求項の数 12 (全 13 頁)

(21) 出願番号	特願2012-524103 (P2012-524103)	(73) 特許権者	512037576
(86) (22) 出願日	平成22年10月26日 (2010.10.26)		無錫華潤上華半導体有限公司
(65) 公表番号	特表2013-502056 (P2013-502056A)		CSMC TECHNOLOGIES F
(43) 公表日	平成25年1月17日 (2013.1.17)		AB1 CO., LTD.
(86) 国際出願番号	PCT/CN2010/078121		中華人民共和国214028江蘇省無錫市
(87) 国際公開番号	W02011/050712		国家高新技术産業開発区漢江路5号
(87) 国際公開日	平成23年5月5日 (2011.5.5)		No. 5 Hanjiang Road,
審査請求日	平成24年2月14日 (2012.2.14)		National Hi-Tech In
(31) 優先権主張番号	200910209187.5		dustrial Developmen
(32) 優先日	平成21年10月28日 (2009.10.28)		t Zone, Wuxi, Jiangsu
(33) 優先権主張国	中国 (CN)		214028 P. R. China

最終頁に続く

(54) 【発明の名称】 混在するVDMOSトランジスタ及びLDMOSトランジスタおよびその作成方法

(57) 【特許請求の範囲】

【請求項1】

LDMOSトランジスタ領域とVDMOSトランジスタ領域を有する基板を提供し、
前記基板にイオンを注入し、N埋め込み層領域を形成し、
前記N埋め込み層領域にエピタキシャル層が形成された後に、該エピタキシャル層にイオンを注入し、前記LDMOSトランジスタ領域にNウェルとPウェルとを形成し、前記VDMOSトランジスタ領域に高電圧Nウェルを形成し、
前記LDMOSトランジスタ領域の前記Nウェルと前記Pウェルとの境の接する箇所及び前記LDMOSトランジスタ領域と前記VDMOSトランジスタ領域との境の接する箇所に、隔離領域を形成し、
前記LDMOSトランジスタ領域の前記Pウェルにドリフト領域を形成し、
前記LDMOSトランジスタ領域の前記Pウェルの前記エピタキシャル層の一部と前記ドリフト領域の一部、及び前記VDMOSトランジスタ領域にゲートを形成し、
前記LDMOSトランジスタ領域の前記ゲートと前記隔離領域との間の前記エピタキシャル層内、及び前記VDMOSトランジスタ領域の複数の前記ゲートのそれぞれの間に存在する前記エピタキシャル層内にPBODY領域を形成し、
前記LDMOSトランジスタ領域の複数の前記ドリフト領域のそれぞれの間に存在する前記エピタキシャル層内に、N型のGRADE領域を形成し、
前記VDMOSトランジスタ領域の前記隔離領域と前記隔離領域に隣接する前記ゲートとの間の前記エピタキシャル層内に、前記N埋め込み層領域と連通するNSINK領域を

10

20

形成し、

前記 L D M O S トランジスタ領域の前記 P B O D Y 領域内にソースを形成し、前記 N 型の G R A D E 領域内にドレインを形成し、前記 V D M O S トランジスタ領域の前記 P B O D Y 領域内にソースを形成し、前記 N S I N K 領域にドレインを形成し、

前記 L D M O S トランジスタ領域の前記 P B O D Y 領域に前記ソースと接続する P + 領域を形成する、ことを含むことを特徴とする、混在する V D M O S トランジスタ及び L D M O S トランジスタの作成方法。

【請求項 2】

前記の N S I N K が形成される領域に注入されたイオンはリンイオンである、ことを特徴とする請求項 1 に記載の混在する V D M O S トランジスタ及び L D M O S トランジスタの作成方法。

10

【請求項 3】

前記の注入されたイオンの剂量は $1 \times 10^{15} / \text{cm}^2$ であり、エネルギーは 300 KeV ~ 400 KeV である、ことを特徴とする請求項 2 に記載の混在する V D M O S トランジスタ及び L D M O S トランジスタの作成方法。

【請求項 4】

前記の N 埋め込み層が形成される領域に注入されたイオンはアンチモンイオンであり、注入されたイオンの剂量は $1 \times 10^{15} / \text{cm}^2$ であり、エネルギーは 40 KeV である、ことを特徴とする請求項 1 に記載の混在する V D M O S トランジスタ及び L D M O S トランジスタの作成方法。

20

【請求項 5】

前記のドリフト領域の形成には、

前記 P ウェルにリンイオンを注入してドリフト領域を形成し、該ドリフト領域に酸化プロセスを行って L O C O S フィールドプレートを形成することをさらに、含むことを特徴とする請求項 1 に記載の混在する V D M O S トランジスタ及び L D M O S トランジスタの作成方法。

【請求項 6】

前記の注入されたリンイオンの剂量は $1 \times 10^{12} / \text{cm}^2$ であり、エネルギーは 40 KeV ~ 50 KeV である、ことを特徴とする請求項 5 に記載の混在する V D M O S トランジスタ及び L D M O S トランジスタの作成方法。

30

【請求項 7】

前記のドリフト領域を酸化する方法は湿式熱酸化法である、ことを特徴とする請求項 5 に記載の混在する V D M O S トランジスタ及び L D M O S トランジスタの作成方法。

【請求項 8】

前記の P B O D Y が形成される領域に注入されたイオンはホウ素イオンであり、注入されたイオンの剂量は $2 \times 10^{13} / \text{cm}^2$ であり、エネルギーは 40 KeV である、ことを特徴とする請求項 1 に記載の混在する V D M O S トランジスタ及び L D M O S トランジスタの作成方法。

【請求項 9】

前記の N 型の G R A D E が形成される領域に注入されたイオンはリンイオンであり、注入されたイオンの剂量は $1 \times 10^{13} / \text{cm}^2$ であり、エネルギーは 80 KeV ~ 100 KeV である、ことを特徴とする請求項 1 に記載の混在する V D M O S トランジスタ及び L D M O S トランジスタの作成方法。

40

【請求項 10】

前記のソース/ドレインが形成される領域に注入されたイオンは砒素イオンであり、注入されたイオンの剂量は $4 \times 10^{15} / \text{cm}^2$ であり、エネルギーは 80 KeV である、ことを特徴とする請求項 1 に記載の混在する V D M O S トランジスタ及び L D M O S トランジスタの作成方法。

【請求項 11】

前記の P + 領域が形成される領域に注入されたイオンは二フッ化砒素イオンであり、注

50

入されたイオンの剂量は $2 \times 10^{15} / \text{cm}^2$ であり、エネルギーは $60 \text{ KeV} \sim 80 \text{ KeV}$ である、ことを特徴とする請求項 1 に記載の混在する VDMOS トランジスタ及び LDMOS トランジスタの作成方法。

【請求項 1 2】

LDMOS トランジスタ領域と VDMOS トランジスタ領域とを含む基板と、
前記基板内に位置する N 埋め込み層領域と、
前記 N 埋め込み層領域上に位置するエピタキシャル層と、
前記 LDMOS トランジスタ領域の前記エピタキシャル層内に形成された N ウェル及び
該 N ウェルと接続する P ウェルと、
前記 VDMOS トランジスタ領域に形成された高電圧 N ウェルと、 10
前記 LDMOS トランジスタ領域の前記 N ウェルと前記 P ウェルとの境の接する箇所及
び前記 LDMOS トランジスタ領域と前記 VDMOS トランジスタ領域との境の接する箇
所に位置する隔離領域と、
前記 LDMOS トランジスタ領域の前記 P ウェルに位置するドリフト領域と、
前記 LDMOS トランジスタ領域の前記 P ウェルの前記エピタキシャル層の一部と前記
ドリフト領域の一部、及び前記 VDMOS トランジスタ領域の前記エピタキシャル層上に
位置するゲートと、
前記 LDMOS トランジスタ領域の前記ゲートと前記隔離領域との間の前記エピタキシ
シャル層内、及び前記 VDMOS トランジスタ領域の複数の前記ゲートのそれぞれの間に存
在する前記エピタキシャル層内に位置する P BODY 領域と、 20
前記 LDMOS トランジスタ領域の複数の前記ドリフト領域のそれぞれの間に存在する
前記エピタキシャル層内に位置する N 型の GRADE 領域と、
前記 LDMOS トランジスタ領域及び前記 VDMOS トランジスタ領域の前記 P BODY
領域内に位置するソースと、
前記 LDMOS トランジスタ領域の前記 P BODY 領域内に位置し、且つ、前記ソース
と接続する P+ 領域と、
前記 VDMOS トランジスタ領域の前記隔離領域と前記隔離領域に隣接する前記ゲート
との間の前記エピタキシャル層内に位置し、且つ前記 N 埋め込み層領域と連通する NSI
NK 領域と、
前記 LDMOS トランジスタ領域の前記 N 型の GRADE 領域内、及び前記 NSINK 30
領域内に位置するドレインと、
を含む混在する VDMOS トランジスタ及び LDMOS トランジスタである。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイスの製造分野に関し、特に、混在する VDMOS トランジスタ及び LDMOS トランジスタ及びその作成方法に関する。

【0002】

本出願は、2009年10月28日に中国特許庁へ提出した、出願番号が200910209187.5 であって、発明名称が「混在する VDMOS トランジスタ及び LDMOS トランジスタ及びその作成方法」である中国特許出願の優先権を主張し、その内容の全ては本出願に組み合わせられるように援用される。

【背景技術】

【0003】

半導体プロセス技術の発展につれて、BIPOLAR (バイポーラ)、CMOS (相補型金属酸化物半導体電界効果トランジスタ) 及び DMOS (二重拡散金属酸化物半導体電界効果トランジスタ) の三つの元々独立した分岐は、互いに融合されつつあり、BIPOLAR と CMOS により集積された BICMOS、及びその三つと共に集積された BCD プロセスが発展している。Bipolar/CMOS/DMOS により整合された BCD プロセスは、通常の以下のような 3 つの異なるタイプのプロセスを結合したものである。 1 50

)、bipolarがアナログ制御に対するもの。2)、CMOSがデジタル制御に対するもの。3)、DMOSは、ICチップまたはシステムにおいて管理上発生した高い電圧や大きい電流を処理して、システムのソフトスタート及び電力出力を実現することに対するもの。BCDプロセスは、以上の3種のデバイスそれぞれの利点を総合しているため、BCDに基づく製品に複雑な制御機能を集積させることができ、電力集積回路の主流なプロセス技術になっている。BCDプロセスについて、異なる回路に異なるデバイスを選択して、相応しいサブ回路の最適化に達成して、全体回路の低消費電力、高集積度、高速度、高駆動力、大電流の要求を実現するようになっている。

【0004】

現在、BCDプロセスに現れた高電圧MOSトランジスタのいずれもLDMOS(横方向二重拡散金属酸化物半導体)を主としている。従来のBCDプロセスでLDMOSTランジスタを形成するには、図1に示すように、以下のようなステップが含まれており、即ち、材料がシリコンまたはシリコンゲルマニウム等であっても良い基板を提供し、基板にホウ素イオンを注入してN埋め込み層領域101を形成し、エピタキシャル法によりN埋め込み層領域101にNエピタキシャル層を形成し、Nエピタキシャル層上に第1のフォトレジスト層(図示せず)を形成し、フォトエッチングプロセスの後にNウェルパターンを定義し、第1のフォトレジスト層をマスクとしてNウェルパターンに沿ってNエピタキシャル層にリンイオンを注入してNウェル102を形成し、第1のフォトレジスト層を除去した後に、Nエピタキシャル層上に第2のフォトレジスト層(図示せず)を形成し、フォトエッチングプロセスの後に、Pウェルパターンを定義し、第2のフォトレジスト層をマスクとしてPウェルパターンに沿ってNエピタキシャル層にホウ素イオンを注入し、Pウェル103を形成する。

【0005】

図2に示すように、第2のフォトレジスト層を除去した後に、フィールド酸化法によりNウェル102とPウェル103との境の接する箇所に、シリコン局所酸化隔離(LOCOS)領域104を形成し、Nエピタキシャル層上に第3のフォトレジスト層(図示せず)を形成し、フォトエッチングプロセスの後に、Pウェル103領域にドリフト領域パターンを定義し、第3のフォトレジスト層をマスクとしてドリフト領域パターンに沿ってNエピタキシャル層にリンイオンを注入し、焼き鈍しプロセスを行ってドリフト領域106aを形成し、続いて、第3のフォトレジスト層をマスクとして湿式熱酸化法でドリフト領域106aのエピタキシャル層を酸化してLOCOSフィールドプレート106bを形成する。次に、第3のフォトレジスト層を除去する。

【0006】

図3に示すように、Nエピタキシャル層上に多結晶シリコン層及び第4のフォトレジスト層(図示せず)を順に形成し、露出・現像のプロセスの後に、第4のフォトレジスト層にゲートパターンを定義し、第4のフォトレジスト層をマスクとしてゲートパターンに沿って多結晶シリコン層をエッチングして、Pウェル103領域のNエピタキシャル層の一部及びドリフト領域にゲート108を形成する。第4のフォトレジスト層を除去する。

【0007】

図4を参照し、Nエピタキシャル層、シリコン局所酸化隔離(LOCOS)領域104及びゲート108上に第5のフォトレジスト層(図示せず)を形成し、露出・現像のプロセスの後に、Pウェル103領域のゲート108とシリコン局所酸化隔離(LOCOS)領域104との間の第5のフォトレジスト層に、PBODY領域(P型基板濃度過渡領域)パターンを定義し、第5のフォトレジスト層をマスクとしてPBODY領域パターンに沿ってNエピタキシャル層内にリンイオンを注入し、PBODY領域109を形成する。なお、前記PBODY領域109は、ソース/ドレインとの横方向拡散長さにより有効的なチャンネルを形成し、LDMOSの閾値電圧を制御することに用いられる。第5のフォトレジスト層を除去した後に、Nエピタキシャル層、シリコン局所酸化隔離(LOCOS)領域104及びゲート108上に第6のフォトレジスト層(図示せず)を形成し、露出・現像のプロセスの後に、ドリフト領域106間の第6のフォトレジスト層に開口パター

10

20

30

40

50

ンを定義し、第6のフォトリソ層をマスクとして開口パターンに沿ってNエピタキシャル層内にリンイオンを注入し、焼き鈍しプロセスの後に、リンイオンに均一に拡散させ、且つ深さを増加させて、N型GRADE（濃度勾配）領域110を形成する。なお、前記GRADE領域110は、ソース/ドレインの外面に、低濃度のN型のイオンを形成し、PN接合のドーピング濃度を低下し、接合のブレイクダウン電圧を高めるために用いられる。第6のフォトリソ層を除去する。

【0008】

図5に示すように、Nエピタキシャル層、シリコン局所酸化隔離（LOCOS）領域104及びゲート108上に第7のフォトリソ層（図示せず）を形成し、露出・現像のプロセスの後に、ソース/ドレインパターンを形成し、第7のフォトリソ層をマスクとしてソース/ドレインに沿ってNエピタキシャル層内のPBODY領域109及びN型のGRADE領域110にリンイオンを注入し、PBODY領域109内にソースSを形成し、N型のGRADE領域110内にドレインDを形成する。続いて図5を参照し、第7のフォトリソ層を除去した後に、Nエピタキシャル層、シリコン局所酸化隔離（LOCOS）領域104及びゲート108上に第8のフォトリソ層（図示せず）を形成し、露出・現像のプロセスの後に、P+領域パターンを定義し、第8のフォトリソ層をマスクとしてP+領域に沿ってNエピタキシャル層内のPBODY領域109にホウ素イオンを注入し、P+領域112を形成する。なお、前記P+領域112は、ソースSと接続されており、基板電極とソースとの短絡を防止し、バルク効果を減少するために用いられる。次に、第8のフォトリソ層を除去する。

【0009】

しかしながら、従来のBCDプロセスにおける高電圧MOSのいずれも、LDMOSを主としているため、LDMOSとVDMOS（垂直二重拡散金属酸化物半導体）と同時に同一プロセスで混在可能となり、LDMOSの高耐圧を満足すると共に、VDMOSの大電流駆動能力も満足することは実現できない。

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明が解決しようとする問題は、混在するVDMOSTランジスタ及びLDMOSTランジスタの製作方法を提供し、BCDプロセスにおけるVDMOSTランジスタとLDMOSTランジスタとが混在できないことを防止することにある。

【課題を解決するための手段】

【0011】

上記問題を解決するために、本発明は、混在するVDMOSTランジスタ及びLDMOSTランジスタの作成方法を提供し、以下のようなことが含まれている。LDMOSTランジスタ領域とVDMOSTランジスタ領域を有する基板を提供し、基板にイオンを注入し、N埋め込み層領域を形成し、N埋め込み層領域にエピタキシャル層が形成された後に、エピタキシャル層にイオンを注入し、LDMOSTランジスタ領域にNウェルとPウェルとを形成し、VDMOSTランジスタ領域に高電圧Nウェルを形成し、LDMOSTランジスタ領域のNウェルとPウェルとの境の接する箇所及びLDMOSTランジスタとVDMOSTランジスタとの境の接する箇所に、隔離領域を形成し、LDMOSTランジスタ領域のPウェル領域にドリフト領域を形成し、LDMOSTランジスタ領域のPウェル領域のエピタキシャル層の一部とドリフト領域の一部、及びVDMOSTランジスタ領域にゲートを形成し、LDMOSTランジスタ領域のゲートと隔離領域との間のエピタキシャル層内、及びVDMOSTランジスタ領域のゲートの間のエピタキシャル層内にPBODY領域を形成し、LDMOSTランジスタ領域のドリフト領域の間のエピタキシャル層内に、N型のGRADE領域を形成し、VDMOSTランジスタ領域の隔離領域と隣接ゲートとの間のエピタキシャル層内に、N埋め込み層領域と連通するNSINK領域を形成し、LDMOSTランジスタ領域のPBODY領域内にソースを形成し、N型のGRADE領域内にドレインを形成し、VDMOSTランジスタ領域のPBODY領域内にソース

を形成し、N S I N K領域にドレインを形成し、L D M O Sトランジスタ領域のP B O D Y領域にソースと接続するP +領域を形成する。

【0012】

好ましく、前記のN S I N Kが形成される領域に注入されたイオンはリンイオンである。前記の注入されたイオンの剂量は $1 \times 10^{15} / \text{cm}^2$ であり、エネルギーは300 KeV ~ 400 KeVである。

【0013】

好ましく、前記のN埋め込み層が形成される領域に注入されたイオンはアンチモンイオンであり、注入されたイオンの剂量は $1 \times 10^{15} / \text{cm}^2$ であり、エネルギーは40 KeVである。

10

【0014】

好ましく、前記のドリフト領域の形成には、Pウェル局所領域にリンイオンを注入してドリフト領域を形成し、ドリフト領域に酸化プロセスを行ってL O C O Sフィールドプレートを形成することをさらに含む。

【0015】

好ましく、前記の注入されたリンイオンの剂量は $1 \times 10^{12} / \text{cm}^2$ であり、エネルギーは40 KeV ~ 50 KeVである。前記のドリフト領域を酸化する方法は湿式熱酸化法である。

【0016】

好ましく、前記のP B O D Yが形成される領域に注入されたイオンはホウ素イオンであり、注入されたイオンの剂量は $2 \times 10^{13} / \text{cm}^2$ であり、エネルギーは40 KeVである。

20

【0017】

好ましく、前記のN型のG R A D Eが形成される領域に注入されたイオンはリンイオンであり、注入されたイオンの剂量は $1 \times 10^{13} / \text{cm}^2$ であり、エネルギーは80 KeV ~ 100 KeVである。

【0018】

好ましく、前記のソース/ドレインが形成される領域に注入されたイオンは砒素イオンであり、注入されたイオンの剂量は $4 \times 10^{15} / \text{cm}^2$ であり、エネルギーは80 KeVである。

【0019】

好ましく、前記のP +領域が形成される領域に注入されたイオンは二フッ化硼素イオンであり、注入されたイオンの剂量は $2 \times 10^{15} / \text{cm}^2$ であり、エネルギーは60 KeV ~ 80 KeVである。

30

【0020】

本発明は、混在するV D M O Sトランジスタ及びL D M O Sトランジスタを提供し、当該混在するV D M O Sトランジスタ及びL D M O Sトランジスタは、L D M O Sトランジスタ領域とV D M O Sトランジスタ領域とを含む基板と、基板内に位置するN埋め込み層領域と、N埋め込み層領域上に位置するエピタキシャル層と、L D M O Sトランジスタ領域のNエピタキシャル層内に形成されたNウェル及びNウェルと接続するPウェルと、V D M O Sトランジスタ領域に形成された高電圧Nウェルと、L D M O Sトランジスタ領域のNウェルとPウェルとの境の接する箇所及びL D M O Sトランジスタ領域とV D M O Sトランジスタ領域との境の接する箇所に位置する隔離領域と、L D M O Sトランジスタ領域のPウェル領域に位置するドリフト領域と、L D M O Sトランジスタ領域のPウェル領域のエピタキシャル層の一部とドリフト領域の一部、及びV D M O Sトランジスタ領域のエピタキシャル層上に位置するゲートと、L D M O Sトランジスタ領域のゲートと隔離領域との間のエピタキシャル層内、及びV D M O Sトランジスタ領域のゲートの間のエピタキシャル層内に位置するP B O D Y領域と、L D M O Sトランジスタ領域のドリフト領域の間のエピタキシャル層内に位置するN型のG R A D E領域と、L D M O Sトランジスタ領域及びV D M O Sトランジスタ領域のP B O D Y領域内に位置するソースと、L D M O Sトランジスタ領域のP B O D Y領域内に位置し、且つ、ソースと接続するP +領域と、

40

50

VDMOSトランジスタ領域の隔離領域と隣接ゲートとの間のエピタキシャル層内に位置し、且つN埋め込み層領域と連通するNSINK領域と、LDMOSトランジスタ領域のN型のGRADE領域内、及びNSINK領域内に位置するドレインと、を含む。

【0021】

従来技術と比べると、本発明は以下の利点を含む。VDMOSトランジスタ領域の隔離領域と隣接ゲートとの間のエピタキシャル層内にN埋め込み層領域と連通するNSINK領域を形成する。ドレイン間を連通することによって、BCDプロセスにおけるLDMOSトランジスタとVDMOSトランジスタとの混在技術が実現したため、高電圧や大電流という性能要求が実現した。

【図面の簡単な説明】

10

【0022】

【図1】従来のBCDプロセスで形成されたLDMOSトランジスタの模式図である。

【図2】従来のBCDプロセスで形成されたLDMOSトランジスタの模式図である。

【図3】従来のBCDプロセスで形成されたLDMOSトランジスタの模式図である。

【図4】従来のBCDプロセスで形成されたLDMOSトランジスタの模式図である。

【図5】従来のBCDプロセスで形成されたLDMOSトランジスタの模式図である。

【図6】本発明の方法で作成された、混在するVDMOSトランジスタ及びLDMOSトランジスタの模式図である。

【図7】本発明の方法で作成された、混在するVDMOSトランジスタ及びLDMOSトランジスタの模式図である。

20

【図8】本発明の方法で作成された、混在するVDMOSトランジスタ及びLDMOSトランジスタの模式図である。

【図9】本発明の方法で作成された、混在するVDMOSトランジスタ及びLDMOSトランジスタの模式図である。

【図10】本発明の方法で作成された、混在するVDMOSトランジスタ及びLDMOSトランジスタの模式図である。

【図11】本発明の方法で作成された、混在するVDMOSトランジスタ及びLDMOSトランジスタの模式図である。

【発明を実施するための形態】

【0023】

30

本発明によれば、混在するVDMOSトランジスタ及びLDMOSトランジスタの作成の具体的な実施例は以下の通りである。即ち、LDMOSトランジスタ領域とVDMOSトランジスタ領域を有する基板を提供し、基板にイオンを注入し、N埋め込み層領域を形成し、N埋め込み層領域にエピタキシャル層が形成された後に、エピタキシャル層にイオンを注入し、LDMOSトランジスタ領域にNウェルとPウェルとを形成し、VDMOSトランジスタ領域に高電圧Nウェルを形成し、LDMOSトランジスタ領域のNウェルとPウェルとの境の接する箇所及びLDMOSトランジスタとVDMOSトランジスタとの境の接する箇所に、隔離領域を形成し、LDMOSトランジスタ領域のPウェル領域にドリフト領域を形成し、LDMOSトランジスタ領域のPウェル領域のエピタキシャル層の一部とドリフト領域の一部、及びVDMOSトランジスタ領域にゲートを形成し、LDMOSトランジスタ領域のゲートと隔離領域との間のエピタキシャル層内、及びVDMOSトランジスタ領域のゲートの間のエピタキシャル層内にPBODY領域を形成し、LDMOSトランジスタ領域のドリフト領域の間のエピタキシャル層内に、N型のGRADE領域を形成し、VDMOSトランジスタ領域の隔離領域と隣接ゲートとの間のエピタキシャル層内に、N埋め込み層領域と連通するNSINK領域を形成し、LDMOSトランジスタ領域のPBODY領域内にソースを形成し、N型のGRADE領域内にドレインを形成し、VDMOSトランジスタ領域のPBODY領域内にソースを形成し、NSINK領域にドレインを形成し、LDMOSトランジスタ領域のPBODY領域にソースと接続するP+領域を形成する。

40

【0024】

50

上記の実施例による、混在するVDMOSTランジスタ及びLDMOSTランジスタは、LDMOSTランジスタ領域とVDMOSTランジスタ領域とを含む基板と、基板内に位置するN埋め込み層領域と、N埋め込み層領域上に位置するエピタキシャル層と、LDMOSTランジスタ領域のNエピタキシャル層内に形成されたNウェル及びNウェルと接続するPウェルと、VDMOSTランジスタ領域に形成された高電圧Nウェルと、LDMOSTランジスタ領域のNウェルとPウェルとの境の接する箇所及びLDMOSTランジスタ領域とVDMOSTランジスタ領域との境の接する箇所に位置する隔離領域と、LDMOSTランジスタ領域のPウェル領域に位置するドリフト領域と、LDMOSTランジスタ領域のPウェル領域のエピタキシャル層の一部とドリフト領域の一部、及びVDMOSTランジスタ領域のエピタキシャル層上に位置するゲートと、LDMOSTランジスタ領域のゲートと隔離領域との間のエピタキシャル層内、及びVDMOSTランジスタ領域のゲートの間のエピタキシャル層内に位置するPBODY領域と、LDMOSTランジスタ領域のドリフト領域の間のエピタキシャル層内に位置するN型のGRADE領域と、LDMOSTランジスタ領域及びVDMOSTランジスタ領域のPBODY領域内に位置するソースと、LDMOSTランジスタ領域のPBODY領域内に位置し、且つ、ソースと接続するP+領域と、VDMOSTランジスタ領域の隔離領域と隣接ゲートとの間のエピタキシャル層内に位置し、且つN埋め込み層領域と連通するNSINK領域と、LDMOSTランジスタ領域のN型のGRADE領域内、及びNSINK領域内に位置するドレインと、を含む混在するVDMOSTランジスタ及びLDMOSTランジスタである。

【0025】

本発明によれば、VDMOSTランジスタ領域の隔離領域と隣接ゲートとの間のエピタキシャル層内にN埋め込み層領域と連通するNSINK領域を形成する。ドレイン間を連通することによって、BCDプロセスにおけるLDMOSTランジスタとVDMOSTランジスタとの混在技術が実現したため、高電圧や大電流という性能要求が実現した。

【0026】

以下、図面を参考しながら、本発明の具体的な実施例を詳細に説明する。

【0027】

図6乃至図11は本発明の方法で作成された、混在するVDMOSTランジスタ及びLDMOSTランジスタの模式図である。図6に示すように、基板を提供する。なお、前記基板の材料がシリコンまたはシリコンゲルマニウム等であってもよく、かつ、前記基板は、LDMOSTランジスタ領域IとVDMOSTランジスタ領域IIとを含む。基板にN型イオンを注入して、N埋め込み層領域201を形成する。前記の注入されたN型イオンはアンチモンイオンであり、注入されたイオンの剂量は $1 \times 10^{15} / \text{cm}^2$ であり、エネルギーが約40KeVである。次に、エピタキシャル法によりN埋め込み層領域201にNエピタキシャル層202を形成する。なお、前記Nエピタキシャル層の厚さは約4 μm である。

【0028】

図7に示すように、まず、Nエピタキシャル層上に第1のフォトレジスト層(図示せず)を形成し、フォトエッチングプロセスの後に、LDMOSTランジスタ領域IにNウェルパターンを定義し、第1のフォトレジスト層をマスクとしてNウェルパターンに沿ってNエピタキシャル層にN型イオンを注入し、Nウェル202aを形成する。なお、前記N型イオンはリンイオンであってもよく、注入されたイオンの剂量は $6 \times 10^{12} / \text{cm}^2 \sim 8 \times 10^{12} / \text{cm}^2$ であり、エネルギーは約150KeVである。アッシュまたはウェットエッチング法で第1のフォトレジスト層を除去した後に、Nエピタキシャル層上に第2のフォトレジスト層(図示せず)を形成し、フォトエッチングプロセスの後に、LDMOSTランジスタ領域IにPウェルパターンを定義し、第2のフォトレジスト層をマスクとしてPウェルパターンに沿ってNエピタキシャル層にP型イオンを注入し、Pウェル202bを形成する。なお、前記P型イオンはホウ素イオンであってもよく、注入されたイオンの剂量は $8 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{13} / \text{cm}^2$ であり、エネルギーが約50KeV \sim 60KeVである。アッシュまたはウェットエッチング法で第2のフォトレジスト層を除去した後に、N

エピタキシャル層に第3のフォトレジスト層（図示せず）を形成し、フォトエッチングプロセスの後に、VDMOSTランジスタ領域IIに高電圧Nウェルパターンを定義し、第3のフォトレジスト層をマスクとして高電圧Nウェルパターンに沿ってNエピタキシャル層にN型イオンを注入し、高電圧Nウェル202cを形成する。なお、前記N型イオンはリンイオンであってもよく、注入されたイオンの剂量は $1 \times 10^{12} / \text{cm}^2 \sim 2 \times 10^{12} / \text{cm}^2$ であり、エネルギーが約150KeVである。

【0029】

図7を参照し、アッシュまたはウェットエッチング法で第3のフォトレジスト層を除去した後に、フィールド酸化法により、LDMOSTランジスタ領域IのNウェル202aとPウェル202bとの境の接する箇所のNエピタキシャル層、及びLDMOSTランジスタ領域IとVDMOSTランジスタ領域IIとの境の接する箇所のNエピタキシャル層内に、シリコン局所酸化隔離（LOCOS）領域204を形成する。具体の形成プロセスは以下の通りである。熱酸化法でNエピタキシャル層にパッド酸化層を形成し、化学気相蒸着法でパッド酸化層に腐食ストッパー層を形成し、前記腐食ストッパー層の材料は、窒化シリコンである。スピコート法で腐食ストッパー層上に第4のフォトレジスト層（図示せず）を形成し、露出・現像のプロセスにより隔離領域パターンを定義し、第4のフォトレジスト層をマスクとしてドライエッチング法で腐食ストッパー層及びパッド酸化層をエッチングして開口を形成し、第4のフォトレジスト層を除去した後に、熱酸化法で開口におけるNエピタキシャル層を酸化し、酸素とシリコンを接合させ、二酸化シリコンを材料とするシリコン局所酸化隔離（LOCOS）領域204を形成する。

【0030】

続いて図7を参照し、Nエピタキシャル層に第5のフォトレジスト層（図示せず）を形成し、フォトエッチングプロセスの後に、LDMOSTランジスタ領域IのPウェル202b領域にドリフト領域パターンを定義し、第5のフォトレジスト層をマスクとして腐食ストッパー層をエッチングし、ドリフト領域の開口パターンを形成し、ドリフト領域パターンに沿ってNエピタキシャル層にリンイオンを注入し、第5のフォトレジスト層を除去した後に、焼き鈍しプロセスを行って、ドリフト領域206aを形成し、続いて、レジストをマスクとして湿式熱酸化法でドリフト領域206aのNエピタキシャル層を酸化し、LOCOSフィールドプレート206bを形成する。次に、熱燐酸で腐食ストッパー層を除去し、フッ化水素酸でパッド酸化層を除去する。

【0031】

図8に示すように、化学気相蒸着法でNエピタキシャル層に、厚さが約3000である多結晶のシリコン層を形成し、スピコート法で多結晶のシリコン層に第6のフォトレジスト層（図示せず）を形成し、露出・現像のプロセスの後に、第6のフォトレジスト層にゲートパターンを定義し、第6のフォトレジスト層をマスクとしてゲートパターンに沿って多結晶のシリコン層をエッチングし、LDMOSTランジスタ領域IのPウェル103領域のNエピタキシャル層の一部及びドリフト領域にゲート208aを形成し、VDMOSTランジスタ領域IIのNエピタキシャル層にゲート208bを形成する。次に、アッシュまたはウェットエッチング法で第6のフォトレジスト層を除去する。

【0032】

図9を参照し、Nエピタキシャル層、シリコン局所酸化隔離（LOCOS）領域204及びゲート208a、208bに第7のフォトレジスト層（図示せず）を形成し、露出・現像のプロセスの後に、PBODY領域パターンを定義し、第7のフォトレジスト層をマスクとしてPBODY領域パターンに沿ってNエピタキシャル層内にN型イオンを注入し、LDMOSTランジスタ領域Iのゲート208aとシリコン局所酸化隔離（LOCOS）領域204との間にPBODY領域209aを形成し、VDMOSTランジスタ領域IIのゲート208b間にPBODY領域209bを形成する。なお、前記PBODY領域209a、209bは、ソース/ドレインとの横方向拡散長さにより有効的なチャンネルを形成して、LDMOSの閾値電圧を制御することに用いられる。ただし、前記P型イオンはホウ素イオンであり、注入されたイオンの剂量は $2 \times 10^{13} / \text{cm}^2$ であり、エネルギー

ギーは40 KeVである。次に、アッシュまたはウェットエッチング法で第7のフォトレジスト層を除去する。

【0033】

続けて図9を参照し、Nエピタキシャル層、シリコン局所酸化隔離(LOCOS)領域204及びゲート208a, 208bに第8のフォトレジスト層(図示せず)を形成し、フォトエッチングのプロセスの後に、ドリフト領域106間の第8のフォトレジスト層に開口を定義し、第8のフォトレジスト層をマスクとして開口に沿ってNエピタキシャル層内にN型イオンを注入し、焼き鈍しプロセスの後に、N型イオンの拡散を均一させ、且つ深さを増加させて、N型GRADE領域210を形成し、前記GRADE領域210は、ソース/ドレインの外面に、低濃度のN型のイオンを形成し、PN接合のドーピング濃度を低下し、接合のブレークダウン電圧を高めるために用いられる。第8のフォトレジスト層を除去する。

10

【0034】

本実施例において、前記のN型GRADE領域210が形成された領域に注入されたN型イオンはリンイオンであり、注入されたイオンの剂量は $1 \times 10^{13} / \text{cm}^2$ であり、エネルギーは80 KeV ~ 100 KeVである。

【0035】

図10に示すように、Nエピタキシャル層、シリコン局所酸化隔離(LOCOS)領域204及びゲート208a, 208bに第9のフォトレジスト層(図示せず)をスピニングし、露出・現像のプロセスの後に、VDMOSTランジスタ領域IIにNSINK領域パターンを定義し、第9のフォトレジスト層をマスクとしてNSINK領域パターンに沿ってVDMOSTランジスタ領域IIのシリコン局所酸化隔離領域(LOCOS)204と隣接のグリッド208b間のエピタキシャル層内にN型イオンを注入し、N埋め込み層領域201と連通するNSINK領域212を形成する。なお、NSINK領域212は、ドレイン電極を基板から引出し、ドーピング濃度をできるだけ高めて、直列抵抗を低下させることに用いられる。第9のフォトレジスト層を除去する。

20

【0036】

本実施例において、前記のNSINK領域212が形成された領域に注入されたN型イオンはリンイオンであり、注入されたイオンの剂量は $1 \times 10^{15} / \text{cm}^2$ であり、エネルギーは300 KeV ~ 400 KeVである。

30

【0037】

図11に示すように、Nエピタキシャル層、シリコン局所酸化隔離領域(LOCOS)204及びゲート208a, 208bに第10のフォトレジスト層(図示せず)をスピニングし、フォトエッチングプロセスの後に、ソース及びドレインパターンを定義し、第10のフォトレジスト層をマスクとしてソース及びドレインパターンに沿ってLDMOSTランジスタ領域IのNエピタキシャル層内のPBODY領域209a及びN型GRADE領域210にN型イオンを注入し、PBODY領域209a内にソースSを形成し、N型GRADE領域210内にドレインDを形成し、VDMOSTランジスタ領域IIのNエピタキシャル層内のPBODY領域209b及びNSINK領域212にN型イオンを注入し、PBODY領域209b内にソースSを形成し、NSINK領域212にドレインDを形成する。

40

【0038】

本実施例において、ソースS及びドレインDが形成される領域に注入されたイオンは砒素イオンであり、注入されたイオンの剂量は $4 \times 10^{15} / \text{cm}^2$ であり、エネルギーは80 KeVである。

【0039】

続いて図11を参照し、第10のフォトレジスト層を除去した後に、Nエピタキシャル層、シリコン局所酸化隔離領域(LOCOS)204及びゲート208a, 208bに第11のフォトレジスト層(図示せず)を形成し、フォトエッチングプロセスの後に、LDMOSTランジスタ領域IにP+極パターンを定義し、第11のフォトレジスト層をマス

50

クとしてP+領域に沿ってLDMOSTランジスタ領域IのNエピタキシャル層内のPBODY領域209aにP型イオンを注入し、P+領域214を形成する。なお、前記P+領域214は、LDMOSTランジスタ領域IのソースSと接続されており、LDMOSTの基板電極とソースとの短絡を防止すること、パルク効果を減少されることに用いられる。次に、第11のフォトレジスト層を除去する。

【0040】

本実施例において、P+領域214が形成されている領域に注入されたP型イオンは二フッ化硼素イオンであり、注入されたイオンの剂量は $2 \times 10^{15} / \text{cm}^2$ であり、エネルギーは60KeV~80KeVである。

【0041】

上記の実施例により形成された、混在するVDMOSTランジスタ及びLDMOSTランジスタは、LDMOSTランジスタ領域IとVDMOSTランジスタ領域IIとを含む基板と、基板にP型イオンを注入することによって形成されたN埋め込み層領域201と、N埋め込み層領域上に位置するエピタキシャル層と、LDMOSTランジスタ領域IのNエピタキシャル層内に位置するNウェル202a及びNウェル202aと接続するPウェル202bと、VDMOSTランジスタ領域IIのNエピタキシャル層内に位置する高電圧Nウェルと、LDMOSTランジスタ領域IのNウェル202aとPウェル202bとの境の接する箇所及びLDMOSTランジスタ領域IとVDMOSTランジスタ領域IIとの境の接する箇所に位置するシリコン局所酸化隔離領域(LOCOS)204と、LDMOSTランジスタ領域IのPウェル202b領域に位置するドリフト領域206と、LDMOSTランジスタ領域IのPウェル領域のエピタキシャル層の一部とドリフト領域206の一部上に位置するゲート208aと、VDMOSTランジスタ領域IIのエピタキシャル層上に位置するゲート208bと、LDMOSTランジスタ領域Iのゲート208aとシリコン局所酸化隔離(LOCOS)領域204との間のエピタキシャル層内に位置するPBODY領域209aと、VDMOSTランジスタ領域IIのゲート208bの間のエピタキシャル層内に位置するPBODY領域209bと、LDMOSTランジスタ領域Iとドリフト領域206との間のエピタキシャル層内に位置するN型GRADE領域210と、VDMOSTランジスタ領域IIのシリコン局所酸化隔離領域(LOCOS)204と隣接ゲート208bとの間のエピタキシャル層内に位置し、且つN埋め込み層領域201と連通しているNSINK領域212と、LDMOSTランジスタ領域I及びVDMOSTランジスタ領域IIのPBODY領域209a、209b内にそれぞれ位置するソースSと、LDMOSTランジスタ領域IのN型GRADE領域210内およびNSINK領域212内にそれぞれ位置するドレインDと、LDMOSTランジスタ領域IのPBODY領域209a内に位置し、PBODY領域209a内のソースSと接続するP+領域とを含む。

【0042】

本発明は、好適な実施例により以上のように開示されているが、これらによって限定されるわけでない。当業者であれば、本発明の精神及び範囲を脱逸しない範囲内で各種の変更及び修正を行うことができる。したがって、本発明の保護範囲は、特許請求の範囲に限定された範囲を基準とするものである。

10

20

30

40

【图 1】

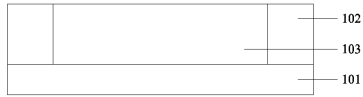


图 1

【图 2】

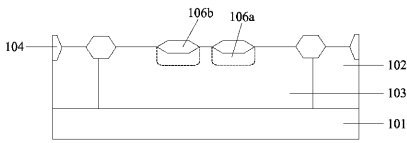


图 2

【图 3】

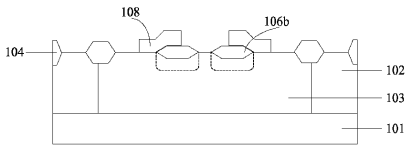


图 3

【图 4】

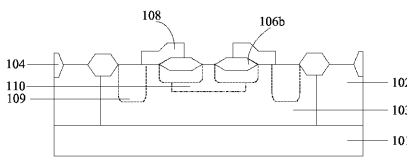


图 4

【图 8】

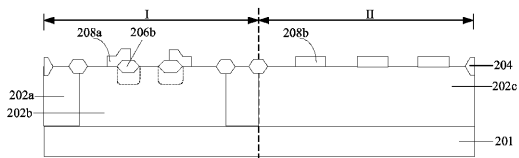


图 8

【图 9】

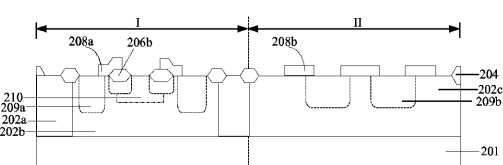


图 9

【图 10】

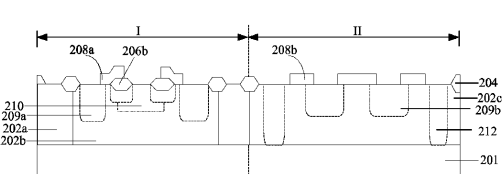


图 10

【图 5】

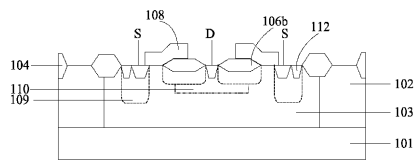


图 5

【图 6】

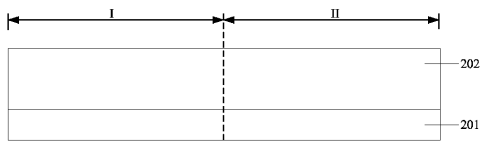


图 6

【图 7】

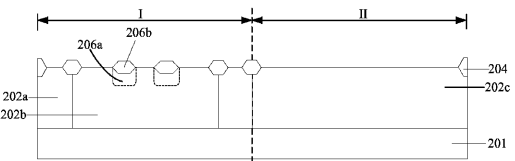


图 7

【图 11】

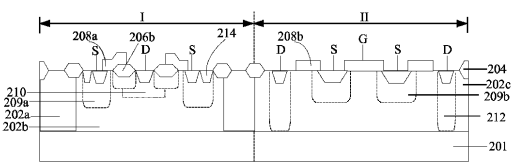


图 11

フロントページの続き

(73)特許権者 512037587

無錫華潤上華科技有限公司

CSMC TECHNOLOGIES FAB2 CO., LTD.

中華人民共和国 214028 江蘇省無錫市国家高新技术産業開発区新洲路8号

No. 8 Xinzhou Road, National Hi-Tech Industrial Development Zone, Wuxi, Jiangsu 214028 P.R. China

(74)代理人 110000338

特許業務法人原謙三国際特許事務所

(72)発明者 桂林春

中華人民共和国 214028 江蘇省無錫市国家高新技术産業開發区新洲路8号

(72)発明者 王楽

中華人民共和国 214028 江蘇省無錫市国家高新技术産業開發区新洲路8号

(72)発明者 趙志勇

中華人民共和国 214028 江蘇省無錫市国家高新技术産業開發区新洲路8号

(72)発明者 何麗麗

中華人民共和国 214028 江蘇省無錫市国家高新技术産業開發区新洲路8号

審査官 井上 弘巨

(56)参考文献 特開2007-335881(JP, A)

特開2009-239111(JP, A)

特開2003-282822(JP, A)

特開2006-032493(JP, A)

特表2006-509360(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234

H01L 27/088