

公告本

申請日期	91.4.29
案 號	91108844
類 別	G11C 7/00

A4
C4

594783

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	位元線預充電
	英 文	Bitline Precharge
二、發明 人 創 作	姓 名	①彼得 P·馬(Peter P. MA) ②阿布達拉·阿美得(Abdullah AHMED) ③維樂莉 L·藍斯(Valerie L. LINES)
	國 籍	①加拿大 ②印度 ③加拿大
三、申請人	住、居所	①加拿大 K1N 6E7 安大略省渥太華達利大道 1-114 號 ②加拿大 M1B 5N9 安大略省斯坎伯勒馬利文大道 609-480 號 ③加拿大 K2A 1T7 安大略省渥太華皇家大道 228 號
	姓 名 (名稱)	摩賽德科技股份有限公司
三、申請人	國 籍	加拿大
	住、居所 (事務所)	加拿大 K2K 2X1 安大略省卡那達海恩斯路 11 號
三、申請人	代 表 人 姓 名	彼得 吉利安

裝 訂 線

經濟部中央標準局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6
B6

本案已向：

加拿大 國(地區) 申請專利，申請日期： 2001/04/30 案號： 2,345,845 , ☐有 ☒無主張優先權

本案優先權之主張不予受權

有關微生物已寄存於： , 寄存日期： , 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

【發明領域】

本發明關於內容可定址記憶體(CAM)。特別是，本發明關於在一開放位元線架構 CAM 裝置中、高速位元線預充電的電路及方法。

【發明背景】

在許多習用記憶體系統中例如隨機存取記憶體，二元數字(位元)係儲存在記憶單元中，並由處理器指定結合於該給定的記憶單元之線性位址來存取。此系統在某些限制之下，可提供快速存取到該記憶體系統的任何部份。為了便於處理器控制，每個存取記憶體的運作必須宣告所需要的該記憶單元之位址，做為該指定的部份。標準記憶體系統對於內容為主的搜尋並不是良好的設計。在標準記憶體中的內容為主的搜尋，需要在該微處理器的控制之下的軟體為主的演算法搜尋。其需要許多記憶體運作來執行搜尋。這些搜尋在使用處理器資源時並不夠快且有效率。

為了克服這些不完善的地方，而發展出一種聯合記憶體系統，稱之為內容可定址記憶體(CAM)。CAM 允許記憶單元由其內容來參考，所以其係先發現到在實施查詢表中的用途，例如快取記憶體子系統，現在亦在網路系統中快速地找到其應用。CAM 的最有用的特徵為其能夠執行搜尋，並在單一運作中比較多個位置，其中搜尋資料係相較於儲存在該 CAM 中的資料。基本上，搜尋資料係載入到搜尋線上，並相較於該 CAM 中儲存的字元。在搜尋及比較運作中，關於每個儲存的字元之匹配或不匹配信號會在匹配線上產生，代表是否該搜尋字元匹配於儲存的字元。一種儲存資料的典型字

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

元包含具有加入編號的標題位元之實際資料，例如像是“E”位元或空白位元，雖然該標題位元在搜尋及比較運作期間並不特定地搜尋。

CAM 儲存資料在記憶單元的矩陣中，其通常為 SRAM 為主的記憶單元或 DRAM 為主的記憶單元。目前為止，SRAM 為主的 CAM 記憶單元已經為最常用，因為其可簡單地實施。但是，為了提供三元狀態 CAMS，即當該搜尋及比較運算傳回“0”、“1”或“忽略”結果時，三元狀態 SRAM 為主的記憶單元基本上需要比 DRAM 為主的記憶單元要更多的電晶體。因此，三元狀態 SRAM 為主的 CAMS 會比三元 DRAM 記憶包具有極低的封裝密度。

圖一所示為典型的 CAM 方塊圖。該 CAM 10 包含以 DRAM 為主的 CAM 記憶單元的矩陣或陣列 100(未顯示出)，其係配置成列及行。以 DRAM 為主的三元 CAM 記憶單元之好處，在於會比其 SRAM 為主的類似者要佔據明顯較少的矽面積。在一列中預定數目的 CAM 記憶單元儲存資料字元。位址解碼器 17 係用來選擇該 CAM 陣列 100 中任何的列，以允許資料來寫入或讀出該選擇的列。資料存取電路，例如位元線及行選擇裝置，係位於該陣列 100 內，以轉移資料進出該陣列 100。位在 CAM 陣列 100 中用於每列記憶單元的為匹配線感應電路，其並未顯示出，其係在搜尋及比較運作期間，用來輸出一結果，代表一搜尋字元對於在該列中儲存之字元的成功或不成功的匹配。所有列的結果係由該優先性編碼器 22 所處理，以輸出對應於一匹配的字元之位置的位址(匹配位址)。該匹配位址係在由該匹配位址輸出方塊 19 輸出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 3 ）

之前儲存在匹配位址暫存器 18。資料係經由該資料 I/O 方塊 11 寫入到陣列 100，及不同的資料暫存器 15 中。資料係透過該資料輸出暫存器 23 及該資料 I/O 方塊由該陣列 100 讀出。該 CAM 的其它組件包含該控制電路方塊 12、該旗標邏輯方塊 13、該電壓供應產生方塊 14、不同的控制及位址暫存器 16、更新計數器 20 及 JTAG 方塊 21。

圖二所示為典型的三元 DRAM 形式的 CAM 記憶單元 140，如加拿大專利申請案編號 2,266,062 中所述，其申請於 1999 年 3 月 31 日，其內容在此引用做為參考。記憶單元 140 具有一比較電路，其包含一 n 通道搜尋電晶體 141，其串聯連接於一匹配線 ML 與一尾緣線 TL 之間的一 n 通道比較電晶體 142。一搜尋線 SL*係連接到該搜尋電晶體 141 的閘極。該儲存電路包含一 n 通道存取電晶體 143，其閘極連接到一字元線 WL，並串聯連接於位元線 BL 與一記憶單元板電壓電位 VCP 之間的電容器 144。電荷儲存節點 CELL1 係連接到該比較電晶體 142 的閘極，以開啟電晶體 142，如果有電荷儲存在電容器 144 上，即如果 CELL1 為邏輯“1”。其餘的電晶體及電容器複製該三元資料位元的另一半部的電晶體 141、142、143 及電容器 144，並連接到相對應的線 SL 及 BL*，且用來支援三元資料儲存。它們共同地儲存三元數值來代表邏輯“1”、邏輯“0”或“忽略”。

三元數值	記憶單元 1	記憶單元 2
0	0	1
1	1	0

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (4)

“忽略”	0	0
------	---	---

該尾緣線 TL 基本上係連接到接地，而所有的電晶體為 n 通道電晶體。該三元 DRAM 記憶單元的運作說明係詳細描述於先前的參考文件。

如前所述，記憶體陣列 100 使用 DRAM 形式的記憶單元，以達到每個矽的單位面積較高的記憶單元密度，其好處在於可降低整體製造成本。但是，在 DRAM 記憶體的領域中，有兩種熟知的架構用來配置該記憶單元及位元線，其係當應用到本發明之三元 CAM 時，每個可提供不同的好處及缺點到該 CAM 裝置。

第一個架構為該開放位元線架構，其表示於圖三。圖三所示的配置係代表該位元線的實體佈線，而相對於在製造的裝置上該位元線感應放大器(BLSA)。字元線、記憶單元及讀/寫電路係有意地省略來簡化該架構圖。但是本技藝之專業人士將可瞭解到，該字元線將垂直該位元線行進，記憶單元將位在靠近每條字元線及位元線之間的相交處，而讀/寫電路係耦合於該位元線。互補位元線 32 及 34 由該位元線感應放大器(BLSA) 33 的左側及右側延伸出來。一位元線感應放大器，例如 BLSA 33，為本技藝中所熟知，其基本上包含一對 CMOS 電晶體的交互耦合互補配對。n 通道等化電晶體 31 係連接於位元線 32 及 34 之間，用於電性短路該兩條位元線在一起，並具有由一位元線等化信號 BLEQ 控制的閘極。位元線 32 及 34、等化電晶體 31 及 BLSA 33 形成一開放位元線配對。另一個由位元線 36 及 37、等化電晶體 35 及 BLSA 38 構成的位元線配對係設置成相同於來自該第一開放位元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

配對的其相對應的元件。在一記憶體陣列中，複數個開放位元線配對係配置在另一個之下，如圖三所示，其中所有連接到該 BLAS 之左側的位元線為該左側次陣列的部份，而所有連接到該 BLAS 之右側的位元線為該右側次陣列的部份。對於 DRAM 記憶體，其有需要預充電位元線，通過位元線預充電電晶體(未示出)到一中間點電位位準，其係在由連接到它的一 DRAM 記憶單元讀取資料。此中間點電位位準基本上為該位元線感應放大器所使用之高功率供應電位之一半。當電荷加入或由記憶單元儲存電容器移除時，可允許該位元線感應放大器來偵測在該位元線的電位位準中的小變化。

以下為圖三之開放位元線架構之讀取及預充電運作之簡單討論。其係假設所有位元線已經預充電到先前運作中之高及低邏輯電位位準之間的一中間點電位位準。在讀取運作期間，該左側或右側的次陣列之字元線被驅動來存取連接到該個別次陣列之每條位元線之一個記憶單元。該未存取的次陣列之位元線維持在該中間點電位位準，其為在感應該存取的次陣列之位元線上之資料期間由該 BLAS 所使用的該參考電位位準。該 BLAS 偵測該位元線的電位位準中的偏移，當該存取的記憶單元之儲存電容器耦合於該位元線，並放大及閘鎖該位元線的完整 CMOS 邏輯電位位準。因為 BLAS 為一交互耦合的閘鎖電路，該存取位元線及其相對應的互補位元線係在已經讀出該資料之後被驅動到相反的邏輯電位位準，且因為該選擇的字元線維持啟動，該完整的 CMOS 位準即回存到該存取的記憶單元中。

為了預備下一個讀取運作來預充電該位元線，控制信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

BLEQ 驅動到該高邏輯位準，以開啟所有的等化電晶體，並將每個互補的位元線配對短路在一起。具有該高邏輯電位位準之位元線將透過電荷共享而等化於具有該低邏輯電位位準之位元線，使得兩者皆達到一中間點電位位準。

該開放位元線架構允許有效率地封裝三元 CAM 記憶單元，藉以降低由該記憶體佔據的整個面積。該開放位元線架構的一個缺點是不平衡的位元線，由於啟動字元線的電容耦合到該互補的位元線配對中僅一條的位元線。做為一參考位元線的位元線並未橫跨啟動的字元線，因此其不會像是橫跨啟動字元線的該位元線同樣地被干擾。因此會造成電位讀取錯誤。另一個更為明顯的缺點，為緩慢的預充電速率。當記憶體密度增加時，該位元線變得較長，其本身會比較短的位元線具有較高的電阻及電容。該位元線的預充電及等化速率可以改進，如果一額外的等化電晶體連接於該互補位元線的兩個最遠端之間，而非僅在兩個最近端，如圖三所示。但是，加入這樣的額外等化電晶體並不實際。連接這種額外等化電晶體的金屬線將如同該位元線一樣長，因此會貢獻更多的電容到該系統。因此，當等化較慢時，該 CAM 的整體存取速率變得較低，其會限制該 CAM 來用於高速應用。

該第二架構為該摺疊的位元線架構，如圖四所示。圖四中，該配置係代表該位元線的實體配線，其係相對於在製造的裝置上之位元線感應放大器(BLSA)。字元線、記憶單元及讀/寫電路係刻意省略來簡化該架構。但是本技藝專業人士可瞭解到，該字元線將行經垂直於該位元線，記憶單元將位於靠近每條字元線及位元線之間的相交處，而讀/寫電路係耦合

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

到該位元線。互補位元線 46、47 係由共用的位元線感應放大器(BLSA) 41 的左側延伸出去，而互補位元線 48、49 由 BLSA 41 的右側延伸出去。共用的位元線感應放大器，例如 BLSA 41，其為本技藝中所熟知，基本上由一對交互耦合的 CMOS 電晶體的互補配對所構成。N 通道等化電晶體 42、43 係連接於位元線 46 及 47 之間，並位在位元線 46 及 47 之相對端點。類似地，n 通道等化電晶體 44 及 45 係連接在位元線 48 及 49 之間，並位在位元線 48 及 49 的相對端點。等化電晶體 42 及 43 具有由左側次陣列位元線等化信號 BLEQ_L 所控制的閘極，而等化電晶體 44 及 45 具有由右側次陣列位元線等化信號 BLEQ_R 所控制的閘極。在典型的陣列中，共用的 BLSA 及個別的摺疊位元線之配對係配置成一行，而數行可彼此相鄰配置。在圖四中，位元線 46 與 47、及等化電晶體 42 與 43 係位在左側次陣列中，而位元線 48 與 49、及等化電晶體 44 與 45 係位在右側次陣列中。

以下為圖四之摺疊位元線架構之讀取及預充電運作之簡單討論。其係假設所有位元線已經預充電到先前運作中之高及低邏輯電位位準之間的中間點電位位準。在讀取運作期間，該左側或右側次陣列之字元線係被驅動來存取連接到每條位元線之一記憶單元，例如該個別次陣列的 BL0 或 BL0*，而該相對應的等化控制信號 BLEQ_L 或 BLEQ_R 即關閉。該未存取的次陣列之摺疊互補位元線，例如 BL 1 及 BL 1*，其維持在該預充電的中間點電位位準。如果連接到 BL0 之記憶單元由該驅動字元線所存取，則該互補位元線 BL0*維持在該預充電的中間點電位位準，其為由 BLSA 41 所使用的該參

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

考電位位準。因此，每條位元線的角色即倒轉，如果連接到 BL0*之記憶單元即被存取，而非連接到 BL0 之記憶單元。再者，兩個摺疊位元線配對之角色即倒轉，如果驅動的字元線存取連接到 BL1 或 BL1*之記憶單元。因為 BLSA 為一交互耦合的門鎖電路，該存取的位元線及其相對應的互補位元線即在已經讀出資料之後被驅動到相反的邏輯電位位準。為了預備下一個讀取運作而預充電該位元線，該存取的次陣列之等化信號(BLEQ_L 或 BLEQ_R)被驅動到該高邏輯位準，以開啟其個別的等化電晶體。具有該高邏輯電位位準之位元線將透過電荷共享而等化於具有該低邏輯電位位準之位元線，使得兩者皆達到一中間點電位位準。該未存取的次陣列之位元線在整個讀取運作中維持預充電。因為等化電晶體 42、43、44、45 係置於靠近其個別摺疊位元線配對的兩個末端，等化所需要的時間較短，係相較於圖三所示的該開放位元線架構的等化速率。

假設圖三及圖四的位元線具有相等的長度及寬度，圖三中每條位元線之時間常數係表示成 $\tau_{open} = RC$ ，其中 R 為該疊加的電阻，而 C 為該位元線的疊加電容。圖四的每條位元線為圖三之位元線的電阻及電容之一半，由於置於該摺疊位元線之末端處的額外等化電晶體。因此，相對於圖三之位元線，該時間常數係表示成 $\tau_{folded} = \frac{RC}{2}$ 。因此，等化圖四之位元線所需要的時間大約會快四倍於等化圖三之位元線所需要的時間。

在此存在預充電方案，其中未使用等化電晶體來預充電位元線到一中間點電位位準。換言之，一預充電電壓係直接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

供應到該位元線。不幸地是，產生這種預充電電壓的電路必須為高品質，其很難設計，並容易在該半導體製造程序中有變化。

雖然該摺疊位元線架構的預充電速率會優於該開放位元線架構，該摺疊位元線架構並不允許有效率的封裝三元動態 CAM 記憶單元。對於最高的封裝密度，三元動態 CAM 記憶單元之陣列為單一線的記憶單元，其係在共用字元線節點以及共用匹配線節點之下。因此，相鄰的位元線在列存取運作期間有必要為啟動。此不包含使用一摺疊位元線架構，其需要相鄰的位元線來具有預充電位準參考。但是，使用一開放位元線架構的三元動態 CAM 記憶體陣列由於其較低的預充電速率而不適合高速應用。

因此，需要提供一種三元動態 CAM 記憶體陣列架構，其可在高速下運作，並以一有效率的封裝密度配置，以佔據較小的矽面積。

【發明概要】

本發明之一目的係要排除或減輕先前三元動態 CAM 記憶體陣列架構的至少一個缺點。特別是，本發明之目的在於提供一種三元動態 CAM 記憶體陣列架構，其係在高速下運作，並佔據較小的矽面積。

在第一態樣，本發明提供位元線預充電電路來等化第一及第二位元線。該電路包含位元線覆寫電路，用以寫入預設的互補邏輯電位位準到該第一及第二位元線之上，及一等化電路，用以在該預設的互補邏輯電位位準寫入到該第一及第二位元線之後將該第一及第二位元線短路在一起。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

在本態樣的進一步具體實施例中，該位元線覆寫電路包含位元線寫入驅動器，其連接到個別的資料匯流排，或當地位元線寫入電路。在本具體實施例之另一態樣，該當地位元線寫入電路包含一電晶體，用以耦合該第一位元線到低邏輯電位位準，及一電晶體用來耦合該第二位元線到高邏輯電位位準。

在本態樣的另一個具體實施例中，該等化電路包含至少一個等化電晶體來連接於該第一及第二位元線之間，或兩個等化電晶體連接於該第一及第二位元線之間，其中該第一及第二等化電晶體係分別連接在該第一及第二位元線之相對端點。

在另一態樣，本發明提供一種三元內容可定址記憶體的位元線架構。該位元線架構包含：第一位元線感應放大器，其連接到配置在開放位元線組態之第一及第二互補位元線；第二位元線感應放大器，其連接到配置在開放位元線組態之第三及第四互補位元線；三元內容可定址記憶單元，用以儲存連接到該第一及第三位元線之兩個資料位元；三元內容可定址記憶單元，用以儲存連接到該第二及第四位元線之兩個資料位元；第一位元線覆寫電路，用以寫入預設的互補邏輯電位位準到該第一及第三位元線上；第二位元線覆寫電路，用以寫入預設的互補邏輯電位位準到該第二及第四位元線上；第一預充電電路，用以預充電該第一及第三位元線；及第二預充電電路，用以等化該第二及第四位元線。

在本態樣的另一具體實施例中，該第一及第二位元線感應放大器包含 CMOS 交互耦合反向器。在本態樣的另一個具

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

體實施例中，該三元內容可定址記憶單元為三元 DRAM 形式的 CAM 記憶單元。

在本發明另一態樣，其提供一種內容可定址記憶體。該內容可定址記憶體由配置成列及行的內容可定址記憶單元所構成，每個記憶單元具有第一及第二位元線，每個第一及第二位元線的配對具有位元線覆寫電路，係用於寫入預設的互補邏輯電位位準到該第一及第二位元線上，每個第一及第二位元線的配對預有一等化電路，係用以在寫入該預設互補邏輯位準寫入到該第一及第二位元線上之後，將該第一及第二位元線短路在一起，位址解碼器係用以定址記憶單元的列，寫入資料電路係用以寫入資料到該記憶單元，及讀取電路係用以自該記憶單元讀取資料。

在本發明又一態樣，其提供一種方法用於一內容可定址記憶體中預充電第一及第二位元線。該方法係由寫入預設互補邏輯電位位準到該第一及第二位元線上，及等化該第一及第二互補信號線所構成。

【發明詳細說明】

本發明提供一種密集封裝、三元動態內容可定址記憶體中快速等化位元線之位元線結構及方法。換言之，本發明之位元線結構為結合了該開放位元線結構之高密度與該摺疊位元線結構的快速預充電速率之複合結構。資料讀取與寫入運作係以符合於傳統開放位元線結構的方式來進行，但位元線預充電及等化之執行方式係符合於傳統的摺疊位元線結構。

圖五所示為本發明之複合結構的通用電路圖，其中省略

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

了許多控制信號、字元線及讀取電路來簡化該圖。前述複合結構所省略的元件進一步更詳細的電路圖係表示於圖六A及圖六B中。一列三元CAM記憶單元110及相關的等化電路係表示於圖五，其中陣列可包含配置的複數列110及複數個相鄰配置的複數行。在圖五中，列110包含：一對的資料匯流排DB_n及DB_{n+1}，其分別標示為參考編號111及112；三態反向器113、114、115、116、117、118、119及120；兩對的第一及第二位元線BL_n、BL_n*及BL_{n+1}、BL_{n+1} *，其分別標示為參考編號125、127及126、128；等化電晶體121、122、123及124；三元CAM記憶單元140；及位元線感應放大器130。位元線125及127係相對於其BLSA 130而設置在該開放位元線結構中，而位元線126及128係相對於BLSA 131而設置在該開放位元線結構中。每對的第一及第二位元線BL_n、BL_n*及BL_{n+1}、BL_{n+1}*在讀取運作期間並不必要僅承載互補資料。但是，BL_n及BL_{n+1}為BL_n*及BL_{n+1}*的互補位元線配對。下標n可為任何大於0的整數。該三態反向器係做為位元線寫入驅動器，其中三態反向器113、114、117及118，位元線125及126，及等化電晶體121及122係為該左側次陣列之列110的一部份，而三態反向器115、116、119及120，位元線127及128，及等化電晶體123及124為該右側次陣列之列110的一部份。

因為每個三元CAM記憶單元140儲存兩個位元的資訊，其需要兩條位元線來轉移資料進入及離開該記憶單元，如先前圖二之CAM記憶單元架構所示。因此，當資料由存取的記憶單元讀出時，位元的資料係確立到第一位元線，BL_n

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (13)

或 BL_{n+1} ，及其它位元的資料係確立到一第二位元線， BL_n^* or BL_{n+1}^* 。每個互補位元線配對係連接到其本身的位元線感應放大器，用於放大及讀取其電位位準。在列 110 中， BL_n 及 BL_{n+1} 分別為該左側次陣列的該三元 CAM 記憶單元之第一及第二位元線，而相對應地， BL_{n+1} 及 BL_{n+1}^* 分別為該右側次陣列的該三元 CAM 記憶單元之第一及第二位元線。

等化電晶體 121 及 122 具有連接到該左側位元線等化信號 $BLSEQ_L$ 之閘極，並具有連接在 BL_n 及 BL_{n+1} 之間的源極/汲極終端。等化電晶體 121 及 122 係置於位元線 BL_n 及 BL_{n+1} 的相對末端，其將三元 CAM 記憶單元 140 置於其間。三態反向器 113 及 114 驅動資料由資料匯流排 111 到位元線 125，而三態反向器 117 及 118 驅動資料由資料匯流排 112 到位元線 126。三態反向器 113、114、117 及 118 係由互補信號 $BLWR_L$ 及 $BLWR_L^*$ 所致能。前述之左側次陣列的列 110 之元件的組態，係由該右側次陣列的列 110 之相對應的元件呈鏡像。等化電晶體 123 及 124 具有連接到右側位元線等化信號 $BLEQ_R$ 之閘極，並使其源極/汲極終端連接在 BL_n^* 及 BL_{n+1}^* 之間。等化電晶體 123 及 124 亦置於位元線 BL_n^* 及 BL_{n+1}^* 的相對末端處，其將三元 CAM 記憶單元 140 置於其間。三態反向器 115 及 116 驅動資料由資料匯流排 111 到位元線 127，而三態反向器 119 及 120 驅動資料由資料匯流排 112 到位元線 128。三態反向器 115、116、119 及 120 係由互補信號 $BLWR_R$ 及 $BLWR_R^*$ 所致能。

因為每個位元線的互補配對係設置在相對於其位元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（14）

感應放大器之開放位元線結構中，來自圖五之複合位元線結構之讀取運作之執行係類似於圖三之開放位元線結構中所述的該讀取運作。因此，不需要說明圖五之複合位元線結構之通用讀取運作。該讀取運作之詳細說明係在圖六 A 及圖六 B 之詳細複合位元線結構的說明之後。

圖五之複合位元線結構的預充電及等化運作係說明於下。在讀取運作之後，該位元線感應放大器 130 驅動其個別的位元線到互補邏輯電位位準，因此所有四條位元線的列 110 係保持在該高或低邏輯電位位準。下表 1 所示為在完成讀取運作之後，該位元線的列 110 之四種可能的邏輯電位位準。

表 1

案例	BLn 邏輯位準	BLn+1 邏輯位準	BLn* 邏輯位準	BLn*+1 邏輯位準
1	1	0	1	0
2	0	1	1	0
3	1	0	0	1
4	0	1	1	1

為了藉由以一摺疊的方式之等化來預充電該位元線到中間點電位位準，所有第一及第二位元線必須具有互補邏輯電位位準。更特定而言，該左側次陣列之 BLn 及 BLn+1 可具有互補的邏輯電位位準，而該右側次陣列的位元線 BLn* 及 BLn+1* 在開啟該等化電晶體之前可具有互補的邏輯電位位準。由上表 1 中，在案例 2 及案例 3 中的位元線係等化。換

五、發明說明 (15)

言之，如果等化電晶體 121、122、123 及 124 在當該位元線具有案例 2 及案例 3 中所示的邏輯電位位準時，即由其個別的控制信號 BLSEQ_L 及 BLSEQ_R 所開啟，電荷共享將會發生，而所有的位元線將等化於該高及低邏輯電位位準之間的中間點電位位準。因此，該複合的位元線結構之預充電時間即相等於該傳統 DRAM 摺疊位元線結構之預充電時間。但是，在案例 1 及案例 4 中的位元線不能夠等化，因為該左側及右側的次陣列之第一及第二位元線具有類似的邏輯電位位準。

為了允許在根據本發明的所有四種案例之下的位元線等化，兩個次陣列的第一及第二位元線皆被倒轉，或在等化之前，利用來自該資料匯流排 DBn 及 DBn+1 之預設互補邏輯電位位準來覆寫。舉例而言，一高邏輯電位位準可寫入在資料匯流排 DBn，而一低邏輯電位位準可在該讀取運作之後寫入到資料匯流排 DBn+1 上。因此，BLn 及 BLn*係透過三態反向器 113、114、115 及 116 來驅動到該低邏輯電位位準，而 BLn+1 及 BLn+1*透過三態反向器 117、118、119 及 120 來驅動到該高邏輯電位位準。現在所有第一及第二位元線具有互補的邏輯電位位準，而等化電晶體 121、122、123 及 124 被開啟，且所有該左方及右方次陣列的位元線係等化到中間點電位位準。另外，寫入到資料匯流排 DBn 及 DBn+1 之邏輯電位位準可倒轉來驅動互補邏輯位準電位位準到該第一及第二位元線上。雖然未表示出，包含共通寫入驅動器之覆寫電路可設置來寫入該預設資料到該資料匯流排上，或額外的驅動器可直接連接到該資料匯流排。但是，有數種方法來

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

寫入預設資料到該資料匯流排，本技藝之專業人士應可瞭解。

根據本發明之具體實施例的該複合位元線結構之詳細的電路圖係表示於圖六 A 及圖六 B，其並未顯示字元線及記憶單元以簡化該架構圖。但是本技藝專業人士將可瞭解，該字元線將行經垂直於該位元線，而該記憶單元將位在每條字元線及位元線之交處。圖五所示的許多元件係對應於具有相同參考編號的圖六 A 及圖六 B 之元件。圖六 A 及圖六 B 所示為相關於一列三元 CAM 記憶單元之讀取、寫入及預充電電路。複數個這種列可配置在一行中，而複數個行可在一 CAM 記憶體陣列中彼此相鄰配置。在本具體實施例中，該列的左側及右側次陣列之第一及第二位元線每條皆連接到 128 個三元 CAM 記憶單元。應可注意到，連接到每對第一及第二位元線的記憶單元數目係根據該記憶體陣列所要的大小，因此其它具體實施例對於每對第一及第二位元線可具有比 128 個三元 CAM 記憶單元要多或少的數目。圖六 A 及圖六 B 的複合位元線結構包含位元線讀取電路、位元線寫入電路及位元線預充電電路。圖六 A 中標示為 a、b、c 及 d 的內部節點係連接到圖六 B 中相同標示的節點。

BL_n 及 BL_{n+1} 的位元線讀取電路包含位元線感應放大器 130、轉移閘極 157 及 158，與資料匯流排讀取驅動器 149、150 及 151、152。位元線感應放大器 130 包含一對的交互耦合反向器。第一反向器包含 p 通道電晶體 153 及 n 通道電晶體 154，其串聯地連接在恢復電壓 PR 及感應電壓 PS_b 之間。第二反向器包含 p 通道電晶體 155 及 n 通道電晶體 156，其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

串聯地連接在恢復電壓 PR 及感應電壓 PSb 之間。PR 及 PSb 分別為對於所有的位元線感應放大器 130 之受控的內部高及低電源供應電壓。該第一反向器的輸出係連接到 n 通道轉移閘極 157 的第一終端，而該第二反向器的輸出係連接到 n 通道轉移閘極 158 的第一終端。轉移閘極 157、158 係由信號 TG 控制，用以在讀取運作期間連接該位元線感應放大器 130 到位元線 BLn 及 BLn*，其係在其個別的第二終端處。第一資料匯流排讀取驅動器包含 N 通道電晶體 149 及 150，其串聯連接於 DBn 與 VSS 之間。該電晶體 149 的閘極係連接到讀取左側次陣列信號 RD_L，而該電晶體 150 的閘極連接到該位元線感應放大器 130 的第一反向器之輸出。第二資料匯流排讀取驅動器包含 n 通道電晶體 151 及 152，其串聯連接於 DBn 及 VSS 之間。該電晶體 151 的閘極係連接到讀取右側次陣列 RD_R，而該電晶體 152 的閘極係連接到該位元線感應放大器 130 的第二反向器之輸出。BLn+1 及 BLn+1*之位元線讀取電路之設置係等於前述之 BLn 及 BLn*之位元線讀取電路。該位元線感應放大器 130 的電晶體 163、164、165 及 166 係分別對應於電晶體 153、154、155 及 156。轉移閘極 167 及 168 分別對應於電晶體 157 及 158。資料匯流排讀取驅動器電晶體 159、160 及 161、162 分別對應於電晶體 149、150 及 151、152。

該位元線寫入電路包含三態反向器 113、114、115、116、117、118、119 及 120。一般而言，兩個三態反向器驅動資料匯流排資料到每個位元線上，其中每個三態反向器具有 p 通道電晶體 131 及 132，其串聯連接在該電壓供應 VDD 及位元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

線之間，而 n 通道電晶體 133 及 134 係串聯連接在該位元線及該電壓供應 VSS 或接地之間。每個三態反向器之致能電晶體 131 及 134 之閘極連接到位元線寫入信號及互補位元線寫入信號。由每個三態反向器之電晶體 132 及 133 所形成的互補配對之閘極係對應於其個別的資料匯流排。以下為該三態反向器之更為詳細的說明。三態反向器 113 係連接到位元線 BL_n 在大約距離該位元線感應放大器 130 之最遠的位置，而三態反向器 114 係連接到位元線 BL_n 在大約距離該位元線感應放大器 130 之最近的位置。三態反向器 113 及 114 皆具有致能電晶體 131 及 134 分別連接到左側次陣列寫入信號 $BLWR_L^*$ 及其互補 $BLWR_L$ ，並使其互補的電晶體 132 及 133 之配對連接到資料匯流排 DB_n 。三態反向器 117 及 118 係連接到位元線 BL_{n+1} 係與連接到位元線 BL_n 之三態反向器 113 及 114 之相同的位置處。三態反向器 117 及 118 亦皆具有致能電晶體 131 及 134 分別連接到左側次陣列寫入信號 $BLWR_L^*$ 及其互補 $BLWR_L$ ，但使其互補的電晶體 132 及 133 之配對連接到資料匯流排 DB_{n+1} 。三態反向器 115、116 及 119、120 係類似地連接到其個別的位元線 BL_n^* 及 BL_{n+1}^* 。三態反向器 115、116、119 及 120 之致能電晶體 131 及 134 係分別連接到右側次陣列寫入信號 $BLWR_R^*$ 及其互補的 $BLWR_R$ 。該三態反向器 115、116 及 119、120 之互補配對 132 及 133 係分別連接到資料匯流排 DB_n 及 DB_{n+1} 。

該位元線預充電電路包含 n 通道等化電晶體 121、122、123、124、169 及 170，及 n 通道位元線預充電電晶體 147、148、172 及 174。雖然該三態反向器為該寫入電路的一部份，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

其亦為預充電運作期間在本具體實施例中的位元線預充電電路之一部份。現在將在下述說明該列的左側次陣列之預充電電路。等化電晶體 121 將其源極/汲極終端連接到 BL_n 及 BL_{n+1} 在大約距離該位元線感應放大器 130 之最遠的位置。等化電晶體 122 亦將其源極/汲極終端連接到 BL_n 及 BL_{n+1} ，但大約是在距離該位元線感應放大器 130 之最遠的位置。因此，等化電晶體係連接在該第一及第二位元線配對的相對端點。預充電電晶體 147 耦合位元線預充電電壓 V_{BLP} 到 BL_n ，而預充電電晶體 148 耦合位元線預充電電壓 V_{BLP} 到 BL_{n+1} 。該預充電電晶體可連接到其個別的位元線在沿著該位元線上任何方便的位置處。該右側次陣列的等化電晶體 123 及 124，及位元線預充電電晶體 172 及 174 係連接位元線到 BL_n^* 及 BL_{n+1}^* ，其係與其相對應的左側次陣列之電晶體具有相同的組態。額外的等化電晶體 169 及 170 使其源極/汲極終端連接到其個別的位元線感應放大器交互耦合的反向器之輸出。所有的等化電晶體及預充電電晶體使其閘極連接到位元線等化信號 BL_{SEQ} 。

以下該讀取、寫入及預充電運作之說明係參考圖五、圖六 A 及圖六 B，更特定而言，該電路連接到位元線 BL_n 及 BL_{n+1} 。

本發明的複合位元線結構之讀取運作係類似於圖三所述的該開放位元線結構之讀取運作，其係假設位元線 BL_n 及 BL_{n+1} 已經預充電到該中間點電位位準，而資料匯流排 DB_n 在先前運作之後，已經預充電到該高電位位準。信號 RD_L 及 RD_R 在該低邏輯電位位準為不啟動，而信號 TG 係在該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（20）

高邏輯電位位準來連接該位元線感應放大器到其個別的位元線。信號 PR 及 PSb 係保持在該位元線的中間點電位位準。為了由該位元線讀取資料，來自該左側及右側次陣列之字元線被啟動來存取連接到每個第一及第二位元線配對的 128 個三元 CAM 記憶單元之一。如果圖二的三元 CAM 記憶單元係用於該陣列中，該啟動的字元線將驅動到 VPP，其為高於 VDD 之電位位準。根據儲存在該存取的 CAM 記憶單元中的資料，電荷係加入到其相對應的位元線來增加其電位位準來高於該中間點電位位準之上，或由其相對應的第一位元線移除，以降低其電位位準來低於該中間點電位位準。應注意到，因為在該次陣列中沒有字元線被啟動，該未存取的次陣列之位元線係維持在該預充電的中間點電位位準，因此係做為位元線感應放大器的參考位元線。位元線感應放大器電壓 PR 及 PSb 係驅動到其個別內部之高及低電位位準來啟動該位元線感應放大器。然後位元線放大器 130 比較該存取的位元線與該參考位元線的該參考電位位準。如果該存取的位元線之電位位準低於該參考電位位準，則該邏輯“0”或低電位位準被門鎖。另外，如果該存取的位元線之電位位準大於該參考電位位準，則該邏輯“1”或高電位位準被門鎖。因此，位元線感應放大器 130 門鎖該存取的位元線之資料，該參考位元線被驅動到該相對的邏輯位準。位元線由位元線感應放大器 130 驅動到該高電位位準，即開啟其個別的讀取電晶體 150 或 152。信號 TG 係在信號 PR 及 PSb 被驅動到其個別的高及低電位位準之後不久即驅動到該低邏輯電位位準。一旦該轉移閘極電晶體被關閉，BLSA 門鎖之完成不需

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(21)

要由該位元線電容載入。根據正在存取的該次陣列，讀取左側次陣列信號 RD_L 或讀取右側次陣列信號 RD_R 被驅動到該高電位位準，以分別關閉讀取致能電晶體 149 或 151。例如如果一對串聯連接的讀取致能及讀取電晶體 149 及 150 被開啟，則 DBn 被放電到接地。否則，DBn 維持在該預充電的高電位位準。三態反向器 113、114、115 及 116 係在該位元線讀取存取由驅動信號運作期間被關閉，BLWR_L*, BLWR_R* 到該高電位位準，而信號 BLWR_L, BLWR_R 到該低電位位準。但是，該三態反向器可在該讀取運作之結束時來開啟，以恢復該位元線電位到該 VDD 供應軌線。該電路的此特殊特徵係在稍後進一步詳細說明。雖然該讀取運作的先前描述係參考連接到位元線 BLn 及 BLn+1 之電路來進行，相同的描述亦應用到連接於位元線 BLn* 及 BLn+1* 之電路。

寫入資料到該位元線，其並不包含前述的讀取電路，但仍需要啟動來自該左側或右側次陣列的字元線，藉以存取連接到每對第一及第二位元線之 128 個三元 CAM 記憶單元之一。轉移閘極 157 及 158，及讀取致能電晶體 149 及 151 在該寫入運作期間被關閉，以隔離該位元線感應放大器 130 與位元線 BLn 及 BLn+1，及資料匯流排 DBn。其係假設位元線 BLn 及 BLn+1 已經預充電到該中間點電位位準，資料匯流排 DBn 已經由共用寫入驅動器(未示出)利用高或低電位位準寫入資料來驅動，而次陣列位元線寫入信號 BLWR_L*, BLWR_R* 及 BLWR_L, BLWR_R 係分別位在該高及低電位位準來保持三態反向器 113、114、115 及 116 初始時被關閉。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(22)

根據該 DBn 之電位位準，三態反向器 113 及 114 之電晶體 132 及 133 之一被開啟。關於該啟動字元線 BLRW_L*, BLWR_L 或 BLWR_R*, BLWR_R 之一對互補的次陣列寫入信號後續分別被驅動到該低及高電位位準。因此，僅有三態反向器 113、114 或 115、116 被開啟來驅動寫入資料由 DBn 分別到位元線 BLn 或 BLn+1 之上。根據 DBn 之電位位準，一高或低電位位準被驅動到該位元線上。雖然前述對於該寫入運作之說明係參考連接到位元線 BLn 及 BLn+1 之電路來進行，相同的說明亦可應用到連接於位元線 BLn* 及 BLn+1* 之電路。

在讀取或寫入運作之後，該位元線係預充電到該中間點電位位準，用於預備後續的讀取運作。轉移閘極 157 及 158 初始時關閉，而讀取致能電晶體 149 及 151 在該預充電運作期間維持關閉，以隔離該位元線感應放大器 130 與位元線 BLn 及 BLn+1，及資料匯流排 DBn。位元線感應放大器電壓 PR 及 PSb 係驅動到該中間點電位位準來除能該位元線感應放大器。資料匯流排 DBn 及 DBn+1 首先以預設的互補邏輯電位位準由該共用寫入驅動器來驅動，然後啟動在該左側及右側次陣列三態反向器及轉移閘極 157, 158, 167 及 168。換言之，信號 BLWR_L*, BLWR_R* 及 BLWR_L, BLWR_R 分別驅動到該低及高電位位準，而信號 TG 被驅動到該高電位位準。因此，來自該先前讀取/寫入運作中在該位元線上的先前邏輯電位位準被覆寫，或以該預設邏輯電位位準來翻轉。舉例而言，如果 DBn 及 DBn+1 分別驅動到該高及低電位位準，則位元線 BLn, BLn* 透過三態反向器 113、114、115 及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

116 驅動到該低電位位準，而位元線 BL_{n+1} , BL_{n+1}^* 透過三態反向器 117、118、119 及 120 被驅動到該高電位位準。該三態反向器維持啟動，直到所有位元線完全驅動到其最終的互補位準。然後信號 $BLWR_L^*$, $BLWR_R^*$ 及 $BLWR_L$, $BLWR_R$ 分別驅動到該高及低電位位準，以除能該三態反向器。在此時，會發生位元線等化。然後位元線等化信號 $BLSEQ$ 及轉移閘極信號 TG 即驅動到該高電位位準來開啟該預充電電路及該轉移閘極。特定而言，等化電晶體 121、122、123、124、169 及 170 被開啟，以將所有四條位元線短路在一起，而轉移閘極 157、158、167 及 168 被開啟，所以該互補位元線配對透過等化電晶體 169 及 170 耦合在一起。所有四條位元線最後透過電荷共享而等化到該中間點電位位準。預充電電晶體 147、148、172 及 174 亦開啟來耦合位元線預充電電壓 $VBLP$ 到所有位元線，以保持該位元線在該中間點 $VBLP$ 電位位準。 $VBLP$ 為由電壓產生器所產生的中間點電位位準，其並未表示出。

本發明之複合位元線結構相較於先前技藝的位元線結構具有數個好處。該預充電運作之執行方式係符合於摺疊位元線結構，因此約為具有相同長度位元線之傳統開放位元線結構之四倍快，因為該傳統的等化電晶體係連接在每對第一及第二位元線之相對末端處。因為該位元線初始係透過等化來預充電到該中間點電位位準，以較少限制設計的 $VBLP$ 產生器可用來維持該位元線上的該中間點電位位準。該開放位元線結構允許在陣列中三元動態 CAM 記憶單元之最大封裝效率來維持面積消耗，及因此降低成本。

五、發明說明 (24)

雖然資料匯流排 DBn 及 DBn+1 係顯示為平行於該位元線，其它具體實施例可使得 DBn 及 DBn+1 形成為段落，其連接到形成為垂直於該段落之共用資料匯流排。

在如圖七所示的本發明之另一個具體實施例中，額外的當地覆寫電路係連接到該位元線，用以驅動該位元線到該預定的資料電位位準，而非使用該寫入驅動器及資料匯流排來寫入該預定資料到該位元線。位元線 BLn 及 BLn+1 係如圖七所示，其中 p 通道覆寫電晶體 180 耦合 VDD 到 BLn，而該反向器 184 的輸入係連接到覆寫致能信號 OWE，而該電晶體 180 的閘極係連接到該反向器 184 的輸出。因此，當 OWE 被驅動到該高電位位準時，電晶體 180 即被開啟來驅動 BLn 到該高電位位準，而電晶體 182 被開啟來驅動 BLn+1 到接地的該低電位位準。雖然未顯示出位元線 BLn* 及 BLn+1*，對應於覆寫電晶體 180 及 182 之電晶體不能以相同的組態來連接到位元線 BLn* 及 BLn+1*。因此，對應於位元線 BLn, BLn*, BLn+1 及 BLn+1* 之邏輯樣式 1、1、0、0 係分別在該覆寫電晶體的此特定組態中驅動。另外，該覆寫電晶體可連接來以交替的高及低邏輯電位位準驅動每條該四條位元線。在此其它的組態中，可得到對應於位元線 BLn, BLn*, BLn+1 及 BLn+1* 之邏輯樣式 1、0、0、1。在兩種覆寫電晶體組態中，其存在一個別的相對組態，使得透過等化來預充電到中間點電位位準仍有可能。前述的不同位元線邏輯位準樣式係總結於下表 2。

表 2

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

組態	BLn	BLn+1	BLn*	BLn*+1
	邏輯位準	邏輯位準	邏輯位準	邏輯位準
1	1	1	0	0
2	0	0	1	1
3	1	0	0	1
4	0	1	1	0

本發明的複合位元線結構在當已經具有互補的邏輯電位位準之第一及第二位元線在等化之前利用該相對的互補邏輯電位位準來覆寫時，會具有高功率消耗。

在本發明的另一具體實施例中，該位元線可在讀取運作期間，藉由在該位元線資料被讀取及確立到該資料匯流排上之後不久來啟動該適當的次陣列之寫入驅動器，其可被恢復。藉由使用該寫入驅動器來恢復該位元線電位位準，而非該位元線感應放大器 p 通道電晶體，其可達到高速運作。

上述本發明之各具體實施例係僅做為範例。本技藝專業人士可在不背離本發明範圍之下，對於特定具體實施例可進行變化、修正及改變。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：

位元線預充電

本發明揭露一種在密集封裝、動態內容可定址記憶體中快速位元線預充電之架構及方法。該動態內容可定址記憶單元係根據一開放位元線架構來配置，以得到高封裝密度。該位元線係透過在每兩個相鄰開放位元線配對之間的等化來預充電。尤其是，一位元線與位在該位元線感應放大器之相同側上的相鄰近位元線，係在沿著該位元線的數個位置處等化，使得其可在高速下等化，其基本上無法用於開放位元線架構。因此，該相鄰的位元線係以一類似於折疊位元線架構的方式來預充電。額外的等化電路係相連在每個開放位元線配對的互補位元線之間，因此在預充電階段期間，該兩個開放位元線配對的所有四條位元線皆彼此等化。為了保證所有四條位元線等於該中間點電壓位準，在等化之前，寫入互補的邏輯位準到該位元線。

英文發明摘要（發明之名稱：

Bitline Precharge

An architecture and method for fast precharge of bitlines in a densely packed, dynamic content addressable memory is disclosed. The dynamic content addressable memory cells are arranged according to an open bitline architecture to obtain high packing density. The bitlines are precharged through equalization between every two adjacent open bitline pairs. More specifically, a bitline and its adjacent neighbouring bitline on the same side of the bitline sense amplifiers are equalized at several locations along the bitlines such that they are equalized at high speed, which is typically not available in open bitline architectures. Hence the adjacent bitlines are precharged in a manner similar to a folded bitline architecture. Additional equalization circuits are connected between the complementary bitlines of each open bitline pair, therefore during the precharge phase, all four bitlines of the two open bitline pairs are equalized with each other. To ensure that all four bitlines equalize to the midpoint voltage level, complementary logic levels are written to the bitlines prior to equalization.

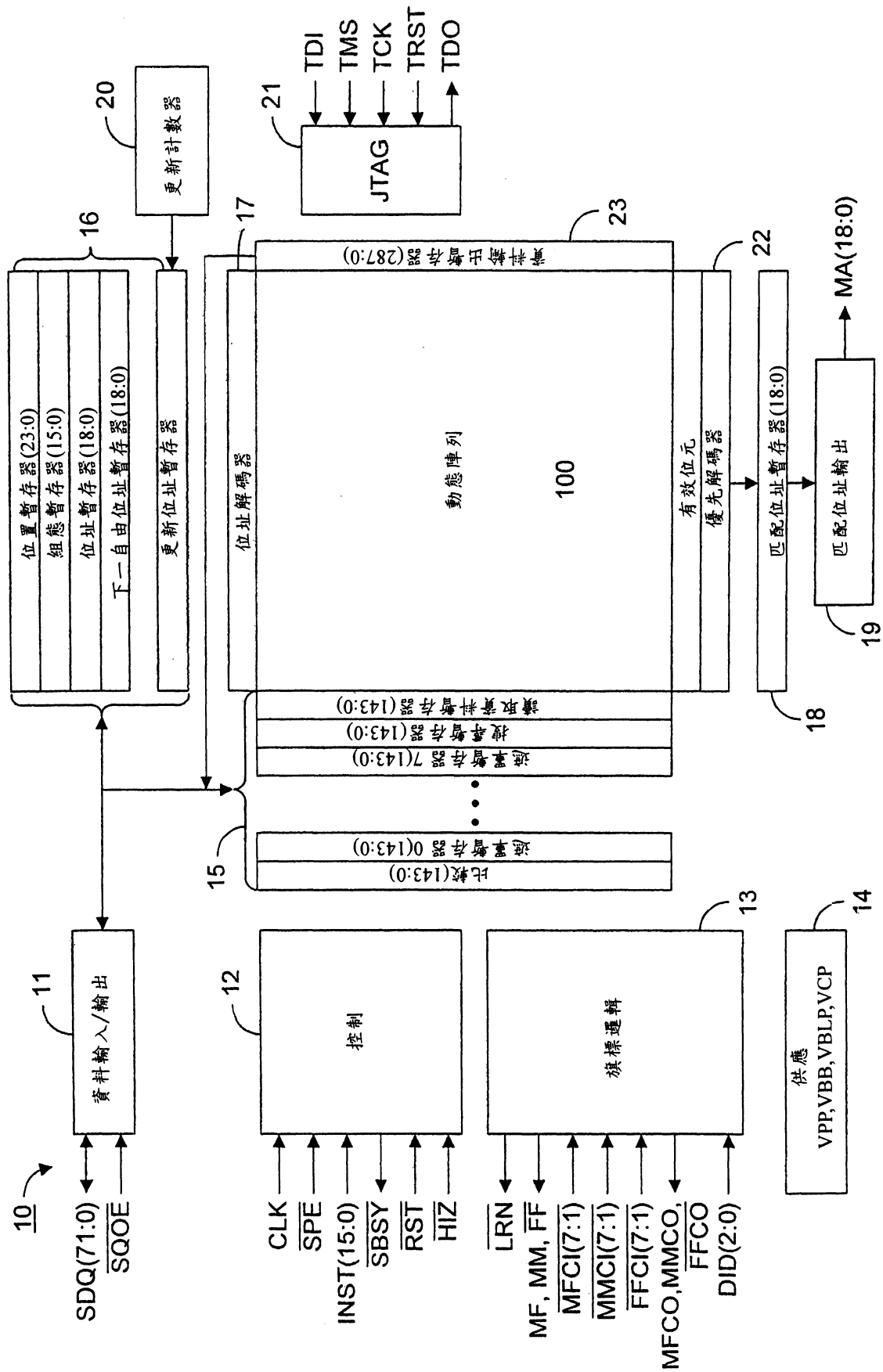
（請先閱讀背面之注意事項再填寫本頁各欄）

裝

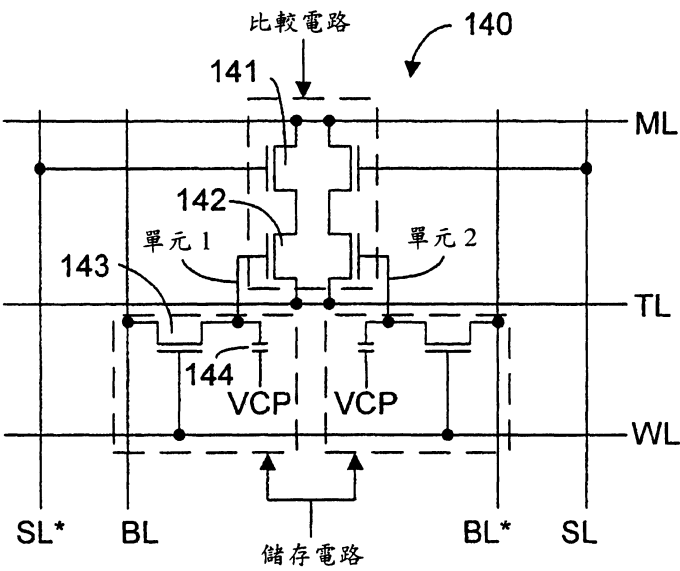
訂

線

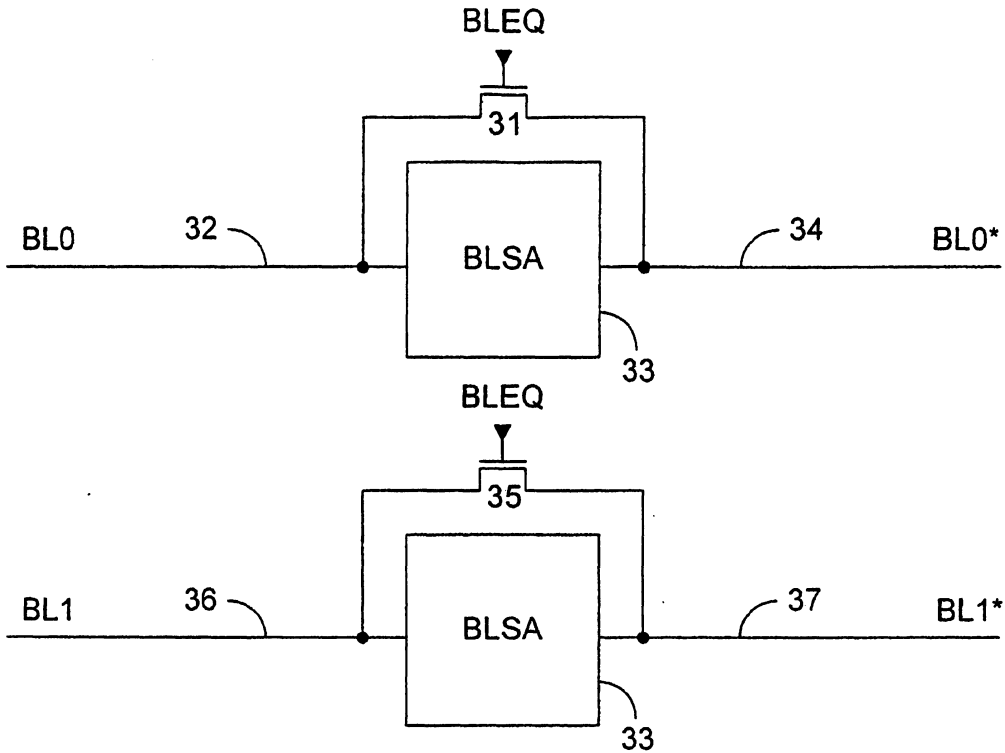
91108844



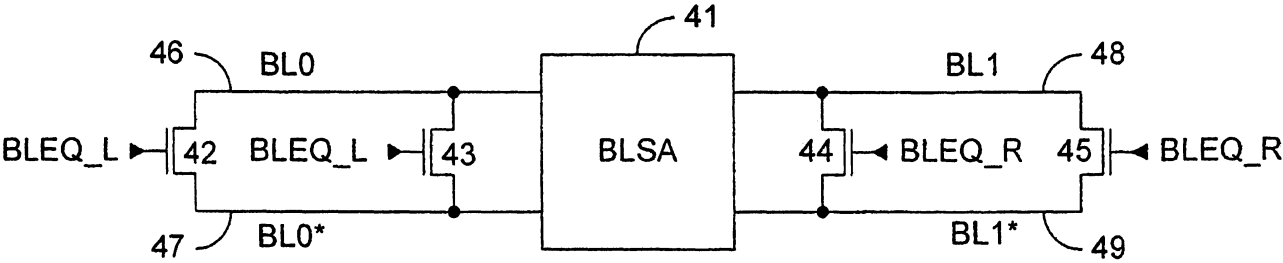
圖一



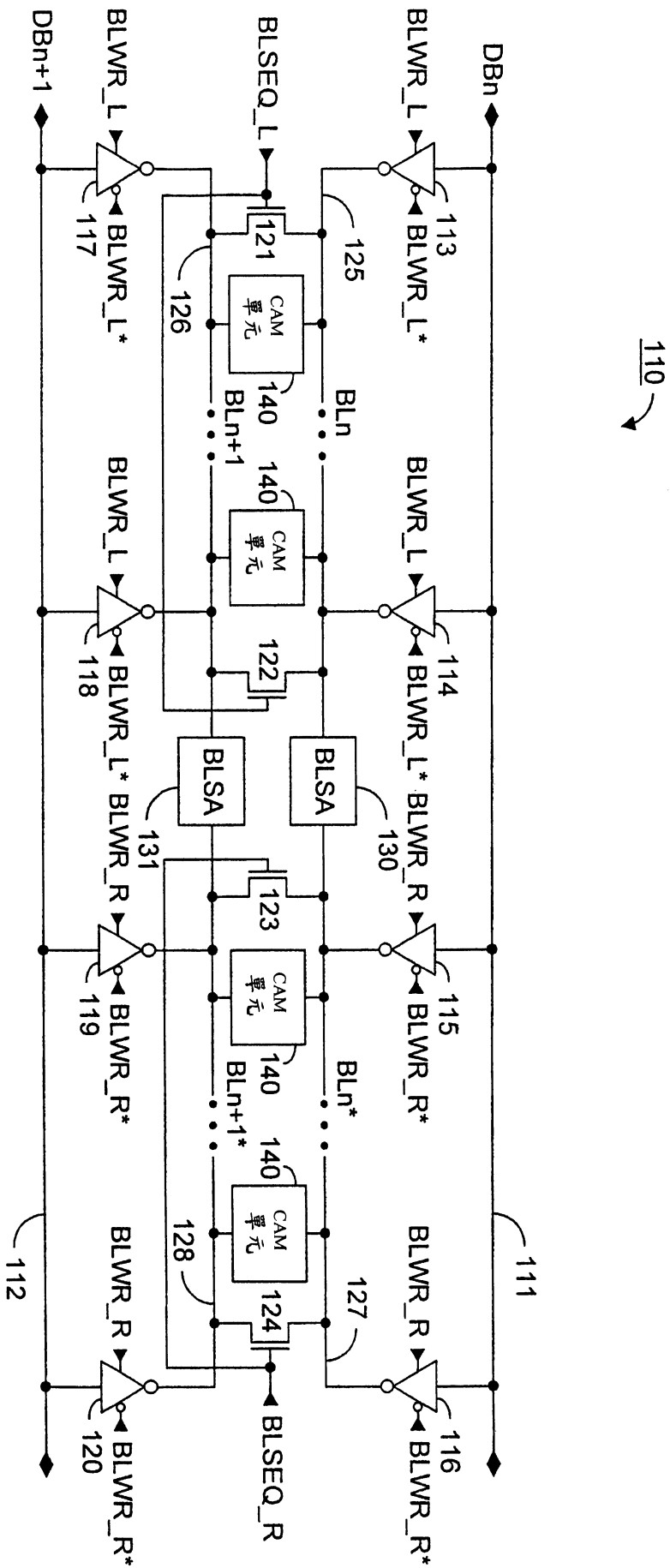
圖二



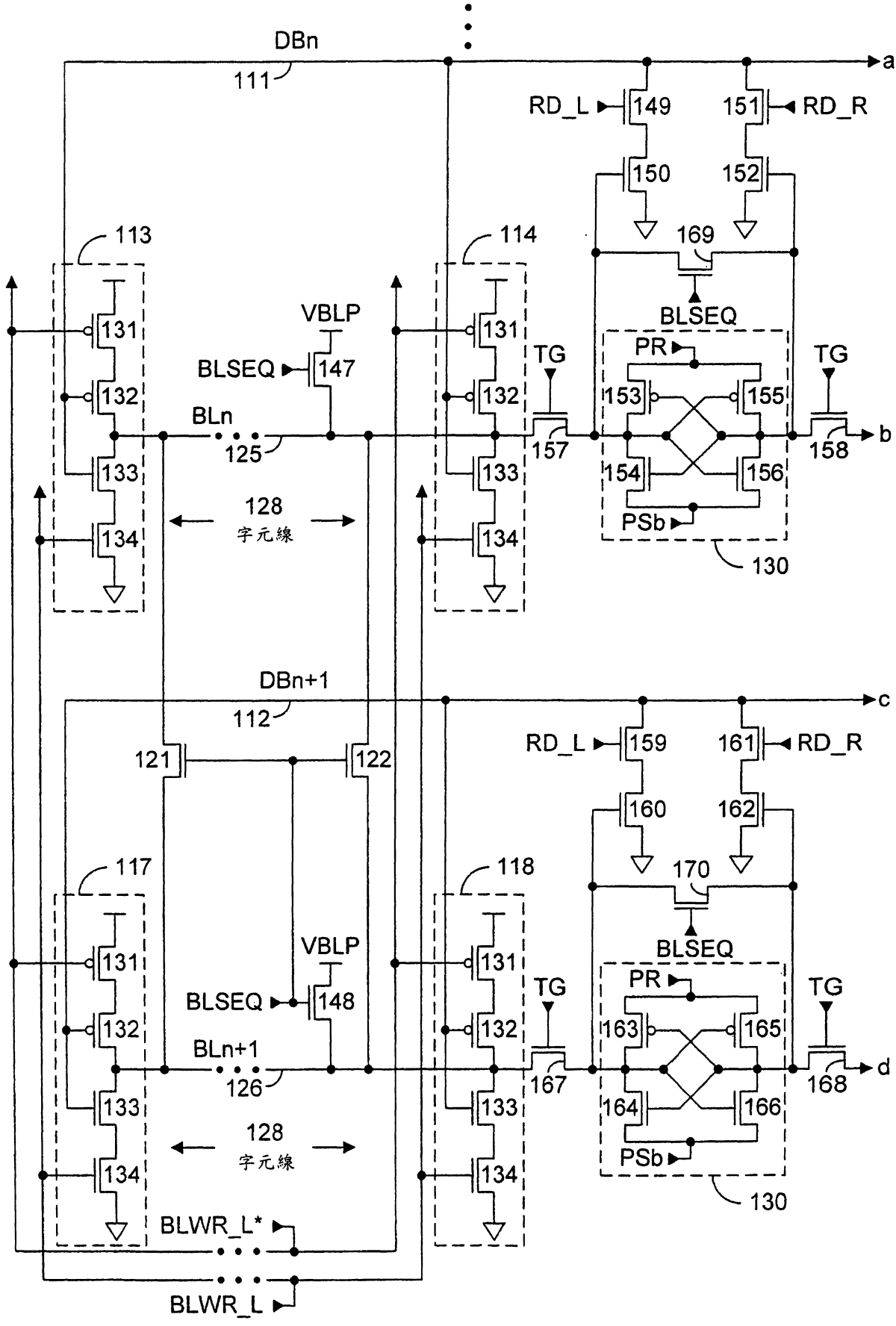
圖三



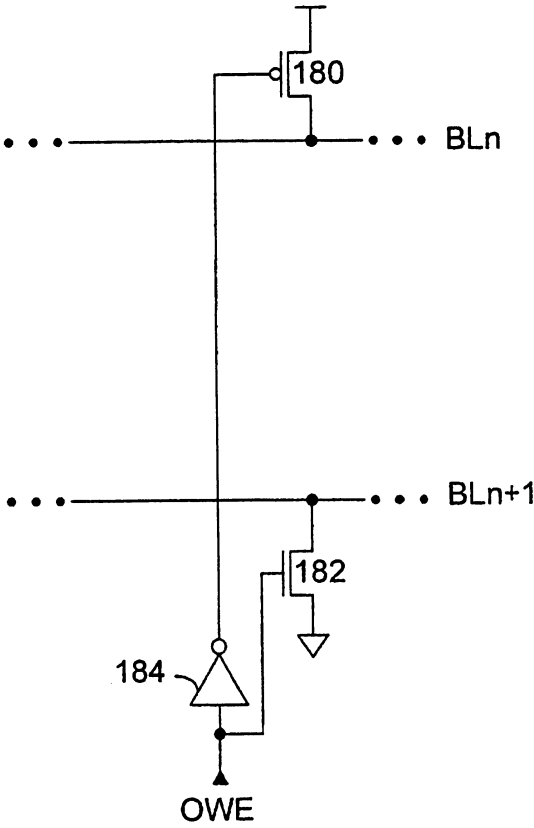
圖四



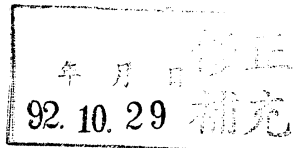
圖五



圖六 A



圖七



【圖式之簡單說明】

圖一所示為根據本發明之具體實施例的 CAM 的方塊圖；

圖二所示為以 DRAM 為主的 CAM 記憶單元之架構；

圖三所示為先前技藝之開放位元線結構；

圖四所示為先前技藝之摺疊位元線結構；

圖五所示為根據本發明原始的位元線預充電及等化結構；

圖六 A 及圖六 B 所示為圖五之位元線預充電及等化架構之細部電路架構；及

圖七所示為當地位元線覆寫電路之架構。

【主要元件符號對照說明】

110…三元 CAM 記憶單元

111…資料匯流排 DBn

112…資料匯流排 DBn+1

113、114、115、116、117、118、119、120…三態反向器

121、122、123、124…等化電晶體

125、126、127、128…位元線

130…位元線感應放大器

140…三元 CAM 記憶單元

02.10.29

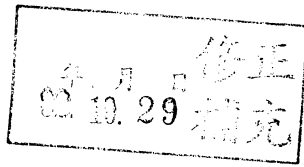
申請專利範圍：

1. 一種等化第一及第二位元線之位元線預充電電路，其特徵在於：

位元線覆寫電路，用以寫入預設互補邏輯電位位準到該第一及第二位元線之上；及

等化電路，用以在該預設互補邏輯電位位準寫入到該第一及第二位元線上之後，將該第一及第二位元線短路在一起。

2. 如申請專利範圍第 1 項之等化第一及第二位元線之位元線預充電電路，其中該位元線覆寫電路包含連接到個別資料匯流排之位元線寫入驅動器。
3. 如申請專利範圍第 1 項之等化第一及第二位元線之位元線預充電電路，其中該位元線覆寫電路包含當地位元線寫入電路。
4. 如申請專利範圍第 3 項之等化第一及第二位元線之位元線預充電電路，其中該當地位元線寫入電路包含一電晶體用以耦合該第一位元線到一低邏輯電位位準，及一電晶體用以耦合該第二位元線到高邏輯電位位準。
5. 如申請專利範圍第 1 項之等化第一及第二位元線之位元線預充電電路，其中該等化電路包含至少一等化電晶體連接在該第一及第二位元線之間。
6. 如申請專利範圍第 1 項之等化第一及第二位元線之位元線預充電電路，其中該等化電路包含兩個等化電晶體連接於該第一及第二位元線之間，該第一及第二等化電晶體係分別連接在該第一及第二位元線之相對末端處。



7. 一種用於三元內容可定址記憶體的位元線結構，包含：

第一位元線感應放大器，其連接到配置在開放位元線組態之第一及第二互補位元線；及

第二位元線感應放大器，其連接到配置在開放位元線組態之第三及第四互補位元線；

前述位元線結構之特徵在於：

三元內容可定址記憶單元，係儲存連接到該第二及第四位元線之兩個位元的資料；

第一位元線覆寫電路，用以寫入預設互補邏輯電位位準到該第一及第三位元線之上；

第二位元線覆寫電路，用以寫入預設互補邏輯電位位準到該第二及第四位元線之上；

第一預充電電路，用以等化該第一及第三位元線；及

第二預充電電路，用以等化該第二及第四位元線。

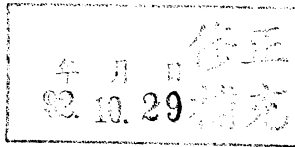
8. 如申請專利範圍第 1 項之用於三元內容可定址記憶體的位元線結構，其中該第一及第二位元線感應放大器包含 CMOS 交互耦合的反向器。

9. 如申請專利範圍第 1 項之用於三元內容可定址記憶體的位元線結構，其中該三元內容可定址記憶單元為三元 DRAM 形式的 CAM 記憶單元。

10. 一種內容可定址記憶體陣列，包含：

配置成列及行之內容可定址記憶單元，每個記憶單元具有第一及第二位元線；

用以定址記憶單元之列的位址解碼器；



寫入資料電路用以寫入資料到該記憶單元；及

讀取電路，用以自該記憶單元讀取資料；

前述內容可定址記憶體陣列之特徵在於：

位元線覆寫電路，用於每對第一及第二位元線來寫入
預設互補邏輯電位位準到該第一及第二位元線之上；及

等化電路，用於每對第一及第二位元線來在寫入該預
設互補邏輯電位位準到該第一及第二位元線上之後，將該
第一及第二位元線短路在一起。

11. 一種在內容可定址記憶體中預充電第一及第二位元線之
方法，其特徵在於包含以下步驟：

(i) 寫入預設互補邏輯電位位準到該第一及第二位元
線之上；及

(ii) 等化該第一及第二位元線。