

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4350021号  
(P4350021)

(45) 発行日 平成21年10月21日(2009.10.21)

(24) 登録日 平成21年7月31日(2009.7.31)

|                |              |                  |                            |
|----------------|--------------|------------------|----------------------------|
| (51) Int.Cl.   |              | F I              |                            |
| <b>H O 1 L</b> | <b>27/10</b> | <b>(2006.01)</b> | <b>H O 1 L</b> 27/10 4 5 1 |
| <b>G 1 1 B</b> | <b>9/00</b>  | <b>(2006.01)</b> | <b>G 1 1 B</b> 9/00        |
| <b>G 1 1 B</b> | <b>9/14</b>  | <b>(2006.01)</b> | <b>G 1 1 B</b> 9/14 A      |

請求項の数 16 (全 19 頁)

|              |                               |           |                     |
|--------------|-------------------------------|-----------|---------------------|
| (21) 出願番号    | 特願2004-303885 (P2004-303885)  | (73) 特許権者 | 503003854           |
| (22) 出願日     | 平成16年10月19日(2004.10.19)       |           | ヒューレット・パカード デベロップメ  |
| (65) 公開番号    | 特開2005-159315 (P2005-159315A) |           | ント カンパニー エル. ビー.    |
| (43) 公開日     | 平成17年6月16日(2005.6.16)         |           | アメリカ合衆国 テキサス州 77070 |
| 審査請求日        | 平成16年10月19日(2004.10.19)       |           | ヒューストン コンパック センタ ド  |
| (31) 優先権主張番号 | 10/689940                     |           | ライブ ウェスト 11445      |
| (32) 優先日     | 平成15年10月20日(2003.10.20)       | (74) 代理人  | 100087642           |
| (33) 優先権主張国  | 米国 (US)                       |           | 弁理士 古谷 聡            |
|              |                               | (74) 代理人  | 100076680           |
|              |                               |           | 弁理士 溝部 孝彦           |
|              |                               | (74) 代理人  | 100121061           |
|              |                               |           | 弁理士 西山 清春           |

最終頁に続く

(54) 【発明の名称】 電荷トラップ構造及び方法を用いたストレージデバイス

(57) 【特許請求の範囲】

【請求項 1】

ストレージデバイスであって、

p ドーパントを有する第 1 の半導体層(122,222,322)と、

該第 1 の半導体層上に配置された、n ドーパントを有する第 2 の半導体層(124,224,324,424)と、

前記第 1 の半導体層と前記第 2 の半導体層との間に形成された接合部(128,228,328)と

、

前記第 2 の半導体層上に配置された電荷トラップ構造(140,240,340,440',540,640)

と、

導電性ゲート(150,250,350,650)とを備え、

該導電性ゲートと前記電荷トラップ構造とが互いに対して動き、前記第 2 の半導体層及び前記導電性ゲートにわたって加えられた電界が前記電荷トラップ構造内に電荷を捕捉する、ストレージデバイス。

【請求項 2】

前記導電性ゲート又は前記電荷トラップ構造に結合された超小型可動子(662,762)を更に備え、該超小型可動子が、前記導電性ゲート又は前記電荷トラップ構造を少なくとも 1 つの横方向の次元に動かす、請求項 1 に記載のストレージデバイス。

【請求項 3】

前記超小型可動子が更に、

10

20

フレーム(658,758)であって、前記超小型可動子が該フレームに対して動くよう構成されている、フレームと、

前記フレームと前記超小型可動子との間に動作可能な状態で結合された複数のサスペンションサブアセンブリを有する機械式サスペンション(665,765)とを備え、前記サスペンションサブアセンブリはそれぞれ、

前記超小型可動子と結合部材(776a,776b,776c,776d)との間に固定された少なくとも1つの弾性を有する可動子可撓性部材(770a,770b,770c,770d)と、

前記結合部材と前記フレームとの間に固定された少なくとも2つの弾性を有するフレーム可撓性部材(772a,772b,772c,772d,774a,774b,774c,774d)とを備え、前記フレーム可撓性部材が前記可動子可撓性部材の反対側に配置され、前記可動子可撓性部材を通過する長手方向軸に沿って位置合わせされる、請求項2に記載のストレージデバイス。

10

【請求項4】

前記超小型可動子が更に、

フレーム(658,758)であって、前記超小型可動子が該フレームに対して動くよう構成され、該超小型可動子が読み出し/書き込みデバイスの動作を介してアクセス可能な複数のデータ場所(547,647)を含む、フレーム(658,758)と、

該フレームと前記超小型可動子との間に動作可能な状態で結合された機械式サスペンション(665,765)とを備え、該機械式サスペンションが、前記フレームに対して前記超小型可動子が平面内を動くことを可能にすると共に、実質的に平面外に相対的に動くのを防止し、前記平面内の動きがX方向及びY方向によって画定され、前記機械式サスペンションが

20

前記フレームに対する前記超小型可動子の前記X方向の動きに応じて撓む少なくとも1つのX軸可撓性部材(772c,774a)と、

前記フレームに対する前記超小型可動子の前記Y方向の動きに応じて撓む少なくとも1つのY軸可撓性部材(770a)とを含む、  
請求項2に記載のストレージデバイス。

【請求項5】

前記導電性ゲートが更に、

外側表面を有する基部構造(152)と、

該基部構造の前記外側表面上に配置された外層(153)とを備える、請求項1に記載のストレージデバイス。

30

【請求項6】

前記基部構造が導電性材料を用いて形成され、前記外層が誘電体材料を用いて形成される、請求項5に記載のストレージデバイス。

【請求項7】

前記基部構造が誘電体材料を用いて形成され、前記外層が導電性材料を用いて形成される、請求項5に記載のストレージデバイス。

【請求項8】

ストレージデバイスであって、

pドープ半導体層を基板上又は基板内に形成するための手段と、

40

該pドープ半導体層上にnドープ半導体層を形成するための手段と、

該pドープ半導体層と該nドープ半導体層との間に半導体接合部を形成する手段と、

前記nドープ半導体層上に配置された構造内に電荷を捕捉するための手段と、

前記nドープ表面層に加えられる電界を空間的に局所化させるための手段とを備え、該電界を空間的に局所化させるための該手段及び前記構造が他方に対して動く、ストレージデバイス。

【請求項9】

ストレージデバイスを製造する方法であって、

基板上又は基板内に配置されたpドープ半導体層を形成し(990)、

該pドープ半導体層上に配置されたnドープ半導体層を形成し(992)、

50

前記 p ドープ半導体層と前記 n ドープ半導体層との間に接合部を形成し(994)、  
前記 n ドープ半導体層上に配置された電荷トラップ構造を形成し(996)、  
前記電荷トラップ構造上に導電性ゲートを取り付ける、  
という各ステップを含み、前記導電性ゲート及び前記電荷トラップ構造が他方に対して動き、前記 n ドープ半導体層に電界が加えられ、前記導電性ゲートが前記電荷トラップ構造内に電荷を捕捉する、ストレージデバイスを製造する方法。

【請求項 10】

前記導電性ゲート又は前記電荷トラップ構造に結合された超小型可動子を形成するステップを更に含み、前記超小型可動子が、前記導電性ゲート又は前記電荷トラップ構造を少なくとも 1 つの横方向の次元に動かす、請求項 9 に記載の方法。

10

【請求項 11】

前記超小型可動子を形成する前記ステップが、前記電荷トラップ構造上で、かつ前記電荷トラップ構造と接触することなく、前記電荷トラップ構造に対して前記導電性ゲートを少なくとも 1 つの横方向の次元に動かす超小型可動子を形成するステップを含む、請求項 10 に記載の方法。

【請求項 12】

前記超小型可動子を形成する前記ステップが、  
フレームを形成し、前記超小型可動子が該フレームに対して動き、  
該フレームと前記超小型可動子との間に結合された複数のサスペンションサブアセンブリを有する機械式サスペンションを形成する、  
という各ステップを含む、請求項 10 に記載の方法。

20

【請求項 13】

前記機械式サスペンションを形成する前記ステップが、  
前記超小型可動子と結合部材との間に固定された少なくとも 1 つの弾性を有する可動子可撓性部材を形成し、  
前記結合部材と前記フレームとの間に固定された少なくとも 2 つの弾性を有するフレーム可撓性部材を形成する、  
という各ステップを含み、前記フレーム可撓性部材が、前記可動子可撓性部材の反対側に配置され、前記可動子可撓性部材を通過する長手方向軸に沿って位置合わせされる、請求項 12 に記載の方法。

30

【請求項 14】

導電性ゲートを取り付ける前記ステップが、基部構造と、該基部構造上に形成された外層とを有する導電性ゲートを形成するステップを含む、請求項 9 に記載の方法。

【請求項 15】

ストレージデバイスを用いる方法であって、  
導電性ゲートを電荷トラップ構造上で位置決めし(1091)、  
n ドープ層と、前記電荷トラップ構造と、前記電荷トラップ構造に隣接する前記導電性ゲートとにわたって電界を加え(1093)、前記電荷トラップ構造が前記 n ドープ層上に配置され、該 n ドープ層が基板上に配置され、

前記電界を加える前記ステップ(1093)が、前記 n ドープ層と前記基板との間に配置された p ドープ層に電界を加えるステップを含み、

40

前記電荷トラップ構造において局所的なトラップ電荷領域を生成する(1095)、という各ステップを含む、ストレージデバイスを用いる方法。

【請求項 16】

前記導電性ゲートを位置決めする前記ステップが、該導電性ゲートが前記電荷トラップ構造上の所定のデータ記憶場所上に配置されるように、該導電性ゲート又は前記電荷トラップ構造を動かすことを含む、請求項 15 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、データストレージデバイスに関するものである。

【背景技術】

【0002】

この数年間にわたり、更に安価で、更に軽量のポータブル電子デバイスの需要が伸びているので、耐久性があり軽量かつ低コストの、高密度のメモリチップを含む電子回路を製造する必要性が増している。固体メモリデバイスは通常は、ナノ秒のオーダーのリードライト速度を有するが、一般に達成される記憶容量はわずか数百メガバイトである。一方、大容量ストレージデバイスは、通常は回転する媒体を備え、何ギガバイトものデータを記憶する能力を有する。しかし、それらのデバイスのリードライト速度は、ミリ秒のオーダーにすぎないものである。

10

【0003】

記憶容量の大きなシステムを製造する能力は通常、可動又は回転する部品を利用する必要があることによって制約を受けており、その工程は電子回路技術と比べて相対的に時間がかかる。更に、リードライト時間を短縮するために、可動又は回転する部品をできる限り速い速度で動作させようとする場合には、信頼性も問題になる。更に、その電子デバイスがポータブルの応用形態で用いられる場合には、通常、そのシステムの耐衝撃性も1つの制約になる。消費電力、全重量及びサイズ、ならびにコストも、ストレージシステムに制約を与える要因である。

【0004】

過去30年間にわたり、シリコンベースのメモリデバイスは、マイクロエレクトロニクスデバイスの能力をほぼ絶え間なく指数関数的に高めるのに多大なる貢献をし、計算、通信、及び信号処理の能力に空前の進歩を生み出してきた。更に、この進歩によってデバイスが更に複雑になっており、それに応じて集積回路デバイスの機構サイズが縮小化されている。その傾向は通常「ムーアの法則」に従っている。しかし、集積回路の機構サイズを、ナノメートルの動作領域まで引き続き縮小することは、物理的な理由及び経済的な理由の両方によって、益々難しくなっており、限界に近づきつつあるかもしれない。一般に、シリコンベースのメモリデバイスは、多数の層を用いる複雑なアーキテクチャを含む。これらの各層は、その層のための所望の構造を生成するよう堆積され画定されなければならないので、各層が半導体デバイスのコストを上昇させる一因になる。更に、そのようにアーキテクチャが複雑である結果として、通常、半導体基板の単位面積当たりの論理セルの数が減少するようになり、それにより所与のチップサイズの場合のデータ記憶密度の低下に繋がる。

20

30

【0005】

ストレージデバイスに記憶される情報の記憶密度を高め、かつコストを下げるのが望ましいことはデータストレージ分野ではよく知られている。これは、一般に、磁気ハードドライブ、光学ドライブ、ランダムアクセスメモリデバイス、及び他の情報ストレージシステムといった、全てのタイプの情報ストレージデバイスの場合に当てはまる。上記のように、ストレージデバイスに更に多くの情報を詰め込むのは益々難しくなっている。

【0006】

これらの問題が続く限り、電子デバイスにおいて用いられる、より安価で、より高速で、より高密度で、しかもより低電力のストレージデバイスが、過去数十年にわたって見られるように成長し続けることは不可能であろう。

40

【発明を実施するための最良の形態】

【0007】

本発明の実施形態は、電荷トラップ構造を利用するメモリストレージデバイスを対象にする。現在の固体メモリデバイスのビットサイズは一般に、利用される様々なフォトリソグラフィ技術によって分解することができる寸法によって制限される。本発明は、ゲートとしてナノスケールの導電性先端構造を用いて、電荷トラップ構造の局所的な充電及び放電を制御する。更に、本発明では、ナノスケールの導電性先端構造及び電荷トラップ構造は互いに対して動く。本発明のビットサイズはフォトリソグラフィ解像度によっては制限

50

されず、一般に先端構造のサイズによって決定される。データは、ナノスケールの導電性先端構造を制御ゲートとして用いて、記憶場所から読み出すことができ、かつ記憶場所に書き込むことができる。ある特定の記憶場所にアクセスすることは、1次元又は2次元の何れかにおいて先端構造を動かすことを伴う。

#### 【0008】

本発明のメモリストレージデバイス100の一実施形態が図1aに簡略化された断面図で示される。この実施形態では、第1の半導体層122が基板120上に配置され、該第1の半導体層122上に第2の半導体層124の少なくとも一部が配置され、接合部128が形成される。第1の半導体層122は、所定濃度でドーピングされたp型ドーパントを含み、第2の半導体層124は、所定濃度でドーピングされたn型ドーパントを含む。用いられる個々のドーパント材料及びドーパント濃度は、メモリストレージデバイス100において用いられる接合部の寸法及び個々の電荷トラップ材料といった様々な要因によって決まることになる。。電気的な接触部が、nコンタクト130及びpコンタクト131を介して2つの半導体層に形成される。コンタクト130,131は、半導体処理において用いられる従来の金属コンタクトのうちの任意のものをを用いて形成することができる。コンタクト130,131を形成するために用いることができる材料は、数例にすぎないが、アルミニウム及びその様々な合金、プラチナ、チタン又はタングステン及び様々な金属シリサイドである。

#### 【0009】

メモリストレージデバイス100は更に、第2の半導体層124の一部の上に配置される電荷トラップ構造140を備える。更に、メモリストレージデバイス100は、電荷トラップ構造140の上方に配置される導電性ゲート先端構造150も備える。この実施形態では、導電性ゲート先端構造150は、用いることができる材料の数例を挙げると、タングステン、金、プラチナ、パラジウム、レニウム、タンタル、シリコン、ガリウムヒ素又は硫化カドミウムのような様々な金属又は半導体を用いて形成される金属又は半導体先端構造である。図1bの拡大断面図に示すような別の実施形態では、導電性ゲート先端構造150'は、基部152と、該基部152の外側表面上に堆積又は形成された外層153とを含むことができる。一実施形態では、基部152は、金属、ドーピング半導体、又は有機導体といった、データビットを生成するか、又はデータビットを読み出すかの何れかのために十分な導電率を与える任意の導電性材料を用いて形成することができる。外層153は、任意の誘電体層又は絶縁性の層を用いて形成することができる。利用することができるそのような誘電体材料の例には、限定はしないが、酸化物、窒化物、炭化物、ホウ化物ならびに有機及びポリマー誘電体層が含まれる。第2の実施形態では、基部152及び外層153は何れも、先に記載されたような導体を用いて形成することができる。例えば、基部152は、アルミニウム、チタン、銅又はタングステンのような1つの金属を用いて形成することができ、外層153は、金、プラチナ又はパラジウムのような異なる金属を用いて形成することができる。更に別の実施形態では、基部152は、用いることができる、高い誘電率の材料を含む広範な誘電体材料の中から二例のみを挙げると、酸化シリコン又は窒化シリコンのような誘電体材料を用いて形成することができる。外層153は、この実施形態では、データビットを生成し又はデータビットを読み出すために十分な導電率を与える任意の導電性材料を用いて、基部152を形成する誘電体材料上に形成することができる。更に、導電性ゲート先端構造150,150'は多種多様な形状に形成することができ、例えば、一般に「スピント」先端構造と呼ばれるものをを用いることができ、又はカンチレバーの一端に形成された台形の原子間力顕微鏡先端構造を用いることもできる。一般に、電荷トラップ構造に最も近い先端構造の端部のサイズは、数原子～数ナノメートルといった値になる。更に、導電性ゲート先端構造の個々の形状は、電荷トラップ構造内に形成される所望の形状及びサイズの帯電したビットを生成するために導電性ゲート先端構造と第2の半導体層124との間に生成される所望の電界によって決まることになる。。

#### 【0010】

一実施形態では、導電性ゲート先端構造150は、電荷トラップ構造の表面148に対して、その上を少なくとも1つの方向に移動又は走査することができる。別の実施形態では、電

10

20

30

40

50

荷トラップ構造140が、導電性ゲート先端構造150に対して動かされることができる。更に別の実施形態では、導電性ゲート150又は電荷トラップ構造140の何れか又は両方が2次元において平行移動可能又は走査可能である。データは、導電性ゲート先端構造150を用いて、記憶場所（図示せず）から読み出すことができ、かつ記憶場所へ書き込むことができる。特定の記憶場所にアクセスすることは、X方向又はY方向、又はその両方向に導電性ゲート先端構造150を動かすことを伴う。単に例示及び明瞭化するためにすぎないが、図1a及び説明されることになる様々な他の図面は直線の座標軸を含む。これらの軸の選択は自由であり、本書で解説するシステムは、任意の他の基準系に関して解説することが可能であることを理解されたい。

#### 【0011】

図面は縮尺どおりに描かれていないことに留意されたい。更に、様々な構成要素も縮尺どおりに描かれていない。本発明をより明確に図示し理解しやすくするために、特定の寸法が他の寸法に対して誇張されている。

#### 【0012】

更に、本書で例示する実施形態のうちのいくつかは、深さ及び幅を有する様々な領域を備える2次元の図において示されるが、これらの領域は実際には3次元構造を有するデバイスの一部のみを図示したものであることを明確に理解されたい。したがって、これらの領域は、実際のデバイス上に作製されるときには、長さ、幅、及び深さを含む3次元を有するものとなる。更に、本発明を様々な実施形態により例示するが、これらの例示は、本発明の範囲又は適用可能性を制限することを意図したものではない。更に、本発明の実施形態を例示する物理的な構造に限定することは意図していない。これらの構造は、本発明の有用性、及び本発明の現時点での好ましい実施形態への適用を例示するために含まれる。

#### 【0013】

基板120は、この実施形態では、用いることができる材料の数例にすぎないが、様々なガラス、例えばホウケイ酸ガラス、ソーダ石灰ガラス、又は石英ガラス（結晶形又は非晶形を含む）のうちの任意のガラスのような材料；二酸化シリコン又は酸窒化シリコンを含むシリコン酸化物、又は、例えばカリウム、カルシウム、バリウム又は鉛の酸化物と混合されるシリカのような材料；酸化アルミニウム、窒化ホウ素、炭化シリコン及びサファイアのようなセラミック；金属；シリコン、ガリウムヒ素、インジウムリン及びゲルマニウムのような半導体；ポリカーボネート、ポリエチレンテレフタレート、ポリスチレン、ポリイミド、及びポリメチルアクリレートのようなアクリレートなどの様々なポリマーのような広範な材料又は材料の組み合わせのうちの任意のものから形成することができる。したがって、本発明は、シリコン半導体材料内に作製されるそれらのデバイスに限定されることを意図しているわけではなく、ガラス基板上にポリシリコンを用いる薄膜トランジスタ（TFT）技術といった、当業界で既知の入手可能な半導体材料及び技術のうちの1つ又は複数のものにおいて作製されるそれらのデバイスを含む。更に、基板120は典型的なウェハサイズには限定されず、ポリマーシート又はフィルム又はガラス板、例えば従来のウェハ又は基板とは異なる形及びサイズにおいて処理される単結晶シート又は基板を処理することを含むことができる。用いられる実際の基板材料は、用いられる個々の半導体層及びドーパント、用いられる個々の電荷トラップ構造、ならびに用いられる所望の電圧、電力及び読み出し／書き込み／消去速度パラメータのような様々なシステム要素によって決まることになる。。更に、導電性又は半導電性基板を用いるそれらの実施形態の場合、電気的な分離を与えるために、基板と、第1及び第2の半導体層との間に誘電体層もまた配置されることになる。

#### 【0014】

第1及び第2の半導体層122,124は、この実施形態では、広範な半導電性材料のうちの任意の材料及びそのような材料の組み合わせから形成することができる。例えば、第1の半導体層122にはpドープエピタキシャルシリコン層を用いることができ、第2の半導体層124にはnドープエピタキシャルシリコン層を用いることができる。更に、層毎に異な

10

20

30

40

50

る半導電性材料を用いることもでき、例えば、第1の半導体層122にはpドープエピタキシャルゲルマニウム層を用いることができ、第2の半導体層124にはnドープエピタキシャル層を用いることができる。更に、結晶性の差を利用することもでき、例えば第1の半導体層122にpドープ多結晶シリコン層を用い、第2の半導体層124にnドープアモルファスシリコン層を用いることができる。このようにして、材料及び結晶性ならびにドーピング濃度の数多くの異なる組み合わせを利用することができる。したがって、第1及び第2の半導体層122,124は、数例を挙げると、シリコン、ガリウムヒ素、ゲルマニウム、インジウムリンのような材料を含む、入手可能な広範な無機半導電性材料のうちの任意の材料を用いて形成することができる。用いられる個々の半導電性材料は、用いられる個々の基板及びドーパント、用いられる個々の電荷トラップ構造、ならびに用いられる所望の電圧、電力及び読み出し/書き込み/消去速度パラメータのような様々なシステム要素によって決まることになる。。

10

#### 【0015】

電荷トラップ構造140は、この実施形態では、局所的な電荷を格納又は保持することができる広範な無機及び有機誘電体材料のうちの任意の材料から形成することができる。例えば、ほんの数例を挙げると、シリコン酸化物、シリコン窒化物又はシリコン炭化物のような無機誘電体材料が、電荷トラップ構造140を形成するために用いることができる。一実施形態では、電荷トラップ構造140は、第2の半導体層124上に二酸化シリコン層が配置され、その二酸化シリコン層上に薄い窒化シリコン層が堆積され、更に窒化シリコン層上に第2の二酸化シリコン層が堆積される3層構造を含む。別の実施形態では、電荷トラップ構造は、二酸化シリコン層内に分散されるゲルマニウムナノ微粒子を含む。更に別の実施形態では、金、硫化カドミウム又はシリコンのような他のナノ微粒子が、二酸化シリコン又は任意の他の適当な無機又は有機誘電体材料内に分散することができる。更に別の実施形態では、二酸化シリコン及び窒化シリコンを用いる多層構造を用いて、電荷トラップ構造140を形成することもできる。用いられる個々の電荷トラップ材料及び構造は、用いられる個々の半導体層及びドーパント、用いられる個々の基板、ならびに用いられる所望の電圧、電力及び読み出し/書き込み/消去速度パラメータのような様々なシステム要素によって決まることになる。。

20

#### 【0016】

本発明のメモリストレージデバイスの別の実施形態が、図2に簡略化された断面図で示される。この実施形態では、第1の半導体層222はpドープ221シリコン基板220内に形成されたp+領域であり、第2の半導体層124はnウェル226と、接合部228を形成する概ね平坦なnドープ領域225とを含む。用いられる個々のドーパント材料及びドーパント濃度は、接合部寸法、及びメモリストレージデバイス200において用いられる個々の電荷トラップ材料のような様々な要因によって決まることになる。この実施形態では、シリコン基板220は、約300~800マイクロメートルの厚みを有する単結晶シリコン基板である。別の実施形態では、基板は、数例を挙げると、ガリウムヒ素、インジウムリン及びゲルマニウムを含む広範な半導体材料から形成することができる。nコンタクト230及びpコンタクト231を介して、2つの半導体層への電気的な接触部が形成される。絶縁層232が、nコンタクト230をシリコン基板220から電気的に分離する。コンタクト230及び231は、図1a及び図1bに示される実施形態の場合に先に記載されたような半導体処理において用いられる従来の金属コンタクトのうちの任意のものを用いて形成することができる。

30

40

#### 【0017】

メモリストレージデバイス200は更に、第2の半導体層224の概ね平坦なnドープ領域225上に配置される電荷トラップ構造240を備える。更に、メモリストレージデバイス200は、電荷トラップ構造240の上方に配置される導電性ゲート先端構造250も備える。一実施形態では、導電性ゲート先端構造250は、電荷トラップ構造の表面248に対して、その上を少なくとも1つの方向に移動又は平行移動することができる。別の実施形態では、電荷トラップ構造240が、導電性ゲート先端構造250に対して動かされることができる。更に別の実施形態では、導電性ゲート先端構造250又は電荷トラップ構造240の何れか、又は両方が1

50

次元又は２次元内を平行移動することができる。導電性ゲート先端構造250を用いて、データが記憶場所（図示せず）から読み出されることができ、かつ記憶場所に書き込まれることができる。電荷トラップ構造240及び導電性ゲート先端構造250は、図１a及び図１bに示される実施形態の場合に先に記載された材料及び構造のうちの任意のものを利用することができる。更に、この実施形態では、導電性ゲート先端構造250は電荷トラップ構造240の上方に配置され、接触していないが、別の実施形態では、導電性ゲート先端構造は電荷トラップ構造250と摺動可能に接触することができる。

【００１８】

本発明のメモリストレージデバイスの別の実施形態が、図３に簡略化された断面図で示される。この実施形態では、第１の半導体層322は、基板320上に形成される酸化シリコン層333上に形成されるp+エピタキシャル層である。第２の半導体層324は、第１の半導体層322上に形成されるnドープエピタキシャル層であり、接合部328が形成される。この実施形態では、基板320はシリコンウェハから形成されるが、別の実施形態では、２例のみを挙げると、ガリウムヒ素及びゲルマニウムといった、入手可能な広範な半導体ウェハ及び材料のうちの任意のものを用いることができる。更に、この実施形態では、絶縁層333は酸化シリコンであるが、別の実施形態では、窒化シリコン、炭化シリコン、窒化ホウ素、酸化アルミニウム及びこれらの材料の組み合わせのような広範な誘電体材料の任意のもの、ならびに様々な誘電体材料を含む多層構造を用いることもできる。用いられる個々のドーパント材料及びドーパント濃度は、接合部寸法、メモリストレージデバイス300において用いられる個々の電荷トラップ材料、用いられる個々の先端構造、及び所望の局所的な電界などの様々な要因によって決まることになる。nコンタクト330及びpコンタクト331を介して、２つの半導体層への電気的な接触部が形成される。コンタクト330及び331は、図１及び図２に示される実施形態の場合に先に記載されたような半導体処理において用いられる従来の金属コンタクトのうちの任意のものを用いて形成することができる。

【００１９】

メモリストレージデバイス300は更に、第２の半導体層324の概ね平坦なnドープ領域325上に配置される電荷トラップ構造340を備える。更に、メモリストレージデバイス300は、電荷トラップ構造340の上方に配置される導電性ゲート先端構造350も備える。導電性ゲート先端構造350及び電荷トラップ構造340は、図１及び図２に示される実施形態において記載されるように、互いに対して少なくとも１つの方向に移動又は平行移動し、その結果、導電性ゲート先端構造350が、電荷トラップ構造の表面348の所望の場所の上方に配置することができるようになる。更に、電荷トラップ構造340及び導電性ゲート先端構造350は、上記の材料及び構造のうちの任意のものを利用することができる。

【００２０】

本発明のメモリストレージデバイスにおいて用いることができる電荷トラップ構造の別の実施形態が図４a及び図４bに拡大された断面図で示される。図４aに示されるように、電荷トラップ構造440は、第２の半導体層424の概ね平坦なnドープ領域425上に配置される第１の誘電体層441を備える。第２の誘電体層442が第１の誘電体層441上に配置され、第３の誘電体層443が第２の誘電体層442上に配置される。この実施形態では、第１及び第３の誘電体層441及び443は二酸化シリコン層であり、第２の誘電体層442は窒化シリコン層である。別の実施形態では、広範な誘電体材料のうちの任意の材料を用いることができる。例えば、無機及び有機層の様々な組み合わせ、ならびに有機層のみ又は無機層のみを含む電荷トラップ構造を用いることができる。更に、別の実施形態では、電荷トラップ構造を形成するために、単層、２層又は多層を用いることもできる。図４bに示されるような電荷トラップ構造440'は、誘電体媒体内に分散されるか、又は埋め込まれるナノ微粒子445を含む。一実施形態では、電荷トラップ構造440'は、二酸化シリコン媒体446内に分散されるゲルマニウムナノ微粒子を含み、二酸化シリコン媒体は、第２の半導体層424の概ね平坦なnドープ領域425上に配置される。しかし、別の実施形態では、誘電体媒体内に分散される導電性、半導電性又は絶縁性のナノ微粒子を用いることもできる。例えば、金ナノ微粒子が酸化シリコン媒体内に分散することができるか、又は硫化カドミウムナノ

10

20

30

40

50

微粒子がポリイミド又はポリカーボネート媒体内に分散することができる。

【 0 0 2 1 】

メモリストレージデバイス500の平面図が図5に示されており、1つの電荷トラップ構造上に生成され、形成することができる複数の記憶場所を示す。図5では、簡単にするために、基板520の上に電荷トラップ構造540が示される。複数の記憶場所547は、電荷トラップ構造の表面548上に正方形として示される。記憶場所の個々の形状は、先端構造の形状、導電性ゲート先端構造（図示せず）と第2の半導体層（図示せず）との間に生成される電界密度、及び記憶場所が、先端構造が電荷トラップ構造の表面548上を動いている間に生成されるか、先端構造が静止している間に生成されるかなどの数多くの要因によって決まるので、記憶場所を表現するために正方形を選択したことは例示にすぎない。

10

【 0 0 2 2 】

ゲートとしてナノスケールの導電性先端構造を用いて、電荷トラップ構造内に局所的な電荷を生成するコンピュータメモリストレージシステムが図6aに概略的な断面図で示される。この実施形態では、コンピュータメモリストレージシステム602は、フレーム658内に配置されるメモリストレージデバイス600を備える。フレーム658は、導電性ゲート支持体又は先端構造支持体659と、可動層支持体660と、ドライブ支持体661とを備える。可動層支持体660は、先端構造支持体659とドライブ支持体661との間で機械的に懸架された超小型可動子662に接続される。通常、先端構造支持体659、可動層支持体660及びドライブ支持体661は概ね平坦であり、互いに対して概ね平行に配列される。この実施形態では、超小型可動子662は電荷トラップ構造640を備え、図5において先に示されたように（すなわち電荷トラップ層540）、電荷トラップ構造640は、フレーム658に接続される読み出し/書き込みデバイスの動作を通してアクセス可能な複数のデータ記憶場所647を含む。先に記載したように、データは、フレーム658の先端構造支持体659内に又はその上に取り付けられ又は形成される導電性ゲート先端構造650を用いて、記憶場所647から読み出すことができ、かつそこに書き込むことができる。別の実施形態では、導電性ゲート先端構造650は、超小型可動子662上又は内に取り付けられ又は形成することができ、電荷トラップ構造640は、先端構造支持体659に取り付けられ又はその上に形成することができる。更に別の実施形態では、先端構造支持体659も超小型可動子を備えることができ、その場合には、導電性ゲート先端構造及び電荷トラップ構造の両方が互いに独立して動くことができるものとなる。ある特定の記憶場所647にアクセスすることは通常、フレーム658に対して、静止位置からX方向又はY方向の何れかに、又は両方の方向に、超小型可動子662を動かすことを伴う。

20

30

【 0 0 2 3 】

コンピュータメモリストレージシステム602は通常、フレーム658と超小型可動子662との間の相対的な動きを生み出す力を生成するために、静電ドライブ664のようなアクチュエータも備える。その力は、フレーム658及び/又は超小型可動子662上に配置される電極に電圧を印加することにより生成することができる。印加された電圧は、フレーム658と超小型可動子662との間に引力、斥力又はその両方の力を生成する。これらの力は通常X及びY成分を含み、相対的な動きがX-Y平面において生じるようにするが、多くの場合に、ドライブはZ軸成分を有する力を生成することになるであろう。Z軸の動きを概ね制限しながら、X-Y平面に動かすことができるようにするために、多くの場合に、平面内（例えば、X-Y平面内）では相対的に低い剛性を有し、平面外では（例えば、Z軸に沿って）相対的に高い剛性を有するようにサスペンションを構成することが望ましいであろう。サスペンション665は、先端構造支持体659及びドライブ支持体661に対して超小型可動子662をその平面内の方向に（例えばX-Y平面に対して平行に）保持し、かつ超小型可動子662をフレーム658に接続するように配設される。サスペンション665は通常、1つ又は複数のばねのような構造を含む。これらの構造は通常、フレーム658に対する超小型可動子662の平面外への動きを概ね制限しながら、静止位置から超小型可動子662を平面内に動かすことができるように構成される。

40

【 0 0 2 4 】

50

コンピュータメモリストレージシステム602はまた、別の実施形態では、図6bに概略的な断面図で示するように、導電性ゲート先端構造650に接続される先端構造アクチュエータ654を備えることができる。先端構造アクチュエータ654は、この実施形態では、Z軸において、電荷トラップ構造640(図6aを参照)上で、先端構造の高さを制御する。1つの別の実施形態では、先端構造アクチュエータ654は、3つの互いに垂直な方向に先端構造が動けるようにする。更に別の実施形態では、先端構造アクチュエータ654は、先端構造支持体659上又は内に形成することができ、複数の先端構造が1つの先端構造アクチュエータに接続される。かかる構成により、1組又は1つのグループの先端構造が、電荷トラップ構造640の所定のエリア上で、例えばトンネル電流を測定することによりデータ記憶場所647をモニタし、読み出し、又はアクセスするために用いられる間に、別の組又はグループの先端構造が電界を与え、データ記憶場所647を生成することを可能にする。例示するためにすぎないが、先端構造アクチュエータ654は、先端構造支持体659に取り付けられるブロックとして示される。先端構造アクチュエータ654は、圧電構造又は静電ドライブのような用いられる個々の作動技法に応じて、先端支持体659上に形成するか、先端構造支持体659に取り付けるか、又は先端構造支持体659内に形成することができる。先端構造アクチュエータは、この実施形態では、当業界で既知の広範な超小型可動子又はマイクロアクチュエータのうちの任意のものを利用することができる。用いられる個々のアクチュエータは、所望の動きの軸の数、所望の動きの範囲、用いられる先端構造のタイプ、先端構造が実行することになる機能(すなわち読み出し又は書き込み又は両方)のような様々な要因によって決まることになる。

#### 【0025】

本発明の超小型可動子機構の一実施形態が図7に概略的な平面図で示される。この実施形態では、超小型可動子機構704は、フレーム758と超小型可動子762とを相互に接続する機械式サスペンション765を備える。機械式サスペンション765は通常、超小型可動子762の周囲に配列され、フレームに対して超小型可動子を懸架する複数のサスペンションサブアセンブリ又はユニット768(それぞれ768a, 768b, 768c, 768dで示す)を備える。通常、フレーム758及び超小型可動子762は概ね平坦であり、超小型可動子762がフレーム758内で、ある動作範囲においてX-Y平面内を動くように構成される。超小型可動子762は、上記のように静電ドライブを用いて、又は任意の他の適当な作動機構の動作を通して、フレーム758に対して動かすことができる。この実施形態では、機械式サスペンション765は、フレーム758の周囲に対称に配列され、フレーム758と超小型可動子762との間に動作可能に配置される4つのサスペンションサブアセンブリ768を利用する。別の実施形態では、1つ、2つ又は3つのサスペンションサブアセンブリ、及び5つ以上のサブアセンブリを用いることもできる。

#### 【0026】

サスペンションユニット768aは通常は可撓性部材770a, 772a, 774aを備え、他のサスペンションユニットも、図7に示されるように、対応する類似の可撓性部材を有する。本書で用いるような「可撓性部材」は、超小型可動子762をフレーム758に接続し、超小型可動子とフレームとが相対的に動くのに応答して撓む、任意のばねのような構造を指すことができる。通常は、可撓性部材は、平面内で相対的に低い剛性を有し(それによりX-Y平面内で動くことができるようにし)、平面外で相対的に高い剛性を有する(それにより平面外のZ軸への動きを概ね制限する)。X-Y方向への力が働かない場合、可撓性部材は通常は、超小型可動子762を静止又は平衡位置に動かすように構成される。多くの場合に、深い反応性イオンエッチング、ウェットエッチング、又はレーザアブレーション又はイオンミリングのような他の加工技法を用いて、コンピュータメモリストレージデバイス702の他の構成要素と一体に可撓性部材を形成することが望ましいであろう。別の実施形態では、可撓性部材は個別に形成され、その後、可動子及びフレームに固定することができる。図7では、明瞭にするために、可撓性部材は線として示されるが、可撓性部材が0でない厚みを有することを理解されたい。

#### 【0027】

図 7 に示されるように、可撓性部材770a,770b,770c,770dはそれぞれ、超小型可動子762と、結合部材776a,776b,776c,776dとの間に結合される。これらの可撓性部材は超小型可動子762に直に接続されるので、それらは「可動子可撓性部材」と呼ばれる場合もある。残りの可撓性部材(772a,774a,772b,774b,772c,774c,772d,774d)はそれぞれ相互接続フレーム758と結合部材776a,776b,776c,776dとの間に結合される。それらはフレーム758を1つの結合部材に接続するので、これらの残りの可撓性部材は「フレーム可撓性部材」と呼ばれる場合もある。様々な可撓性部材が、それに加えられる力への応答、及び結果として生成される超小型可動子とフレームとの相対的な動きに関して、更に区別されることもできる。詳細には、X軸方向への動きに応答して撓む可撓性部材はX軸可撓性部材と呼ぶことができるのに対して、Y軸方向への動きに応答して撓む可撓性部材はY軸可撓性部材と呼ぶことができる。したがって、図 7 に示されるように、超小型可動子762はその平衡位置にあり、それゆえサスペンションユニット768aの可撓性部材は撓んでいない、又は変形されていない状態にある。X軸成分を有する力を加えると、超小型可動子762に対してフレーム758が動き、可撓性部材772a及び774aは弾性変形するようになり、一方、加えられる力にはY軸成分はないので、可撓性部材770aは変形されない状態のままである。こうして、可撓性部材772a,774aはX軸可撓性部材としての役割を果たしている。同様に、Y軸成分を有する力を加えると、超小型可動子762に対してフレーム758が動き、可撓性部材770aが弾性変形するようになり、一方、可撓性部材772a,774aは変形されないままである(なぜなら、加えられる力にはX軸成分はない)。こうして、可撓性部材770aはY軸可撓性部材としての役割を果たしている。

#### 【0028】

サスペンションユニット768a~768dは超小型可動子762の周囲に対称に配列され、X方向に超小型可動子が動くのに応答して、超小型可動子可撓性部材の半分及びフレーム可撓性部材の半分が弾性変形し、一方、Y方向に超小型可動子が動くのに応答して、残りの可撓性部材が弾性変形するようになることを理解されたい。この構成は、X軸及びY軸に沿ったサスペンションの総合的な曲げ剛性を概ね同じにする。図 7 は所与の場所において1つの可撓性部材の構造を利用すること、例えば結合部材776aと超小型可動子762との間に接続される可撓性部材772aを示すが、他の実施形態は複数の可撓性部材を利用することができることを理解されたい。可撓性部材の個々の数は、所望の剛性、所望の動く範囲、及び各導電性ゲートによってアドレス指定されるデータ記憶場所の数のような様々な要因によって決まることになる。更に、本発明の別の実施形態では、任意の適当な超小型可動子機構を利用することができることも理解されたい。例えば、圧電アクチュエータ又は可動子及び静電櫛形ドライブアクチュエータを利用することもできる。

#### 【0029】

数例を挙げると、コンピュータシステム、テレビゲーム、インターネット機器、端末、Mp3プレーヤ、携帯電話又は携帯情報端末のような電子デバイス806が図 8 にブロック図で示される。電子デバイス806は、「pentium(登録商標)プロセッサ」という名称で販売されるインテルプロセッサ又は互換性のあるプロセッサのようなマイクロプロセッサ880を備える。数多くの他のプロセッサも存在し、同じく利用することができる。マイクロプロセッサ880はメモリデバイス882に電氣的に接続され、メモリデバイス882は、データ、入力/出力機能、又はその両方を制御するためにマイクロプロセッサ880によって用いられるコンピュータ実行可能コマンド又は命令を保持することができるプロセッサ読取り可能メモリを備える。またメモリデバイス882は、マイクロプロセッサ880によって操作されるデータも記憶することができる。またマイクロプロセッサ880は、ストレージデバイス802、プリンタ884、及びディスプレイデバイス886のうちの何れか1つ、又は全て、又はそのうちのいくつかの組み合わせにも電氣的に接続される。マイクロプロセッサ880、メモリデバイス882、プリンタ884、ディスプレイデバイス886、及びストレージデバイス802はそれぞれ、可動式の導電性制御ゲート及び電荷トラップ構造を有するストレージデバイスを示す先に説明された図面及び本文において例示されるような本発明の1つの実施形態を含むことができる。

## 【 0 0 3 0 】

図9を参照すると、本発明の一実施形態による、メモリストレージデバイスを製造する方法のフローチャートが示される。pドープ半導体層形成工程990を用いて、基板上にpドープ半導体層が形成される。用いられる個々の工程は、メモリストレージデバイスを形成するために用いられる個々の基板によって決まることになる。先に記載したように、そのストレージデバイスを形成するために、広範な基板を用いることができる。例えば、p型シリコンウェハを利用し、p+半導体層が望ましい実施形態の場合には、通常は、窒化シリコン又は酸化シリコン又は他の適当な材料が基板上に堆積され、パターニングされて、所望の形状のpドープ領域の開口部を有するマスクが形成される。その後、従来のイオン注入装置を用いて、特定のドーパントが、所望のドーズ量まで、マスクの開口部領域内に全体的に打ち込まれる。しかし、他の注入工程を利用することもできる。一般に、アニールステップが、ドーパント注入工程に続いて行われる。個々のアニール工程はイオンドーズ量及びイオン種によって決まる。その後、マスクは化学エッチングによって概ね除去されるが、任意の適当なエッチング工程又は層を除去することができる工程を利用することもできる。エピタキシャルpドープ層を利用する実施形態の場合、エピタキシャル層を、基板又はウェハ上に直に堆積又は成長させることができる。多結晶又は非晶質pドープ層を利用する実施形態の場合、その層は、従来の半導体処理装置を用いて基板上に直に堆積させることができる。更に別の実施形態では、通常は、シリコンウェハ上に形成される酸化物層を用いる絶縁層上にpドープシリコン層を用いることができるが、他の誘電体層又は絶縁層を用いることもできる。

## 【 0 0 3 1 】

nドープ半導体層形成工程992を用いて、基板上にnドープ半導体層が形成される。pドープ層を形成するために先に記載された工程のうちの任意の工程が、nドープ層を形成するためにも用いることができる。例えば、上記のようにp型シリコンウェハ及びp+半導体層を利用する実施形態の場合、別の酸化物又は窒化物マスクを堆積し、パターニングして、所望の形状のnドープ領域の開口部を有するマスクを形成することができる。その後、ドーピング工程が実行され、その後、マスクが除去される。別の例は、エピタキシャル成長したpドープ層を利用する実施形態の場合の例である。個々のドーパント材料は、所望の接合特性に応じて、pドープ層を成長させることからnドープ層を成長させることに切り替えるために徐々に又は急激に変更することができる。p及びnドープ層を形成する結果として、それらの層の形成中に所望の接合部が形成されない実施形態の場合に、オプションのpn接合形成工程994を用いてpn接合が形成される。例えば、アニールステップを追加することが望ましい場合もある。

## 【 0 0 3 2 】

電荷トラップ記憶構造形成工程996を用いて、電荷トラップ記憶構造が形成される。電荷トラップ記憶構造には、データ記憶場所が生成されることになる。用いられる個々の工程は、メモリストレージデバイスにおいて用いられる電荷トラップ記憶構造の個々のタイプによって決まることになる。例えば、酸化物-窒化物-酸化物層状構造を利用する実施形態の場合、プラズマ化学気相成長(PECVD)、常圧又は低圧化学気相成長、スパッタ堆積、又は他の適当な堆積技法のような様々な堆積技法を用いて、誘電体層を堆積することができる。所望の構造を画定し、形成する前に、3つ全ての層が順番に堆積することができる、又は各層が堆積され、その後、次の層が堆積される前に画定され、エッチングすることができる。構造画定及びエッチング工程は通常、従来のフォトリソグラフィ及びエッチング装置を利用する。ポリマー又は有機誘電体層を利用する実施形態の場合、スピンコーティング、カーテンコーティング又は他の適当なコーティング技法を用いて、2例のみを挙げると、ポリイミド、又はベンゾシクロブテンのようなポリマー誘電体層を形成することもできる。別の例は、電荷トラップ記憶構造のために、酸化シリコン媒体内に分散されたゲルマニウムナノ微粒子を利用する実施形態の場合である。通常は、厚みが約4ナノメートル程度の酸化シリコン膜が、プラズマ化学気相成長(PECVD)、常圧又は低圧化学気相成長、スパッタ堆積、又は他の適当な堆積技術のような様々な堆積技法を用いて、nd

ープ半導体層上に堆積される。更に、シリコン膜が堆積され、その後に、例えば約5分間、950 の乾いた酸素を用いて熱酸化を実施することができる。ゲルマニウムは、電子ビーム又は熱蒸着又はスパッタ堆積のような従来の堆積技法のうちの任意の技法を用いて、約10ナノメートルの厚みまで酸化シリコン表面上に堆積される。酸化シリコン表面上にゲルマニウムを堆積した基板はその後、乾いた酸素の環境下で約1時間、約800 ~ 約1000 の範囲においてアニールされる。誘電体層内に分散された金又は他のナノ微粒子も、堆積後にアニールする同じような方法で形成することができる。更に、用いられる個々の誘電体媒体及びナノ微粒子材料によっては、同時堆積を利用することもできる。

#### 【0033】

導電性ゲート実装工程998を用いて、導電性ゲート支持体、可動層支持体及びドライブ支持体をパッケージ化するか又は組み立て、導電性ゲート及び電荷トラップ記憶構造を収容するフレームが形成される。一般に、可動層支持体は、導電性ゲート支持体とドライブ支持体との間で機械的に懸架する超小型可動子に接続される。このようにして、少なくとも1つの導電性ゲートが電荷トラップ構造上に配置される。更に、導電性ゲート先端構造又は電荷トラップ構造の何れかが他方に対して動く。通常は、導電性ゲート実装工程998は、どちらの構造が他の構造に対して動くことになるかに応じて、導電性ゲート、又は電荷トラップ構造の何れかに接続される超小型可動子を形成することを含む。超小型可動子は、1次元、2次元又は3次元を動くように形成することができる。

#### 【0034】

一例として、超小型可動子を形成するために用いることができる工程を例示するために、シリコンウェハを用いることとする。しかし、超小型可動子を形成するために広範な他の工程を用いることもできる。通常は、誘電体パッシベーション層及びエッチング画定層がシリコン基板の上に堆積される。別の実施形態では、誘電体パッシベーション層及びエッチング画定層は、そのストレージデバイスが用いられる個々の応用形態に応じて、p又はnドープ形成工程中に堆積することができる。プラズマ化学気相成長(PECVD)、スパッタ堆積又は化学気相成長のような堆積技法を用いて、ほんの数例を挙げると、酸化シリコン、窒化シリコン又は炭化シリコンのような耐火性の誘電体を堆積させることができる。別の実施形態では、スピンコーティング又はカーテンコーティングを用いて、2例のみを挙げると、ポリイミド又はベンゾシクロブテンのようなポリマー誘電体パッシベーション層を形成することもできる。平坦化された誘電体層が望まれる応用形態の場合には、堆積後に、化学機械処理(CMP)のような様々な平坦化工程を用いることができる。通常は、エッチング画定層は、シリコン基板の背面又は反対側に堆積される。この実施形態では、エッチング画定層は窒化シリコン層であるが、別の実施形態では、用いられる個々の基板材料、及び超小型可動子構造を形成するために用いられる個々の1つ又は複数のエッチング液のような様々なパラメータに応じて、酸化シリコン又は炭化シリコン又はエポキシフोटレジスト又はポリイミドのようなポリマー材料のような他の耐火性材料を用いることもできる。その後、エッチング画定層は、従来のフォトリソグラフィ技術及び工程を用いてパターンニングされ、下にある基板を露出させる開口部が形成される。開口部のサイズ及び形状も、ウェハをエッチングするために用いられる個々のエッチング液、及びウェハ又は基板材料のような様々なパラメータによる。別の実施形態では、誘電体パッシベーション層内にも、又は両方の中に開口部が形成することができる。

#### 【0035】

超小型可動子形成工程を用いて、基板又はウェハを形成し、又は概ねエッチングして、上記の様々な超小型可動子構造が生成される。例えば、垂直又は直交する側壁が望ましい場合には、深い反応性イオンドライエッチングを用いることができる。代替的には、水酸化カリウム(KOH)のような異方性ウエットエッチングを用いて、(110)結晶方位のシリコンウェハをエッチングして、垂直な側壁を形成することもできる。更に、KOH又は水酸化テトラメチルアンモニウム(TMAH)のような異方性ウエットエッチングを用いて、(100)結晶方位のシリコンウェハをエッチングして、(111)結晶面のエッチング速度が遅いことによって生成される傾斜の付いた側壁を有する様々な構造を形成することができる。

更に別の実施形態では、より複雑な構造が望ましい場合には、ウエット及びドライエッチングの組み合わせを用いることもできる。更に、レーザアブレーション、反応性イオンエッチング、集束イオンビームパターニングを含むイオンミリングのような他の工程を用いて、様々な超小型可動子構造を形成することもできる。様々な超小型可動子構造が形成された後に、誘電体パッシベーション層及びエッチング画定層の一部を除去することができる。この実施形態では、誘電体パッシベーション層及びエッチング画定層は、更なるパッケージ化ステップを例示するために、可動層支持体の一部において残されるが、別の実施形態では、微細加工されたデバイスの様々な部分における所望の熱的及び電気的分離特性のような様々なパラメータに応じて、これらの層は完全に除去されるか、選択されたエリアにおいて残されることができる。

10

#### 【0036】

導電性ゲート支持体、可動層支持体及びドライブ支持体を組み立てるために、ウェハ又は陽極ボンディング工程、様々なはんだ付け工程、及び接着ボンディング工程のような様々な工程を用いることができる。例えば、金-シリコン共晶混合物又は他の低い融点のはんだが、可動層支持体の一部の上に堆積される誘電体パッシベーション及びエッチング画定層上に形成することができ、後にそれを用いて、可動層支持体が導電性ゲート支持体、ドライブ支持体に結合され、導電性ゲート及び電荷トラップ記憶構造を収容するフレームが形成される。別の実施形態では、様々な接着ボンディング技法を用いることもできる。更に別の実施形態では、熱圧着ボンディング又は蝋付けのような技法を用いることもできる。

20

#### 【0037】

本発明の一実施形態による、メモリストレージデバイスを用いる方法のフローチャートが図10に示される。導電性ゲート位置決め工程1091を用いて、電荷トラップ層の所定の場所の上方に導電性ゲート先端構造を配置する。用いられる個々の工程は、そのストレージデバイスにおいて用いられるアクチュエータ及び超小型可動子の個々のタイプによって決まることになる。固定された導電性ゲートと、超小型可動子上に配置される電荷トラップ構造とを有する実施形態の場合、静電アクチュエータを用いて、少なくとも1つの方向に電荷トラップ層を動かす力を生成することができる。しかし、圧電アクチュエータのような他のタイプのアクチュエータを用いることもできる。別の実施形態では、電荷トラップ構造は2次元又は3次元内で動かすことができる。例えば、電荷トラップ構造は、データビットを生成するとき又は書き込むときに1つの方向に動かされるか、又は平行移動させることができ、書き込まれたデータビットを読み出すときには、2次元内で動かされ又は走査されることができる。更に、導電性ゲート先端構造と電荷トラップ構造との間の距離を制御するために第3の方向に動かすことにより、書き込み又は読み出し工程にわたって更に進んだ制御を実施することもできる。別の実施形態では、電荷トラップ構造が固定され、導電性ゲート先端構造が電荷トラップ構造の表面にわたって動かされることができ、データビット又は記憶場所を生成し、かつ検出することができる。図6bに示される実施形態において先に記載したように、導電性ゲート先端構造のグループの様々な組み合わせを用いることもできる。

30

#### 【0038】

電界印加工工程1093を用いて、ストレージデバイスに所望の電圧が印加される。印加される個々の電圧は、pn接合を形成するために用いられる個々のドーパントレベル、電荷トラップ構造の下の方のnドープ領域の厚み、ならびに導電性ゲート先端構造と電荷トラップ構造の表面との間の距離及び電荷トラップ層の厚みによって決まることになる。一般に、導電性ゲート先端構造には正の電圧が印加され、一方、nドープ領域は接地電位又は概ね接地電位にあり、pドープ領域は負の電圧にある。例えば、導電性ゲート先端構造は約15Vの電圧を有することができ、nドープ領域は概ね0Vであり、pドープ領域-5Vを有する。しかし、導電性ゲート先端構造が+20Vに保持され、nドープ領域が+5Vに保持され、pドープ領域が概ね0Vに保持されるように、他の電圧レベルを用いることもできる。

40

#### 【0039】

50

トラップ電荷生成工程1095を用いて、電荷トラップ構造においてデータビット又は記憶場所が生成される。導電性ゲート先端構造とnドープ領域との間に生成される電界が、nドープ領域から電荷トラップ構造の局部的な領域への電子のトンネル現象を局部的に制御する。一実施形態では、pn接合が、なだれ降伏領域において、又はその近辺において逆方向バイアスモードで動作し、電荷トラップ記憶構造内に突き抜けるだけの十分なエネルギーを有する「熱い」電子を生成する。別の実施形態では、pn接合は任意のモードで動作し、電荷トラップ記憶層に突き抜けるだけの十分なエネルギーを有する電子を供給する。導電性ゲート先端構造を電荷トラップ構造に対して静止させておくことにより、又は導電性ゲート先端構造を1次元内又は2次元のパターンの何れかにおいて動かすことにより、電荷トラップ構造内にデータビット又は記憶場所を生成することができる。一実施形態では、書き込みすなわち充電工程は、書き込みイベント中に印加される電界を一定に保持することにより自己制限することができる。トラップされた電荷は電界を生成し、それは更に電子のトンネル現象を減少させることになり、結果として充電工程が自己制限になる。生成されるデータビットの個々の形状は、電荷トラップ構造の表面に最も近い先端構造の形状、及び導電性ゲート先端構造又は電荷トラップ構造の何れかが他方に対して動かされるパターンによって決まることになる。

10

【0040】

データビット(すなわち局部的にトラップされた電荷)の存否は、充電された場所と充電されない又は背景の場所との間のキャパシタンスの差を検出することにより判定することができる。トラップされた電荷の消去すなわち放電は、nドープ領域の電圧を上昇させて、トラップされた電荷がnドープ領域に突き抜けて戻るようにすることにより実現される。データビットの消去は、電荷トラップ構造内の捕捉された電荷のブロック又は完全消去又は除去を実現する。

20

【図面の簡単な説明】

【0041】

【図1a】本発明の一実施形態によるストレージデバイスの断面図である。

【図1b】本発明の別の実施形態による導電性ゲート先端構造の拡大された断面図である。

【図2】本発明の別の実施形態によるストレージデバイスの断面図である。

【図3】本発明の別の実施形態によるストレージデバイスの断面図である。

30

【図4a】本発明の一実施形態による電荷トラップ構造の断面図である。

【図4b】本発明の別の実施形態による電荷トラップ構造の断面図である。

【図5】本発明の一実施形態による電荷トラップ構造の平面図である。

【図6a】本発明の一実施形態によるコンピュータメモリストレージシステムの概略的な断面図である。

【図6b】本発明の別の実施形態による先端構造アクチュエータの概略的な断面図である。

【図7】本発明の一実施形態による可動システムの概略的な平面図である。

【図8】本発明の一実施形態によるコンピュータシステムのブロック図である。

【図9】本発明の一実施形態によるストレージデバイスを製造する方法のフローチャートである。

40

【図10】本発明の一実施形態によるストレージデバイスを使用する方法のフローチャートである。

【符号の説明】

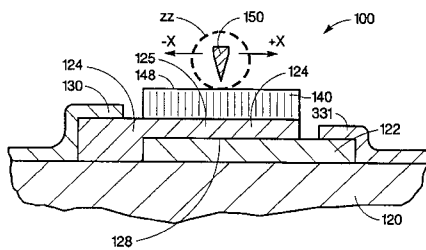
【0042】

- 100      メモリストレージデバイス
- 122      第1の半導体層
- 124      第2の半導体層
- 128      接合部
- 130      nコンタクト

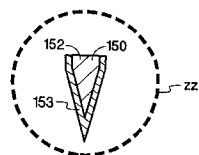
50

- 131 p コンタクト
- 140 電荷トラップ構造
- 150 導電性ゲート先端構造

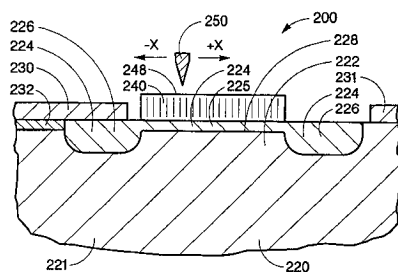
【図 1 a】



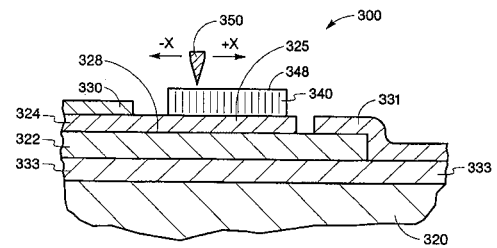
【図 1 b】



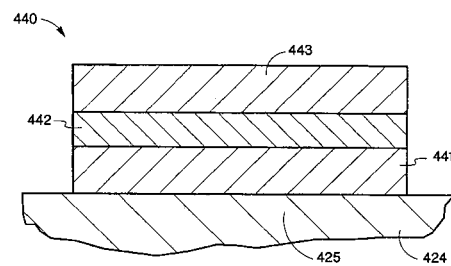
【図 2】



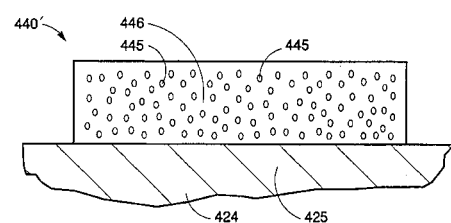
【図 3】



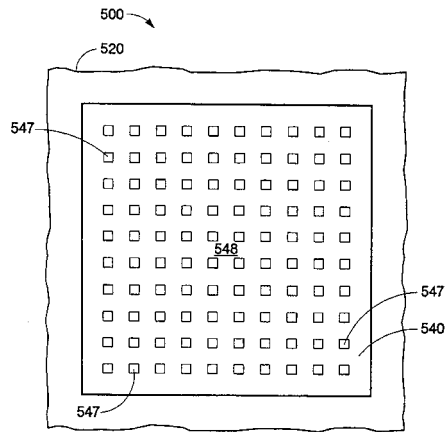
【図 4 a】



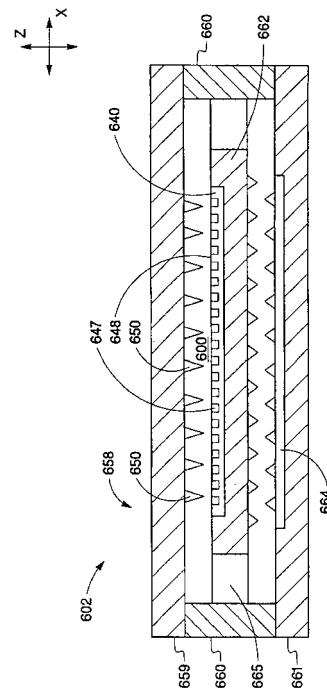
【図 4 b】



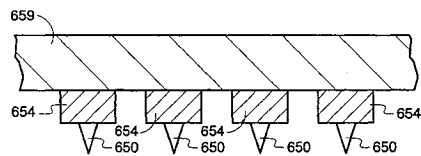
【図 5】



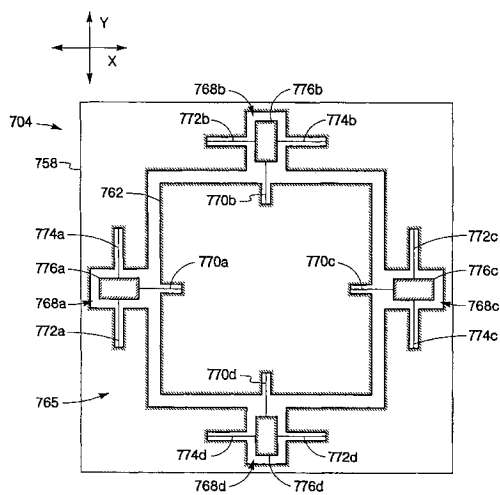
【図 6 a】



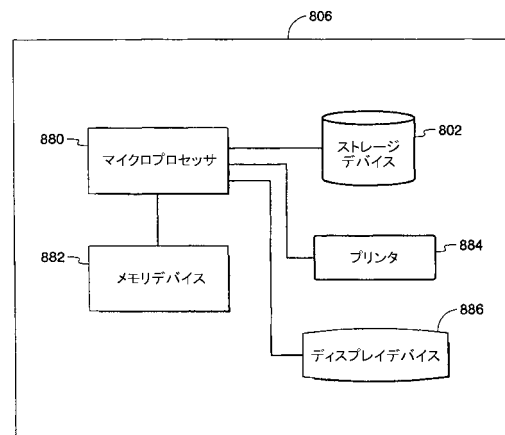
【図 6 b】



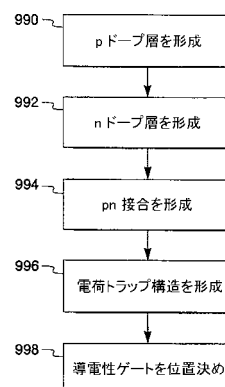
【図 7】



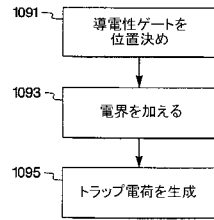
【図 8】



【図 9】



## 【図 10】



---

フロントページの続き

- (72)発明者 ハン・リャオ  
アメリカ合衆国オレゴン州 9 7 3 3 3 , コーバリス , サウスウエスト・アヴェナ・ブレイス・5 6  
5 2
- (72)発明者 ジツァン・チェン  
アメリカ合衆国オレゴン州 9 7 3 3 0 , コーバリス , スノーブラッシュ・ドライブ・4 4 1 1
- (72)発明者 アレキサンダー・コヴァディノフ  
アメリカ合衆国オレゴン州 9 7 3 3 0 , コーバリス , ノースウエスト・フェア・オークス・ドライ  
ブ・5 7 4 6
- (72)発明者 レスリー・ルイス・セペシ, ジュニア  
アメリカ合衆国オレゴン州 9 7 3 0 6 , セーレム , レイク・ドライブ・サウスイースト・1 0 3 2  
1
- (72)発明者 ヘオン・リー  
大韓民国キョンブク , ボハン - シ , ナム - グ , ジゴグ - ドン , ギョス・アパートメント・6 - 6 0  
2

審査官 河本 充雄

- (56)参考文献 特開昭 5 5 - 1 5 3 1 4 0 ( J P , A )  
特開昭 5 6 - 1 6 5 9 4 3 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)
- |         |           |
|---------|-----------|
| H 0 1 L | 2 7 / 1 0 |
| G 1 1 B | 9 / 0 0   |
| G 1 1 B | 9 / 1 4   |