

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5697396号
(P5697396)

(45) 発行日 平成27年4月8日 (2015.4.8)

(24) 登録日 平成27年2月20日 (2015.2.20)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 8 B

H O 1 L 29/78 6 1 7 N

H O 1 L 29/78 6 1 8 Z

H O 1 L 29/78 6 1 8 A

H O 1 L 29/78 6 1 8 E

請求項の数 3 (全 30 頁)

(21) 出願番号 特願2010-226397 (P2010-226397)
 (22) 出願日 平成22年10月6日 (2010.10.6)
 (65) 公開番号 特開2011-100992 (P2011-100992A)
 (43) 公開日 平成23年5月19日 (2011.5.19)
 審査請求日 平成25年10月4日 (2013.10.4)
 (31) 優先権主張番号 特願2009-235604 (P2009-235604)
 (32) 優先日 平成21年10月9日 (2009.10.9)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 高橋 圭
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 伊藤 良明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

基板上の第1の導電層と、
 前記第1の導電層を覆って設けられた第1の絶縁層と、
 前記第1の絶縁層上の、チャネル形成領域を有する酸化物半導体層と、
 前記酸化物半導体層と接する領域を有する第2の導電層と、
 前記酸化物半導体層と接する領域を有する第3の導電層と、
 前記酸化物半導体層上、前記第2の導電層上、及び前記第3の導電層上の第2の絶縁層と、
 前記第2の絶縁層上の、前記チャネル形成領域と重なる領域を有する第4の導電層と、
 を有し、
 前記第1の導電層は、前記チャネル形成領域と重なる領域を有し、
 前記第4の導電層は、前記第2の導電層と重なる領域と、前記第3の導電層と重なる領域と、を有し、
 前記酸化物半導体層は、I n、G a、及びZ nを含み、
 前記酸化物半導体層は、第1の領域と、前記第1の領域上の第2の領域と、を有し、
 前記第2の領域は、前記酸化物半導体層表面の垂直方向に沿うようにc軸配向した結晶を含み、
 前記第1の領域の結晶性は、前記第2の領域の結晶性よりも低いことを特徴とする半導体装置。

10

20

【請求項 2】

基板上の第 1 の導電層と、
前記第 1 の導電層を覆う第 1 の絶縁層と、
前記第 1 の絶縁層上の、チャンネル形成領域を有する酸化物半導体層と、
前記酸化物半導体層と接する領域を有する第 2 の導電層と、
前記酸化物半導体層と接する領域を有する第 3 の導電層と、
前記酸化物半導体層上、前記第 2 の導電層上、及び前記第 3 の導電層上の第 2 の絶縁層
と、
前記第 2 の絶縁層上の、前記チャンネル形成領域と重なる領域を有する第 4 の導電層と、
を有し、
前記第 4 の導電層は、前記第 2 の導電層と重なる領域と、前記第 3 の導電層と重なる領
域と、を有し、
前記第 1 の導電層は、前記チャンネル形成領域と重なる領域と、前記第 2 の導電層と重な
る領域と、前記第 3 の導電層と重なる領域と、を有し、
前記酸化物半導体層は、In、Ga、及びZnを含み、
前記酸化物半導体層は、第 1 の領域と、前記第 1 の領域上の第 2 の領域と、を有し、
前記第 2 の領域は、前記酸化物半導体層表面の垂直方向に沿うように c 軸配向した結晶
を含み、
前記第 1 の領域の結晶性は、前記第 2 の領域の結晶性よりも低いことを特徴とする半導
体装置。

10

20

【請求項 3】

請求項 1 又は 2 において、
前記第 4 の導電層は、ゲート電極として機能することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明の技術分野は、半導体装置およびその作製方法に関するものである。

【背景技術】

【0002】

金属酸化物は多様に存在し、さまざまな用途に用いられている。例えば、酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

30

【0003】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような金属酸化物をチャンネル形成領域に用いた薄膜トランジスタが既に知られている（例えば、特許文献 1 乃至特許文献 4、非特許文献 1 等参照）。

【0004】

ところで、金属酸化物には、一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する $\text{InGaO}_3(\text{ZnO})_m$ (m : 自然数) は、In、Ga および Zn を有する多元系酸化物半導体として知られている（例えば、非特許文献 2 乃至非特許文献 4 等参照）。

40

【0005】

そして、上記のような In - Ga - Zn 系酸化物で構成される酸化物半導体も、薄膜トランジスタのチャンネル形成領域に適用可能であることが確認されている（例えば、特許文献 5、非特許文献 5 および非特許文献 6 等参照）。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開昭 60 - 198861 号公報

50

【特許文献2】特開平8-264794号公報
【特許文献3】特表平11-505377号公報
【特許文献4】特開2000-150900号公報
【特許文献5】特開2004-103957号公報
【非特許文献】

【0007】

【非特許文献1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett., 17 June 1996、Vol. 68 p. 3650-3652 10

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 °C」、J. Solid State Chem., 1991、Vol. 93, p. 298-315

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System」、J. Solid State Chem., 1995、Vol. 116, p. 170-178 20

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$ (m : 自然数) とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317-327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE, 2003、Vol. 300、p. 1269-1272 30

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, 「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE, 2004、Vol. 432 p. 488-492

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、上述のような酸化物半導体を用いる場合には、半導体装置として十分な特性が得られていないというのが実情であった。

【0009】

上述に鑑み、開示する発明の一態様では、新たな半導体材料を用いた新たな構造の半導体装置を提供することを目的の一とする。または、新たな半導体材料を用いた新たな構造の大電力向け半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0010】

開示する発明の一態様は、表層部に結晶領域を有する酸化物半導体層を用い、二つの導電層を用いて電流を制御する、新たな構造の半導体装置である。

40

50

【0011】

または、表層部に結晶領域を有する酸化物半導体層を用いて耐圧（例えばドレイン耐圧）を向上させた新たな構造の半導体装置である。

【0012】

また、開示する発明の一態様は、上述の半導体装置の作製方法である。

【0013】

例えば、発明の一態様は、基板上の、第1の導電層と、第1の導電層を覆う、第1の絶縁層と、第1の絶縁層上の、第1の導電層の一部と重畳し表層部に結晶領域を有する酸化物半導体層と、酸化物半導体層に接する第2の導電層および第3の導電層と、酸化物半導体層、第2の導電層、および第3の導電層を覆う絶縁層と、絶縁層上の、酸化物半導体層の一部と重畳する第4の導電層と、を有する半導体装置である。

10

【0014】

上記において、酸化物半導体層の結晶領域以外の領域は非晶質とすることが好適である。また、酸化物半導体層の結晶領域は、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶を含んでいることが望ましい。また、酸化物半導体層は、 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系の酸化物半導体材料を含んでいることが望ましい。

【0015】

また、上記において、第2の導電層はソース電極またはドレイン電極の一方として、第3の導電層はソース電極またはドレイン電極の他方として、第4の導電層はゲート電極として、それぞれ機能させることが可能である。また、第1の導電層は、酸化物半導体層中の電界を制御する機能を有するのが好適である。また、第2の導電層または第3の導電層と、酸化物半導体層とは、酸化物半導体層の上面または下面において電気的に接続するのが好適である。

20

【0016】

また、発明の一態様は、基板上に、第1の導電層を形成し、第1の導電層を覆うように、第1の絶縁層を形成し、第1の絶縁層上に、第1の導電層の一部と重畳する酸化物半導体層を形成し、酸化物半導体層を熱処理することによって、酸化物半導体層の上方の表層部に結晶領域を形成し、酸化物半導体層に接する第2の導電層および第3の導電層を形成し、酸化物半導体層、第2の導電層、および第3の導電層を覆う絶縁層を形成し、絶縁層上に、酸化物半導体層の一部と重畳する第4の導電層を形成する、半導体装置の作製方法である。

30

【0017】

上記において、結晶領域の形成は、酸化物半導体層の温度が500以上となるように熱処理することにより行うことが望ましい。また、酸化物半導体層の形成は、 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系のターゲットを用いたスパッタリング法により行うことが望ましい。

【0018】

なお、本明細書等において、「上」の表現は、直上であることを限定するものではない。例えば、「基板上」と表現する場合には、基板表面から見て上部にあることを意味する。つまり、「上」の表現は、他の構成要素を間に有する構造を含む趣旨で用いる。

【発明の効果】

40

【0019】

開示する発明の一態様に係る半導体装置では、いわゆるゲート電極として機能する導電層とは別に、酸化物半導体層の下部に導電層を有する構成を採用している。

【0020】

このような構成を採用することで、外部の電界を遮蔽し、半導体装置における外部電界の影響を緩和することができる。これにより、酸化物半導体層の基板側に電荷が蓄積されることに起因する寄生チャネルの発生や、しきい値電圧の変動を防ぐことができる。

【0021】

また、表層部に結晶領域を有する酸化物半導体層を用いることで、半導体装置の動作特性を高めることができる。

50

【 0 0 2 2 】

このように、開示する発明の一態様によれば、酸化物半導体層の表層部の結晶領域によって半導体装置の動作特性を高めつつ、導電層の作用により安定した回路動作が実現される。また、酸化物半導体層は生産性が高いため、特性の良い半導体装置を低コストに提供することができる。

【 0 0 2 3 】

また、開示する発明の一態様により、上述の半導体装置の好適な作製方法が提供される。

【図面の簡単な説明】

【 0 0 2 4 】

【図 1】半導体装置の構成を説明する断面図および平面図である。

10

【図 2】半導体装置の作製方法について説明する断面図である。

【図 3】半導体装置の構成を説明する断面図および平面図である。

【図 4】半導体装置の作製方法について説明する断面図である。

【図 5】半導体装置の構成を説明する断面図および平面図である。

【図 6】半導体装置の作製方法について説明する断面図である。

【図 7】半導体装置の作製方法について説明する断面図である。

【図 8】半導体装置の作製方法について説明する断面図である。

【図 9】DC - DC コンバータの構成の一例を示す図である。

【図 10】DC - DC コンバータを構成する回路の出力波形の一例を示す図である。

【図 11】インバータを備えた太陽光発電システムの一例を示す図である。

20

【図 12】半導体装置の作製方法について説明する断面図である。

【図 13】半導体装置の作製方法について説明する断面図である。

【図 14】半導体装置の作製方法について説明する断面図である。

【図 15】半導体装置の作製方法について説明する断面図である。

【図 16】半導体装置の作製方法について説明する断面図である。

【図 17】半導体装置の作製方法について説明する断面図である。

【図 18】半導体装置の作製方法について説明する断面図である。

【図 19】半導体装置の作製方法について説明する断面図である。

【発明を実施するための形態】

【 0 0 2 5 】

30

以下、実施の形態について、図面を用いて詳細に説明する。ただし、発明は以下に示す実施の形態の記載内容に限定されず、本明細書等において開示する発明の趣旨から逸脱することなく形態および詳細を様々に変更し得ることは当業者にとって自明である。また、異なる実施の形態に係る構成は、適宜組み合わせることで実施することが可能である。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

【 0 0 2 6 】

(実施の形態 1)

本実施の形態では、半導体装置およびその作製方法の一例について、図 1 および図 2 を参照して説明する。なお、以下では、半導体装置としてパワー MOS (MIS) FET を例

40

【 0 0 2 7 】

< 半導体装置の概略 >

図 1 には、半導体装置の構成の一例を示す。図 1 (A) は断面図、図 1 (B) は平面図に相当する。また、図 1 (A) は、図 1 (B) の A - B 線における断面に対応している。なお、平面図においては、理解の容易のために一部の構成要素を省略している。

【 0 0 2 8 】

図 1 に示す半導体装置は、基板 100、ソース電極またはドレイン電極の一方として機能する導電層 102、酸化物半導体層 104、酸化物半導体層 104 中の結晶領域 106、ソース電極またはドレイン電極の他方として機能する導電層 108、ゲート絶縁層として

50

機能する絶縁層 110、導電層 108 と電氣的に接続される導電層 112、導電層 102 と電氣的に接続される導電層 114、ゲート電極として機能する導電層 116、などを含む。

【0029】

ここで、酸化物半導体層 104 は、半導体としては比較的エネルギーギャップの大きい酸化物半導体材料を含む半導体層である。半導体装置にエネルギーギャップの大きい酸化物半導体材料を用いることで、半導体装置の耐圧（例えば、ドレイン耐圧）が向上する。

【0030】

結晶領域 106 は、酸化物半導体層 104 の表層部（上層）に相当し、酸化物半導体層 104 の一部が結晶化した領域である。当該結晶領域 106 を有することで、半導体装置の耐圧（例えば、ドレイン耐圧）をさらに向上させることができる。なお、酸化物半導体層 104 の結晶領域 106 以外の領域は、非晶質の領域であることが望ましいが、非晶質中に結晶粒を含む領域であっても良いし、微結晶の領域であっても良い。

10

【0031】

平面図において、ソース電極またはドレイン電極の他方として機能する導電層 108 や導電層 108 と電氣的に接続される導電層 112 の周囲に、ゲート電極として機能する導電層 116 が配置され、さらにその周囲には、ソース電極またはドレイン電極の一方として機能する導電層 102 や、導電層 102 と電氣的に接続される導電層 114 が配置される（図 1（B）参照）。

【0032】

20

つまり、ソース電極またはドレイン電極の一方として機能する導電層 102 と、ソース電極またはドレイン電極の他方として機能する導電層 108 とは、重畳しない。ここで、「重畳しない」とは、平面図において互いに重なる領域を有しないことを言う。本明細書の他の記載においても同様とする。

【0033】

また、ゲート電極として機能する導電層 116 は、導電層 102 および導電層 108 と重畳しない領域を含む領域に設けられる。つまり、導電層 116 の少なくとも一部は、導電層 102 および導電層 108 とは重畳しない。一方、導電層 116 の他の一部は、導電層 102 および導電層 108 と重畳していても良い。

【0034】

30

なお、図 1 では、導電層 108 および導電層 112 を中央に配置し、その周囲に導電層 116、導電層 102、および、導電層 114 を配置する構成としているが、半導体装置のレイアウトはこれに限定されない。各構成要素の配置は、半導体装置の機能を害さない範囲において適宜変更することができる。

【0035】

導電層 108 と電氣的に接続される導電層 112 は、外部配線等との電氣的接続を実現するための端子として機能するが、導電層 108 と外部配線等とを直接接続することが可能であれば、導電層 112 は形成しなくとも良い。導電層 114 についても同様である。なお、図 1 においては、導電層 112 と電氣的に接続される外部配線等は示していない。

【0036】

40

以下、図 1（A）および図 1（B）を参照して、本実施の形態に係る半導体装置の構成の詳細について説明する。

【0037】

< 基板 >

基板 100 としては、絶縁基板、半導体基板、金属基板などが採用される。また、これらの表面を絶縁材料などで被覆した基板を採用することもできる。なお、基板 100 は酸化物半導体層の加熱に耐えうる程度の耐熱性を有することが望ましい。

【0038】

絶縁基板には、ガラス基板や石英基板などがある。また、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル、エポキシなどの有機材料を含む絶縁

50

基板を採用することもできる。有機材料を含む絶縁基板を採用する場合にはプロセス中の最高温度に耐えうる絶縁基板を選択することが求められる。

【0039】

半導体基板の代表例は、シリコン基板（シリコンウェハ）である。シリコン基板のグレードには複数あるが、表面がある程度平坦なものであれば、廉価なものを用いても良い。例えば、純度6N（99.9999%）～7N（99.99999%）程度のシリコン基板を適用することもできる。

【0040】

金属基板は、アルミニウム基板や銅基板が代表的である。これらの金属基板を用いる場合には、絶縁性を確保するために、表面に絶縁層を形成しても良い。金属基板は熱伝導性が高いため、発熱量の大きいパワーMOSFETなどの大電力用半導体装置の基板として好適である。

【0041】

< 酸化物半導体層 >

酸化物半導体層104を構成する半導体材料の一例としては、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記されるものがある。ここで、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、MとしてGaが選択される場合には、Gaのみの場合の他に、GaとNiや、GaとFeなど、Ga以外の上記金属元素が選択される場合も含む。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書等においては、上記酸化物半導体のうち、Mとして少なくともガリウムを含むものをIn-Ga-Zn-O系酸化物半導体と呼ぶこととする。

【0042】

上記In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高く、オフ電流を十分に小さくすることができ、また、エネルギーギャップが大きい（ワイドギャップである）ため、パワーMOSFETなどの大電力用半導体装置には好適である。

【0043】

なお、酸化物半導体層104を構成する半導体材料の別の例としては、例えば、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体材料などがある。

【0044】

酸化物半導体層104（結晶領域106を除く）は、非晶質構造であることが望ましいが、非晶質構造中に結晶粒を含む構造や、微結晶構造などであっても良い。また、その厚さは、目的とする耐圧などの特性に応じて適宜設定することができる。具体的には、例えば、100nm乃至10μm程度とすることができる。

【0045】

結晶領域106は、大きさが20nm以下の微結晶（単に結晶粒と呼んでも良い）が配列した構造を有するのが好適である。例えば、In-Ga-Zn-O系の酸化物半導体材料を用いて酸化物半導体層104を形成する場合には、結晶領域106は、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の微結晶が所定の方に配列した領域とする。中でも、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ のc軸が基板平面（または、酸化物半導体層表面）に対して垂直な方向となるように微結晶を配列させる場合には、半導体装置の耐圧を大きく向上させることができるため好適である。これは、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の誘電率の異方性に起因するものと考察される。c軸方向と比較して、b軸方向（またはa軸方向）では、耐圧を高めることができるのである。なお、微結晶の大きさは一例に過ぎず、発明が上記数値範囲に限定して解釈されるものではない。

【0046】

なお、上記半導体装置において、結晶領域106は必須の構成要素ではない。酸化物半導

10

20

30

40

50

体材料を用いることで十分な耐圧を確保できる場合には、結晶領域 1 0 6 を設けなくとも良い。

【 0 0 4 7 】

< 絶縁層 >

ゲート絶縁層として機能する絶縁層 1 1 0 を構成する絶縁材料は、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタルなどから選択することが可能である。また、これらの材料の複合材料を採用しても良い。絶縁層 1 1 0 は、これらの絶縁材料を用いた層の単層構造としても良いし、積層構造としても良い。なお、一般に M O S F E T とは、金属 - 酸化物 - 半導体による電界効果型トランジスタを言うが、開示する発明の半導体装置に用いる絶縁層を、酸化物に限定する必要はない。

10

【 0 0 4 8 】

なお、本明細書等において、酸化窒化物とは、その組成において、窒素よりも酸素の含有量（原子数）が多いものを示し、例えば、酸化窒化シリコンとは、酸素が 5 0 原子%以上 7 0 原子%以下、窒素が 0 . 5 原子%以上 1 5 原子%以下、シリコンが 2 5 原子%以上 3 5 原子%以下、水素が 0 . 1 原子%以上 1 0 原子%以下の範囲で含まれるものをいう。また、窒化酸化物とは、その組成において、酸素よりも窒素の含有量（原子数）が多いものを示し、例えば、窒化酸化シリコンとは、酸素が 5 原子%以上 3 0 原子%以下、窒素が 2 0 原子%以上 5 5 原子%以下、シリコンが 2 5 原子%以上 3 5 原子%以下、水素が 1 0 原子%以上 2 5 原子%以下の範囲で含まれるものをいう。但し、上記範囲は、ラザフォード後方散乱法（R B S : R u t h e r f o r d B a c k s c a t t e r i n g S p e c t r o m e t r y）や、水素前方散乱法（H F S : H y d r o g e n F o r w a r d s c a t t e r i n g S p e c t r o m e t r y）を用いて測定した場合のものである。また、構成元素の含有比率の合計は 1 0 0 原子%を超えない。

20

【 0 0 4 9 】

< 導電層 >

導電層 1 0 2 は、例えば、ドレイン電極として機能し、導電層 1 0 8 は、ソース電極として機能し、導電層 1 1 6 は、ゲート電極として機能する。導電層 1 1 2 および導電層 1 1 4 は、外部配線等との電氣的接続を実現するための端子として機能するが、これらは必須の構成要素ではない。

30

【 0 0 5 0 】

上記の導電層を構成する導電材料は、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウムなどの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物などから選択することができる。他にも、酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどの透光性を有する酸化物導電材料などを採用することが可能である。導電層は、これらの導電材料を用いた層の単層構造としても良いし、積層構造としても良い。

【 0 0 5 1 】

ソース電極として機能する導電層 1 0 8 は、酸化物半導体層 1 0 4 と、その上面で接しており、ドレイン電極として機能する導電層 1 0 2 は、酸化物半導体層 1 0 4 と、その下面で接している。また、ゲート電極として機能する導電層 1 1 6 は、絶縁層 1 1 0 上に設けられており、酸化物半導体層 1 0 4 中に電界を生じさせる。

40

【 0 0 5 2 】

なお、ソースおよびドレインの区別は便宜的なものに過ぎず、半導体装置を構成する各構成要素の機能が上記称呼に限定して解釈されるものではない。ソースおよびドレインの機能は、半導体装置の動作に従って入れ替わることがあるためである。

【 0 0 5 3 】

以下、本実施の形態に係る半導体装置の動作について簡単に説明する。

【 0 0 5 4 】

50

<半導体装置の動作>

電子をキャリアとする n 型半導体装置の場合、通常動作時には、ソース電極として機能する導電層 108 が負のバイアスに印加され、ドレイン電極として機能する導電層 102 が正のバイアスに印加される。

【0055】

ソース電極として機能する導電層 108 と、ドレイン電極として機能する導電層 102 との間には、十分な厚さの酸化物半導体層 104 が介在している。また、酸化物半導体層 104 は、ワイドギャップかつ無電界時の抵抗が十分に高い酸化物半導体材料で構成されている。このため、導電層 108 が負のバイアスに印加され、導電層 102 が正のバイアスに印加された状態において、ゲート電極として機能する導電層 116 にバイアスを印加しない場合、または、負のバイアスを印加する場合には、ごく僅かな電流しか流れない。

10

【0056】

ゲート電極として機能する導電層 116 に正バイアスを印加すると、酸化物半導体層 104 の、導電層 116 と重なる領域の絶縁層 110 との界面付近に負の電荷（電子）が誘起されてチャンネルが形成される。これにより、ソース電極として機能する導電層 108 とドレイン電極として機能する導電層 102 との間に電流が流れる。

【0057】

開示する発明の一態様では、半導体材料として酸化物半導体を用いているため、半導体装置の耐圧（ドレイン耐圧等）を向上させることができる。これは、酸化物半導体のエネルギーギャップが、一般的な半導体材料のエネルギーギャップと比較して大きいことによる。

20

【0058】

また、微結晶が所定の方向に配列した結晶領域 106 を有することにより、さらに半導体装置の耐圧を高めることができる。例えば、酸化物半導体層 104 に In-Ga-Zn-O 系の酸化物半導体材料を用いる場合、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の c 軸が基板平面（または、酸化物半導体層表面）に対して垂直な方向となるように微結晶を配列させることにより、半導体装置における電流の方向が $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の b 軸方向（または a 軸方向）となり、半導体装置の耐圧を高めることができる。なお、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶は、a 軸（a-axis）および b 軸（b-axis）に平行なレイヤーの積層構造を含むように構成される。つまり、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の c 軸とは、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶を構成するレイヤーに垂直な方向をいう。

30

【0059】

<半導体装置の作製工程>

図 1 に示した半導体装置の作製工程について、図 2 を用いて説明する。

【0060】

まず、基板 100 上に導電層 102 を形成する（図 2（A）参照）。基板 100 の詳細に関しては、上記<基板>の項を参酌できる。

【0061】

導電層 102 は、上記<導電層>の項で示した導電材料を含む導電層を、スパッタリング法や真空蒸着法などの方法で基板 100 上に成膜した後、フォトリソグラフィ法によるレジストマスクを用いたエッチング処理によって不要な部分を除去することで形成される。エッチング処理は、ウェット処理としても良いし、ドライ処理としても良い。なお、導電層 102 上に形成される各構成要素の被覆性を向上させるため、当該エッチング処理は、導電層 102 の側面と、導電層 102 の底面とのなす角が、鋭角となるように行うことが望ましい。

40

【0062】

導電層 102 を、低抵抗導電材料であるアルミニウムや銅などでなる層と、高融点導電材料であるモリブデン、チタン、クロム、タンタル、タングステン、ネオジウム、スカンジウムなどでなる層の積層構造とする場合には、導電性と耐熱性とを両立させることができるため好適である。例えば、アルミニウムとモリブデンの二層構造、銅とモリブデンの二層

50

構造、銅と窒化チタンの二層構造、銅と窒化タンタルの二層構造などを適用することができる。また、窒化チタンとモリブデンの二層構造としてもよい。また、アルミニウム、アルミニウムとシリコンの合金、アルミニウムとチタンの合金、アルミニウムとネオジムの合金などを、タングステン、窒化タングステン、窒化チタン、チタンなどで挟んだ構造の三層構造を適用することもできる。

【0063】

次に、導電層102を覆うように、結晶領域106を含む酸化物半導体層104を形成する(図2(B)参照)。なお、結晶領域106を有しない酸化物半導体層104を形成しても良い。

【0064】

酸化物半導体層104は、上記<酸化物半導体層>の項で示した酸化物半導体材料を用いて形成される。また、酸化物半導体層104は、アルゴンをはじめとする希ガス雰囲気下、酸素雰囲気下、希ガスと酸素の混合雰囲気下におけるスパッタリング法などにより成膜することができる。スパッタリング法において、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いることにより、酸化物半導体層104中に SiO_x ($x > 0$)を含ませて酸化物半導体層104の結晶化を抑制することができる。当該方法は、非晶質構造の酸化物半導体層104を得る場合に有効である。

【0065】

例えば、In、Ga、およびZnを含む酸化物半導体成膜用ターゲット(In:Ga:Zn = 1:1:0.5 [atom%]、In:Ga:Zn = 1:1:1 [atom%]、In:Ga:Zn = 1:1:2 [atom%]の組成比を有するターゲットなど)を用い、基板とターゲットとの間の距離を100mm、圧力を0.6Pa、直流電力を0.5kW、雰囲気を酸素(酸素流量比率100%)雰囲気とすることで、酸化物半導体層104として、In-Ga-Zn-O系の非晶質酸化物半導体層を得ることができる。なお、電源としてパルス直流電源を用いる場合には、成膜時に発生する粉状物質(パーティクル、ゴミともいう)を低減することが可能であり、また、膜厚分布を均一化することができるため好適である。

【0066】

酸化物半導体層104の厚さは、上記<酸化物半導体層>の項で説明したように、目的とする耐圧などの特性に応じて適宜設定することができる。例えば、100nm乃至10μm程度とすればよい。

【0067】

結晶領域106は、酸化物半導体層104を形成した後の熱処理によって形成される。なお、当該熱処理によって、酸化物半導体層104中の H_2 、H、OHなどが脱離するため、当該熱処理を脱水化処理または脱水素化処理と呼んでも良い。

【0068】

上記熱処理には、高温の不活性ガス(窒素や希ガスなど)を用いたRTA(Rapid Thermal Annealing)処理を適用することができる。ここで、熱処理の温度は500以上とすることが好適である。熱処理温度の上限は特に限定しないが、基板100の耐熱性の範囲内とする必要がある。また、熱処理の時間は、1分以上10分以下とすることが好適である。例えば、650で3分~6分程度のRTA処理を行うと良い。上述のようなRTA処理を適用することで、短時間に熱処理を行うことができるため、基板100に対する熱の影響を小さくすることができる。つまり、熱処理を長時間行う場合と比較して、熱処理温度の上限を引き上げることが可能である。なお、当該熱処理は、上記のタイミングで行うことに限定されず、他の工程の前後などにおいて行うこともできる。また、当該熱処理は、一回に限らず、複数回行っても良い。

【0069】

また、上記熱処理において、処理雰囲気中には、水素(水を含む)などが含まれないことが望ましい。例えば、熱処理装置に導入する不活性ガスの純度を、6N(99.9999%、即ち不純物濃度が1ppm以下)以上、好ましくは、7N(99.99999%、即

10

20

30

40

50

ち不純物濃度が0.1ppm以下)以上とする。

【0070】

上記熱処理によって、酸化物半導体層104の表層部は結晶化し、微結晶が配列された構成の結晶領域106が形成される。酸化物半導体層104のその他の領域は、非晶質構造、非晶質と微結晶が混合した構造、または微結晶構造のいずれかとなる。なお、結晶領域106は酸化物半導体層104の一部であり、酸化物半導体層104には、結晶領域106が含まれる。ここで、結晶領域106の厚さは20nm以下とするのが好適である。結晶領域が厚くなると、半導体装置の特性が、結晶領域106のみに依存することになるためである。

【0071】

なお、上記熱処理の後には、酸化物半導体層104中に水素(水を含む)を混入させないことが重要である。このためには、少なくとも、熱処理およびその後の降温過程において、大気暴露しないことが必要になる。これは、例えば、熱処理およびその後の降温過程を同一雰囲気において行うことで実現される。もちろん、降温過程の雰囲気を熱処理雰囲気と異ならせてもよい。この場合、降温過程の雰囲気を、例えば、酸素ガス、N₂Oガス、超乾燥エア(露点が-40以下、好ましくは-60以下)などの雰囲気とすることができる。

【0072】

次に、酸化物半導体層104上の、導電層102と重畳しない領域に、導電層108を形成する(図2(C)参照)。

【0073】

導電層108は、導電層102と同様に形成することができる。すなわち、導電層108は、スパッタリング法や真空蒸着法などの方法で導電層を成膜した後、レジストマスクを用いたエッチング処理によって不要な部分を除去することで形成される。エッチング処理は、ウェット処理としても良いし、ドライ処理としても良いが、酸化物半導体層104の表層部に結晶領域106を形成した場合には、当該結晶領域106がエッチング処理によって除去されないようにする必要がある。

【0074】

例えば、導電層108にチタンなどの導電材料を用いる場合には、過酸化水素水や加熱塩酸をエッチャントに用いたウェットエッチング処理を適用すると良い。このように、導電層108を構成する導電材料と、酸化物半導体材料とのエッチング選択比が十分に高い条件でエッチング処理を行うことで、表層部の結晶領域106を残存させることが可能である。

【0075】

次に、酸化物半導体層104および導電層108を覆うように、絶縁層110を形成する(図2(D)参照)。

【0076】

絶縁層110は、上記<絶縁層>の項で示した絶縁材料などを用いて形成することができる。成膜方法としては、CVD法(プラズマCVD法を含む)、スパッタリング法などがある。なお、絶縁層110の厚さは、半導体装置の特性に応じて適宜設定することができるが、10nm以上1μm以下とするのが好適である。

【0077】

その後、絶縁層110等を選択的に除去して、導電層102および導電層108に達する開口を形成した後に、導電層108と電氣的に接続する導電層112、導電層102と電氣的に接続する導電層114、および、導電層116を形成する(図2(E)参照)。

【0078】

絶縁層110等の除去は、レジストマスクを用いたエッチング処理によって行うことができる。エッチング処理は、ウェット処理としても良いし、ドライ処理としても良い。

【0079】

導電層112、導電層114、および、導電層116は、他の導電層などと同様に形成す

10

20

30

40

50

ることができる。すなわち、導電層 112、導電層 114、および、導電層 116 は、スパッタリング法や真空蒸着法などの方法で導電層を成膜した後、レジストマスクを用いたエッチング処理によって不要な部分を除去することで形成される。エッチング処理は、ウェット処理としても良いし、ドライ処理としても良い。

【0080】

以上により、いわゆるパワー MOSFET と呼ばれる半導体装置を作製することができる。本実施の形態で示したように、半導体層に酸化物半導体材料を用いることで、半導体装置の耐圧向上などが実現される。特に、結晶領域を有する酸化物半導体層を用いることで、半導体装置の耐圧を一層向上させることができる。また、酸化物半導体層は、スパッタリング法などの生産性の高い方法を用いて成膜されるため、半導体装置の生産性を高め、製造コストを抑制することができる。

10

【0081】

本実施の形態に示す構成、方法などは、他の実施の形態と適宜組み合わせて用いることができる。

【0082】

(実施の形態 2)

本実施の形態では、半導体装置およびその作製方法の別の一例について、図 3 および図 4 を参照して説明する。なお、本実施の形態において説明する半導体装置は、多くの点で先の実施の形態に係る半導体装置と共通している。このため、共通する部分については省略し、主として相違点について説明する。

20

【0083】

<半導体装置の概略>

図 3 には、半導体装置の構成の別の一例を示す。図 3 (A) は断面図、図 3 (B) は平面図に相当する。また、図 3 (A) は、図 3 (B) の A - B 線における断面に対応している。

【0084】

図 3 に示す半導体装置の構成要素は、図 1 に示す半導体装置と同様である。つまり、基板 100、ソース電極またはドレイン電極の一方として機能する導電層 102、酸化物半導体層 104、酸化物半導体層 104 中の結晶領域 106、ソース電極またはドレイン電極の他方として機能する導電層 108、ゲート絶縁層として機能する絶縁層 110、導電層 108 と電氣的に接続される導電層 112、導電層 102 と電氣的に接続される導電層 114、ゲート電極として機能する導電層 116、などを含む。

30

【0085】

図 1 に示す半導体装置との相違点は、酸化物半導体層 104 がパターンニングされている点である。当該構成を採用する場合であっても、図 1 に示す半導体装置と同様に動作し、同様の効果を得ることができる。

【0086】

<半導体装置の作製工程>

半導体装置の作製工程も、基本的には図 2 に示すものと同様である。以下、図 4 を参照して簡単に説明する。

40

【0087】

まず、基板 100 上に導電層 102 を形成する (図 4 (A) 参照)。詳細については、先の実施の形態を参照できる。

【0088】

次に、導電層 102 を覆うように、結晶領域 106 を含む酸化物半導体層 104 を形成する (図 4 (B) 参照)。酸化物半導体層 104 の形成方法は、先の実施の形態と同様であるが、本実施の形態における酸化物半導体層 104 は、導電層 102 の一部を覆う態様で形成されている点において、先の実施の形態に係る酸化物半導体層 104 とは異なっている。

【0089】

50

本実施の形態における酸化物半導体層 104 は、先の実施の形態に示す方法などに従って酸化物半導体層（結晶領域を含む）を成膜した後に、当該酸化物半導体層をパターニングすることで得ることができる。パターニングは、レジストマスクを用いたエッチング処理によって行うことが可能である。エッチング処理は、ウェット処理としても良いし、ドライ処理としても良いが、結晶領域が残存する態様で行うのが好適である。

【0090】

次に、酸化物半導体層 104 上の、導電層 102 と重畳しない領域に、導電層 108 を形成する（図 4（C）参照）。詳細については、先の実施の形態を参酌できる。

【0091】

次に、酸化物半導体層 104 および導電層 108 を覆うように、絶縁層 110 を形成する（図 4（D）参照）。絶縁層 110 の詳細についても、先の実施の形態を参酌できる。

【0092】

その後、絶縁層 110 等を選択的に除去して、導電層 102 および導電層 108 に達する開口を形成した後に、導電層 108 と電氣的に接続する導電層 112、導電層 102 と電氣的に接続する導電層 114、および、導電層 116 を形成する（図 4（E）参照）。詳細については、先の実施の形態を参酌できる。

【0093】

以上により、いわゆるパワー MOSFET と呼ばれる半導体装置を作製することができる。本実施の形態に示す構成、方法などは、他の実施の形態と適宜組み合わせる用いることができる。

【0094】

（実施の形態 3）

本実施の形態では、半導体装置およびその作製方法の別の一例について、図 5 および図 6 を参照して説明する。なお、本実施の形態において説明する半導体装置は、多くの点で先の実施の形態に係る半導体装置と共通している。このため、共通する部分については省略し、主として相違点について説明する。

【0095】

<半導体装置の概略>

図 5 には、半導体装置の構成の別の一例を示す。図 5（A）は断面図、図 5（B）は平面図に相当する。また、図 5（A）は、図 5（B）の A - B 線における断面に対応している。

【0096】

図 5 に示す半導体装置は、先の実施の形態に示す半導体装置における導電層 102 を、導電層 109 に置き換えたものに相当する。すなわち、図 5 に示す半導体装置は、基板 100、ソース電極またはドレイン電極の一方として機能する導電層 109、酸化物半導体層 104、酸化物半導体層 104 中の結晶領域 106、ソース電極またはドレイン電極の他方として機能する導電層 108、ゲート絶縁層として機能する絶縁層 110、導電層 108 と電氣的に接続される導電層 112、導電層 109 と電氣的に接続される導電層 114、ゲート電極として機能する導電層 116、などを含む。

【0097】

導電層 109 は、導電層 108 と同一の層で形成される。導電層 102 を導電層 109 に置き換えたことにより、すべての導電層が酸化物半導体層 104 上に設けられることになる。また、これにより、酸化物半導体層 104 表面の平坦性が向上する。

【0098】

当該構成を採用する場合には、先の実施の形態において示す半導体装置とは異なり、酸化物半導体層 104 の表層部、すなわち、結晶領域 106 にのみキャリアが流れることになる。このため、結晶領域 106 の効果はより顕著なものとなる。

【0099】

<半導体装置の作製工程>

作製工程は、導電層 102 を形成しない点、導電層 108 と同様のタイミングで導電層 1

10

20

30

40

50

09を形成する点、を除き図2や図4に示すものと同様である。以下、図6を参照して簡単に説明する。

【0100】

まず、基板100上に酸化物半導体層104を形成する(図6(A)参照)。酸化物半導体層104の形成等に関する詳細については、先の実施の形態を参酌できる。

【0101】

次に、酸化物半導体層104上に導電層108および導電層109を形成する(図6(B)参照)。導電層109は導電層108と同様に形成することができる。ここで、導電層108および導電層109は、分離された状態で形成する点に留意すべきである。導電層108の形成等に関する詳細については、先の実施の形態を参酌できる。

10

【0102】

次に、酸化物半導体層104、導電層108、導電層109を覆うように、絶縁層110を形成する(図6(C)参照)。絶縁層110の詳細についても、先の実施の形態を参酌できる。

【0103】

その後、絶縁層110等を選択的に除去して、導電層108および導電層109に達する開口を形成した後に、導電層108と電氣的に接続する導電層112、導電層109と電氣的に接続する導電層114、および、導電層116を形成する(図6(D)参照)。詳細については、先の実施の形態を参酌できる。

【0104】

以上により、いわゆるパワーMOSFETと呼ばれる半導体装置を作製することができる。本実施の形態に示す構成、方法などは、他の実施の形態と適宜組み合わせて用いることができる。

20

【0105】

(実施の形態4)

本実施の形態では、いわゆるパワーMOSFETと、薄膜トランジスタとを、同一の基板上に同様の工程で作製する方法の一例について、図7および図8を参照して説明する。なお、以下では、パワーMOSFETとして、図1に示す半導体装置を形成する場合を例に挙げて説明する。

【0106】

本実施の形態に示す半導体装置の作製工程は、図2に、薄膜トランジスタの作製工程が付加されたものに相当する。つまり、基本的な作製工程は図2に示すものと同様である。なお、パワーMOSFETと薄膜トランジスタとでは、要求される特性が異なるのが一般的であり、その大きさなどは要求に応じて適宜設定することが望ましい。この点、図7および図8においてはパワーMOSFETと薄膜トランジスタを同程度のスケールで示しているが、これは理解の容易のためであり、現実の大きさの関係を規定するものではない。

30

【0107】

まず、基板100上に導電層102を形成する(図7(A)参照)。詳細については、先の実施の形態を参酌できる。

【0108】

次に、導電層102を覆うように、結晶領域106を含む酸化物半導体層104を形成すると共に、薄膜トランジスタの構成要素である、結晶領域206を含む酸化物半導体層204を形成する(図7(B)参照)。酸化物半導体層104および酸化物半導体層204は、先の実施の形態に示す方法などに従って酸化物半導体層(結晶領域を含む)を成膜した後に、当該酸化物半導体層をパターニングすることで得られる。パターニングは、レジストマスクを用いたエッチング処理によって行うことが可能である。エッチング処理は、ウェット処理としても良いし、ドライ処理としても良いが、酸化物半導体層の結晶領域が残存するように行うのが好適である。

40

【0109】

次に、酸化物半導体層104上の、導電層102と重畳しない領域に導電層108を形成

50

すると共に、酸化物半導体層 204 上に導電層 208 および導電層 209 を形成する（図 7（C）参照）。ここで、導電層 208 は薄膜トランジスタのソース電極またはドレイン電極の一方として、導電層 209 は薄膜トランジスタのソース電極またはドレイン電極の他方として機能する。導電層 208 および導電層 209 の作製工程は、導電層 108 の作製工程と同様である。導電層 108 の作製工程の詳細は、先の実施の形態を参酌できる。

【0110】

次に、酸化物半導体層 104、導電層 108、酸化物半導体層 204、導電層 208、導電層 209 を覆うように、絶縁層 110 を形成する（図 8（A）参照）。絶縁層 110 は、薄膜トランジスタのゲート絶縁層としても機能する。絶縁層 110 の作製工程の詳細は、先の実施の形態を参酌できる。

10

【0111】

その後、絶縁層 110 等を選択的に除去して、導電層 102、導電層 108、導電層 208、導電層 209 に達する開口を形成した後に、導電層 108 と電氣的に接続する導電層 112、導電層 102 と電氣的に接続する導電層 114、導電層 116、導電層 208 と電氣的に接続する導電層 212、導電層 209 と電氣的に接続する導電層 214、導電層 216、を形成する（図 8（B）参照）。導電層 212、導電層 214、導電層 216 の作製工程は、導電層 112、導電層 114、導電層 116 の作製工程と同様である。詳細については、先の実施の形態を参酌できる。

【0112】

以上により、パワー MOSFET と薄膜トランジスタを、同一の基板上に同様の工程で作製することができる。

20

【0113】

本実施の形態に示す方法などによって、パワー MOSFET と薄膜トランジスタを、同一の基板上に同様の工程で作製することができる。これにより、各種集積回路と、電力用回路とを同一基板上に形成することが可能である。

【0114】

なお、本実施の形態では、パワー MOSFET の酸化物半導体層 104 と、薄膜トランジスタの酸化物半導体層 204 とを、同一の工程で形成する場合を示したが、パワー MOSFET と薄膜トランジスタとでは酸化物半導体層の厚さへの要求が異なる場合がある。このため、酸化物半導体層 104 と酸化物半導体層 204 とは、異なる工程で作り分けても良い。具体的には、酸化物半導体層の作製工程を二段階に分け、第 1 段階において酸化物半導体層 104 または酸化物半導体層 204 の一方を作製し、第 2 段階において酸化物半導体層 104 または酸化物半導体層 204 の他方を作製する方法や、厚い酸化物半導体層をエッチング処理などで選択的に薄くして、酸化物半導体層 104 と酸化物半導体層 204 とを作製する方法、などがある。

30

【0115】

絶縁層 110 に関しても同様のことがいえ、パワー MOSFET と薄膜トランジスタとでその厚さが異なるように作り分けても良い。具体的には、絶縁層の作製工程を二段階に分け、第 1 段階において酸化物半導体層 104 上の絶縁層または酸化物半導体層 204 上の絶縁層の一方を作製し、第 2 段階において酸化物半導体層 104 上の絶縁層または酸化物半導体層 204 上の絶縁層の他方を作製する方法や、厚い絶縁層をエッチング処理などで選択的に薄くして、酸化物半導体層 104 上の絶縁層と酸化物半導体層 204 上の絶縁層とを作製する方法、などがある。

40

【0116】

本実施の形態に示す構成、方法などは、他の実施の形態と適宜組み合わせ用いることができる。

【0117】

（実施の形態 5）

本実施の形態では、開示する発明に係る半導体装置を用いた回路の一例について、図 9 および図 10 を参照して説明する。なお、以下では、電力用回路（電力変換用回路など）の

50

一例であるDC-DCコンバータについて説明する。

【0118】

DC-DCコンバータは、直流電圧を、異なる直流電圧に変換する回路である。DC-DCコンバータの変換方式としては、リニア方式やスイッチング方式が代表的であるが、スイッチング方式のDC-DCコンバータは変換効率に優れるため、電子機器の省電力化を行う際に用いると好適である。ここでは、スイッチング方式、特にチョップ方式のDC-DCコンバータについて説明する。

【0119】

図9に示すDC-DCコンバータは、電源300、リファレンス電圧生成回路302、リファレンス電流生成回路304、エラーアンプ306、PWMバッファ308、三角波生成回路310、コイル312、パワーMOSFET314、ダイオード316、コンデンサ318、抵抗320、抵抗322などを含む。なお、ここでは、パワーMOSFET314として、n型のパワーMOSFETを用いる。

10

【0120】

リファレンス電圧生成回路302は、各種リファレンス電圧(V_{ref})を生成する。また、リファレンス電流生成回路304は、リファレンス電圧生成回路302で生成されたリファレンス電圧(V_{ref})を利用して、リファレンス電流(I_{ref})やバイアス電流を生成する。

【0121】

エラーアンプ306は、リファレンス電圧生成回路302からのリファレンス電圧(V_{ref})とフィードバック電圧(V_{FB})の差を積分して、PWMバッファ308に出力する。三角波生成回路310は、リファレンス電圧(V_{ref})およびリファレンス電流(I_{ref})から三角波を生成して、PWMバッファ308に出力する。

20

【0122】

PWMバッファ308は、エラーアンプ306からの出力と、三角波生成回路310からの三角波とを比較して、パルス信号をパワーMOSFET314に出力する。

【0123】

PWMバッファ308からのパルス信号が高電位の場合には、n型のパワーMOSFET314はオン状態となり、ダイオード316の入力側の電位は接地電位(低電位)となる。このため、パルス信号が高電位の期間においては、出力電圧(V_{OUT})は徐々に減少する。

30

【0124】

一方、PWMバッファ308からのパルス信号が低電位の場合には、n型のパワーMOSFET314はオフ状態となり、ダイオード316の入力側の電位は上昇する。このため、パルス信号が低電位の期間において、出力電圧(V_{OUT})は徐々に増大する。

【0125】

PWMバッファ308からのパルス信号に起因する上記出力電圧(V_{OUT})の変化はごく僅かなものであるから、DC-DCコンバータを採用することで、出力電圧を略一定に保つことができる。

【0126】

なお、上記DC-DCコンバータにおいて、コイル312は、パワーMOSFET314のスイッチングに起因する電流の変化を緩和するために設けられている。また、コンデンサ318は、出力電圧(V_{OUT})の急激な変動を抑制するために設けられている。さらに、抵抗320および抵抗322は、出力電圧(V_{OUT})からフィードバック電圧(V_{FB})を生成するために設けられている。

40

【0127】

図10には、DC-DCコンバータを構成する回路の出力波形の一例を示す。

【0128】

図10(A)には、三角波生成回路310から出力される三角波350を、図10(B)には、エラーアンプ306からの出力波形352を、それぞれ示す。

50

【 0 1 2 9 】

図 1 0 (C) には、P W M バッファ 3 0 8 で生成されるパルス信号 3 5 4 を示す。三角波 3 5 0 および出力波形 3 5 2 が P W M バッファ 3 0 8 に入力されると、P W M バッファ 3 0 8 はこれらを比較して、パルス信号 3 5 4 を生成する。そして、当該パルス信号 3 5 4 はパワー M O S F E T 3 1 4 に出力され、出力電圧 (V_{OUT}) が決定される。

【 0 1 3 0 】

以上に示したように、開示する発明に係るパワー M O S F E T を D C - D C コンバータに適用することが可能である。開示する発明に係るパワー M O S F E T は耐圧が高く、これを用いた D C - D C コンバータの信頼性を高めることができる。また、開示する発明に係るパワー M O S F E T は製造コストが抑制されているため、これを用いた D C - D C コンバータの製造コストも抑制される。このように、開示する発明に係る半導体装置を電子回路に用いることで、信頼性の向上、製造コストの低減などのメリットを享受できる。

10

【 0 1 3 1 】

なお、本実施の形態において示した D C - D C コンバータは、開示する発明の半導体装置を用いた電力用回路の一例に過ぎず、開示する発明の半導体装置をその他の回路に用いることは、当然に可能である。本実施の形態に示す構成、方法などは、他の実施の形態と適宜組み合わせて用いることができる。

【 0 1 3 2 】

(実施の形態 6)

本実施の形態では、開示する発明の半導体装置を用いて構成されるインバータを備えた太陽光発電システムの一例について、図 1 1 を参照して説明する。なお、ここでは、住宅等に設置される太陽光発電システムの構成の一例について示す。

20

【 0 1 3 3 】

図 1 1 に示す住宅用の太陽光発電システムは、太陽光発電の状況に応じて、電力の供給方式を変更するシステムである。例えば、晴天時など太陽光発電が行われる状況においては、太陽光発電により生じた電力を家庭内で消費し、また、余剰電力は電力会社からの配電線 4 1 4 に供給する。一方、太陽光発電による電力が不足する夜間や雨天時には、配電線 4 1 4 から電気の供給を受けて、それを家庭内で消費する。

【 0 1 3 4 】

図 1 1 に示す住宅用の太陽光発電システムは、太陽光を電力 (直流) に変換する太陽電池パネル 4 0 0 や、その電力を直流から交流に変換するインバータ 4 0 4 などを含む。インバータ 4 0 4 から出力される交流電力は、各種の電気器具 4 1 0 を動作させる電力として使用される。

30

【 0 1 3 5 】

余分な電力は、配電線 4 1 4 を通じて家庭外に供給される。すなわち、当該システムを利用して電力の売却が可能である。直流開閉器 4 0 2 は、太陽電池パネル 4 0 0 とインバータ 4 0 4 との接続または遮断を選択するために設けられている。また、交流開閉器 4 0 8 は、配電線 4 1 4 と接続されるトランス 4 1 2 と、分電盤 4 0 6 との接続または遮断を選択するために設けられている。

【 0 1 3 6 】

上記のインバータに、開示する発明の半導体装置を適用することで、信頼性が高く、安価な太陽光発電システムを実現することができる。

40

【 0 1 3 7 】

本実施の形態に示す構成、方法などは、他の実施の形態と適宜組み合わせて用いることができる。

【 0 1 3 8 】

(実施の形態 7)

本実施の形態では、半導体装置としてのトランジスタ (特に、薄膜トランジスタ) およびその作製方法の一例について、図 1 2 および図 1 3 を用いて説明する。なお、以下において説明する半導体装置は、表層部に結晶領域を有する酸化物半導体層を用い、二つの導電

50

層を用いて電流を制御する、新たな構造の半導体装置である。

【0139】

はじめに、基板500上に導電層502を成膜し(図12(A)参照)、導電層502上に選択的にレジストマスク504を形成した後、該レジストマスク504を用いて導電層502を選択的にエッチングすることで、導電層506を形成する(図12(B)参照)。そして、レジストマスク504を除去した後に、導電層506を覆うように絶縁層508を形成する(図12(C)参照)。ここで、導電層506は、酸化物半導体層中の電界を制御する役割を有する。また、導電層506は、トランジスタの動作に悪影響を与える外部電界を遮蔽する役割を有する。上記要素を構成する材料、作製方法などについては、先の実施の形態(例えば、実施の形態1乃至実施の形態3等)を参酌できる。

10

【0140】

なお、上記では、導電層502の選択的エッチングによって導電層506を形成する例について説明しているが、導電層506は基板上の全面に形成してもよい。または、酸化物半導体層の下部全面に形成されても良い。

【0141】

次に、絶縁層508上に酸化物半導体層510を成膜し(図12(D)参照)、酸化物半導体層510上に選択的にレジストマスク512を形成した後、該レジストマスク512を用いて酸化物半導体層510を選択的にエッチングすることで、酸化物半導体層514を形成する(図12(E)参照)。なお、酸化物半導体層514を形成した後は、レジストマスク512は除去する。酸化物半導体層の詳細については、先の実施の形態を参酌できる。また、その他の要素の詳細についても先の実施の形態を参酌できる。酸化物半導体層510の厚さは、目的とする特性に応じて適宜設定することができるが、薄膜トランジスタの用途に用いる場合には、例えば、20nm乃至2μm程度とするのが好適である。

20

【0142】

次に、酸化物半導体層514を覆うように導電層516を成膜し(図12(F)参照)、導電層516上に選択的にレジストマスク518およびレジストマスク520を形成した後、該レジストマスクを用いて導電層516を選択的にエッチングして、ソース電極またはドレイン電極の一方として機能する導電層522およびソース電極またはドレイン電極の他方として機能する導電層524を形成する(図13(A)参照)。なお、導電層522および導電層524を形成した後は、レジストマスク518およびレジストマスク520は除去する。上記要素の詳細については、先の実施の形態を参照できる。

30

【0143】

次に、酸化物半導体層514、導電層522、導電層524を覆うように、ゲート絶縁層として機能する絶縁層526を形成する(図13(B)参照)。そして、絶縁層526上に導電層528を成膜し(図13(C)参照)、導電層528上に選択的にレジストマスク530を形成した後、該レジストマスク530を用いて導電層528を選択的にエッチングすることで、ゲート電極として機能する導電層532を形成する(図13(D)参照)。なお、導電層532を形成した後は、レジストマスク530は除去する。上記要素の詳細については、先の実施の形態を参照できる。

40

【0144】

以上により、基板500上の導電層506と、導電層506を覆う絶縁層508と、絶縁層508上の、導電層506の一部と重畳し表層部に結晶領域を有する酸化物半導体層514と、酸化物半導体層514に接する導電層522および導電層524と、酸化物半導体層514、導電層522、および導電層524を覆う絶縁層526と、絶縁層526上の、酸化物半導体層514の一部と重畳する導電層532と、を有するトランジスタ550が提供される(図13(E)参照)。なお、トランジスタ550は、表層部に結晶領域を有する酸化物半導体層を用い、二つの導電層を用いて電流を制御する点において新規な半導体装置ということができる。

【0145】

50

本実施の形態において示すように、先の実施の形態において示した酸化物半導体膜を用いて半導体装置を作製することにより、酸化物半導体層中への不純物（例えば水素（水を含む）など）の取り込みを抑制することが可能である。このため、半導体装置の信頼性を向上させることができる。

【0146】

また、先の実施の形態において示した酸化物半導体膜を用いて半導体装置を作製することにより、良好な電気特性の半導体装置を提供することが可能である。

【0147】

また、いわゆるゲート電極として機能する導電層とは別に、酸化物半導体層の下部に導電層を有する構成を採用することで、外部の電界を遮蔽し、半導体装置における外部電界の影響を緩和することができる。これにより、酸化物半導体層の基板側に電荷が蓄積されることに起因する寄生チャネルの発生や、しきい値電圧の変動を防ぐことができる。

【0148】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0149】

（実施の形態8）

本実施の形態では、半導体装置としてのトランジスタおよびその作製方法の別の一例について、図14および図15を用いて説明する。

【0150】

はじめに、基板600上に導電層602を成膜し（図14（A）参照）、導電層602上に選択的にレジストマスク604を形成した後、該レジストマスク604を用いて導電層602を選択的にエッチングすることで、導電層606を形成する（図14（B）参照）。そして、レジストマスク604を除去した後に、導電層606を覆うように絶縁層608を形成する（図14（C）参照）。ここで、導電層606は、酸化物半導体層中の電界を制御する役割を有する。また、導電層606は、トランジスタの動作に悪影響を与える外部電界を遮蔽する役割を有する。上記要素を構成する材料、作製方法などについては、先の実施の形態（例えば、実施の形態1乃至実施の形態3等）を参酌できる。

【0151】

なお、上記では、導電層602の選択的エッチングによって導電層606を形成する例について説明しているが、導電層606は基板上の全面に形成してもよい。または、酸化物半導体層の下部全面に形成されても良い。

【0152】

次に、絶縁層608上に導電層610を成膜し（図14（D）参照）、導電層610上に選択的にレジストマスク612およびレジストマスク614を形成した後、該レジストマスクを用いて導電層610を選択的にエッチングして、ソース電極またはドレイン電極の一方として機能する導電層616およびソース電極またはドレイン電極の他方として機能する導電層618を形成する（図14（E）参照）。なお、導電層616および導電層618を形成した後は、レジストマスク612およびレジストマスク614は除去する。上記要素の詳細については、先の実施の形態を参照できる。

【0153】

次に、導電層616および導電層618を覆うように酸化物半導体層620を形成し（図14（F）参照）、酸化物半導体層620上に選択的にレジストマスク622を形成した後、該レジストマスク622を用いて酸化物半導体層620を選択的にエッチングすることで、酸化物半導体層624を形成する（図15（A）参照）。なお、酸化物半導体層624を形成した後は、レジストマスク622は除去する。酸化物半導体層の詳細については、先の実施の形態を参酌できる。また、その他の要素の詳細についても先の実施の形態を参酌できる。酸化物半導体層620の厚さは、目的とする特性に応じて適宜設定することができるが、薄膜トランジスタの用途に用いる場合には、例えば、20nm乃至2μm程度とするのが好適である。

【 0 1 5 4 】

次に、導電層 6 1 6、導電層 6 1 8、酸化物半導体層 6 2 4 を覆うように、ゲート絶縁層として機能する絶縁層 6 2 6 を形成する（図 1 5（B）参照）。そして、絶縁層 6 2 6 上に導電層 6 2 8 を成膜し（図 1 5（C）参照）、導電層 6 2 8 上に選択的にレジストマスク 6 3 0 を形成した後、該レジストマスク 6 3 0 を用いて導電層 6 2 8 を選択的にエッチングすることで、ゲート電極として機能する導電層 6 3 2 を形成する（図 1 5（D）参照）。なお、導電層 6 3 2 を形成した後は、レジストマスク 6 3 0 は除去する。上記要素の詳細については、先の実施の形態を参照できる。

【 0 1 5 5 】

以上により、基板 6 0 0 上の導電層 6 0 6 と、導電層 6 0 6 を覆う絶縁層 6 0 8 と、絶縁層 6 0 8 上の、導電層 6 0 6 の一部と重畳し表層部に結晶領域を有する酸化物半導体層 6 2 4 と、酸化物半導体層 6 2 4 に接する導電層 6 1 6 および導電層 6 1 8 と、酸化物半導体層 6 2 4、導電層 6 1 6、および導電層 6 1 8 を覆う絶縁層 6 2 6 と、絶縁層 6 2 6 上の、酸化物半導体層 6 2 4 の一部と重畳する導電層 6 3 2 と、を有するトランジスタ 6 5 0 が提供される（図 1 5（E）参照）。なお、トランジスタ 6 5 0 は、表層部に結晶領域を有する酸化物半導体層を用い、二つの導電層を用いて電流を制御する点において新規な半導体装置ということができる。

10

【 0 1 5 6 】

本実施の形態において示すように、先の実施の形態において示した酸化物半導体膜を用いて半導体装置を作製することにより、酸化物半導体層中への不純物（例えば水素（水を含む）など）の取り込みを抑制することが可能である。このため、半導体装置の信頼性を向上させることができる。

20

【 0 1 5 7 】

また、先の実施の形態において示した酸化物半導体膜を用いて半導体装置を作製することにより、良好な電気特性の半導体装置を提供することが可能である。

【 0 1 5 8 】

また、いわゆるゲート電極として機能する導電層とは別に、酸化物半導体層の下部に導電層を有する構成を採用することで、外部の電界を遮蔽し、半導体装置における外部電界の影響を緩和することができる。これにより、酸化物半導体層の基板側に電荷が蓄積されることに起因する寄生チャネルの発生や、しきい値電圧の変動を防ぐことができる。

30

【 0 1 5 9 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【 0 1 6 0 】

（実施の形態 9）

本実施の形態では、いわゆるパワー MOSFET と、薄膜トランジスタとを、同一の基板上に同様の工程で作製する方法の別の一例について、図 1 6 および図 1 7 を参照して説明する。なお、本実施の形態における半導体装置の作製工程は、多くの部分で先の実施の形態と共通しているから、以下においては、重複する部分の説明は省略する。

【 0 1 6 1 】

なお、本実施の形態に示す半導体装置の作製工程は、酸化物半導体層の下部に、酸化物半導体層中の電界を制御する導電層を形成する点で、先の実施の形態に示した半導体装置の作製工程とは異なる。

40

【 0 1 6 2 】

まず、基板 1 0 0 上に導電層 1 0 2 を形成すると共に、薄膜トランジスタの構成要素である導電層 2 0 2 を形成し、その後、導電層 2 0 2 を覆う絶縁層 2 0 3 を形成する（図 1 6（A）参照）。詳細については、先の実施の形態（例えば、実施の形態 4 など）を参酌できる。なお、導電層 2 0 2 は、導電層 1 0 2 と同様の工程で形成されるものであり、酸化物半導体層中の電界を制御する役割を有する。なお、導電層 1 0 2 は絶縁層 2 0 3 に覆われていないことが好適であるが、このような絶縁層 2 0 3 は、基板 1 0 0 上に絶縁層を形

50

成した後のパターニングなどの方法によって形成することができる。

【0163】

次に、導電層102を覆うように、結晶領域106を含む酸化物半導体層104を形成すると共に、絶縁層203上に結晶領域206を含む酸化物半導体層204を形成する(図16(B)参照)。そして、酸化物半導体層104上の導電層102と重畳しない領域に導電層108を形成すると共に、酸化物半導体層204上に導電層208および導電層209を形成する(図16(C)参照)。詳細については、先の実施の形態を参酌できる。

【0164】

以下の工程は、先の実施の形態(例えば、実施の形態4など)と同様である。すなわち、酸化物半導体層104、導電層108、酸化物半導体層204、導電層208、導電層209を覆うように、絶縁層110を形成し(図17(A)参照)、絶縁層110等を選択的に除去して、導電層102、導電層108、導電層202、導電層208、導電層209などに達する開口を形成した後に、導電層108と電氣的に接続する導電層112、導電層102と電氣的に接続する導電層114、導電層116、導電層202と電氣的に接続する導電層(図示せず)、導電層208と電氣的に接続する導電層212、導電層209と電氣的に接続する導電層214、導電層216、などを形成する(図17(B)参照)。なお、導電層202と導電層216とは、電氣的に接続していても良いが、電界を制御するためには、電氣的に接続している必要はない。例えば、導電層202の電位としては、フローティング電位、固定電位、導電層216とは異なる態様で変動する電位、のいずれを採用することも可能である。

【0165】

以上により、パワーMOSFETと薄膜トランジスタを、同一の基板上に同様の工程で作製することができる。

【0166】

本実施の形態に示すように、いわゆるゲート電極として機能する導電層とは別に、酸化物半導体層の下部に導電層を有する構成を採用することで、外部の電界を遮蔽し、半導体装置における外部電界の影響を緩和することができる。これにより、酸化物半導体層の基板側に電荷が蓄積されることに起因する寄生チャネルの発生や、しきい値電圧の変動を防ぐことができる。

【0167】

本実施の形態に示す構成、方法などは、他の実施の形態と適宜組み合わせる用いることができる。

【0168】

(実施の形態10)

本実施の形態では、いわゆるパワーMOSFETと、薄膜トランジスタとを、同一の基板上に同様の工程で作製する方法の別の一例について、図18および図19を参照して説明する。なお、本実施の形態における半導体装置の作製工程は、多くの部分で先の実施の形態と共通しているから、以下においては、重複する部分の説明は省略する。

【0169】

なお、本実施の形態に示す半導体装置の作製工程は、パワーMOSFETに係る酸化物半導体層の下部にも電界を制御する導電層を形成する点で、先の実施の形態に示した半導体装置の作製工程とは異なる。

【0170】

まず、基板100上に導電層102および導電層103を形成すると共に、薄膜トランジスタの構成要素である導電層202を形成し、その後、導電層103および導電層202を覆う絶縁層203を形成する(図18(A)参照)。詳細については、先の実施の形態(例えば、実施の形態4など)を参酌できる。なお、導電層103および導電層202は、導電層102と同様の工程で形成されるものであり、酸化物半導体層中の電界を制御する役割を有する。なお、導電層102は絶縁層203に覆われていないことが好適であるが、このような絶縁層203は、基板100上に絶縁層を成膜した後のパターニングなど

10

20

30

40

50

の方法によって形成することができる。

【0171】

次に、導電層102および絶縁層203を覆うように、結晶領域106を含む酸化物半導体層104を形成すると共に、絶縁層203上に結晶領域206を含む酸化物半導体層204を形成し(図18(B)参照)、酸化物半導体層104上の導電層102と重畳しない領域に導電層108を形成すると共に、酸化物半導体層204上に導電層208および導電層209を形成する(図18(C)参照)。詳細については、先の実施の形態(例えば、実施の形態4など)を参照できる。

【0172】

以下の工程は、先の実施の形態(例えば、実施の形態4、実施の形態9など)と同様である。すなわち、酸化物半導体層104、導電層108、酸化物半導体層204、導電層208、導電層209を覆うように、絶縁層110を形成し(図19(A)参照)、絶縁層110等を選択的に除去して、導電層102、導電層103、導電層108、導電層202、導電層208、導電層209などに達する開口を形成した後に、導電層108と電氣的に接続する導電層112、導電層102と電氣的に接続する導電層114、導電層103と電氣的に接続する導電層(図示せず)、導電層116、導電層202と電氣的に接続する導電層(図示せず)、導電層208と電氣的に接続する導電層212、導電層209と電氣的に接続する導電層214、導電層216、などを形成する(図19(B)参照)。なお、導電層103と導電層116、または、導電層202と導電層216は、電氣的に接続していても良いが、電界を制御するためには、電氣的に接続している必要はない。例えば、導電層103や導電層202の電位としては、フローティング電位、固定電位、導電層116や導電層216とは異なる態様で変動する電位、のいずれを採用することも可能である。

【0173】

以上により、パワーMOSFETと薄膜トランジスタを、同一の基板上に同様の工程で作製することができる。

【0174】

本実施の形態に示すように、いわゆるゲート電極として機能する導電層とは別に、酸化物半導体層の下部に導電層を有する構成を採用することで、外部の電界を遮蔽し、半導体装置における外部電界の影響を緩和することができる。これにより、酸化物半導体層の基板側に電荷が蓄積されることに起因する寄生チャネルの発生や、しきい値電圧の変動を防ぐことができる。

【0175】

本実施の形態に示す構成、方法などは、他の実施の形態と適宜組み合わせて用いることができる。

【符号の説明】

【0176】

100	基板
102	導電層
103	導電層
104	酸化物半導体層
106	結晶領域
108	導電層
109	導電層
110	絶縁層
112	導電層
114	導電層
116	導電層
202	導電層
203	絶縁層

10

20

30

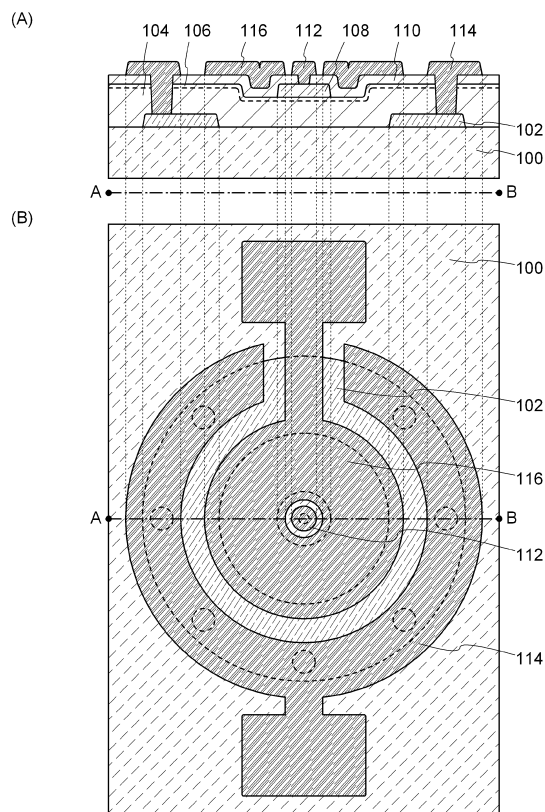
40

50

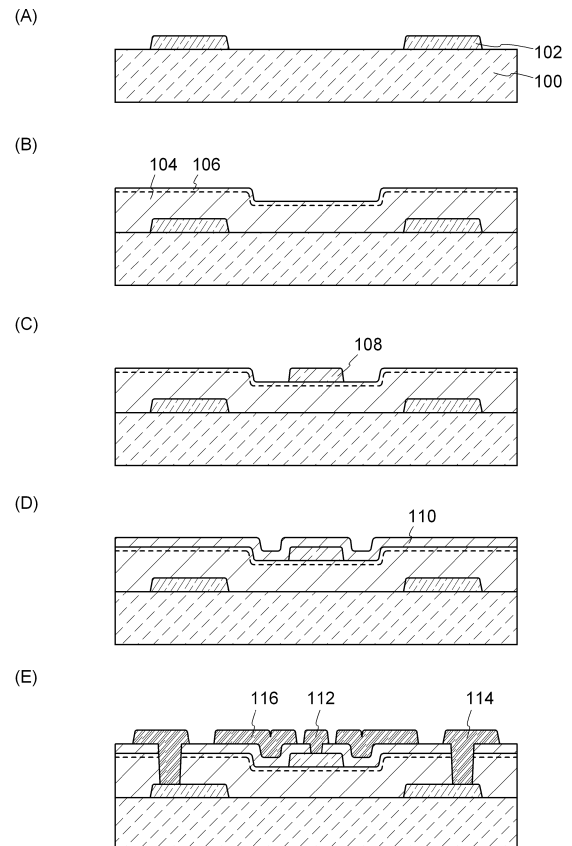
2 0 4	酸化物半導体層	
2 0 6	結晶領域	
2 0 8	導電層	
2 0 9	導電層	
2 1 2	導電層	
2 1 4	導電層	
2 1 6	導電層	
3 0 0	電源	
3 0 2	リファレンス電圧生成回路	
3 0 4	リファレンス電流生成回路	10
3 0 6	エラーアンプ	
3 0 8	P W M バッファ	
3 1 0	三角波生成回路	
3 1 2	コイル	
3 1 4	パワー M O S F E T	
3 1 6	ダイオード	
3 1 8	コンデンサ	
3 2 0	抵抗	
3 2 2	抵抗	
3 5 0	三角波	20
3 5 2	出力波形	
3 5 4	パルス信号	
4 0 0	太陽電池パネル	
4 0 2	直流開閉器	
4 0 4	インバータ	
4 0 6	分電盤	
4 0 8	交流開閉器	
4 1 0	電気器具	
4 1 2	トランス	
4 1 4	配電線	30
5 0 0	基板	
5 0 2	導電層	
5 0 4	レジストマスク	
5 0 6	導電層	
5 0 8	絶縁層	
5 1 0	酸化物半導体層	
5 1 2	レジストマスク	
5 1 4	酸化物半導体層	
5 1 6	導電層	
5 1 8	レジストマスク	40
5 2 0	レジストマスク	
5 2 2	導電層	
5 2 4	導電層	
5 2 6	絶縁層	
5 2 8	導電層	
5 3 0	レジストマスク	
5 3 2	導電層	
5 5 0	トランジスタ	
6 0 0	基板	
6 0 2	導電層	50

6 0 4	レジストマスク
6 0 6	導電層
6 0 8	絶縁層
6 1 0	導電層
6 1 2	レジストマスク
6 1 4	レジストマスク
6 1 6	導電層
6 1 8	導電層
6 2 0	酸化物半導体層
6 2 2	レジストマスク
6 2 4	酸化物半導体層
6 2 6	絶縁層
6 2 8	導電層
6 3 0	レジストマスク
6 3 2	導電層
6 5 0	トランジスタ

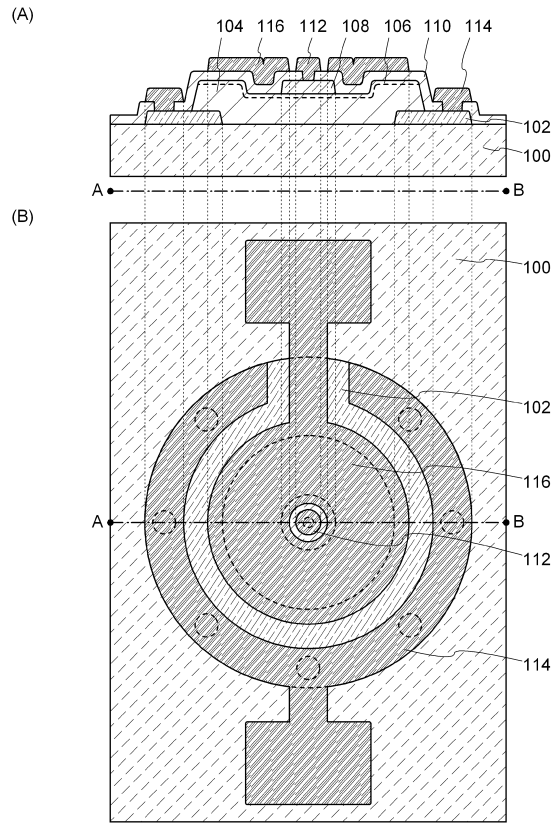
【図 1】



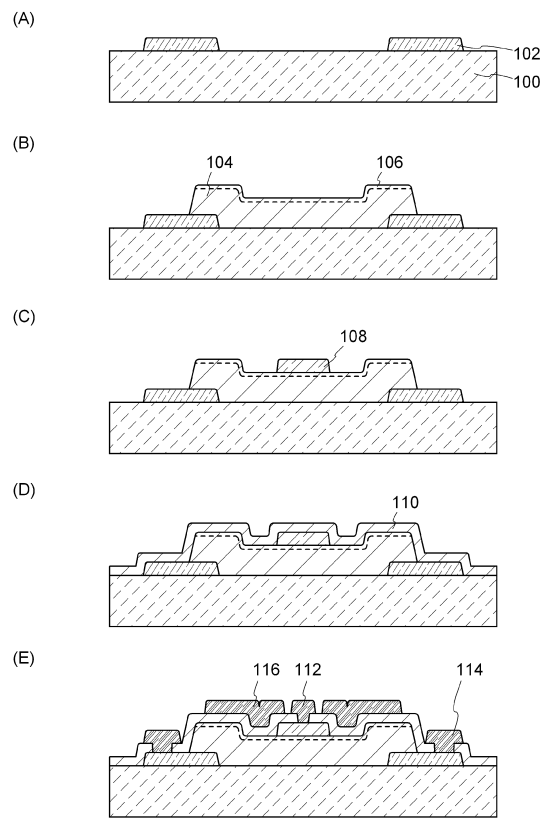
【図 2】



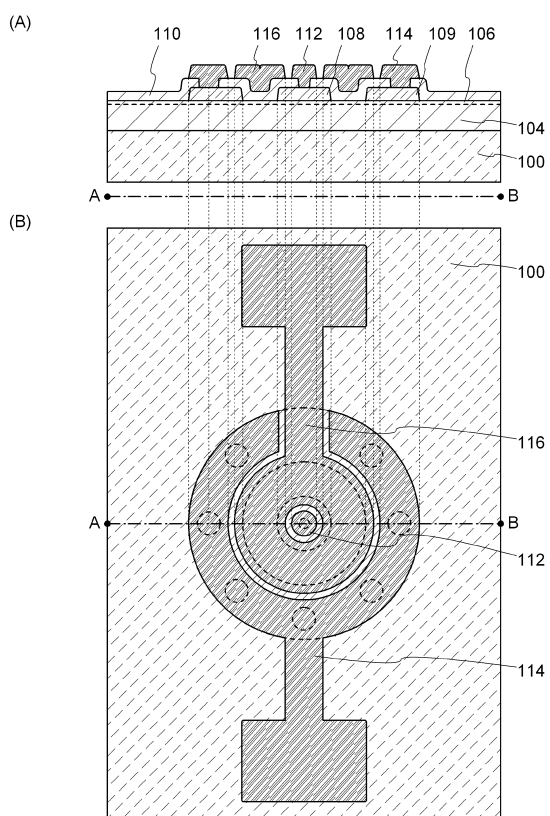
【図 3】



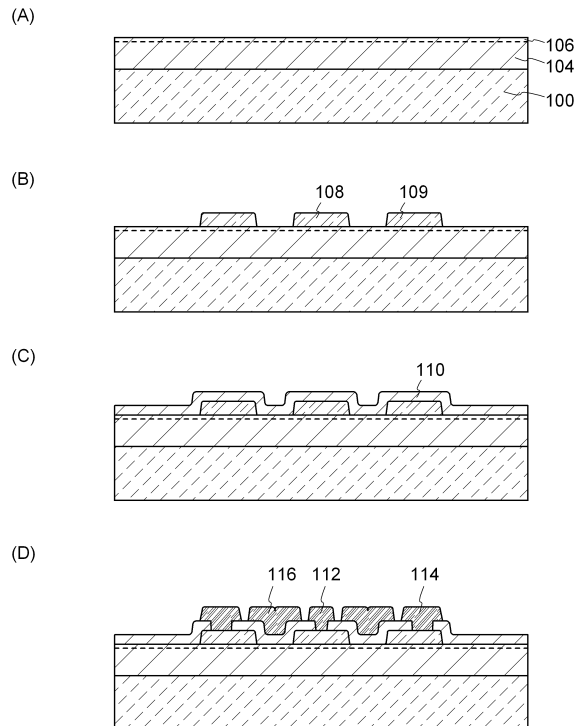
【図 4】



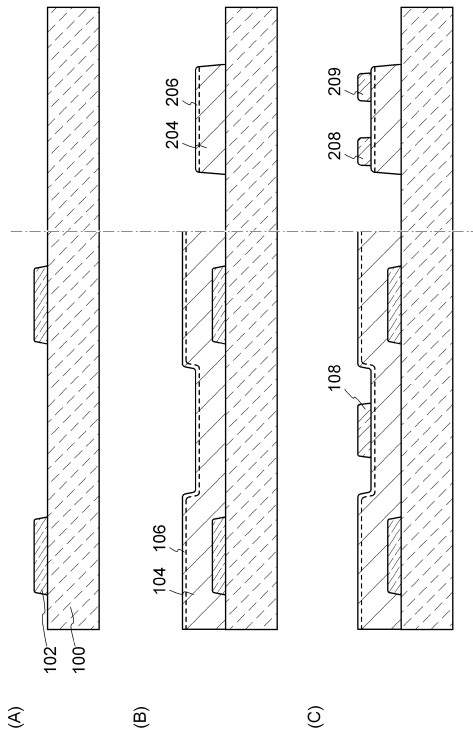
【図 5】



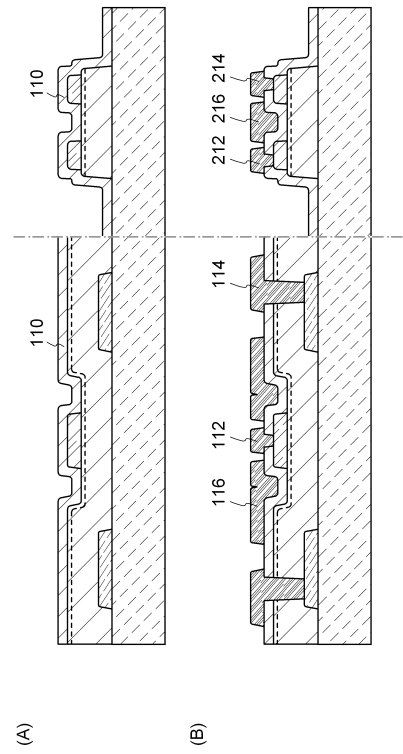
【図 6】



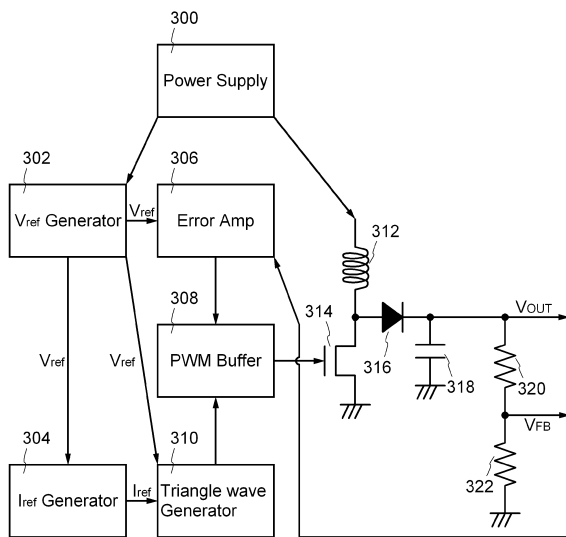
【図 7】



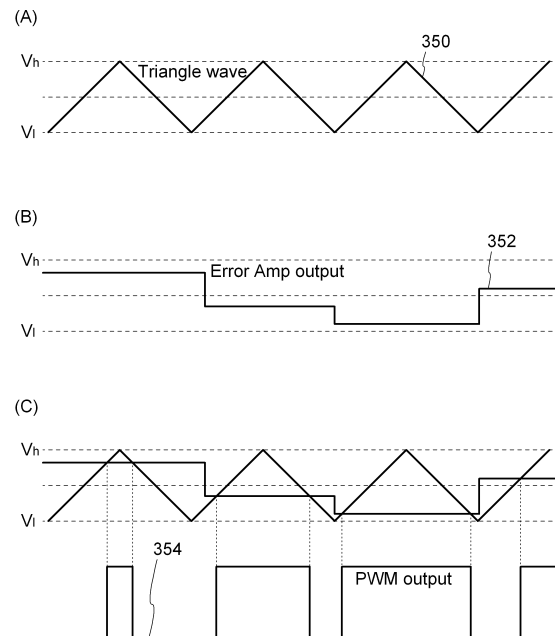
【図 8】



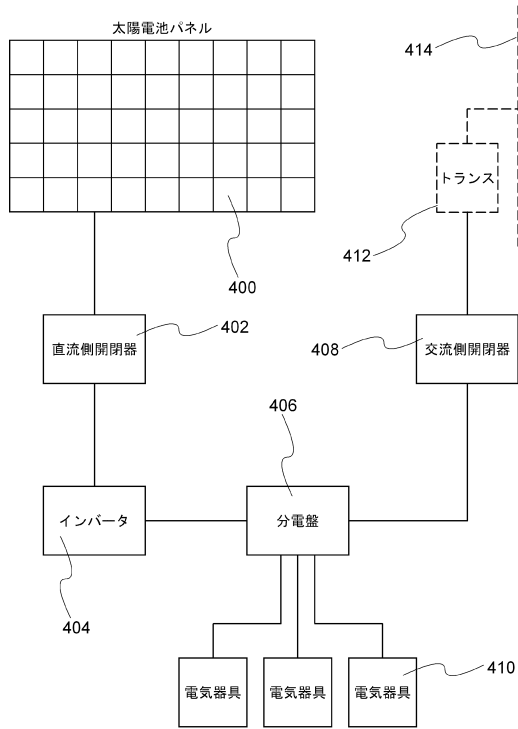
【図 9】



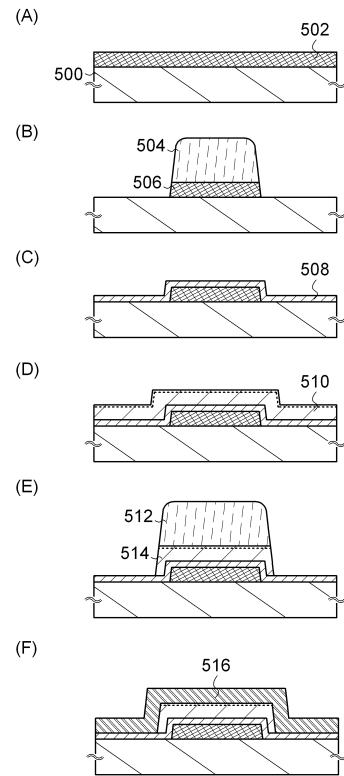
【図 10】



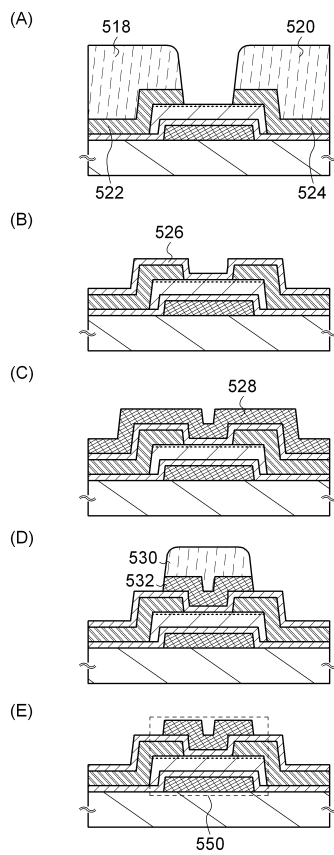
【図 1 1】



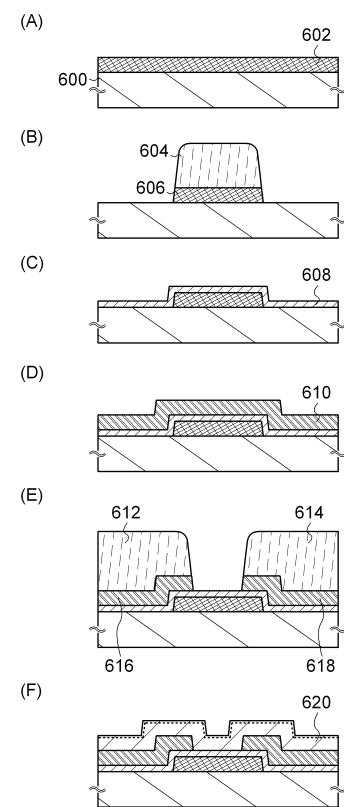
【図 1 2】



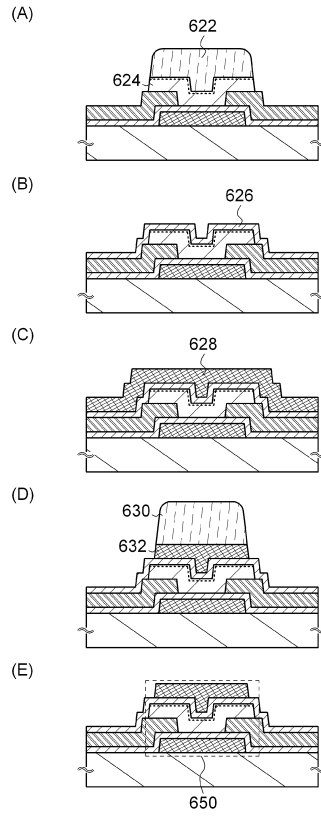
【図 1 3】



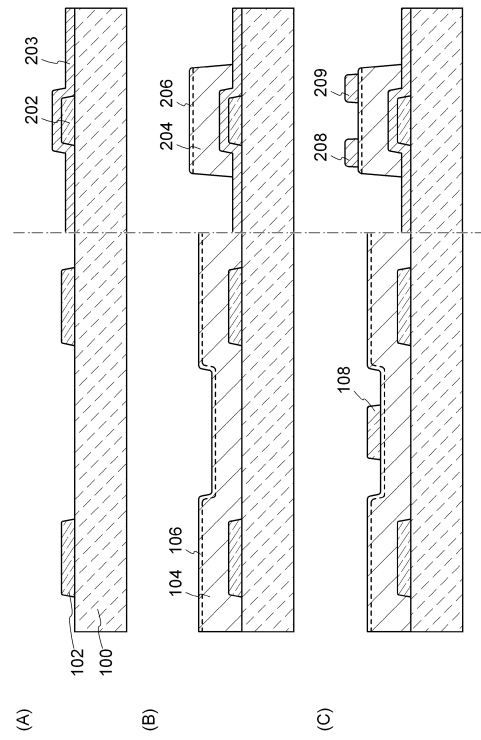
【図 1 4】



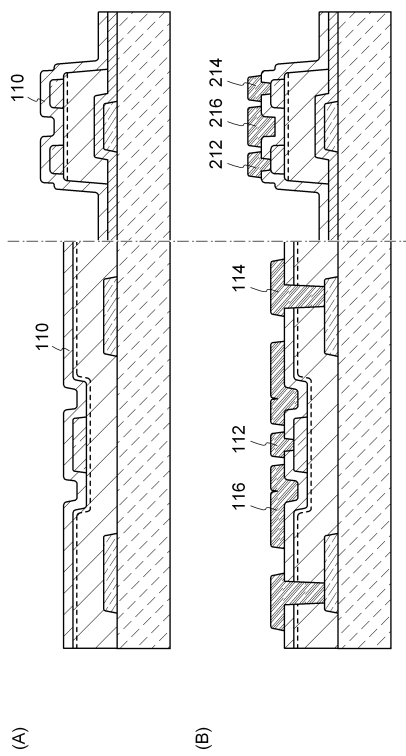
【図 15】



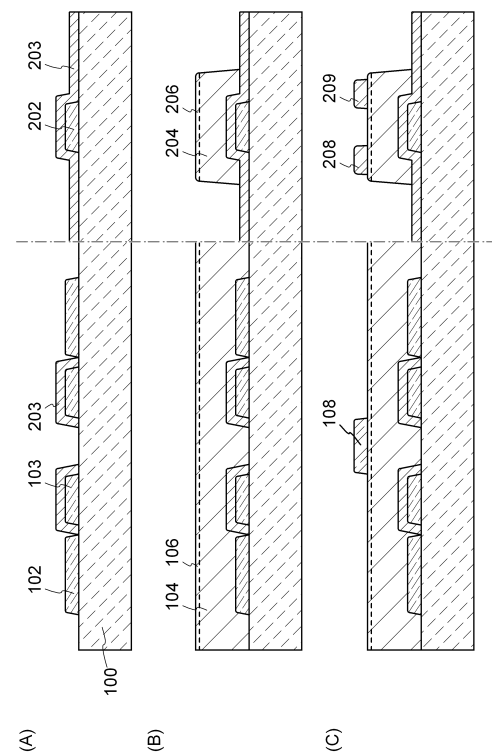
【図 16】



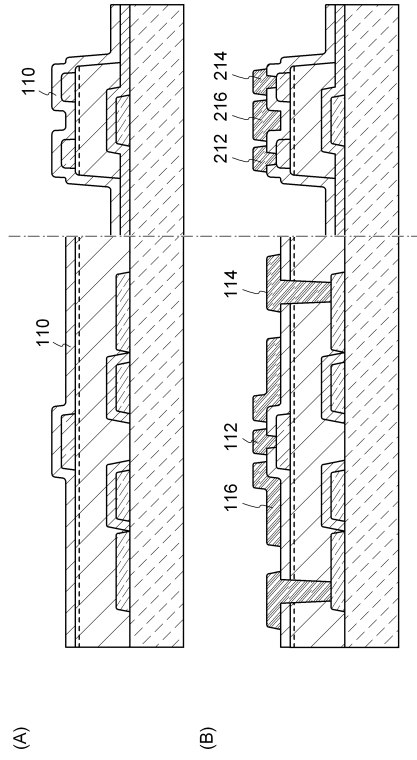
【図 17】



【図 18】



【図 19】



フロントページの続き

- (56)参考文献 特表2007-529119(JP,A)
米国特許出願公開第2008/0258140(US,A1)
特開2007-059893(JP,A)
米国特許出願公開第2010/0219411(US,A1)
米国特許出願公開第2009/0206332(US,A1)
特開2008-042088(JP,A)
米国特許出願公開第2008/0038882(US,A1)
特開平08-245220(JP,A)
特開2009-167087(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 29/786
H01L 21/336