

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-40706

(P2011-40706A)

(43) 公開日 平成23年2月24日(2011.2.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 3 4	5 B 1 2 5
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 8 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/00 3 0 1 A	
HO 1 L 27/10 (2006.01)	G 1 1 C 17/00 6 2 2 E	
審査請求 未請求 請求項の数 11 O L (全 54 頁) 最終頁に続く		

(21) 出願番号	特願2010-9221 (P2010-9221)	(71) 出願人	000003078
(22) 出願日	平成22年1月19日 (2010.1.19)		株式会社東芝
(31) 優先権主張番号	特願2009-166499 (P2009-166499)		東京都港区芝浦一丁目1番1号
(32) 優先日	平成21年7月15日 (2009.7.15)	(74) 代理人	100092820
(33) 優先権主張国	日本国 (JP)		弁理士 伊丹 勝
		(74) 代理人	100106389
			弁理士 田村 和彦
		(72) 発明者	菱田 智雄
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		(72) 発明者	岩田 佳久
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内

最終頁に続く

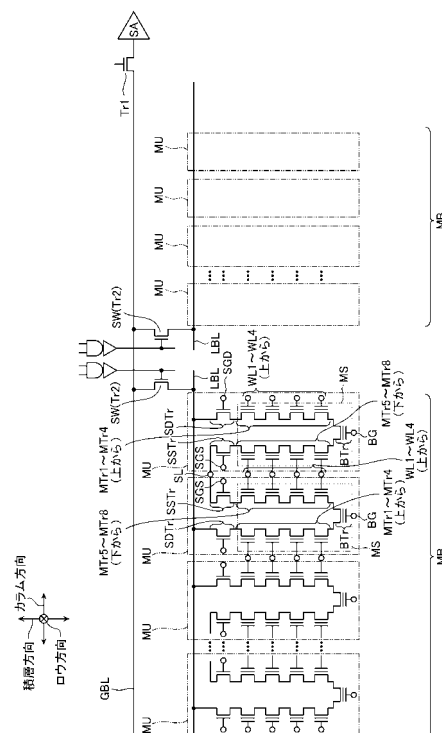
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】 (修正有)

【課題】 正確な読み出しを実行可能な不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性半導体記憶装置は、メモリトランジスタMT r 1～8が直列に接続された複数のメモリストリングMSと、メモリストリングMSの一端に一端を接続されたドレイン選択トランジスタSD T rと、複数のドレイン側選択トランジスタSD T rの他端に共通接続されたローカルビット線LBLと、ローカルビット線LBLに一端を接続されたスイッチ回路SWと、複数のスイッチ回路SWの他端に共通接続されたグローバルビット線GBLとを備える。メモリストリングMSは、柱状部を含むU字状半導体層と、柱状部の側面を取り囲むように形成された電荷蓄積層と、電荷蓄積層を取り囲むように形成されたワード線導電層とを備える。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

電氣的に書き換え可能な複数の第 1 メモリトランジスタが直列に接続された複数の第 1 メモリストリングと、

前記第 1 メモリストリングの一端に一端を接続された第 1 選択トランジスタと、

複数の前記第 1 選択トランジスタの他端に共通接続された第 1 配線と、

前記第 1 配線に一端を接続されたスイッチ回路と、

複数の前記スイッチ回路の他端に共通接続された第 2 配線とを備え、

前記第 1 メモリストリングは、

基板に対して垂直方向に延びる第 1 柱状部を含み、前記第 1 メモリトランジスタのボディとして機能する第 1 半導体層と、

前記第 1 柱状部の側面を取り囲むように形成された第 1 電荷蓄積層と、

前記第 1 電荷蓄積層を取り囲むように形成され、前記第 1 メモリトランジスタのゲートとして機能する第 1 導電層とを備え、

前記スイッチ回路は、前記第 2 配線と前記第 1 配線との間の電氣的接続を制御することを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記スイッチ回路は、前記基板上に形成されたトランジスタを備えたことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記スイッチ回路は、前記第 1 選択トランジスタと同一構造を有する第 2 選択トランジスタを少なくとも備え、

前記第 1 配線及び前記第 2 配線は、前記第 2 選択トランジスタの導通により互いに接続される

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】

前記スイッチ回路は、

前記基板に対して垂直方向に延び且つ水平方向において楕円形状の断面を有する第 2 柱状部を含み、前記楕円形状の長軸方向の長さが前記第 1 半導体層を複数包含する長さとした第 2 半導体層と、

前記第 2 半導体層の上面の端部から前記基板に対して垂直方向に延びると共に前記第 2 半導体層よりも前記長軸方向の幅が小さい第 3 柱状部を含み、前記第 2 選択トランジスタのボディとして機能する第 3 半導体層と、

前記第 3 半導体層の周囲に絶縁膜を介して設けられ前記第 2 選択トランジスタの制御電極として機能する第 2 導電層と、

前記第 2 半導体層の周囲に絶縁膜を介して設けられ前記第 1 導電層と同層に設けられた第 3 導電層と

を備えたことを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】

前記第 3 導電層は、

その長手方向に沿って所定のピッチで設けられた溝を備え、前記溝の周囲がシリサイド化されている

ことを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】

前記第 1 メモリトランジスタは、複数の第 1 ブロック内に複数配置され、

前記第 1 ブロック毎に設けられ、複数の前記第 1 メモリトランジスタのゲートに共通接続された複数の第 3 配線と、

各々の前記第 3 配線に各々接続された複数の第 1 転送回路と、

複数の前記第 1 転送回路に共通接続された第 4 配線とをさらに備え、

前記第 1 転送回路は、第 1 駆動信号を供給され、前記第 4 配線から供給される第 1 制御信号に基づき、前記第 1 駆動信号を前記第 3 配線に転送する

ことを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 7】

前記第 1 メモリトランジスタは、複数の第 1 ブロック内に複数配置され、

前記第 1 ブロック毎に設けられ、複数の前記第 1 メモリトランジスタのゲートに各々共通接続された複数の第 3 配線と、

複数の前記第 3 配線に共通接続された第 4 配線と、

前記第 4 配線に接続された第 1 転送回路とをさらに備え、

前記第 1 転送回路は、第 1 駆動信号を供給され、選択的に前記第 1 駆動信号を前記第 4 配線を介して前記第 3 配線に転送する

ことを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 8】

前記第 3 配線は、ポリシリコンにて構成され、

前記第 4 配線は、金属にて構成されている

ことを特徴とする請求項 6 又は請求項 7 記載の不揮発性半導体記憶装置。

【請求項 9】

前記スイッチ回路は、前記第 1 メモリトランジスタと同一構造を有し且つ複数の第 2 ブロック内に複数配置された第 2 メモリトランジスタを備え、

前記第 2 ブロック毎に設けられ、複数の前記第 2 メモリトランジスタのゲートに各々共通接続された複数の第 5 配線と、

各々の前記第 5 配線に各々接続された複数の第 2 転送回路と、

複数の前記第 2 転送回路に共通接続された第 6 配線とをさらに備え、

前記第 2 転送回路は、第 2 駆動信号を供給され、前記第 6 配線から供給される第 2 制御信号に基づき、前記第 2 駆動信号を前記第 5 配線に転送する

ことを特徴とする請求項 1 乃至請求項 8 のいずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 10】

前記スイッチ回路は、前記第 1 メモリトランジスタと同一構造を有し且つ複数の第 2 ブロック内に複数配置された第 2 メモリトランジスタを備え、

前記前記第 2 ブロック毎に設けられ、複数の前記第 2 メモリトランジスタのゲートに各々共通接続された複数の第 5 配線と、

複数の前記第 5 配線に共通接続された第 6 配線と、

前記第 6 配線に接続された第 2 転送回路とをさらに備え、

前記第 2 転送回路は、第 2 駆動信号を供給され、選択的に前記第 2 駆動信号を前記第 6 配線を介して前記第 5 配線に転送する

ことを特徴とする請求項 1 乃至請求項 8 のいずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 11】

前記第 5 配線は、ポリシリコンにて構成され、

前記第 6 配線は、金属にて構成されている

ことを特徴とする請求項 9 又は請求項 10 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的にデータの書き換えが可能な不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

10

20

30

40

50

従来、シリコン基板上の２次元平面内に素子を集積して、ＬＳＩが形成されてきた。メモリの記憶容量を増加させるには、一素子の寸法を小さくする（微細化する）しかないが、近年その微細化もコスト的、技術的に困難なものになってきた。微細化のためにはフォトリソグラフィの技術向上が必要であるが、例えば、現在のＡｒＦ液浸露光技術では４０ｎｍ付近のルールが解像限界となっており、更なる微細化のためにはＥＵＶ露光機の導入が必要である。しかし、ＥＵＶ露光機はコスト高であり、コストを考えた場合には現実的ではない。また、仮に微細化が達成されたとしても、駆動電圧などがスケールアップされない限り、素子間の耐圧など物理的な限界点を迎える事が予想される。つまり、デバイスとしての動作が困難になる可能性が高い。

【０００３】

そこで、近年、メモリの集積度を高めるために、メモリセルを３次元的に配置した半導体記憶装置が多数提案されている（特許文献１参照）。

【０００４】

メモリセルを３次元的に配置した従来の半導体記憶装置の一つに、円柱型構造のトランジスタを用いた半導体記憶装置がある（特許文献１）。円柱型構造のトランジスタを用いた半導体記憶装置においては、ゲート電極となる多層に積層された積層導電層、及びピラー状の柱状半導体層が設けられる。柱状半導体層は、トランジスタのチャネル（ボディ）部として機能する。柱状半導体層の周りには、ＭＯＮＯＳ層（Metal-Oxide-Nitride-Oxide-Semiconductor）が設けられる。これら積層導電層、柱状半導体層、ＭＯＮＯＳ層を含む構成は、メモリストリングと呼ばれる。

【０００５】

上記複数のメモリストリングは、選択トランジスタを介して共通のビット線に接続される。よって、１本のビット線に接続されるメモリストリングの数が増加すればするほど、非選択メモリストリングに流れる電流の総和は増加する。そして、これにより、正確に読み出しを行うことは困難となる。

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】特開２００７－２６６１４３号

【発明の概要】

【発明が解決しようとする課題】

【０００７】

本発明は、正確な読み出しを実行可能な不揮発性半導体記憶装置を提供する。

【課題を解決するための手段】

【０００８】

本発明の一態様に係る不揮発性半導体記憶装置は、電氣的に書き換え可能な複数の第１メモリトランジスタが直列に接続された複数の第１メモリストリングと、前記第１メモリストリングの一端に一端を接続された第１選択トランジスタと、複数の前記第１選択トランジスタの他端に共通接続された第１配線と、前記第１配線に一端を接続されたスイッチ回路と、複数の前記スイッチ回路の他端に共通接続された第２配線とを備え、前記メモリストリングは、基板に対して垂直方向に延びる第１柱状部を含み、前記第１メモリトランジスタのボディとして機能する第１半導体層と、前記第１柱状部の側面を取り囲むように形成された第１電荷蓄積層と、前記第１電荷蓄積層を取り囲むように形成され、前記第１メモリトランジスタのゲートとして機能する第１導電層とを備え、前記スイッチ回路は、前記第２配線と前記第１配線との間の電氣的接続を制御することを特徴とする。

【発明の効果】

【０００９】

本発明によれば、正確な読み出しを実行可能な不揮発性半導体記憶装置を提供することが可能となる。

【図面の簡単な説明】

【0010】

【図1】本発明の第1の実施の形態に係る不揮発性半導体記憶装置100のブロック図である。

【図2】第1の実施の形態に係る不揮発性半導体記憶装置100の等価回路図である。

【図3】第1の実施の形態に係る不揮発性半導体記憶装置100の断面図である。

【図4】第1の実施の形態に係る不揮発性半導体記憶装置100の拡大斜視図である。

【図5】第1の実施の形態に係る不揮発性半導体記憶装置100の拡大断面図である。

【図6】第2の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図7】第3の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図8】第4の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。

10

【図9】第4の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図10】第5の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。

【図11】第5の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図12】第6の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。

【図13】第6の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図14】第7の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。

【図15】第7の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図16A】第8の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。

【図16B】第8の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図17】第8の実施の形態に係る不揮発性半導体記憶装置の拡大斜視図である。

20

【図18】第8の実施の形態に係る不揮発性半導体記憶装置の上面図である。

【図19】第9の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図20】第9の実施の形態に係る不揮発性半導体記憶装置の上面図である。

【図21】第10の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図22】第10の実施の形態に係る不揮発性半導体記憶装置の上面図である。

【図23A】第11の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。

【図23B】第11の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図24A】第12の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。

【図24B】第12の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図25】第12実施の形態に係る不揮発性半導体記憶装置の上面図である。

30

【図26】第13実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図27】第13の実施の形態に係る不揮発性半導体記憶装置の上面図である。

【図28】第14の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図29】第14の実施の形態に係る不揮発性半導体記憶装置の上面図である。

【図30】第15の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図31】第15の実施の形態に係る不揮発性半導体記憶装置の上面図である。

【図32】第16の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図33】第16の実施の形態に係る不揮発性半導体記憶装置の上面図である。

【図34】第17の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図35】第17の実施の形態に係る不揮発性半導体記憶装置の上面図である。

40

【図36】第18の実施の形態に係る不揮発性半導体記憶装置の上面図である。

【図37】第19の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。

【図38】第19の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図39】第19の実施の形態に係る不揮発性半導体記憶装置の拡大断面図である。

【図40】第20の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。

【図41】第20の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。

【図42】図40及び図41のアドレスデコーダ12aAを示す回路図である。

【図43】図40及び図41のレベルシフタ12aBを示す回路図である。

【図44】第20の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図45】第20の実施の形態に係る不揮発性半導体記憶装置の断面図である。

50

【図４６】第２０の実施の形態に係る不揮発性半導体記憶装置の断面図である。
【図４７】第２１の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。
【図４８】第２１の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。
【図４９】第２２の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。
【図５０】第２２の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。
【図５１】第２３の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。
【図５２】第２３の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。
【図５３】第２３の実施の形態に係る不揮発性半導体記憶装置の断面図である。
【図５４】第２３の実施の形態に係る不揮発性半導体記憶装置の断面図である。
【図５５】第２３の実施の形態に係る不揮発性半導体記憶装置の断面図である。

10

【発明を実施するための形態】

【００１１】

以下、図面を参照して、本発明に係る不揮発性半導体記憶装置の一の実施の形態について説明する。

【００１２】

〔第１の実施の形態〕

〔第１の実施の形態に係る不揮発性半導体記憶装置１００の構成〕

先ず、図１を参照して、第１の実施の形態に係る不揮発性半導体記憶装置１００の構成について説明する。図１は、本発明の第１の実施の形態に係る不揮発性半導体記憶装置１００のブロック図である。

20

【００１３】

第１の実施の形態に係る不揮発性半導体記憶装置１００は、図１に示すように、メモリセルアレイ１１、ロウデコーダ１２、１３、センスアンプ１４、カラムデコーダ１５、及び制御信号生成部（高電圧生成部）１６を備える。

【００１４】

メモリセルアレイ１１は、後述するように、データを電氣的に記憶するメモリトランジスタＭＴｒを３次元マトリクス状に配列して構成される。すなわち、メモリトランジスタＭＴｒは、水平方向にマトリクス状に配列されるとともに、積層方向にも配列される。積層方向に並ぶ複数のメモリトランジスタＭＴｒは直列接続され、メモリストリングＭＳを構成する。メモリストリングＭＳの両端には選択時に導通状態とされる選択トランジスタＳＤＴｒ、ＳＳＴｒが接続される。このメモリストリングＭＳは、積層方向を長手方向として配列される。このメモリストリングＭＳは、ＮＡＮＤセルユニットから構成されている。

30

【００１５】

ロウデコーダ１２、１３は、取り込まれたブロックアドレス信号等をデコードし、メモリセルアレイ１１を制御する。センスアンプ１４は、メモリセルアレイ１１からデータを読み出す。カラムデコーダ１５は、カラムアドレス信号をデコードし、センスアンプ１４を制御する。制御信号生成部１６は、基準電圧を昇圧させて、書き込みや消去時に必要となる高電圧を生成し、さらに、制御信号を生成し、ロウデコーダ１２、１３、センスアンプ１４、及びカラムデコーダ１５を制御する。

40

【００１６】

次に、図２を参照して、メモリセルアレイ１１の回路構成について説明する。図２は、メモリセルアレイ１１のカラム方向の断面に沿って形成されるメモリトランジスタＭＴｒ、選択トランジスタＳＤＴｒ、ＳＳＴｒ、及びその周辺回路の等価回路図である。

【００１７】

メモリセルアレイ１１は、図２に示すように、グローバルビット線ＧＢＬ、スイッチ回路ＳＷ、ローカルビット線ＬＢＬ、及びメモリブロックＭＢを有する。図２に示す、グローバルビット線ＧＢＬ、スイッチ回路ＳＷ、ローカルビット線ＬＢＬ、及びメモリブロックＭＢは、所定ピッチをもってロウ方向（紙面に直交する方向）に繰り返し設けられている。

50

【0018】

グローバルビット線GBLの一端は、図2に示すように、トランジスタTr1を介してセンスアンプSAに接続されている。スイッチ回路SWは、トランジスタTr2にて構成されている。トランジスタTr2の一端はグローバルビット線GBLに接続され、その他端はローカルビット線LBLに接続されている。すなわち、トランジスタTr2（スイッチ回路SW）は、そのゲートに受け付けたアドレス信号に基づき、グローバルビット線GBLとローカルビット線LBLとの間の電氣的接続を制御する。各メモリブロックMBは、各ローカルビット線LBLに接続されている。

【0019】

メモリブロックMBは、図2に示すように、ローカルビット線LBLに共通接続された複数のメモリユニットMUを有する。メモリユニットMUは、メモリストリングMS、ソース側選択トランジスタSSTr、及びド레인側選択トランジスタSDTrを有する。カラム方向に隣接するメモリユニットMUは、その構成がカラム方向に互いに対称となるように形成されている。図2では、カラム方向の1断面に沿ったメモリユニットMUのみが図示されており、このようなメモリユニットMUが、紙面垂直方向にも複数個設けられている。

【0020】

メモリストリングMSは、直列接続されたメモリトランジスタMTTr1～MTTr8、及びバックゲートトランジスタBTTrにて構成されている。メモリトランジスタMTTr1～4は、積層方向に直列に接続されている。メモリトランジスタMTTr5～8も、同様に積層方向に直列に接続されている。メモリトランジスタMTTr1～MTTr8は、電荷蓄積層に電荷を捕獲させることで、情報を記憶する。バックゲートトランジスタBTTrは、最下層のメモリトランジスタMTTr4とメモリトランジスタMTTr5との間に接続されている。従って、メモリトランジスタMTTr1～8、及びバックゲートトランジスタBTTrは、カラム方向に沿った断面においてU形状に接続されている。ド레인側選択トランジスタSDTrのソースは、メモリストリングMSの一端（メモリトランジスタMTTr1のド레인）に接続されている。ソース側選択トランジスタSSTrのドレインは、メモリストリングMSの他端（メモリトランジスタMTTr8のソース）に接続されている。

【0021】

メモリユニットMUにおいて、ロウ方向に一行に配列されたメモリトランジスタMTTr1のゲートは、ロウ方向に延びるワード線WL1に共通接続されている。同様に、ロウ方向に一行に配列されたメモリトランジスタMTTr2～MTTr8のゲートは、ロウ方向に延びるワード線WL2～WL8に共通接続されている。なお、カラム方向において隣接する2つのメモリストリングMSも、ワード線WL1～WL8を共有している。また、ロウ方向及びカラム方向にマトリクス状に配列されたバックゲートトランジスタBTTrのゲートは、バックゲート線BGに共通接続されている。

【0022】

メモリユニットMUにおいて、ロウ方向に一行に配列された各ド레인側選択トランジスタSDTrのゲートは、ロウ方向に延びるド레인側選択ゲート線SGDに共通接続されている。また、カラム方向に一行に配列されたド레인側選択トランジスタSDTrのドレインは、ローカルビット線LBLに共通に接続されている。

【0023】

メモリユニットMUにおいて、ロウ方向に一行に配列された各ソース側選択トランジスタSSTrのゲートは、ロウ方向に延びるソース側選択ゲート線SGSに共通接続されている。また、カラム方向に隣接する一対のメモリユニットMUにおいて、ロウ方向に一行に配列されたソース側選択トランジスタSSTrのソースは、ロウ方向に延びるソース線SLに共通に接続されている。

【0024】

次に、図3を参照して、図2に示した回路構成を実現する第1の実施の形態に係る不揮発性半導体装置100の積層構造について説明する。図3は、第1の実施の形態に係る不

10

20

30

40

50

揮発性半導体記憶装置 100 の断面図である。なお、図 3 は、ワード線 W L や選択ゲート線 S G D、S G S の間に形成される層間絶縁層等を省略した図である。

【0025】

メモリセルアレイ 11 は、図 3 に示すように、複数の第 1 領域 A R 1、複数の第 2 領域 A R 2 を有する。第 1 領域 A R 1 は、スイッチ回路 S W が設けられる領域である。第 2 領域 A R 2 は、メモリブロック M B が設けられる領域である。

【0026】

メモリセルアレイ 11 は、図 3 に示すように、基板 20、スイッチ回路 S W として機能するスイッチ回路領域 30、メモリブロック M B として機能するメモリ層 40、及びローカルビット線 L B L、グローバルビット線 G B L、及びその他の接続配線として機能する配線層 50 を有する。

10

【0027】

基板 20 は、図 3 に示すように、基板本体 21、及び複数の拡散層 22 を有する。基板本体 21 は、板状に形成され、例えば、シリコン (S i) にて構成されている。複数の拡散層 22 は、第 1 領域 A R 1 における基板本体 21 の上面にカラム方向に所定ピッチをもって形成されている。拡散層 22 は、例えば、シリコン (S i) に不純物を注入したものであり、トランジスタ T r 2 のソース・ドレインとして機能する。

【0028】

スイッチ回路領域 30 は、図 3 に示すように、基板 20 上の第 1 領域 A R 1 に形成されている。スイッチ回路領域 30 は、トランジスタ T r 2 のゲートとして機能する導電層 31 を有する。導電層 31 は、基板本体 21 上に形成された絶縁層 (図示略) を介して、2 つの拡散層 22 を跨ぐように形成されている。導電層 31 は、例えばポリシリコン (p o l y - S i) にて構成されている。

20

【0029】

メモリ層 40 は、図 3 に示すように、基板 20 上の第 2 領域 A R 2 に形成されている。メモリ層 40 は、下層から順に、バックゲート層 41、メモリトランジスタ層 42、及び選択トランジスタ層 43 を有する。バックゲート層 41 は、バックゲートトランジスタ B T r として機能する。メモリトランジスタ層 42 は、メモリトランジスタ M T r 1 ~ M T r 8 として機能する。選択トランジスタ層 43 は、ドレイン側選択トランジスタ S D T r、及びソース側選択トランジスタ S S T r として機能する。なお、上記メモリ層 40 の詳細な構成は、後ほど図 4 及び図 5 を参照して説明する。

30

【0030】

配線層 50 は、図 3 に示すように、メモリ層 40 の上層に形成されている。配線層 50 は、下層から順に、第 1 配線層 51、第 2 配線層 52、及び第 3 配線層 53 を有する。第 1 配線層 51 は、ソース線 S L として機能する。第 2 配線層 52 は、ローカルビット線 L B L として機能する。第 3 配線層 53 は、グローバルビット線 G B L として機能する。

【0031】

第 1 配線層 51 は、第 2 領域 A R 2 内に形成されている。第 1 配線層 51 は、カラム方向に所定ピッチをもってロウ方向に延びるように形成されている。第 2 配線層 52 は、第 2 領域 A R 2 内であって、第 1 配線層 51 の上層に形成されている。第 2 配線層 52 は、ロウ方向に所定ピッチをもってカラム方向に延びるようにストライプ状に形成されている。第 3 配線層 53 は、複数の第 1 領域 A R 1、第 2 領域 A R 2 を跨ぐように、第 2 配線層 52 の上層に形成されている。第 3 配線層 53 は、ロウ方向に所定ピッチをもってカラム方向に延びるストライプ状に形成されている。第 1 配線層 51、第 2 配線層 52、及び第 3 配線層 53 は、タンゲステン (W) / 窒化チタン (T i N) / チタン (T i) の積層構造にて構成されている。

40

【0032】

また、これら配線層 50 (配線層 51 ~ 53)、スイッチ回路領域 30 (トランジスタ T r 2)、及びメモリ層 40 (メモリストリング M S) を互いに接続するための構成として、配線層 54、及びプラグ層 55 が形成されている。配線層 54 及びプラグ層 55 は、

50

タングステン (W) / 窒化チタン (TiN) / チタン (Ti) の積層構造にて構成されている。

なお、図 3 の点線 M S p の部分は、メモリ領域として機能していないダミー領域であるので、省略することも可能である。

【0033】

次に、図 4 及び図 5 を参照して、上述したメモリ層 40 の各層（バックゲート層 41、メモリトランジスタ層 42、及び選択トランジスタ層 43）について詳細に説明する。図 4 は、第 1 の実施の形態に係る不揮発性半導体記憶装置 100 の拡大斜視図である。図 5 は、第 1 の実施の形態に係る不揮発性半導体記憶装置 100 の拡大断面図である。なお、図 4、図 5 でも、配線間の層間絶縁膜は、図示を省略されている。

10

【0034】

バックゲート層 41 は、図 4、及び図 5 に示すように、基板 20 の上に絶縁層（図示略）を介して形成されたバックゲート導電層 61 を有する。バックゲート導電層 61 は、バックゲート線 B G、及びバックゲートトランジスタ B T r のゲートとして機能する。バックゲート導電層 61 は、ロウ方向及びカラム方向に広がる板状に形成されている。バックゲート導電層 61 は、後述する U 字状半導体層 74 の連結部 74 B の下面及び側面を覆い且つ連結部 74 B の上面と同じ高さまで形成されている。バックゲート導電層 61 は、ポリシリコン (poly-Si) にて構成されている。

【0035】

また、バックゲート層 41 は、図 5 に示すように、バックゲート導電層 61 を掘込むように形成されたバックゲートホール 62 を有する。バックゲートホール 62 は、ロウ方向に短手方向、カラム方向に長手方向を有する開口にて構成されている。バックゲートホール 62 は、ロウ方向及びカラム方向に所定間隔毎にマトリクス状に形成されている。

20

【0036】

メモリトランジスタ層 42 は、図 4 及び図 5 に示すように、積層方向に所定ピッチを設けて形成されたワード線導電層 71 a ~ 71 d を有する。ワード線導電層 71 a ~ 71 d は、ワード線 W L 1 ~ W L 8、及びメモリトランジスタ M T r 1 ~ M T r 8 のゲートとして機能する。ワード線導電層 71 a ~ 71 d は、カラム方向に所定ピッチをもってロウ方向に延びるストライプ状に形成されている。ワード線導電層 71 a ~ 71 d は、ポリシリコン (poly-Si) にて構成されている。

30

【0037】

また、メモリトランジスタ層 42 は、図 5 に示すように、ワード線導電層 71 a ~ 71 d を貫通するように形成されたメモリホール 72 を有する。メモリホール 72 は、各バックゲートホール 62 のカラム方向の両端近傍の位置に整合するように形成されている。

【0038】

また、上記バックゲートトランジスタ層 41 及びメモリトランジスタ層 42 は、図 5 に示すように、メモリゲート絶縁層 73、及びメモリトランジスタ M T r 1 ~ M T r 8 のボディとして機能する U 字状半導体層 74 を有する。メモリゲート絶縁層 73 は、図 5 に示すように、メモリホール 72、及びバックゲートホール 62 に面する側面に形成されている。メモリゲート絶縁層 73 は、ブロック絶縁層 73 a、電荷蓄積層 73 b、及びトンネル絶縁層 73 c にて構成されている。ブロック絶縁層 73 a は、メモリホール 72、及びバックゲートホール 62 に面する側面に亘ってワード線導電層 71 a ~ 71 d と接するように形成されている。ブロック絶縁層 73 a は、酸化シリコン (SiO₂) にて構成されている。電荷蓄積層 73 b は、ブロック絶縁層 73 a の側面に形成されている。電荷絶縁層 73 b は、窒化シリコン (SiN) にて構成されている。トンネル絶縁層 73 c は、電荷蓄積層 73 b の側面に亘って U 字状半導体層 74 と接するように形成されている。トンネル絶縁層 73 c は、酸化シリコン (SiO₂) にて構成されている。

40

【0039】

U 字状半導体層 74 は、図 5 に示すように、ロウ方向からみて U 字状に形成されている。U 字状半導体層 74 は、トンネル絶縁層 73 c に接し且つバックゲートホール 62 及び

50

メモリホール72を埋めるように形成されている。U字状半導体層74は、ロウ方向からみて基板20に対して垂直方向に延びる一对の柱状部74A、及び一对の柱状部74Aの下端を連結させるように形成された連結部74Bを有する。U字状半導体層74は、ポリシリコン（poly-Si）にて構成されている。前述のバックゲート導電層61は、連結部74Bの上面と同じ高さまで形成されている。

【0040】

上記メモリトランジスタ層42の構成を換言すると、トンネル絶縁層73cは、柱状部74Aの側面を取り囲むように形成されている。電荷蓄積層73bは、トンネル絶縁層73cの側面を取り囲むように形成されている。ブロック絶縁層73aは、電荷蓄積層73bの側面を取り囲むように形成されている。ワード線導電層71a～71dは、ブロック絶縁層73aの側面を取り囲むように形成されている。

10

【0041】

選択トランジスタ層43は、図4に示すように、ドレイン側導電層81、及びそのドレイン側導電層81と同層に形成されたソース側導電層82を有する。ドレイン側導電層81は、ドレイン側選択ゲート線SGD、及びドレイン側選択トランジスタSDTrのゲートとして機能する。ソース側導電層82は、ソース側選択ゲート線SGS、及びソース側選択トランジスタSSTrのゲートとして機能する。

【0042】

ドレイン側導電層81、及びソース側導電層82は、カラム方向に所定ピッチをもってロウ方向に延びるストライプ状に形成されている。ドレイン側導電層81、及びソース側導電層82は、カラム方向に2つずつ交互に設けられている。ドレイン側導電層81、及びソース側導電層82は、ポリシリコン（poly-Si）にて構成されている。

20

【0043】

また、選択トランジスタ層43は、図5に示すように、ドレイン側ホール83、及びソース側ホール84を有する。ドレイン側ホール83は、ドレイン側導電層81を貫通するように形成されている。ソース側ホール84は、ソース側導電層82を貫通するように形成されている。ドレイン側ホール83及びソース側ホール84は、メモリホール72に整合する位置に形成されている。

【0044】

また、選択トランジスタ層43は、ドレイン側ゲート絶縁層85、ソース側ゲート絶縁層86、ドレイン側選択トランジスタSDTrのボディとして機能するドレイン側柱状半導体層87、ソース側選択トランジスタSSTrのボディとして機能するソース側柱状半導体層88を有する。

30

【0045】

ドレイン側ゲート絶縁層85は、ドレイン側ホール83に面する側面に形成されている。ソース側ゲート絶縁層86は、ソース側ホール84に面する側面に形成されている。ドレイン側ゲート絶縁層85、及びソース側ゲート絶縁層86は、酸化シリコン（SiO₂）にて構成されている。ドレイン側柱状半導体層87は、ドレイン側ホール83を埋めるように、ドレイン側ゲート絶縁層85と接して積層方向に延びる柱状に形成されている。ドレイン側柱状半導体層87の上面は、プラグ層55の下面に接するように形成されている。ソース側柱状半導体層88は、ソース側ホール83を埋めるように、ソース側ゲート絶縁層86と接して積層方向に延びる柱状に形成されている。ソース側柱状半導体層88の上面は、第1配線層51の下面に接するように形成されている。ドレイン側柱状半導体層87、及びソース側柱状半導体層88は、ポリシリコン（poly-Si）にて構成されている。

40

【0046】

上記選択トランジスタ層43の構成を換言すると、ドレイン側ゲート絶縁層85は、ドレイン側柱状半導体層87の側面を取り囲むように形成されている。ドレイン側導電層81は、ドレイン側ゲート絶縁層85の側面を取り囲むように形成されている。ソース側ゲート絶縁層86は、ソース側柱状半導体層88の側面を取り囲むように形成されている。

50

ソース側導電層 82 は、ソース側ゲート絶縁層 86 の側面を取り囲むように形成されている。

【0047】

〔第 1 の実施の形態に係る不揮発性半導体記憶装置 100 の効果〕

第 1 の実施の形態に係る不揮発性半導体記憶装置 100 は、複数のメモリユニット MU が接続されたローカルビット線 LBL、複数のスイッチ回路 SW（トランジスタ Tr2）、及び複数のグローバルビット線 GBL を有する。そして、1 つのグローバルビット線 GBL は、複数のスイッチ回路 SW を介して、複数のローカルビット線 LBL に接続されている。したがって、指定された各種動作実行時、スイッチ回路 SW を制御して、選択メモリストリングに接続されたローカルビット線 LBL のみをグローバルビット線 GBL に接続させることができる。これにより、非選択メモリストリングに流れる電流を削減可能となり、第 1 の実施の形態に係る不揮発性半導体記憶装置は、正確な読み出しを実行可能となる。

10

【0048】

〔第 2 の実施の形態〕

〔第 2 の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図 6 を参照して、第 2 の実施の形態に係る不揮発性半導体記憶装置の構成について説明する。図 6 は、第 2 の実施の形態に係る不揮発性半導体記憶装置の断面図である。なお、第 2 の実施の形態において、第 1 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

20

【0049】

第 2 の実施の形態に係る不揮発性半導体記憶装置においては、図 6 に示すように、配線層 50 は、メモリ層 40 の上層に形成される一方（配線層 50b）、メモリ層 40 の下層にも形成されており（配線層 50a）、スイッチ回路領域 30 は、このメモリ層 40 の下層の配線層 50a 内に設けられている。この点、第 1 の実施の形態ではスイッチ回路領域 30 がメモリ層 40 内に形成されるとともに、配線層 50 がメモリ層 40 の上層にのみ形成されているのとは異なっている。

【0050】

スイッチ回路領域 30 は、図 6 に示すように、メモリ層 40 の下層の配線層 50a に形成されている。

30

【0051】

〔第 2 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 2 の実施の形態に係る不揮発性半導体記憶装置は、メモリ層 40 の下層にスイッチ回路領域 30 を有している。したがって、メモリ層 40 の間にスイッチ回路領域 30 を有する第 1 の実施の形態と比較して、第 2 の実施の形態に係る不揮発性半導体記憶装置は、その占有面積を縮小化することができる。

【0052】

〔第 3 の実施の形態〕

〔第 3 の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図 7 を参照して、第 3 の実施の形態に係る不揮発性半導体記憶装置の構成について説明する。図 7 は、第 3 の実施の形態に係る不揮発性半導体記憶装置の断面図である。なお、第 3 の実施の形態において、第 1 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

40

【0053】

第 3 の実施の形態に係る不揮発性半導体記憶装置においては、図 7 に示すように、メモリ層 40 は、第 1 の実施の形態の積層構造の上下を反転させた構成を有する。すなわち、第 3 の実施の形態のメモリ層 40 は、図 7 に示すように、下層から上層に、選択トランジスタ層 43、メモリトランジスタ層 42、及びバックゲート層 41 を有しており、前述の実施の形態とは積層順序が逆である。

【0054】

50

メモリ層 40 よりも下層の配線層 50 a には、ソース線 S L として機能する第 1 配線層 51、ローカルビット線 L B L として機能する第 2 配線層 52 が形成される。一方、上層の配線層 50 b には、グローバルビット線 G B L として機能する第 3 配線層 53 が形成される。

【0055】

〔第 3 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 3 の実施の形態に係る不揮発性半導体記憶装置は、第 2 の実施の形態と同様の効果を奏する。また、第 3 の実施の形態に係る不揮発性半導体記憶装置において、第 2 配線層 52（ローカルビット線 L B L）は、第 2 の実施の形態よりも、導電層 31（スイッチ回路 S W を構成するトランジスタ T r 2）の近傍に形成されている。したがって、第 3 の実施の形態に係る不揮発性半導体記憶装置は、第 2 の実施の形態よりも、ローカルビット線 L B L とスイッチ回路 S W との間の配線抵抗を低減させることができる。

【0056】

〔第 4 の実施の形態〕

次に、図 8 を参照して、第 4 の実施の形態に係る不揮発性半導体記憶装置の構成について説明する。図 8 は、第 4 の実施の形態に係る不揮発性半導体記憶装置の回路図である。なお、第 4 の実施の形態において、第 1 ～ 第 3 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0057】

第 4 の実施の形態に係る不揮発性半導体記憶装置は、スイッチ回路 S W に代えて、スイッチ回路 S W a を有している。このスイッチ回路 S W a は、図 8 に示すように、メモリユニット M U と略同様の構造を有している。スイッチ回路 S W a は、第 1 ～ 第 3 の実施の形態のスイッチ回路 S W と同様に、グローバルビット線 G B L とローカルビット線 L B L との間の電氣的接続を制御する。スイッチ回路 S W a は、メモリストリング M S a、ドレイン選択トランジスタ S D T r a、及びソース側選択トランジスタ S S T r a を有する。

【0058】

メモリストリング M S a は、直列に接続されたメモリトランジスタ M T r a 1 ～ M T r a 8、及びバックゲートトランジスタ B T r a を有する。メモリトランジスタ M T r a 1 ～ M T r a 8、及びバックゲートトランジスタ B T r a は、メモリブロック M B 中のメモリトランジスタ M T r 1 ～ M T r 8、及びバックゲートトランジスタ B T r と同一の構造を有する。

【0059】

メモリトランジスタ M T r a 4、M T r a 5 のゲートは、ワード線 W L a 1 にて共通に接続されている。メモリトランジスタ M T r a 3、M T r a 6 のゲートは、ワード線 W L a 2 にて共通に接続されている。メモリトランジスタ M T r a 2、M T r a 7 のゲートは、ワード線 W L a 3 にて共通に接続されている。メモリトランジスタ M T r a 1、M T r a 8 のゲートは、ワード線 W L a 4 にて共通に接続されている。バックゲートトランジスタ B T r a は、メモリトランジスタ M T r a 4 とメモリトランジスタ M T r a 5 の間に設けられている。バックゲートトランジスタ B T r a のゲートは、バックゲート線 B G a に接続されている。

【0060】

ドレイン側選択トランジスタ S D T r a のソースは、メモリトランジスタ M T r a 1 のドレインに接続され、ドレイン側選択トランジスタ S D T r a のドレインは、グローバルビット線 G B L に接続されている。また、ドレイン側選択トランジスタ S D T r a のゲートは、ドレイン側選択ゲート線 S G D a に接続されている。

【0061】

ソース側選択トランジスタ S S T r a のドレインは、メモリトランジスタ M T r a 8 のソースに接続され、ソース側選択トランジスタ S S T r a のソースは、ローカルビット線 L B L の一端に接続されている。また、ソース側選択トランジスタ S S T r a のゲートは、ソース側選択ゲート線 S G S a に接続されている。

【0062】

上記構成を有するスイッチ回路SWaは、指定された各種動作実行時、メモリトランジスタMTra1～MTra8、バックゲートトランジスタBTra、ドレイン側選択トランジスタSDTra、及びソース側選択トランジスタSSTraを全てオン状態とする。これにより、ローカルビット線LBLとグローバルビット線GBLとは、電氣的に接続される。

【0063】

次に、図9を参照して、第4の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図9は、第4の実施の形態に係る不揮発性半導体記憶装置の断面図である。

10

【0064】

スイッチ回路領域30bは、図9に示すように、カラム方向に隣接するメモリ層40の間に形成されている。スイッチ回路領域30bは、スイッチ回路SWaとして機能する。

【0065】

スイッチ回路領域30bには、バックゲート導電層61b、ワード線導電層71ba～71bd、U字状半導体層74bが形成されている。これらは、それぞれバックゲート導電層61、ワード線導電層71a～71d、U字状半導体層74と同一の高さに形成され、同一の形状、材料から構成することができ、また同一の工程により形成することができる。

【0066】

バックゲート導電層61bは、バックゲート線BGa、及びバックゲートトランジスタBTraのゲートとして機能する。

20

【0067】

ワード線導電層71ba～71bdは、ワード線WLa1～WLa4、及びメモリトランジスタMTra1～MTra8のゲートとして機能する。また、ワード線導電層71ba～71bdは、ワード線導電層71a～71dと同層に形成される。

【0068】

U字状半導体層74bは、メモリトランジスタMTra1～MTra8のボディ、及びバックゲートトランジスタBTraのボディとして機能する。U字状半導体層74bは、一对の柱状部74bA、及び一对の柱状部74bAの下端を連結する連結部74bBを有する。一对の柱状部74bAは、メモリゲート絶縁層を介して、ワード線導電層71a～71dにて取り囲まれるように形成されている。連結部74bBは、メモリゲート絶縁層を介して、バックゲート導電層61bにて取り囲まれるように形成されている。U字状半導体層74bは、ポリシリコン（poly-Si）にて構成されている。

30

【0069】

なお、第4の実施の形態のメモリゲート絶縁層は、第1の実施の形態のメモリゲート絶縁層73と同様の積層構造を有する。

【0070】

また、スイッチ回路領域30bには、ドレイン導電層81b、ソース側導電層82b、ドレイン柱状半導体層87b、及びソース柱状半導体層88bが形成されている。ドレイン側導電層81b、ソース側導電層82b、ドレイン柱状半導体層87b、ソース柱状半導体層88bは、ドレイン側導電層81、ソース側導電層82、ドレイン柱状半導体層87、及びソース柱状半導体層88と同層に、同一の製造工程にて同一の形状、材料を有するように製造され得る。

40

【0071】

ドレイン導電層81bは、ドレイン側選択ゲート線SGDa、及びドレイン側選択トランジスタSDTraのゲートとして機能する。ソース側導電層82bは、ソース側選択ゲート線SGSa、及びソース側選択トランジスタSSTraのゲートとして機能する。ドレイン側導電層81b及びソース側導電層82bは、カラム方向に所定ピッチをもってロウ方向に延びるストライプ状に形成されている。

50

【0072】

ドレイン柱状半導体層87b、ソース柱状半導体層88bは、ドレイン側導電層81b、ソース側導電層82bを貫通するように形成される。ドレイン柱状半導体層87bは、ドレイン側選択トランジスタSDTraのボディとして機能する。ソース柱状半導体層88bは、ソース側選択トランジスタSSTraのボディとして機能する。

【0073】

ドレイン柱状半導体層87bは、U字状半導体層74bの一方の柱状部74bAの上端から上方に延びる柱状に形成されている。ドレイン側柱状半導体層87bは、配線層54及びプラグ層55を介して、第3配線層53に電氣的に接続されている。ドレイン柱状半導体層87bは、ドレイン側ゲート絶縁層(SiO₂)を介して、ドレイン側導電層81bにて取り囲まれるように形成されている。

10

【0074】

ソース柱状半導体層88bは、U字状半導体層74bの他方の柱状部74bAの上端から上方に延びる柱状に形成されている。ソース側柱状半導体層88bは、プラグ層55を介して、第2配線層52に電氣的に接続されている。ソース側柱状半導体層88bは、ソース側ゲート絶縁層(SiO₂)を介して、ソース側導電層82bにて取り囲まれるように形成されている。

【0075】

[第4の実施の形態に係る不揮発性半導体記憶装置の効果]

第4の実施の形態に係る不揮発性半導体記憶装置は、メモリ層40に形成されるメモリストリングMSと略同様の構成をもつスイッチ回路SWaを有するスイッチ回路領域30bを有する。また、スイッチ回路領域30bは、メモリ層40と略同様の製造工程にて製造可能である。すなわち、第4の実施の形態に係る不揮発性半導体記憶装置は、第1～第3の実施の形態よりも製造工程数を削減し、安価に製造することができる。

20

【0076】

[第5の実施の形態]

[第5の実施の形態に係る不揮発性半導体記憶装置の構成]

次に、図10を参照して、第5の実施の形態に係る不揮発性半導体記憶装置の構成について説明する。図10は、第5の実施の形態に係る不揮発性半導体記憶装置の回路図である。なお、第5の実施の形態において、第1～第4の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

30

【0077】

第5の実施の形態に係る不揮発性半導体記憶装置において、スイッチ回路SWbは、第1～第4の実施の形態と同様に、グローバルビット線GBLとローカルビット線LBLとの間の電氣的接続を制御する。スイッチ回路SWbは、第4の実施の形態からメモリストリングMSaを省略した構成を有する。すなわち、スイッチ回路SWbは、直列に接続された第1選択トランジスタSDTra、及び第2選択トランジスタSSTraにて構成されている。この第1選択トランジスタSDTra、及び第2選択トランジスタSSTraは、メモリ層中の選択トランジスタSDTr、SSTrと同一の構成を有し、同一の製造工程にて製造される。

40

【0078】

上記構成を有するスイッチ回路SWbは、指定された各種動作実行時、ドレイン側選択トランジスタSDTra、及びソース側選択トランジスタSSTraを全てオン状態とする。これにより、ローカルビット線LBLとグローバルビット線GBLとは、電氣的に接続される。

【0079】

次に、図11を参照して、第5の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図11は、第5の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【0080】

50

スイッチ回路領域 30b は、連結層 42c を有する。連結層 42c は、ドレイン側柱状半導体層 87b の下端、及びソース側柱状半導体層 88b の下端を連結するように形成されている。連結層 42c は、ポリシリコン (poly-Si) にて構成されている。

【0081】

〔第 5 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 5 の実施の形態に係る不揮発性半導体記憶装置は、第 4 の実施の形態と同様の効果を奏する。また、スイッチ回路 SWb は、メモリストリング Msa を省略した構成であるので、第 5 の実施の形態に係る不揮発性半導体記憶装置は、スイッチ回路 SWb の電気抵抗を削減することができる。

【0082】

〔第 6 の実施の形態〕

〔第 6 の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図 12 を参照して、第 6 の実施の形態に係る不揮発性半導体記憶装置の構成について説明する。図 12 は、第 6 の実施の形態に係る不揮発性半導体記憶装置の回路図である。なお、第 6 の実施の形態において、第 1 ～ 第 5 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0083】

第 6 の実施の形態に係る不揮発性半導体記憶装置は、前述のスイッチ回路 SW とは異なるスイッチ回路 SWc を有している。このスイッチ回路 SWc は、図 12 に示すように、第 1 ～ 第 5 の実施の形態と同様に、グローバルビット線 GBL とローカルビット線 LBL との間の電氣的接続を制御する。ただし、このスイッチ回路 SWc は、第 4 の実施の形態からメモリトランジスタ MTr a1 ～ MTr a8 を省略した構成を有する。すなわち、スイッチ回路 SWc は、直列に接続されたドレイン側選択トランジスタ SDTr a、バックゲートトランジスタ BTr a、及びソース側選択トランジスタ SStr a にて構成されている。第 5 の実施の形態との相違点は、連結層 42c に代えて、バックゲートトランジスタ BTr a によりドレイン側選択トランジスタ SDTr a とソース側選択トランジスタ SStr a を接続している。

【0084】

次に、図 13 を参照して、第 6 の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図 13 は、第 6 の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【0085】

スイッチ回路領域 30b は、図 13 に示すように、第 4 の実施の形態のワード線導電層 71ba ～ 71bd を省略した構成を有する。なお、第 6 の実施の形態において、U 字状半導体層 74 は、タングステン (W) / 窒化チタン (TiN) / チタン (Ti) の積層構造にて構成されている。

【0086】

〔第 6 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 6 の実施の形態に係る不揮発性半導体記憶装置は、第 4 の実施の形態と同様の効果を奏する。ここで、第 5 の実施の形態と比較して、第 6 の実施の形態の効果を説明する。第 5 の実施の形態においては、メモリトランジスタ層 42 と選択トランジスタ層 43 との間の積層位置に、接続層 42c が設けられている。したがって、第 5 の実施の形態に係る不揮発性半導体記憶装置は、その製造時、接続層 42c を製造する工程を必要とする。一方、第 6 の実施の形態においては、メモリトランジスタ層 42 と選択トランジスタ層 43 との間の積層位置に、接続層 42c を設ける必要はない。したがって、第 6 の実施の形態に係る不揮発性半導体記憶装置は、その製造時、第 5 の実施の形態よりも接続層 42c を製造する工程を省略することができる。

【0087】

〔第 7 の実施の形態〕

〔第 7 の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図 1 4 を参照して、第 7 の実施の形態に係る不揮発性半導体記憶装置の構成について説明する。図 1 4 は、第 7 の実施の形態に係る不揮発性半導体記憶装置の回路図である。なお、第 7 の実施の形態において、第 1 ～第 6 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0088】

第 7 の実施の形態に係る不揮発性半導体記憶装置は、前述のスイッチ回路 SW とは異なるスイッチ回路 SWd を有している。このスイッチ回路 SWd は、第 1 ～第 6 の実施の形態と同様に、グローバルビット線 GBL とローカルビット線 LBL との間の電氣的接続を制御する。第 4 の実施の形態のスイッチ回路 SWa は、メモリユニット MU と略同一の構造を有するものであり、その点、第 7 の実施の形態のスイッチ回路 SWd も同様である。

10

【0089】

ただし、このスイッチ回路 SWd は、複数の第 1 メモリストリング MS1b を並列接続すると共に、複数の第 2 メモリストリング MS2b を並列接続して構成される。更に、これら並列接続されたメモリストリング MS1b、MS2b を複数のバックゲートトランジスタ BTrb により接続している。また、スイッチ回路 SWd は、それら複数のメモリストリング MS1b、MS2b の一端に、複数のドレイン選択トランジスタ SDTrb、及び複数のソース側選択トランジスタ SSTrb を有する。

【0090】

第 1 メモリストリング MS1b の一端（メモリトランジスタ MTrb4 のソース）、及び第 2 メモリストリング MS2b の一端（メモリトランジスタ MTrb5 のドレイン）は、バックゲートトランジスタ BTrb に共通接続されている。第 1 メモリストリング MS1b の他端（メモリトランジスタ MTrb1 のドレイン）は、それぞれドレイン選択トランジスタ SDTrb を介してグローバルビット線 GBL に接続されている。第 2 メモリストリング MS2b の他端（メモリトランジスタ MTrb8 のソース）は、それぞれソース側選択トランジスタ SSTrb を介してローカルビット線 LBL に接続されている。

20

【0091】

第 1 メモリストリング MS1b は、メモリブロック中のメモリストリング MS と同様に、4 つのメモリトランジスタ MTrb1 ～MTrb4 を有する。第 2 メモリストリング MS2b も、メモリブロック中のメモリストリング MS と同様に、4 つのメモリトランジスタ MTrb5 ～MTrb8 を有する。各メモリトランジスタ MTrb1 ～MTrb4 のゲート、及び各メモリトランジスタ MTrb8 ～MTrb5 のゲートは、ワード線 WLb1 ～WLb4 にて共通接続されている。バックゲートトランジスタ BTrb のゲートは、バックゲート線 BGb に接続されている。ドレイン選択トランジスタ SDTrb のゲート、及びソース側選択トランジスタ SSTrb のゲートは、選択ゲート線 SGb にて共通接続されている。

30

【0092】

上記構成を有するスイッチ回路 SWd は、指定された各種動作実行時、メモリトランジスタ MTrb1 ～MTrb8、バックゲートトランジスタ BTrb、ドレイン側選択トランジスタ SDTrb、及びソース側選択トランジスタ SSTrb の全てをオン状態とする。これにより、ローカルビット線 LBL とグローバルビット線 GBL とは、電氣的に接続される。すなわち、第 7 の実施の形態に係るスイッチ回路 SWd は、複数の並列接続された第 1、第 2 メモリストリング MS1b、MS2b にて、グローバルビット GBL とローカルビット線 LBL とを電氣的に接続する。この点、第 7 の実施の形態のスイッチ回路 SWd は、第 4 の実施の形態のように 1 本のメモリストリング MS のみを有するスイッチ回路 SWa と異なる。

40

【0093】

次に、図 1 5 を参照して、第 7 の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図 1 5 は、第 7 の実施の形態に係る不揮発性半導体記憶装置の断面図である。

【0094】

50

スイッチ回路領域 30e (スイッチ回路 SWd) は、図 15 に示すように、カラム方向に隣接するメモリ層 40 の間に形成されている。スイッチ回路領域 30e は、スイッチ回路 SWd として機能する。

【0095】

スイッチ回路領域 30e には、バックゲート層 61c、ワード線導電層 71ca~71cd、櫛状の半導体層 74c を有する。これらは、それぞれバックゲート導電層 61、ワード線導電層 71a~71d、U 字状半導体層 74 と同一の高さに形成され、同一の形状、材料から構成することができ、また同一の工程により形成することができる。

【0096】

バックゲート導電層 61c は、バックゲート線 BGb、及びバックゲートトランジスタ BTrb のゲートとして機能する。バックゲート導電層 61c は、第 4 の実施の形態のバックゲート導電層 61b よりもカラム方向に長く形成されている。

【0097】

ワード線導電層 71ca~71cd は、ワード線 WLb1~WLb4、及びメモリトランジスタ MTrb1~MTrb8 のゲートとして機能する。ワード線導電層 71ca~71cd は、第 4 の実施の形態のワード線導電層 71ba~71bd よりもカラム方向に長く形成されている。

【0098】

半導体層 74c は、メモリトランジスタ MTrb1~MTrb8 のボディとして機能する。半導体層 74c は、カラム方向に並ぶ複数本の第 1 柱状部 74cA、複数本の第 2 柱状部 74cB、及びそれら複数本の第 1、第 2 柱状部 74cA、74cB の下端を連結する 1 つの連結部 74cC を有する。第 1、第 2 柱状部 74cA、74cB は、メモリゲート絶縁層 ($\text{SiO}_2\text{-SiN-SiO}_2$) を介してワード線導電層 71ca~71cd にて取り囲まれるように形成されている。連結部 74cC は、メモリゲート絶縁層 ($\text{SiO}_2\text{-SiN-SiO}_2$) を介してバックゲート導電層 61c にて取り囲まれるように形成されている。半導体層 74c は、ポリシリコン (poly-Si) にて構成されている。

【0099】

また、スイッチ回路領域 30b には、導電層 81c、ドレイン柱状半導体層 87c、ソース柱状半導体層 88c が形成されている。導電層 81c は、ドレイン側導電層 81、ソース側導電層 82 と同層に、同一の製造工程にて同一の材料を有するように形成される。ドレイン柱状半導体層 87c、ソース柱状半導体層 88c は、ドレイン柱状半導体層 87、ソース柱状半導体層 88 と同層に、同一の製造工程にて同一の材料を有するように形成される。

【0100】

導電層 81c は、選択ゲート線 SGb、ドレイン側選択トランジスタ SDTrb のゲート、及びソース側選択トランジスタ SSTrb のゲートとして機能する。導電層 81c は、第 4 の実施の形態のドレイン側導電層 81b、ソース側導電層 82b よりもカラム方向に長く形成されている。

【0101】

ドレイン側柱状半導体層 87c、及びソース側柱状半導体層 88c は、導電層 81c を貫通するように形成されている。ドレイン側柱状半導体層 87c は、ドレイン側選択トランジスタ SDTrb のボディとして機能する。ソース側柱状半導体層 88c は、ソース側選択トランジスタ SSTrb のボディとして機能する。

【0102】

ドレイン側柱状半導体層 87c は、第 1 柱状部 74cA の上面に接するように形成されている。ドレイン側柱状半導体層 87c は、ドレイン側ゲート絶縁層 (SiO_2) を介して導電層 81c にて取り囲まれるように形成されている。ソース側柱状半導体層 88c は、第 2 柱状部 74cB の上面に接するように形成されている。ソース側柱状半導体層 88c は、ソース側ゲート絶縁層 (SiO_2) を介して導電層 81c にて取り囲まれるように形成されている。

10

20

30

40

50

【0103】

〔第7の実施の形態に係る不揮発性半導体記憶装置の効果〕

第7の実施の形態に係る不揮発性半導体記憶装置は、スイッチ回路SWdに含まれる複数のメモリストリングMS1b、MS2bを介して、ローカルビット線LBLとグローバルビット線GBLを接続する。したがって、第4の実施の形態（図8、図9）と比較して、第7の実施の形態に係る不揮発性半導体記憶装置は、スイッチ回路SWdによる電気抵抗を低減させることができる。

【0104】

〔第8の実施の形態〕

〔第8の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図16A～図18を参照して、第8の実施の形態に係る不揮発性半導体記憶装置の構成について説明する。なお、第8の実施の形態において、第1～第7の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0105】

図16Aは、第8の実施の形態に係る不揮発性半導体記憶装置の等価回路図である。図16Bは、第8の実施の形態に係る不揮発性半導体記憶装置の断面図である。図17は、第8の実施の形態の不揮発性半導体記憶装置の拡大斜視図である。図18は、第8の実施の形態に係る不揮発性半導体記憶装置の上面図である。

【0106】

図16Aに示すように、この第8の実施の形態のスイッチ回路SWeは、選択トランジスタSSTra、SDTraに加え、トランジスタMTrgを備えている。トランジスタMTrgについては後述する。このスイッチ回路SWeは、図16Bに示すように、スイッチ回路領域30fに形成される。スイッチ回路領域30fは、図16B及び図17に示すように、カラム方向に隣接するメモリ層40の間に形成されている。

【0107】

スイッチ回路領域30fには、バックゲート導電層61b、ワード線導電層71ba～71bd、柱状半導体層74d（第2柱状部）が形成されている。この柱状半導体層74dは、図17、図18に示すように、平面方向において、カラム方向を長軸方向とする楕円形状の断面を有している。この楕円は、本実施の形態では、その長軸方向（カラム方向）において、メモリ層40中の複数（本例では2本）の柱状部74Aを包含するような大きさであり、従って、柱状半導体層74dは、カラム方向において（すなわち、楕円の長軸方向において）柱状部74Aの約3倍の幅を有している。柱状半導体層74dは、U字状半導体層74と同一の高さに形成され、同一の材料から構成することができ、また同一の工程により形成することができる。また、ワード線導電層71ba～71bdも、ワード線導電層71a～71dと同一の工程により、同一層中に、同一の材料から構成することができる。ワード線導電層71ba～71bdと柱状半導体層74dとの間には、メモリ層40と同一のメモリゲート絶縁層73が形成されている。この柱状半導体層74d、ワード線導電層71ba～71bd、バックゲート導電層61b及び、これらに挟まれるメモリゲート絶縁層73により、前述のトランジスタMTrgが形成される。バックゲート導電層61b及びワード線導電層71ba～71bdには、トランジスタMTrgをオンとさせる場合に、同時に所定値以上の電圧が印加される。

【0108】

また、スイッチ回路領域30fには、導電層81d、ドレイン側柱状半導体層87d、及びソース側柱状半導体層88dが形成されている。導電層81dは、ドレイン側導電層81、ソース側導電層82と同層に、同一の製造工程にて、同一の材料を有するように製造され得る。ドレイン側柱状半導体層87d、及びソース側柱状半導体層88dは、ドレイン側柱状半導体層87、及びソース側柱状半導体層88と同層に、同一の製造工程にて、同一の材料を有するように製造され得る。

【0109】

導電層81dは、選択ゲート線SGa、ドレイン側選択トランジスタSDTra、及び

10

20

30

40

50

ソース側選択トランジスタ $SSTra$ として機能する。

【0110】

ドレイン側柱状半導体層 87d、及びソース側柱状半導体層 88d は、導電層 81d を貫通するように形成され、且つその柱状半導体層 74d の上面の端部から垂直方向に延びるように構成されている。ドレイン側柱状半導体層 87d は、ドレイン側選択トランジスタ $SDTra$ のボディとして機能する。ソース側柱状半導体層 88d は、ソース側選択トランジスタ $SSTra$ のボディとして機能する。

【0111】

ドレイン側柱状半導体層 87d 及びソース側柱状半導体層 88d は、柱状半導体層 74d の上端から上方に延びる柱状に形成されている。その柱状部の幅は、柱状半導体層 74d の長軸方向の幅よりも小さく、この例では $1/3$ 程度である。ドレイン側柱状半導体層 87d は、プラグ層 55 を介して第 3 配線層 53（グローバルビット線 GBL ）に電氣的に接続されている。ソース側柱状半導体層 88d は、プラグ層 55 を介して第 2 配線層 52（ローカルビット線 LBL ）に電氣的に接続されている。ドレイン側柱状半導体層 87d 及びソース側柱状半導体層 88d は、ドレイン側ゲート絶縁層（ SiO_2 ）を介して、導電層 81d にて取り囲まれるように形成されている。

【0112】

なお、本実施の形態では、メモリ層 40 の端部のワード線導電層 71a' ~ 71d' は、その他のワード線導電層 71a ~ 71d とは異なり、半分のカラム方向の長さを有している。

【0113】

〔第 8 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 8 の実施の形態に係るスイッチ回路領域 30f において、電流は、ドレイン側柱状半導体層 87d から、柱状半導体層 74d の上部を通して、ソース側柱状半導体層 88d に流れる。一方、第 7 の実施の形態のスイッチ回路領域 30e において、電流は、ドレイン側柱状半導体層 87c から、U 字状半導体層 74c の全体を通して、ソース側柱状半導体層 88c に流れる。よって、第 8 の実施の形態に係るスイッチ回路領域 30f は、柱状半導体層 74d を通る電流の経路が短いために、第 7 の実施の形態と比較して、電気抵抗を抑えることができる。

【0114】

〔第 9 の実施の形態〕

〔第 9 の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図 19、及び図 20 を参照して、第 9 の実施の形態に係る不揮発性半導体記憶装置の構成について説明する。図 19 は、第 9 の実施の形態に係る不揮発性半導体記憶装置の断面図である。図 20 は、第 9 の実施の形態に係る不揮発性半導体記憶装置の上面図である。なお、第 9 の実施の形態において、第 1 ~ 第 8 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0115】

第 9 の実施の形態に係る不揮発性半導体記憶装置は、図 19 及び図 20 に示すように、メモリ層 40 の端部のワード線導電層 71a ~ 71d も、他のワード線導電層 71a ~ 71d と同じカラム方向の幅を有しており、この点、第 8 の実施の形態と異なっている。

【0116】

〔第 9 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 9 の実施の形態に係る不揮発性半導体記憶装置は、第 8 の実施の形態と同様の効果を奏する。さらに、第 9 の実施の形態に係る不揮発性半導体記憶装置は、第 2 領域 $AR2$ の全体（端部も含む）に亘って、一定周期のパターン（カラム方向の幅）で形成されたワード線導電層 71a ~ 71d を有するので、製造時のリソグラフィは容易に実行可能となる。また、第 9 の実施の形態に係る不揮発性半導体記憶装置は、露光後にパターンが崩れる恐れはない。

【0117】

〔第 10 の実施の形態〕

〔第 10 の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図 21、及び図 22 を参照して、第 10 の実施の形態に係る不揮発性半導体記憶装置の構成について説明する。図 21 は、第 10 の実施の形態に係る不揮発性半導体記憶装置の断面図である。図 22 は、第 10 の実施の形態に係る不揮発性半導体記憶装置の上面図である。なお、第 10 の実施の形態において、第 1 ～ 第 9 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0118】

第 10 の実施の形態に係る不揮発性半導体記憶装置は、図 21 及び図 22 に示すように、メモリ層 40 は、第 1 領域 AR1 の近傍のワード線導電層 71a ～ 71d にて取り囲まれるように形成されたダミー柱状半導体層 74' を有する。ダミー柱状半導体層 74' は、U 字状半導体層 74 の柱状部 74A に隣接して設けられている。

10

【0119】

さらに、メモリ層 40 は、ダミー導電層 81'、及びダミー柱状半導体層 87' を有する。ダミー導電層 81' は、ドレイン側導電層 81、及びソース側導電層 82 と同層に設けられている。ダミー柱状半導体層 87' は、ダミー導電層 81e' にて取り囲まれるように、且つダミー柱状半導体層 74' の上面から上方に延びるように形成されている。

【0120】

〔第 10 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 10 の実施の形態に係る不揮発性半導体記憶装置は、第 2 領域 AR2 に亘って、一定周期のパターンで形成されたワード線導電層 71a ～ 71d、及び柱状部 74A、ダミー柱状半導体層 74' を有する。したがって、第 10 の実施の形態に係る不揮発性半導体記憶装置においては、その製造時のリソグラフィは、第 9 の実施の形態よりもさらに容易に実行可能となる。

20

【0121】

〔第 11 の実施の形態〕

〔第 11 の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図 23A 及び図 23B を参照して、第 11 の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図 23A は、第 11 の実施の形態に係る不揮発性半導体記憶装置の等価回路図であり、図 23B は、第 11 の実施の形態に係る不揮発性半導体記憶装置の断面図である。なお、第 11 の実施の形態において、第 1 ～ 第 10 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

30

【0122】

第 11 の実施の形態に係る不揮発性半導体記憶装置は、図 23B に示すように、1 つの第 1 領域 AR1 に、カラム方向に 2 つの柱状半導体層 74d が配列され、カラム方向に 2 つのスイッチ回路 SWe が配列されている（図 23A 参照）。すなわち、この 2 つの柱状半導体層 74d のそれぞれが 1 つのスイッチ回路 SWe を形成しており、ドレイン側柱状半導体層 87d、プラグ層 55 を介して別々の第 2 配線層 52 に接続される。

【0123】

〔第 11 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 11 の実施の形態に係る不揮発性半導体記憶装置は、第 2 配線層 52 の両端にスイッチ回路 SWe が接続される。したがって、第 11 の実施の形態に係る不揮発性半導体記憶装置は、第 8 ～ 第 10 の実施の形態と比較して、第 2 配線層 52（ローカルビット線 LB L）の抵抗を低減させることができる。

40

【0124】

〔第 12 の実施の形態〕

〔第 12 の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図 24A、図 24B 及び図 25 を参照して、第 12 の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図 24A は、第 12 の実施の形態に係る不揮発性半導体記憶装置の等価回路図であり、図 24B は、第 12 の実施の形態に係る不揮

50

発性半導体記憶装置の断面図である。図 2 5 は、第 1 2 の実施の形態に係る不揮発性半導体記憶装置の上面図である。なお、第 1 2 の実施の形態において、第 1 ~ 第 1 1 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0125】

図 2 4 A に示すように、この実施の形態の不揮発性半導体記憶装置では、第 1 領域 A R 1 において、2 つのスイッチ回路 S W e がカラム方向に対称に配置される。この 2 つのスイッチ回路 S W e は、図 2 4 B のような断面形状を有している。

【0126】

スイッチ回路領域 3 0 g が、図 2 4 B に示すように、カラム方向に隣接するメモリ層 4 0 の間に形成されている。スイッチ回路領域 3 0 g には、カラム方向に 2 つのスイッチ回路 S W e が配列される。スイッチ回路領域 3 0 g は、カラム方向に隣接する 2 つのメモリ層 4 0 にて共有され、第 2 配線層 5 2 を介してそれら 2 つのメモリ層 4 0 に第 3 配線層 5 3 を電氣的に接続可能に構成されている。

【0127】

スイッチ回路領域 3 0 g には、バックゲート導電層 6 1 e、ワード線導電層 7 1 e a ~ 7 1 e d、柱状半導体層 7 4 e が形成されている。バックゲート導電層 6 1 e、ワード線導電層 7 1 e a ~ 7 1 e d、柱状半導体層 7 4 e は、第 9 の実施の形態のバックゲート導電層 6 1 d、ワード線導電層 7 1 d a ~ 7 1 d d、柱状半導体層 7 4 d よりもカラム方向に長く形成され、その他の構成は、第 9 の実施の形態と同様である。具体的には、柱状半導体層 7 4 e のカラム方向の幅は、メモリ層 4 0 の 3 本の柱状部 7 4 A を包含するような幅となっている。1 つの柱状半導体層 7 4 e により、前述の 2 つのスイッチ回路 S W e が形成される。

【0128】

また、スイッチ回路領域 3 0 g には、ドレイン側導電層 8 1 e、ソース側導電層 8 2 e、ドレイン側柱状半導体層 8 7 e、及びソース側柱状半導体層 8 8 e が形成されている。ドレイン側導電層 8 1 e、ソース側導電層 8 2 e、ドレイン側柱状半導体層 8 7 e、及びソース側柱状半導体層 8 8 e は、ドレイン側導電層 8 1、ソース側導電層 8 2、ドレイン側柱状半導体層 8 7、及びソース側柱状半導体層 8 8 と同層に、同一の製造工程にて同一の形状、材料を有するように製造され得る。

【0129】

ドレイン側導電層 8 1 e は、ワード線導電層 7 1 e d の上層にて、ロウ方向に延びるように形成されている。ソース側導電層 8 2 e は、カラム方向にドレイン側導電層 8 1 e を挟むように、2 つ配置され、ロウ方向に延びるように形成されている。ドレイン側柱状半導体層 8 7 e は、ドレイン側導電層 8 1 e を貫通するように形成されている。ドレイン柱状半導体層 8 7 e は、ドレイン側ゲート絶縁層 (S i O ₂) を介してドレイン側導電層 8 1 e にて取り囲まれるように形成されている。ソース側柱状半導体層 8 8 e は、ソース側導電層 8 2 e を貫通するように形成されている。ソース柱状半導体層 8 8 e は、ソース側ゲート絶縁層 (S i O ₂) を介してソース側導電層 8 2 e にて取り囲まれるように形成されている。

【0130】

[第 1 2 の実施の形態に係る不揮発性半導体記憶装置の効果]

第 1 2 の実施の形態に係る不揮発性半導体記憶装置は、第 8 の実施の形態と同様の効果を奏する。さらに第 1 2 の実施の形態に係る不揮発性半導体記憶装置は、そのカラム方向の占有面積を第 8 の実施の形態よりも縮小化することができる。

【0131】

[第 1 3 の実施の形態]

[第 1 3 の実施の形態に係る不揮発性半導体記憶装置の構成]

次に、図 2 6 及び図 2 7 を参照して、第 1 3 の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図 2 6 は、第 1 3 の実施の形態に係る不揮発性半導体記憶装置の断面図である。図 2 7 は、第 1 3 の実施の形態に係る不揮発性半導体記憶装置の

上面図である。なお、第 13 の実施の形態において、第 1 ～ 第 12 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0132】

第 13 の実施の形態に係る不揮発性半導体記憶装置は、図 26 及び図 27 に示すように、第 10 の実施の形態と同様に、ワード線導電層 71a ～ 71d は、メモリ層 40 の端部においても同じカラム方向の幅を有するよう形成されている。

【0133】

〔第 13 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 13 の実施の形態に係る不揮発性半導体記憶装置は、第 12 の実施の形態と同様の効果を奏する。さらに、第 13 の実施の形態に係る不揮発性半導体記憶装置は、第 9 の実施の形態と同様に、製造時のリソグラフィを容易に実行可能となる。また、これにより、露光後にパターンが崩れる恐れはない。

【0134】

〔第 14 の実施の形態〕

〔第 14 の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図 28、及び図 29 を参照して、第 14 の実施の形態に係る不揮発性半導体記憶装置の構成について説明する。図 28 は、第 14 の実施の形態に係る不揮発性半導体記憶装置の断面図である。図 29 は、第 14 の実施の形態に係る不揮発性半導体記憶装置の上面図である。なお、第 14 の実施の形態において、第 1 ～ 第 13 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0135】

第 14 の実施の形態に係る不揮発性半導体記憶装置は、図 28 及び図 29 に示すように、メモリ層 40 は、第 11 の実施の形態と同様に、ダミー柱状半導体層 74'、ダミー導電層 81'、及びダミー柱状半導体層 87' を有する。

【0136】

〔第 14 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 14 の実施の形態に係る不揮発性半導体記憶装置は、第 2 領域 AR2 に亘って、一定周期のパターンで形成されたワード線導電層 71a ～ 71d、及び柱状部 74A、ダミー柱状半導体層 74' を有する。したがって、第 14 の実施の形態に係る不揮発性半導体記憶装置においては、その製造時のリソグラフィは、第 13 の実施の形態よりもさらに容易に実行可能となる。

【0137】

〔第 15 の実施の形態〕

〔第 15 の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図 30 及び図 31 を参照して、第 15 の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図 30 は、第 15 の実施の形態に係る不揮発性半導体記憶装置の断面図である。図 31 は、図 15 の実施の形態に係る不揮発性半導体記憶装置の上面図である。なお、第 15 の実施の形態において、第 1 ～ 第 14 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0138】

第 15 の実施の形態に係るスイッチ回路領域 30g は、図 30 及び図 31 に示すように、第 14 の実施の形態よりもカラム方向に長く（例えば、2 倍）形成されたバックゲート導電層 61f、ワード線導電層 71fa ～ 71fd を有する。

【0139】

〔第 15 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 15 の実施の形態に係る不揮発性半導体記憶装置は、第 14 の実施の形態よりもカラム方向に長く形成されたバックゲート導電層 61f、及びワード線導電層 71fa ～ 71fd を有する。したがって、バックゲート導電層 61f、及びワード線導電層 71fa ～ 71fd の配線抵抗は、第 14 の実施の形態よりも抑えることができる。

【0140】

〔第 16 の実施の形態〕

〔第 16 の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図 32 及び図 33 を参照して、第 16 の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図 32 は、第 16 の実施の形態に係る不揮発性半導体記憶装置の断面図である。図 33 は、図 16 の実施の形態に係る不揮発性半導体記憶装置の上面図である。なお、第 16 の実施の形態において、第 1 ～ 第 15 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0141】

第 16 の実施の形態に係るスイッチ回路領域 30g は、図 32 及び図 33 に示すように、ワード線導電層 71fa ～ 71fd を貫通するように、積層方向に延びるダミー柱状半導体層 74'' を有する。ダミー柱状半導体層 74'' は、柱状半導体層 74e を挟むようにワード線導電層 71fa ～ 71fd のカラム方向の両端近傍に設けられている。ダミー柱状半導体層 74'' は、バックゲート導電層 61f に達するように形成されている。

10

【0142】

また、スイッチ回路領域 30g は、図 32 及び図 33 に示すように、ダミー導電層 81e''、及びダミー柱状半導体層 83e'' を有する。ダミー導電層 81e'' は、ドレイン側導電層 81e、及びソース側導電層 82e と同層に形成されている。ダミー柱状半導体層 83e'' は、ダミー導電層 81e'' を貫通するように、ダミー柱状半導体層 74'' の上面から上方に延びる柱状に形成されている。

20

【0143】

〔第 16 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 16 の実施の形態に係る不揮発性半導体記憶装置は、第 15 の実施の形態と同様の効果を奏する。さらに、第 16 の実施の形態に係る不揮発性半導体記憶装置は、一定のパターンで周期的に形成されたダミー柱状半導体層 74'、74''、及び U 字状半導体層 74 の柱状部 74A を有するので、第 15 の実施の形態よりも、製造時のリソグラフィーは容易に実行可能となる。

【0144】

〔第 17 の実施の形態〕

〔第 17 の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図 34 及び図 35 を参照して、第 17 の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図 34 は、第 17 の実施の形態に係る不揮発性半導体記憶装置の断面図である。図 35 は、図 17 の実施の形態に係る不揮発性半導体記憶装置の上面図である。なお、第 17 の実施の形態において、第 1 ～ 第 16 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

30

【0145】

この第 17 の実施の形態の不揮発性半導体記憶装置は、メモリ層 40 のワード線導電層 71a ～ 71d、及びスイッチ回路領域 30g のワード線導電層 71fa ～ 71fd がシリサイド化され、配線の低抵抗化が図られている。図 34 及び図 35 において、ハッチをかけて示した部分が、シリサイド化された部分である。

【0146】

40

第 17 の実施の形態に係る不揮発性半導体記憶装置において、図 34 及び図 35 に示すように、ワード線導電層 71fa ～ 71fd は、ロウ方向に所定ピッチをもって、ロウ方向に延びる溝 75f を有する。この溝 75f を介して、シリサイド化のため、チタン、ニッケル等が CVD 等で溝 75f の内部に成膜され、これにより、少なくともこの溝 75f の周囲のワード線導電層 71fa ～ 71fd がシリサイド化されている。溝 75f は柱状半導体層 74e の近傍に設けられていて、これにより、ワード線導電層 71fa ～ 71fd が、柱状半導体層 74e の近傍においてもシリサイド化される。

【0147】

一方で、溝 75f は、前述のように、ロウ方向に所定ピッチをもって形成されているので、ワード線導電層 71fa ～ 71fd のカラム方向の幅は、第 16 の実施の形態のそれ

50

と略同一である。なお、メモリ層40のワード線導電層71a～71dのシリサイド化は、ワード線導電層71a～71dのRIEによる形成時に設けられた溝75gを介して行われる。

【0148】

〔第17の実施の形態に係る不揮発性半導体記憶装置の効果〕

第17の実施の形態に係る不揮発性半導体記憶装置において、ワード線導電層71fa～71fdは、シリサイド化された層を有する。また、シリサイド化された層は、溝75fがあることによって、外周部（溝75gの近く）だけでなく、柱状半導体層74eの近傍においても形成されている。したがって、第17の実施の形態に係る不揮発性半導体記憶装置は、第16の実施の形態と比較して、さらにワード線導電層71fa～71fdの配線抵抗を抑えることができる。

10

【0149】

〔第18の実施の形態〕

〔第18の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図36を参照して、第18の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図36は、第18の実施の形態に係る不揮発性半導体記憶装置の上面図である。なお、第18の実施の形態において、第1～第17の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0150】

第18の実施の形態に係る不揮発性半導体記憶装置は、図36に示すように、第17の実施の形態の構成に加え、第16の実施の形態と同様に、ダミー柱状半導体層74''を有する。

20

【0151】

〔第18の実施の形態に係る不揮発性半導体記憶装置の効果〕

第18の実施の形態に係る不揮発性半導体記憶装置は、第17の実施の形態と同様の効果を奏する。さらに、第18の実施の形態に係る不揮発性半導体記憶装置は、一定のパターンで周期的に形成されたダミー柱状半導体層74'74''、及びU字状半導体層74の柱状部74Aを有するので、第17の実施の形態よりも、製造時のリソグラフィは容易に実行可能となる。

【0152】

30

〔第19の実施の形態〕

〔第19の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図37を参照して、第19の実施の形態に係る不揮発性半導体記憶装置の回路構成について説明する。図37は、第19の実施の形態に係る不揮発性半導体記憶装置の回路図である。なお、第19の実施の形態において、第1～第18の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0153】

第19の実施の形態に係る不揮発性半導体記憶装置は、図37に示すように、第1～第18の実施の形態と異なるメモリブロックMBA（メモリユニットMUA）を有する。メモリユニットMUAは、メモリストリングMSE、ドレイン側選択トランジスタSDTre、及びソース側選択トランジスタSSTreを有する。

40

【0154】

メモリストリングMSEは、直列に接続されたメモリトランジスタMTre1～MTre4を有する。メモリブロックMBAにおいて、メモリトランジスタMTre1～MTre4のゲートは、それぞれワード線WLe1～WLe4に共通接続されている。ドレイン側選択トランジスタSDTreのソースは、メモリトランジスタMTre4のドレインに接続され、ドレイン側選択トランジスタSDTreのドレインは、ローカルビット線LBLに接続されている。ロウ方向に一行に並ぶドレイン側選択トランジスタSDTreのゲートは、ドレイン側選択ゲート線SGDeに共通接続されている。ソース側選択トランジスタSSTreのソースは、ソース線SLaに接続され、ソース側選択トランジスタSS

50

T r eのドレインは、メモリトランジスタM T r e 1のソースに接続されている。ロウ方向に一行に並ぶソース側選択トランジスタS S T r eのゲートは、ソース側選択ゲート線S G S eに共通接続されている。

【0155】

次に、図38及び図39を参照して、上記回路構成を実現する第19の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図38は、第19の実施の形態に係る不揮発性半導体記憶装置の断面図である。図39は、図38の拡大図である。

【0156】

第19の実施の形態に係る不揮発性半導体記憶装置は、図38及び図39に示すように、基板20上に、下層から上層へと、ソース側選択トランジスタ層110、メモリトランジスタ層120、ドレイン側選択トランジスタ層130、及び配線層50を有する。基板20は、ソース線S L aとして機能する。ソース側選択トランジスタ層110は、ソース側選択トランジスタS S T r eとして機能する。メモリトランジスタ層120は、メモリトランジスタM T r e 1～M T r e 4として機能する。ドレイン側選択トランジスタ層130は、ドレイン側選択トランジスタS D T r eとして機能する。

【0157】

基板20は、図38に示すように、第1の実施の形態の構成に加え、導電層25を有する。導電層25は、ソース線S L aとして機能する。導電層25は、第2領域A R 2の基板本体21の上面に形成されている。

【0158】

ソース側選択トランジスタ層110は、図38に示すように、スイッチ回路領域30の導電層31と同層に、ソース側導電層111を有する。ソース側導電層111は、ソース側選択ゲート線S G S e、及びソース側選択トランジスタS S T r eのゲートとして機能する。ソース側導電層111は、カラム方向に所定ピッチをもってロウ方向に延びるストライプ状に形成されている。ソース側導電層111は、ポリシリコン（p o l y - S i）にて構成されている。

【0159】

ソース側選択トランジスタ層110は、図39に示すように、ソース側導電層111を貫通するようにソース側ホール112を有する。ソース側ホール112は、カラム方向及びロウ方向にマトリクス状に形成されている。

【0160】

ソース側選択トランジスタ層110は、図39に示すように、ソース側ホール112内に、ソース側ゲート絶縁層113、ソース側柱状半導体層114を有する。ソース側柱状半導体層114は、ソース側選択トランジスタS S T r eのボディとして機能する。

【0161】

ソース側ゲート絶縁層113は、ソース側ホール112に面する側面に所定の厚みをもって形成されている。ソース側ゲート絶縁層113は、酸化シリコン（S i O₂）にて構成されている。ソース側柱状半導体層114は、ソース側ホール112を埋め、且つソース側ゲート絶縁層113に接して積層方向に柱状に延びるように形成されている。ソース側柱状半導体層114は、ポリシリコン（p o l y - S i）にて構成されている。

【0162】

なお、上記構成を換言すると、ソース側柱状半導体層114は、ソース側ゲート絶縁層113にて取り囲まれるように形成され、ソース側ゲート絶縁層113は、ソース側導電層111にて取り込まれるように形成されている。

【0163】

メモリトランジスタ層120は、図38及び図39に示すように、積層方向に所定ピッチをもって、ワード線導電層121a～121dを有する。ワード線導電層121a～121dは、ワード線W L e 1～W L e 4、及びメモリトランジスタM T r e 1～M T r e 4のゲートとして機能する。ワード線導電層121a～121dは、第2領域A R 2内にてロウ方向及びカラム方向に広がる板状に形成されている。ワード線導電層121a～1

10

20

30

40

50

21dは、ポリシリコン（poly-Si）にて構成されている。

【0164】

メモリトランジスタ層120は、図39に示すように、ワード線導電層121a～121dを貫通するようにメモリホール122を有する。メモリホール122は、ロウ方向及びカラム方向にマトリクス状に配置され、ソース側ホール112と整合する位置に形成されている。

【0165】

メモリトランジスタ層120は、図39に示すように、メモリホール122内に、メモリゲート絶縁層123、及びメモリ柱状半導体層124を有する。メモリ柱状半導体層124は、メモリトランジスタMTre1～MTre4のボディとして機能する。

10

【0166】

メモリゲート絶縁層123は、図39に示すように、ブロック絶縁層123a、電荷蓄積層123b、及びトンネル絶縁層123cを有する。ブロック絶縁層123aは、メモリホール122に面する側面に所定の厚みをもって形成されている。ブロック絶縁層123aは、酸化シリコン（SiO₂）にて構成されている。電荷蓄積層123bは、ブロック絶縁層123aに接して所定の厚みをもって形成されている。電荷蓄積層123bは、窒化シリコン（SiN）にて構成されている。トンネル絶縁層123cは、電荷蓄積層123bに接して所定の厚みをもって形成されている。トンネル絶縁層123cは、酸化シリコン（SiO₂）にて構成されている。

20

【0167】

メモリ柱状半導体層124は、メモリホール122を埋め、且つトンネル絶縁層123cに接して積層方向に柱状に延びるように形成されている。メモリ柱状半導体層124は、ポリシリコン（poly-Si）にて構成されている。

【0168】

なお、上記構成を換言すると、メモリ柱状半導体層124は、メモリゲート絶縁層123に取り囲まれるように形成され、メモリゲート絶縁層123は、ワード線導電層121a～121dにて取り囲まれるように形成されている。

【0169】

ドレイン側選択トランジスタ層130は、図38及び図39に示すように、ドレイン側導電層131を有する。ドレイン側導電層131は、ドレイン側選択ゲート線SGDe、及びドレイン側選択トランジスタSDTreのゲートとして機能する。ドレイン側導電層131は、カラム方向に所定ピッチをもってロウ方向に延びるストライプ状に形成されている。ドレイン側導電層131は、ポリシリコン（poly-Si）にて構成されている。

30

【0170】

ドレイン側選択トランジスタ層130は、図39に示すように、ドレイン側導電層131を貫通するように形成されたドレイン側ホール132を有する。ドレイン側ホール132は、ロウ方向及びカラム方向にマトリクス状に配置され、メモリホール122と整合する位置に形成されている。

【0171】

ドレイン側選択トランジスタ層30は、図39に示すように、ドレイン側ホール132内に、ドレイン側ゲート絶縁層133、及びドレイン側柱状半導体層134を有する。ドレイン側柱状半導体層134は、ドレイン側選択トランジスタSDTreのボディとして機能する。

40

【0172】

ドレイン側ゲート絶縁層133は、ドレイン側ホール132に面する側面に所定の厚みをもって形成されている。ドレイン側ゲート絶縁層133は、酸化シリコン（SiO₂）にて構成されている。ドレイン側柱状半導体層134は、ドレイン側ホール132を埋めるように、且つドレイン側ゲート絶縁層133に接して積層方向に柱状に延びるように形成されている。ドレイン側柱状半導体層134の上面は、第2配線層52の下面に接する

50

ように形成されている。ドレイン側柱状半導体層 134 は、ポリシリコン (poly-Si) にて構成されている。

【0173】

なお、上記構成を換言すると、ドレイン側柱状半導体層 134 は、ドレイン側ゲート絶縁層 133 にて取り囲まれるように形成され、ドレイン側ゲート絶縁層 133 は、ドレイン側導電層 131 にて取り囲まれるように形成されている。

【0174】

[第19の実施の形態に係る不揮発性半導体記憶装置の効果]

第19の実施の形態に係る不揮発性半導体記憶装置は、第1の実施の形態と同様の効果を奏する。

【0175】

[第20の実施の形態]

[第20の実施の形態に係る不揮発性半導体記憶装置の構成]

次に、図40及び図41を参照して、第20の実施の形態に係る不揮発性半導体記憶装置の回路構成について説明する。第20の実施の形態は、メモリブロックMB及びスイッチ回路SWaの周辺回路(後述する転送回路18a、18b)に特徴を有する。上記第1～第19の実施の形態においては、1つのメモリブロックMB内で、ワード線WL1～WL8、バックゲート線BG、ドレイン側選択ゲート線SGD、及びソース側選択ゲート線SGSは分断されることなく一続きに構成されている。一方、第20の実施の形態においては、1つのメモリブロックMB内で、ワード線WL1～WL8、バックゲート線BG、ドレイン側選択ゲート線SGD、及びソース側選択ゲート線SGSは、所定領域(ブロック)毎に複数に分割されている。

【0176】

図40及び図41は、第20の実施の形態に係る不揮発性半導体記憶装置の回路図である。図40は、メモリブロックMBとその周辺回路との関係を示し、図41は、スイッチ回路SWaとその周辺回路との関係を示している。なお、第20の実施の形態において、第1～第19の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0177】

先ず、図40を参照して、メモリブロックMBとその周辺回路との関係を説明する。第20の実施の形態に係る不揮発性半導体記憶装置は、図40に示すように、メモリブロックMB、グローバルワード線GWL a、GWL b、ロウデコーダ12a、ドライバ17、及び転送回路18aを有する。

【0178】

メモリブロックMBは、第4の実施の形態等と略同一の構成を有し、マトリクス状に複数のメモリストリングMSを有する。ただし、第20の実施の形態において、メモリブロックMBは、複数のブロックBに分割されている。メモリストリングMSは、ブロックB内に複数配置されている。ワード線WL1～WL8、バックゲート線BG、ドレイン側選択ゲート線SGD、及びソース側選択ゲート線SGSは、各々、ブロックB毎に分割されている。よって、分割されたワード線WL1～WL8は、ブロックB毎に設けられ、複数のメモリトランジスタMT r 1～MT r 8のゲートに各々共通接続されている。同様に、分割されたバックゲート線BGは、ブロックB毎に設けられ、複数のバックゲートトランジスタBT r のゲートに共通接続されている。分割されたドレイン側選択ゲート線SGDは、ブロックB毎に設けられ、複数のドレイン側選択トランジスタSD T r のゲートに共通接続されている。分割されたソース側選択ゲート線SGSは、ブロックB毎に設けられ、複数のソース側選択トランジスタSS T r のゲートに共通接続されている。なお、図40においては、図8(第4の実施の形態)等と異なり、メモリユニットMUを直線状に展開して表しているが、そのメモリユニットMUの構成は、第4の実施の形態等と変わらない。

【0179】

グローバルワード線GWL a、GWL bは、図40に示すように、複数のブロックB、及び転送回路18 aを跨るように延びる。グローバルワード線GWL a、GWL bは、複数の転送回路18 aに共通接続されている。具体的に、グローバルワード線GWL aには、複数の転送回路18 a内の転送トランジスタTra 1～Tra 11のゲートに接続される。グローバルワード線GWL bには、複数の転送回路18 a内の転送トランジスタTrb 1、Trb 2のゲートに接続される。

【0180】

ロウデコーダ12 aは、複数の転送回路18 aに共通の制御信号を入力する。ロウデコーダ12 aは、アドレスデコーダ12 a A、及びレベルシフタ12 a Bを有する。アドレスデコーダ12 a Aは、外部よりアドレス信号を受け付け、そのアドレス信号を変換してレベルシフタ12 a Bに出力する。レベルシフタ12 a Bは、電圧レベルをシフトさせた信号及びその反転信号をグローバルワード線GWL a、GWL bに出力する。

【0181】

ドライバ17は、複数のメモリブロックMBに共通に用いられる。ドライバ17は、複数の転送回路18 aにそれぞれ駆動信号を入力する。

【0182】

転送回路18 aは、基板と平行な方向に複数設けられている。転送回路18 aは、各ブロックB毎に設けられている。転送回路18 aは、それぞれ、各ブロックBのワード線WL 1～WL 8、バックゲート線BG、ドレイン側選択ゲート線SGD、及びソース側選択ゲート線SGSに接続されている。転送回路18 aは、ドライバ17から駆動信号を供給され、グローバルワード線GWL a、GWL b（ロウデコーダ12 a）から供給される制御信号に基づき、ドライバ17からの駆動信号をワード線WL 1～WL 8、バックゲート線BG、ソース側選択ゲート線SGS、及びドレイン側選択ゲート線SGDに転送する。

【0183】

転送回路18 aは、転送トランジスタTra 1～Tra 11、Trb 1、Trb 2を有する。転送トランジスタTra 1～Tra 11は、その転送回路18 aの制御対象となるブロックBが選択された場合に、導通状態となる。一方、転送トランジスタTrb 1、Trb 2は、その転送回路18 aの制御対象となるブロックBが非選択とされた場合に、導通状態となる。

【0184】

転送トランジスタTra 1～Tra 11、Trb 1、Trb 2のドレインは、各々、配線La 1～La 13を介して、ドライバ17の出力端子に接続されている。

【0185】

転送トランジスタTra 1～Tra 11のゲートは、1本のグローバルワード線GWL aに共通接続されている。転送トランジスタTra 1～Tra 8のソースは、各々、配線Lb 1～Lb 8を介してワード線WL 1～WL 8に接続されている。転送トランジスタTra 9のドレインは、配線Lb 9を介してバックゲート線BGに接続されている。転送トランジスタTra 10、Tra 11のソースは、各々、配線Lb 10、Lb 11を介してドレイン側選択ゲート線SGD、及びソース側選択ゲート線SGSに接続されている。

【0186】

転送トランジスタTrb 1、Trb 2のゲートは、1本のグローバルワード線GWL bに共通接続されている。第2転送トランジスタTrb 1、Trb 2のソースは、各々、配線Lb 12、Lb 13を介してドレイン側選択ゲート線SGD、及びソース側選択ゲート線SGSに接続されている。

【0187】

次に、図41を参照して、スイッチ回路SW aとその周辺回路との関係を説明する。第20の実施の形態に係る不揮発性半導体記憶装置は、図41に示すように、スイッチブロックSB、グローバルワード線GWL c、GWL d、ロウデコーダ12 a、ドライバ17、及び転送回路18 bを有する。

【0188】

スイッチブロック S B は、基板と平行な方向に複数設けられている。スイッチブロック S B は、複数のスイッチ回路 S W a を有する。スイッチ回路 S W a は、第 4 の実施の形態等と略同様の構成を有する。ワード線 W L a 1 ~ W L a 8、バックゲート線 B G a、ドレイン側選択ゲート線 S G D a、及びソース側選択ゲート線 S G S a は、各々、スイッチブロック S B 毎に分割されている。分割されたワード線 W L a 1 ~ W L a 8 は、スイッチブロック S B 毎に設けられ、複数のメモリトランジスタ M T r a 1 ~ M T r a 8 のゲートに共通接続されている。同様に、分割されたバックゲート線 B G a は、スイッチブロック S B 毎に設けられ、複数のバックゲートトランジスタ B T r a のゲートに共通接続されている。分割されたドレイン側選択ゲート線 S G D a は、スイッチブロック S B 毎に設けられ、複数のドレイン側選択トランジスタ S D T r a のゲートに共通接続されている。分割されたソース側選択ゲート線 S G S a は、スイッチブロック S B 毎に設けられ、複数のソース側選択トランジスタ S S T r a のゲートに共通接続されている。なお、図 4 1 においては、図 8 等と異なり、スイッチ回路 S W a を直線状に展開して表しているが、そのスイッチ回路 S W a の構成は、第 4 の実施の形態等と変わらない。

10

【0189】

グローバルワード線 G W L c、G W L d は、複数のスイッチブロック S B、及び転送回路 1 8 b を跨るように延びる。グローバルワード線 G W L c、G W L d は、複数の転送回路 1 8 b に共通接続されている。具体的に、グローバルワード線 G W L c には、複数の転送回路 1 8 b 内の転送トランジスタ T r c のゲートが接続される。グローバルワード線 G W L d には、複数の転送回路 1 8 b 内の転送トランジスタ T r d のゲートが接続される。

20

【0190】

ロウデコーダ 1 2 a は、上述した転送回路 1 8 a の制御と共に、複数の転送回路 1 8 b に共通の制御信号を入力する。

【0191】

ドライバ 1 7 は、複数のスイッチブロック S B に共通に用いられる。ドライバ 1 7 は、上述した転送回路 1 8 a への駆動信号の入力と共に、複数の転送回路 1 8 b にそれぞれ駆動信号を入力する。

【0192】

転送回路 1 8 b は、基板と平行な方向に複数設けられている。転送回路 1 8 b は、各スイッチブロック S B 毎に設けられている。転送回路 1 8 b は、それぞれ、各スイッチブロック S B のワード線 W L a 1 ~ W L a 8、バックゲート線 B G a、ドレイン側選択ゲート線 S G D a、及びソース側選択ゲート線 S G S a に接続されている。転送回路 1 8 b は、ドライバ 1 7 から駆動信号を供給され、グローバルワード線 G W L c、G W L d (ロウデコーダ 1 2 a) からの制御信号に基づき、ドライバ 1 7 からの駆動信号をワード線 W L a 1 ~ W L a 8、バックゲート線 B G a、ソース側選択ゲート線 S G S a、及びドレイン側選択ゲート線 S G D a に転送する。

30

【0193】

転送回路 1 8 b は、転送トランジスタ T r c、T r d を有する。転送トランジスタ T r c は、その転送回路 1 8 b の制御対象となるスイッチブロック S B が選択された場合に、導通状態となる。一方、転送トランジスタ T r d は、その転送回路 1 8 b の制御対象となるスイッチブロック S B が非選択とされた場合に、導通状態となる。

40

【0194】

転送トランジスタ T r c、T r d のドレインは、各々、配線 L c 1、L c 2 を介してドライバ 1 7 の出力端子に接続されている。転送トランジスタ T r c のゲートは、グローバルワード線 G W L c に接続されている。転送トランジスタ T r c のソースは、配線 L d 1 を介してワード線 W L a 1 ~ W L a 8、バックゲート線 B G a、及び選択ゲート線 S G D a、S G S a に接続されている。転送トランジスタ T r d のゲートは、グローバルワード線 G W L d に接続されている。転送トランジスタ T r d のソースは、配線 L d 2 を介してワード線 W L a 1 ~ W L a 8、バックゲート線 B G a、及び選択ゲート線 S G D a、S G S a に接続されている。

50

【0195】

次に、図42を参照して、ロウデコーダ12aに含まれるアドレスデコーダ12aAの具体的構成について説明する。アドレスデコーダ12aAは、図42に示すように、AND回路121aA、及びNOT回路122aAを有する。AND回路121aAの2つの入力端子は、外部より信号RA ($RA<1>$ 、 $bRA<1>$ 、 $RA<2>$ 、 $bRA<2>$)を受け付け、信号INを出力する。NOT回路122aAは、信号INを受け付け、信号INの反転信号bINを出力する。

【0196】

1つ目のAND回路121aAは、一方の入力端子にて信号 $RA<1>$ を受け付け、その他方の入力端子にて信号 $RA<2>$ を受け付ける。2つ目のAND回路121aAは、一方の入力端子にて信号 $bRA<1>$ (信号 $RA<1>$ の反転信号)を受け付け、その他方の入力端子にて信号 $RA<2>$ を受け付ける。3つ目のAND回路121aAは、一方の入力端子にて信号 $RA<1>$ を受け付け、その他方の入力端子にて信号 $bRA<2>$ (信号 $RA<2>$ の反転信号)を受け付ける。4つ目のAND回路121aAは、一方の入力端子にて信号 $bRA<1>$ を受け付け、その他方の入力端子にて信号 $bRA<2>$ を受け付ける。

【0197】

次に、図43を参照して、レベルシフタ12aBの具体的構成について説明する。レベルシフタ12aBは、図43に示すように、入力端子IN1、IN2にてアドレスデコーダ12aAから信号IN、bINの入力を受け付け、出力端子OUT1、OUT2から信号bOUT、信号HOUTを出力する。信号 $IN = "1"$ 、信号 $bIN = "0"$ の場合、信号bOUTは電圧VNNを有し、信号HOUTは電圧VPPを有する。また、信号 $IN = "0"$ 、信号 $bIN = "1"$ の場合、信号bOUTは電圧Vddを有し、信号HOUTは電圧VNNを有する。ここで、電圧Vddは、電源電圧であり、電圧VNNは、電圧Vddよりも低い電圧 (例えば、負の電圧) であり、電圧VPPは、電圧Vddよりも高い電圧である。

【0198】

レベルシフタ12aBは、図43に示すように、PMOSトランジスタpTr1~pTr5、及びNMOSトランジスタnTr1~nTr6を有する。

【0199】

pMOSトランジスタpTr1、pTr2、及びnMOSトランジスタnTr1は直列接続され、pMOSトランジスタpTr1のソースは、電源電圧Vddを印加され、nMOSトランジスタnTr1のソースは、電圧VNNを印加されている。同様に、pMOSトランジスタpTr3、pTr4、及びnMOSトランジスタnTr2は直列接続され、pMOSトランジスタpTr3のソースは、電源電圧Vddを印加され、nMOSトランジスタnTr2のソースは、電圧VNNを印加されている。

【0200】

また、pMOSトランジスタpTr1のゲートは信号INを受け付け、pMOSトランジスタpTr3のゲートは信号bINを受け付ける。pMOSトランジスタpTr2のゲート及びpMOSトランジスタpTr4のゲートは、接地されている。nMOSトランジスタnTr1のゲートはpMOSトランジスタpTr4とnMOSトランジスタnTr2の間のノードN1に接続され、nMOSトランジスタnTr2のゲートはpMOSトランジスタpTr2とnMOSトランジスタnTr1の間のノードN2に接続されている。なお、ノードN2は、出力端子OUT1に接続されている。

【0201】

nMOSトランジスタnTr3のドレインは、電源電圧Vddに接続され、そのソースは、出力端子OUT2に接続されている。また、nMOSトランジスタnTr3のゲートは、nMOSトランジスタnTr1のゲート (ノードN1) に接続されている。

【0202】

nMOSトランジスタnTr4、pMOSトランジスタpTr5、及びnMOSトラン

10

20

30

40

50

ジスタ $nTr5$ 、 $nTr6$ は、直列接続され、 $nMOS$ トランジスタ $nTr4$ のドレインは、電圧 V_{PP} を印加され、 $nMOS$ トランジスタ $nTr6$ のソースは、電圧 V_{NN} を印加されている。

【0203】

また、 $nMOS$ トランジスタ $nTr4$ のゲート、及び $pMOS$ トランジスタ $pTr5$ と $nMOS$ トランジスタ $nTr5$ との間のノード $N3$ は、出力端子 $OUT2$ に接続されている。 $pMOS$ トランジスタ $pTr5$ のゲート、及び $nMOS$ トランジスタ $nTr6$ のゲートは、ノード $N2$ に接続されている。 $nMOS$ トランジスタ $nTr5$ のゲートは、電源電圧 V_{dd} を印加されている。

【0204】

次に、図44～図46を参照して、第20の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図44は、第20の実施の形態に係る不揮発性半導体記憶装置のカラム方向の断面図である。図45は、第20の実施の形態に係る不揮発性半導体記憶装置のロウ方向の断面図であり、第2領域 $AR2$ のロウ方向の終端部を示す。図46は、第20の実施の形態に係る不揮発性半導体記憶装置のロウ方向の断面図であり、第1領域 $AR1$ のロウ方向の終端部を示す。

【0205】

図44に示すように、第20の実施の形態に係る不揮発性半導体記憶装置の積層構造は、第4の実施の形態（図9）と略同様の構成を有する。第20の実施の形態においては、さらに、配線層 $56a$ 、 $56b$ が設けられ、この点、第4の実施の形態と異なる。配線層 $56a$ は、グローバルワード線 $GWLa$ 、 $GWLb$ として機能する。配線層 $56b$ は、グローバルワード線 $GWLc$ 、 $GWLd$ として機能する。配線層 $56a$ 、 $56b$ は、第3配線層 53 の上層に、カラム方向に所定ピッチをもって設けられている。配線層 $56a$ 、 $56b$ は、例えば、タングステン (W) / 窒化チタン (TiN) / チタン (Ti) の積層構造にて構成されている。

【0206】

次に、図45を参照して説明する。図45に示すように、配線層 $56a$ （グローバルワード線 $GWLa$ 、 $GWLb$ ）は、複数の第2領域 $AR2$ を跨ぐようにロウ方向に延びる。

【0207】

また、図45に示すように、各第2領域 $AR2$ のロウ方向の終端部に隣接して第3領域 $AR3$ が設けられている。第3領域 $AR3$ は、転送回路 $18a$ が設けられる領域である。

【0208】

第3領域 $AR3$ において、基板本体 21 には、複数の拡散層 $23a$ が設けられている。また、第3領域 $AR3$ において、基板 20 の上に、転送回路領域 $90a$ が設けられている。転送回路領域 $90a$ は、転送回路 $18a$ として機能する。

【0209】

拡散層 $23a$ は、基板本体 21 の上面にカラム方向に所定ピッチをもって形成されている。拡散層 $23a$ は、例えば、シリコン (Si) に不純物を注入したものである。一対の拡散層 $23a$ は、転送トランジスタ $Tr a1 \sim Tr a11$ 、 $Tr b1$ 、 $Tr b2$ のソース・ドレインとして機能する。一対の拡散層 $23a$ の一方は、配線層 54 、及びプラグ層 55 を介してドライバ 17 （図示略）に接続されている。すなわち、拡散層 $23a$ とドライバ 17 とを接続する配線層 54 、及びプラグ層 55 は、配線 $La1 \sim La13$ として機能する。また、一対の拡散層 $23a$ の他方は、配線層 54 及びプラグ層 55 を介して、各々、バックゲート導電層 61 、ワード線導電層 $71a \sim 71d$ 、ドレイン側導電層 81 、及びソース側導電層 82 （ワード線 $WL1 \sim WL8$ 、バックゲート線 BG 、ドレイン側選択ゲート線 SGD 、及びソース側選択ゲート線 SGS ）のいずれか1つに電気的に接続されている（一部図示略）。すなわち、拡散層 $23a$ と各層 61 、 $71a \sim 71d$ 、 81 、 82 とを接続する配線層 54 及びプラグ層 55 は、配線 $Lb1 \sim Lb13$ として機能する。

【0210】

転送回路領域 $90a$ は、転送トランジスタ $Tr a1 \sim Tr a11$ 、 $Tr b1$ 、 $Tr b2$

10

20

30

40

50

のゲートとして機能する導電層 9 1 a を有する。導電層 9 1 a は、基板本体 2 1 上に形成された絶縁層（図示略）を介して、一对の拡散層 2 3 a を跨ぐように形成されている。導電層 9 1 a は、例えばポリシリコン（poly-Si）にて構成されている。導電層 9 1 a は、配線層 5 4 及びプラグ層 5 5 を介して、配線層 5 6 a（グローバルワード線 G W L a、G W L b）に接続されている。

【0 2 1 1】

図 4 6 に示すように、配線層 5 6 b（グローバルワード線 G W L c、G W L d）は、複数の第 1 領域 A R 1 を跨ぐようにロウ方向に延びる。

【0 2 1 2】

また、図 4 6 に示すように、各第 1 領域 A R 1 のロウ方向の終端部に隣接して第 4 領域 A R 4 が設けられている。第 4 領域 A R 4 は、転送回路 1 8 b が設けられる領域である。

【0 2 1 3】

第 4 領域 A R 4 において、基板本体 2 1 には、複数の拡散層 2 3 b が設けられている。また、第 4 領域 A R 4 において、基板 2 0 の上に、転送回路領域 9 0 b が設けられている。転送回路領域 9 0 b は、転送回路 1 8 b として機能する。

【0 2 1 4】

拡散層 2 3 b は、基板本体 2 1 の上面にカラム方向に所定ピッチをもって形成されている。拡散層 2 3 b は、例えば、シリコン（Si）に不純物を注入したものであり、一对の拡散層 2 3 b は、転送トランジスタ T r c、T r d のソース・ドレインとして機能する。一对の拡散層 2 3 b の一方は、配線層 5 4、及びプラグ層 5 5 を介してドライバ 1 7（図示略）に接続されている。すなわち、拡散層 2 3 b とドライバ 1 7 とを接続する配線層 5 4、及びプラグ層 5 5 は、配線 L c 1、L c 2 として機能する。また、一对の拡散層 2 3 b の他方は、各々、配線層 5 4 及びプラグ層 5 5 を介して、バックゲート導電層 6 1 b、ワード線導電層 7 1 b a～7 1 b d、ドレイン側導電層 8 1 b、及びソース側導電層 8 2 b（ワード線 W L a 1～W L a 8、バックゲート線 B G a、ドレイン側選択ゲート線 S G D a、及びソース側選択ゲート線 S G S a）に電氣的に共通接続されている（一部図示略）。すなわち、拡散層 2 3 b と各層 6 1 b、7 1 b a～7 1 b d、8 1 b、8 2 b とを接続する配線層 5 4 及びプラグ層 5 5 は、配線 L d 1、L d 2 として機能する。

【0 2 1 5】

転送回路領域 9 0 b は、転送トランジスタ T r c、T r d のゲートとして機能する導電層 9 1 b を有する。導電層 9 1 b は、基板本体 2 1 上に形成された絶縁層（図示略）を介して、一对の拡散層 2 3 b を跨ぐように形成されている。導電層 9 1 b は、例えばポリシリコン（poly-Si）にて構成されている。導電層 9 1 b は、配線層 5 4 及びプラグ層 5 5 を介して、配線層 5 6 b（グローバルワード線 G W L c、G W L d）に接続されている。

【0 2 1 6】

〔第 2 0 の実施の形態に係る不揮発性半導体記憶装置の効果〕

第 2 0 の実施の形態に係る不揮発性半導体記憶装置は、第 1 の実施の形態と同様の効果を奏する。

【0 2 1 7】

また、第 2 0 の実施の形態において、ワード線 W L 1～W L 8、バックゲート線 B G、ドレイン側選択ゲート線 S G D、及びソース側選択ゲート線 S G S は、各々、ブロック B 毎に分割されている。そして、複数の転送回路 1 8 a（転送トランジスタ T r a 1～T r a 1 1、T r b 1、T r b 2）により、選択的にワード線 W L 1～W L 8、バックゲート線 B G、ドレイン側選択ゲート線 S G D、及びソース側選択ゲート線 S G S は、ドライバ 1 7 に接続される。また、複数の転送回路 1 8 a は、共通のロウデコーダ 1 2 a によってグローバルワード線 G W L a、G W L b を介して制御される。したがって、第 1～第 1 9 の実施の形態と比較して、ワード線 W L 1～W L 8 等の配線長は短く、それらの配線抵抗を低減することができる。すなわち、第 2 0 の実施の形態は、メモリブロック M B の各種動作の遅延を抑制することができる。

10

20

30

40

50

【0218】

さらに、ワード線WL1～WL8、バックゲート線BG、ドレイン側選択ゲート線SGD、及びソース側選択ゲート線SGSは、その製造工程によりポリシリコンにて構成され、高抵抗となる。一方、グローバルワード線GWL a、GWL b、及び転送回路18aに用いられる配線La1～La13、Lb1～Lb13は、金属等により構成することができ、低抵抗とすることができる。したがって、第20の実施の形態は、転送回路18aによって、ドライバ17から、メモリトランジスタMT r1～MT r8のゲート、バックゲートトランジスタBT rのゲート、ドレイン側選択トランジスタSDT rのゲート、及びソース側選択トランジスタSST rのゲートまでの配線抵抗を低減させることができる。

【0219】

また、第20の実施の形態において、ワード線WL a1～WL a8、バックゲート線BG a、ドレイン側選択ゲート線SGD a、及びソース側選択ゲート線SGS aは、各々、スイッチブロックSB毎に分割されている。そして、複数の転送回路18b（転送トランジスタTr c、Tr d）により、選択的にワード線WL a1～WL a8、バックゲート線BG a、ドレイン側選択ゲート線SGD a、及びソース側選択ゲート線SGS aは、ドライバ17に接続される。また、複数の転送回路18bは、共通のロウデコーダ12aによってグローバルワード線GWL c、GWL dを介して制御される。したがって、ワード線WL1～WL8等と同様に、ワード線WL a1～WL a8等の配線長は短く、それらの配線抵抗を低減することができる。すなわち、第20の実施の形態は、スイッチブロックSBの各種動作の遅延を抑制することができる。

【0220】

さらに、ワード線WL a1～WL a8、バックゲート線BG a、ドレイン側選択ゲート線SGD a、及びソース側選択ゲート線SGS aは、その製造工程によりポリシリコンにて構成され、高抵抗となる。一方、グローバルワード線GWL c、GWL d、及び転送回路18bに用いられる配線Lc1、Lc2、Ld1、Ld2は、金属等により構成することができ、低抵抗とすることができる。したがって、第20の実施の形態は、転送回路18bによって、ドライバ17から、メモリトランジスタMT r1 a～MT r8 aのゲート、バックゲートトランジスタBT r aのゲート、ドレイン側選択トランジスタSDT r aのゲート、及びソース側選択トランジスタSST r aのゲートまでの配線抵抗を低減させることができる。

【0221】

〔第21の実施の形態〕

〔第21の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図47及び図48を参照して、第21の実施の形態に係る不揮発性半導体記憶装置の構成について説明する。第21の実施の形態は、複数の転送回路18c、18dを各々独立に制御する点で、第20の実施形態と異なる。図47及び図48は、第21の実施の形態に係る不揮発性半導体記憶装置の回路図である。図47は、メモリブロックMBとその周辺回路との関係を示し、図48は、スイッチ回路SW aとその周辺回路との関係を示している。なお、第21の実施の形態において、第1～第20の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0222】

先ず、図47を参照して、メモリブロックMBとその周辺回路との関係を説明する。第21の実施の形態に係る不揮発性半導体記憶装置は、図47に示すように、第20の実施の形態と異なるロウデコーダ12c、及び転送回路18cを有する。

【0223】

ロウデコーダ12cは、複数の転送回路18cに各々独立した制御信号を入力する。ロウデコーダ12cは、第20の実施の形態の構成に加え、複数のアドレスデコーダ12cA、及び複数のレベルシフタ12cBを有する。アドレスデコーダ12cA及びレベルシフタ12cBは、各々、1つの転送回路18cに対して、1つ設けられている。アドレスデコーダ12cAは、外部よりアドレス信号を受け付け、そのアドレス信号を変換してレ

ベルシフタ 1 2 c B に出力する。レベルシフタ 1 2 c B は、電圧レベルをシフトさせた信号を 1 つの転送回路 1 8 c に対して出力する。

【0 2 2 4】

転送回路 1 8 c は、第 2 0 の実施の形態の構成に加え、AND 回路 1 8 c A、及び NAND 回路 1 8 c B を有する。AND 回路 1 8 c A は、一方の入力端子にてグローバルワード線 G W L a からの信号を受け付け、他方の入力端子にてレベルシフタ 1 2 c B からの信号を受け付ける。AND 回路 1 8 c A の出力端子は、転送トランジスタ T r a 1 ~ T r a 1 1 のゲートに接続されている。NAND 回路 1 8 c B は、一方の入力端子にてグローバルワード線 G W L b からの信号の反転信号を受け付け、他方の入力端子にてレベルシフタ 1 2 c B からの信号を受け付ける。NAND 回路 1 8 c B の出力端子は、転送トランジスタ T r b 1、T r b 2 のゲートに接続されている。

10

【0 2 2 5】

次に、図 4 8 を参照して、スイッチ回路 S W a とその周辺回路との関係を説明する。第 2 1 の実施の形態に係る不揮発性半導体記憶装置は、図 4 8 に示すように、第 2 0 の実施の形態と異なるロウデコーダ 1 2 c、及び転送回路 1 8 d を有する。

【0 2 2 6】

ロウデコーダ 1 2 c は、上述した転送回路 1 8 c の制御と共に、複数の転送回路 1 8 d に各々独立した制御信号を入力する。アドレスデコーダ 1 2 c A 及びレベルシフタ 1 2 c B は、各々、1 つの転送回路 1 8 d に対して、1 つ設けられている。レベルシフタ 1 2 c B は、電圧レベルをシフトさせた信号を 1 つの転送回路 1 8 d に対して出力する。

20

【0 2 2 7】

転送回路 1 8 d は、第 2 0 の実施の形態の構成に加え、AND 回路 1 8 d A、及び NAND 回路 1 8 d B を有する。AND 回路 1 8 d A は、一方の入力端子にてグローバルワード線 G W L c からの信号を受け付け、他方の入力端子にてレベルシフタ 1 2 c B からの信号を受け付ける。AND 回路 1 8 d A の出力端子は、転送トランジスタ T r c のゲートに接続されている。NAND 回路 1 8 d B は、一方の入力端子にてグローバルワード線 G W L d からの信号の反転信号を受け付け、他方の入力端子にてレベルシフタ 1 2 c B からの信号を受け付ける。NAND 回路 1 8 d B の出力端子は、転送トランジスタ T r d のゲートに接続されている。

【0 2 2 8】

30

[第 2 1 の実施の形態に係る不揮発性半導体記憶装置の効果]

第 2 1 の実施の形態に係る不揮発性半導体記憶装置は、ロウデコーダ 1 2 c、1 2 d、及び転送回路 1 8 c、1 8 d によって、特定のブロック B、スイッチブロック S B に含まれる各種配線のみを選択的に、ドライバ 1 7 を接続することができる。したがって、第 2 1 の実施の形態は、第 2 0 の実施の形態に必要とされる書き戻しに要する時間を削減することができる。

【0 2 2 9】

[第 2 2 の実施の形態]

[第 2 2 の実施の形態に係る不揮発性半導体記憶装置の構成]

次に、図 4 9 及び図 5 0 を参照して、第 2 2 の実施の形態に係る不揮発性半導体記憶装置の構成について説明する。第 2 2 の実施の形態は、複数の転送回路 1 8 c、1 8 d を各々独立に制御し、この点で第 2 1 の実施の形態と同様である。しかしながら、第 2 2 の実施の形態は、第 2 0 の実施の形態と同様のロウデコーダ 1 2 a、及び転送回路 1 8 a、1 8 b に、選択回路 1 9 a、1 9 b を加えることで、上記制御を実現しており、この点で第 2 1 の実施の形態と異なる。図 4 9 及び図 5 0 は、第 2 2 の実施の形態に係る不揮発性半導体記憶装置の回路図である。図 4 9 は、メモリブロック M B とその周辺回路との関係を示し、図 5 0 は、スイッチ回路 S W a とその周辺回路との関係を示している。なお、第 2 2 の実施の形態において、第 1 ~ 第 2 1 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

40

【0 2 3 0】

50

先ず、図49を参照して、メモリブロックMBとその周辺回路との関係を説明する。第22の実施の形態に係る不揮発性半導体記憶装置は、図49に示すように、第20の実施の形態の構成に加えて、複数の選択回路19aを有する。選択回路19aは、メモリブロックMBから離れて、ドライバ17の近傍に位置する。

【0231】

選択回路19aは、1つの転送回路18aに対して1つ設けられている。すなわち、選択回路19aは、一对のグローバルワード線GWL a、GWL bにより制御されるメモリブロックMBの数だけ必要とされる。選択回路19aは、ドライバ17からの駆動信号を選択的に転送回路18aに入力する。選択回路19aは、アドレスデコーダ19aA、レベルシフタ19aB、及び転送トランジスタTrel~Trel1、Trf1、Trf2を有する。

10

【0232】

アドレスデコーダ19aAは、外部より信号を受け付け、その信号を変換してレベルシフタ19aBに出力する。レベルシフタ19aBは、電圧レベルをシフトさせた信号及び反転信号を転送トランジスタTrel~Trel1、及びTrf1、Trf2のゲートに出力する。

【0233】

転送トランジスタTrel~Trel1は、その転送回路18aの制御対象となるブロックBが選択された場合に、導通状態となる。一方、転送トランジスタTrf1、Trf2は、その転送回路18aの制御対象となるブロックBが非選択とされた場合に、導通状態となる。

20

【0234】

転送トランジスタTrel~Trel1、Trf1、Trf2のドレインは、ドライバ17の出力端子に接続され、それらのソースは、各々、配線La1~La13を介して転送トランジスタTra1~Tra11、Trb1、Trb2のドレインに接続されている。転送トランジスタTrel~Trel1のゲートは、レベルシフタ19aBから信号を受け付ける。転送トランジスタTrf1、Trf2のゲートは、レベルシフタ19aBから反転信号を受け付ける。

【0235】

次に、図50を参照して、スイッチ回路SWaとその周辺回路との関係を説明する。第22の実施の形態に係る不揮発性半導体記憶装置は、図50に示すように、第20の実施の形態の構成に加えて、複数の選択回路19bを有する。選択回路19bは、スイッチブロックSBと離れて、ドライバ17の近傍に位置する。

30

【0236】

選択回路19bは、1つの転送回路18bに対して1つ設けられている。すなわち、選択回路19bは、一对のグローバルワード線GWL c、GWL dにより制御されるスイッチブロックSBの数だけ必要とされる。選択回路19bは、ドライバ17からの駆動信号を選択的に転送回路18bに入力する。選択回路19bは、アドレスデコーダ19bA、及びレベルシフタ19bB、及び転送トランジスタTrg、Trhを有する。

【0237】

アドレスデコーダ19bAは、外部より信号を受け付け、その信号を変換してレベルシフタ19bBに出力する。レベルシフタ19bBは、電圧レベルをシフトさせた信号及び反転信号を転送トランジスタTrg、及びTrhのゲートに出力する。

40

【0238】

転送トランジスタTrgは、その転送回路18aの制御対象となるスイッチブロックSBが選択された場合に、導通状態となる。一方、転送トランジスタTrhは、その転送回路18aの制御対象となるスイッチブロックSBが非選択とされた場合に、導通状態となる。

【0239】

転送トランジスタTrg、Trhのドレインは、ドライバ17の出力端子に接続され、

50

それらのソースは、各々、配線 $Lc1$ 、 $Lc2$ を介して転送トランジスタ Trc 、 Trd のドレインに接続されている。転送トランジスタ Trg のゲートは、レベルシフタ $19b$ から信号を受け付ける。転送トランジスタ Trh のゲートは、レベルシフタ $19b$ から反転信号を受け付ける。

【0240】

〔第22の実施の形態に係る不揮発性半導体記憶装置の効果〕

第22の実施の形態に係る不揮発性半導体記憶装置は、ロウデコーダ $12a$ 、転送回路 $18a$ 、 $18b$ 、及び選択回路 $19a$ 、 $19b$ を有し、これにより、第21の実施の形態と同様の効果を奏する。

【0241】

〔第23の実施の形態〕

〔第23の実施の形態に係る不揮発性半導体記憶装置の構成〕

次に、図51及び図52を参照して、第23の実施の形態に係る不揮発性半導体記憶装置の回路構成について説明する。第23の実施の形態は、転送回路 $18a$ 、 $18b$ からの出力信号をグローバルワード線 $GWLe1 \sim GWLe11$ 、 $GWLf$ により、複数のブロック B 、及びスイッチブロック SB に転送する点で、上記実施の形態と異なる。図51及び図52は、第23の実施の形態に係る不揮発性半導体記憶装置の回路図である。図51は、メモリブロック MB とその周辺回路との関係を示し、図52は、スイッチ回路 SWa とその周辺回路との関係を示している。なお、第23の実施の形態において、第1～第22の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

【0242】

先ず、図51を参照して、メモリブロック MB とその周辺回路との関係を説明する。第23の実施の形態に係る不揮発性半導体記憶装置は、図51に示すように、第20の実施の形態と略同様の構成を有する。ただし、第23実施の形態において、転送回路 $18a$ は、複数のブロック B に対して共通に1つしか設けられていない。また、第23の実施の形態に係る不揮発性半導体記憶装置は、グローバルワード線 $GWLe1 \sim GWLe11$ を有する。

【0243】

転送回路 $18a$ は、ドライバ17から駆動信号を供給され、グローバルワード線 $GWLe1 \sim GWLe11$ を介して、ワード線 $WL1 \sim WL8$ 、バックゲート線 BG 、ドレイン側選択ゲート線 SGD 、及びソース側選択ゲート線 SGS に選択的に駆動信号を転送する。

【0244】

グローバルワード線 $GWLe1 \sim GWLe11$ は、基板と平行な方向に並ぶ複数のブロック B を跨ぐように形成されている。グローバルワード線 $GWLe1 \sim GWLe11$ は、転送回路 $18a$ に接続されている。具体的に、グローバルワード線 $GWLe1 \sim GWLe11$ は、各々、配線 $Lb1 \sim Lb11$ を介して転送トランジスタ $Tra1 \sim Tra11$ のソースに接続されている。また、グローバルワード線 $GWLe10$ 、 $GWLe11$ は、各々、配線 $Lb12$ 、 $Lb13$ を介して転送トランジスタ $Trb1$ 、 $Trb2$ のソースに接続されている。

【0245】

グローバルワード線 $GWLe1 \sim GWLe8$ は、複数のブロック B に設けられた複数のワード線 $WL1 \sim WL8$ に共通接続されている。グローバルワード線 $GWLe9$ は、複数のブロック B に設けられた複数のバックゲート線 BG に共通接続されている。グローバルワード線 $GWLe10$ は、複数のブロック B に設けられた複数のドレイン側選択ゲート線 SGD に共通接続されている。グローバルワード線 $GWLe11$ は、複数のブロック B に設けられた複数のソース側選択ゲート線 SGS に共通接続されている。

【0246】

次に、図52を参照して、スイッチ回路 SWa とその周辺回路との関係を説明する。第23の実施の形態に係る不揮発性半導体記憶装置は、図52に示すように、第20の実施

の形態と略同様の構成を有する。ただし、第 2 3 実施の形態において、転送回路 1 8 b は、複数のスイッチブロック S B に対して共通に 1 つしか設けられていない。また、第 2 3 の実施の形態に係る不揮発性半導体記憶装置は、グローバルワード線 G W L f を有する。

【0 2 4 7】

転送回路 1 8 b は、ドライバ 1 7 から駆動信号を供給され、グローバルワード線 G W L f を介して、ワード線 W L a 1 ~ W L a 8、バックゲート線 B G a、ドレイン側選択ゲート線 S G D a、及びソース側選択ゲート線 S G S a に選択的に駆動信号を転送する。

【0 2 4 8】

グローバルワード線 G W L f は、基板と平行な方向に並ぶ複数のスイッチブロック S B を跨ぐように形成されている。グローバルワード線 G W L f は、転送回路 1 8 b に接続されている。具体的に、グローバルワード線 G W L f は、配線 L d 1、L d 2 を介して転送トランジスタ T r c、T r d のソースに接続されている。

【0 2 4 9】

グローバルワード線 G W L f は、複数のスイッチブロック S B に設けられた複数のワード線 W L a 1 ~ W L a 8、バックゲート線 B G a、ドレイン側選択ゲート線 S G D a、及びソース側選択ゲート線 S G S a に共通接続されている。

【0 2 5 0】

次に、図 5 3 ~ 図 5 5 を参照して、第 2 3 の実施の形態に係る不揮発性半導体記憶装置の積層構造について説明する。図 5 3 は、第 2 3 の実施の形態に係る不揮発性半導体記憶装置のカラム方向の断面図である。図 5 4 は、第 2 3 の実施の形態に係る不揮発性半導体記憶装置のロウ方向及の断面図であり、第 2 領域 A R 2 のロウ方向の終端部を示す。図 5 5 は、第 2 3 の実施の形態に係る不揮発性半導体記憶装置のロウ方向の断面図であり、第 1 領域 A R 1 のロウ方向の終端部を示す。

【0 2 5 1】

図 5 3 に示すように、第 2 3 の実施の形態に係る不揮発性半導体記憶装置の積層構造は、第 2 0 の実施の形態 (図 4 4) と略同様の構成を有する。第 2 3 の実施の形態においては、さらに、配線層 5 6 c、5 6 d が設けられ、この点で第 2 0 の実施の形態と異なる。配線層 5 6 c は、グローバルワード線 G W L e 1 ~ G W L e 1 1 として機能する。配線層 5 6 d は、グローバルワード線 G W L f として機能する。配線層 5 6 c、5 6 d は、例えば、タングステン (W) / 窒化チタン (T i N) / チタン (T i) の積層構造にて構成されている。配線層 5 6 c、5 6 d は、配線層 5 6 a、5 6 b と同層に、カラム方向に所定ピッチをもって設けられている。

【0 2 5 2】

図 5 4 に示すように、第 2 3 の実施の形態に係る不揮発性半導体記憶装置は、第 2 0 の実施の形態 (図 4 5) と略同様の構成を有する。ただし、第 2 3 の実施の形態においては、配線層 5 6 c、及び第 3 領域 A R 3 の形成位置が、第 2 0 の実施の形態と異なる。

【0 2 5 3】

図 5 4 に示すように、配線層 5 6 c (グローバルワード線 G W L e 1 ~ G W L e 1 1) は、複数の第 2 領域 A R 2 を跨ぐようにロウ方向に延びる。配線層 5 6 c は、配線層 5 4 及びプラグ層 5 5 を介して、各第 2 領域 A R 2 に設けられたバックゲート導電層 6 1、ワード線導電層 7 1 a ~ 7 1 d、ドレイン側導電層 8 1、及びソース側導電層 8 2 (ワード線 W L 1 ~ W L 8、バックゲート線 B G、ドレイン側選択ゲート線 S G D、及びソース側選択ゲート線 S G S) のいずれか 1 つに電氣的に接続されている (一部図示略)。

【0 2 5 4】

また、図 5 4 に示すように、第 2 3 の実施の形態においては、第 3 領域 A R 3 は、各第 2 領域 A R 2 のロウ方向の終端部に隣接して設けられておらず、特定の第 2 領域 A R 2 のロウ方向の終端部のみに隣接して設けられている。一对の拡散層 2 3 a 一方は、配線層 5 4 及びプラグ層 5 5 を介して、配線層 5 6 c (グローバルワード線 G W L e 1 ~ G W L e 1 1) に接続されている。

【0 2 5 5】

10

20

30

40

50

図 5 5 に示すように、第 2 3 の実施の形態に係る不揮発性半導体記憶装置は、第 2 0 の実施の形態(図 4 6)と略同様の構成を有する。ただし、第 2 3 の実施の形態においては、配線層 5 6 d、及び第 4 領域 A R 4 の形成位置が、第 2 0 の実施の形態と異なる。

【0256】

図 5 5 に示すように、配線層 5 6 d (グローバルワード線 G W L f) は、複数の第 1 領域 A R 1 を跨ぐようにロウ方向に延びる。配線層 5 6 d は、配線層 5 4 及びプラグ層 5 5 を介して、各第 2 領域 A R 2 に設けられたバックゲート導電層 6 1 b、ワード線導電層 7 1 b a ~ 7 1 b d、ドレイン側導電層 8 1 b、及びソース側導電層 8 2 b (ワード線 W L a 1 ~ W L a 8、バックゲート線 B G a、ドレイン側選択ゲート線 S G D a、及びソース側選択ゲート線 S G S a) に電氣的に共通接続されている (一部図示略)。

10

【0257】

また、図 5 5 に示すように、第 2 3 の実施の形態においては、第 4 領域 A R 4 は、各第 1 領域 A R 1 のロウ方向の終端部に隣接して設けられておらず、特定の第 1 領域 A R 1 のみのロウ方向の終端部に隣接して設けられている。一对の拡散層 2 3 b の一方は、配線層 5 4 及びプラグ層 5 5 を介して、配線層 5 6 d (グローバルワード線 G W L f) に接続されている。

【0258】

[第 2 3 の実施の形態に係る不揮発性半導体記憶装置の効果]

第 2 3 の実施の形態に係る不揮発性半導体記憶装置において、グローバルワード線 G W L e 1 ~ G W L e 1 1 は、転送トランジスタ T r a 1 ~ T r a 1 1 のソースから、複数のメモリブロック M B 内のワード線 W L 1 ~ W L 8、バックゲート線 B G、ドレイン側選択ゲート線 S G D、及びソース側選択ゲート線 S G S に駆動信号を転送する。よって、転送回路 1 8 a は、複数のブロック B に対して 1 つだけ設ければよいので、その占有面積の増大を抑制することができる。

20

【0259】

また、第 2 3 の実施の形態に係る不揮発性半導体記憶装置において、グローバルワード線 G W L f は、転送トランジスタ T r c、T r d のソースから、複数のスイッチブロック S B 内のワード線 W L a 1 ~ W L a 8、バックゲート線 B G a、ドレイン側選択ゲート線 S G D a、及びソース側選択ゲート線 S G S a に駆動信号を転送する。よって、転送回路 1 8 b は、複数のスイッチブロック S B に対して 1 つだけ設ければよいので、その占有面積の増大を抑制することができる。

30

【0260】

[その他の実施の形態]

以上、不揮発性半導体記憶装置の一の実施の形態を説明してきたが、本発明は、上記の実施の形態に限定されるものではなく、発明の趣旨を逸脱しない範囲内において種々の変更、追加、置換等が可能である。

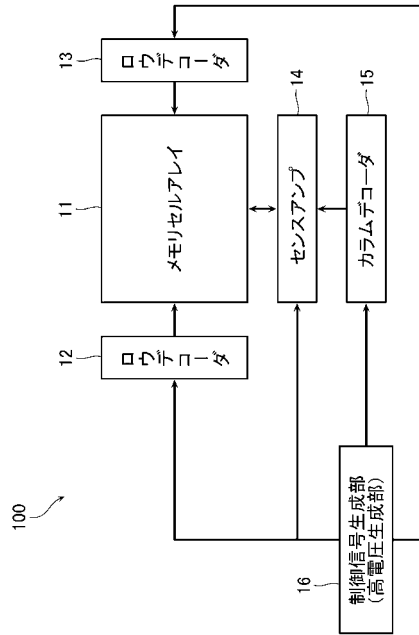
【符号の説明】

【0261】

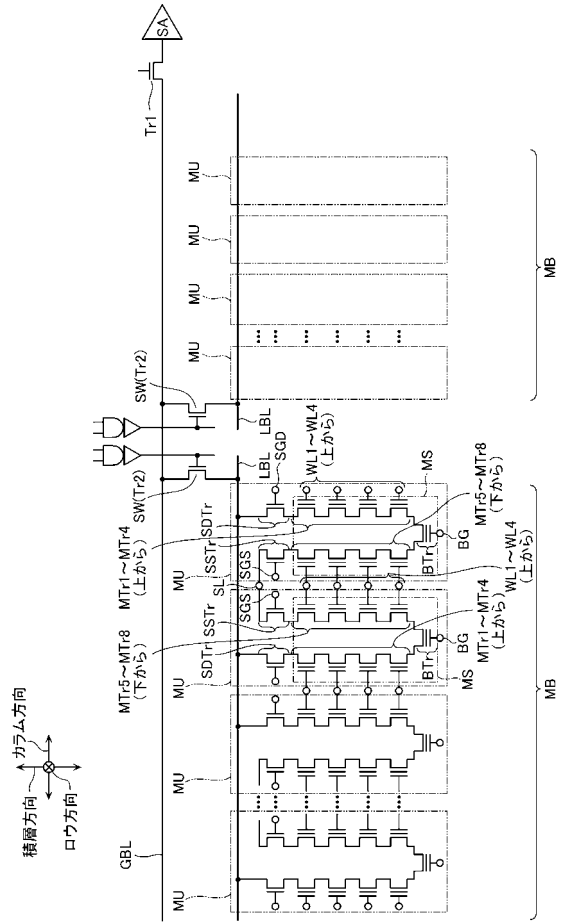
S W、S W a ~ S W e …スイッチ回路、 M T r 1 ~ M T r 8、M T r a 1 ~ M T r a 8、M T r b 1 ~ M T r b 8 …メモリトランジスタ、 S D T r、S D T r a、S D T r b …ドレイン側選択トランジスタ、 S S T r、S S T r a、S S T r b …ソース側選択トランジスタ、 T r 1、T r 2 …トランジスタ、 B T r、B T r a、B T r b …バックゲートトランジスタ、 1 0 0 …不揮発性半導体記憶装置、 2 0 …基板、 3 0、3 0 a ~ 3 0 g …スイッチ回路領域、 4 0 …メモリ層、 4 1 …バックゲート層 4 2 …メモリトランジスタ層、 4 3 …選択トランジスタ層、 5 0 …配線層。

40

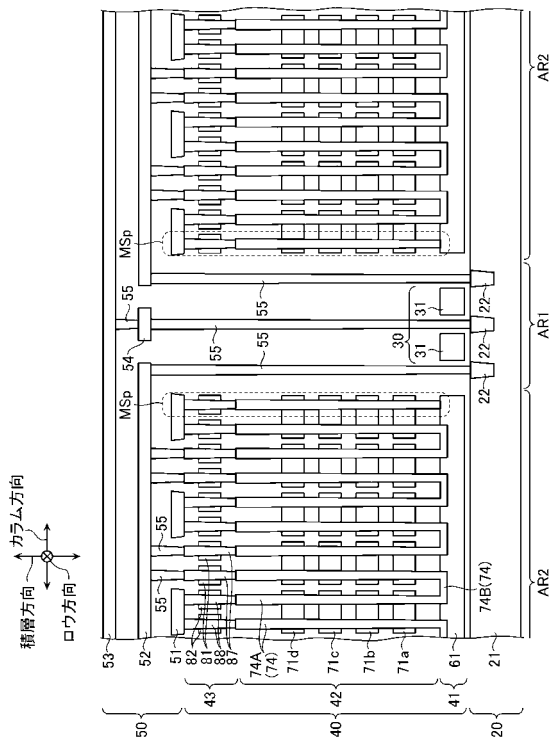
【図 1】



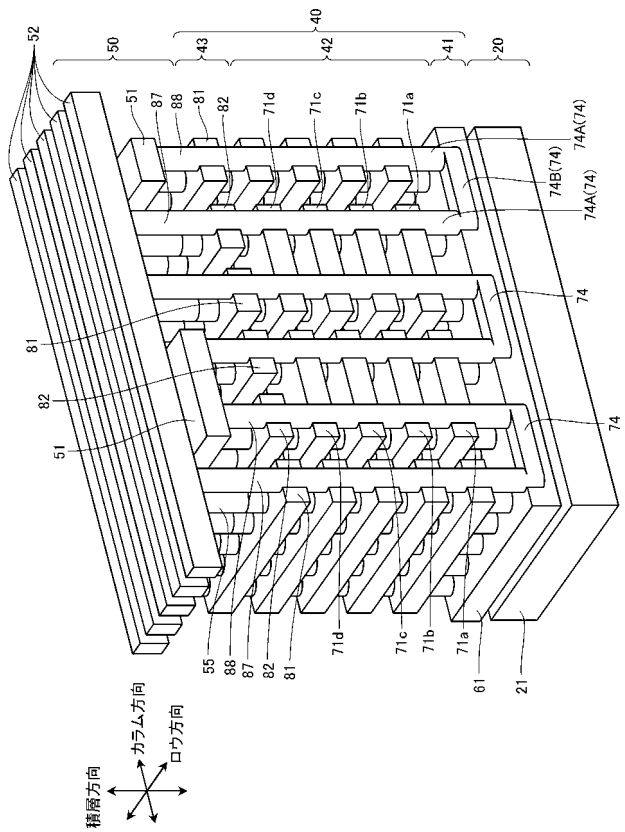
【図 2】



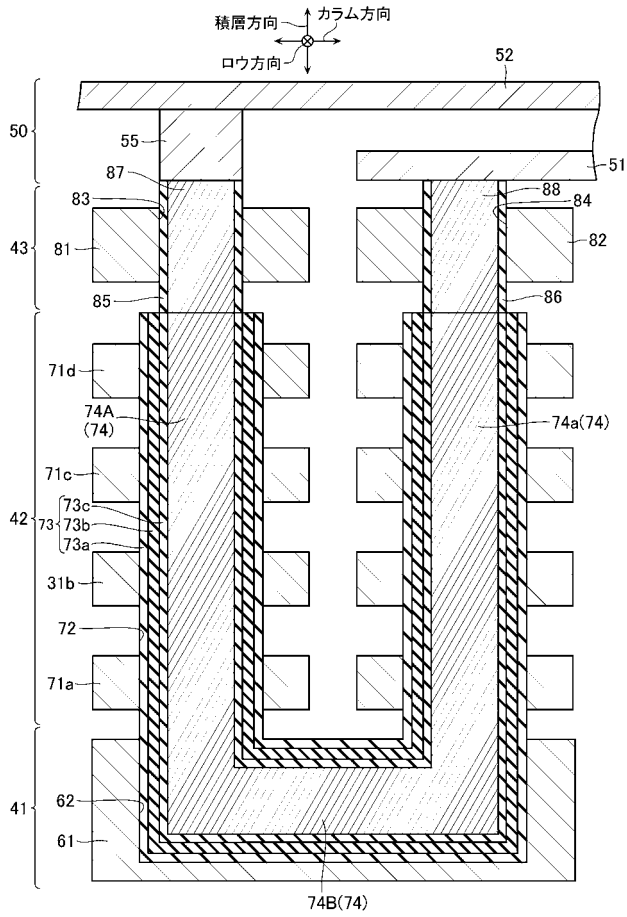
【図 3】



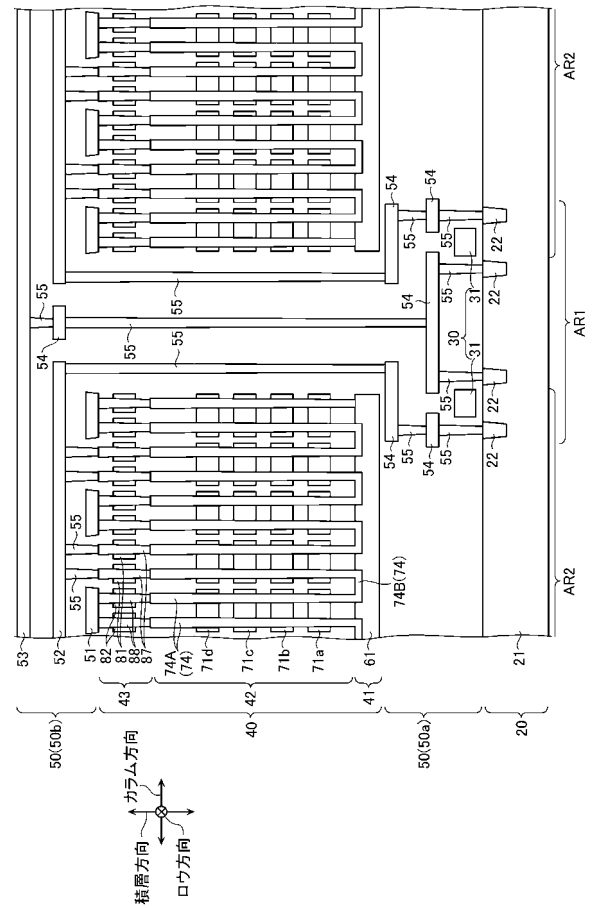
【図 4】



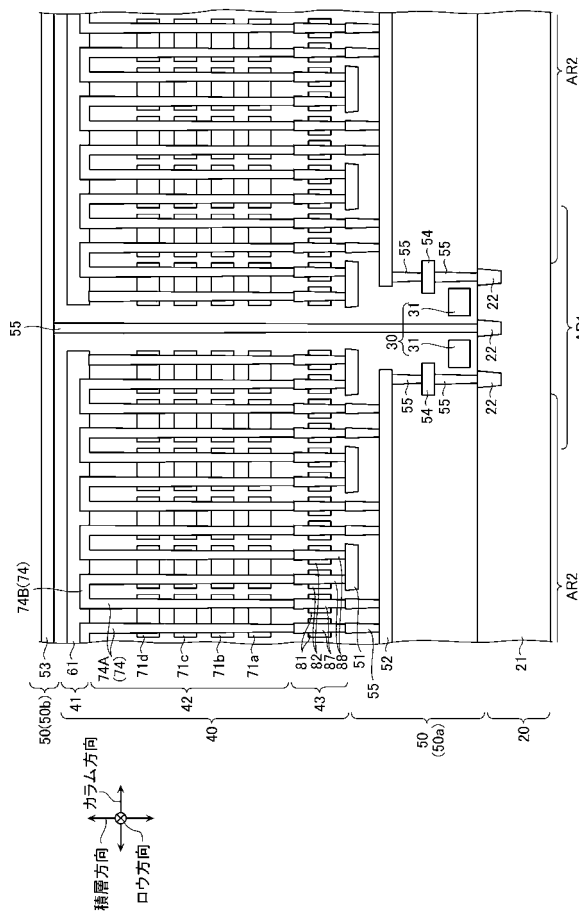
【図 5】



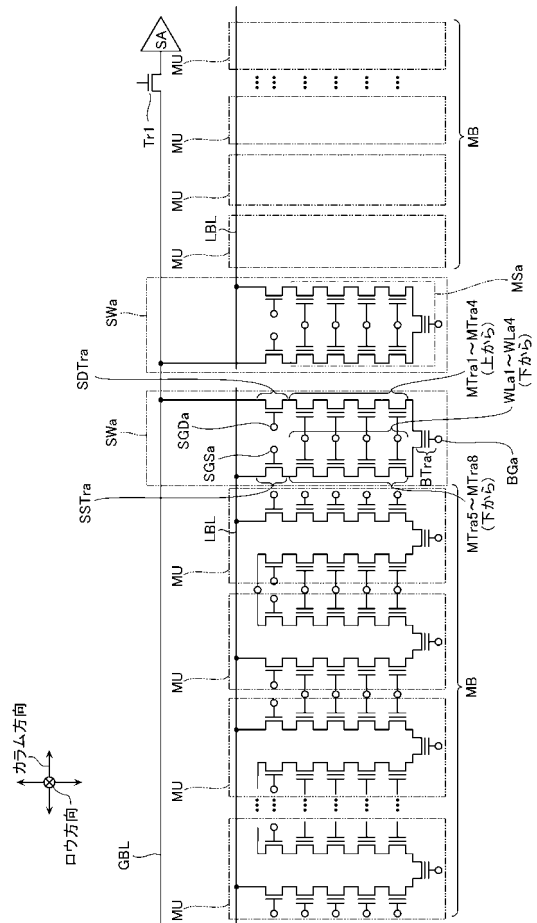
【図 6】



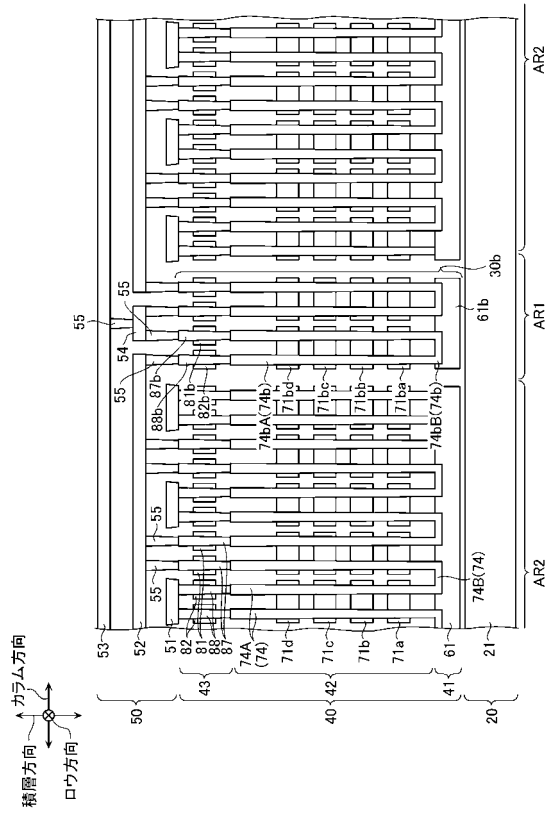
【図 7】



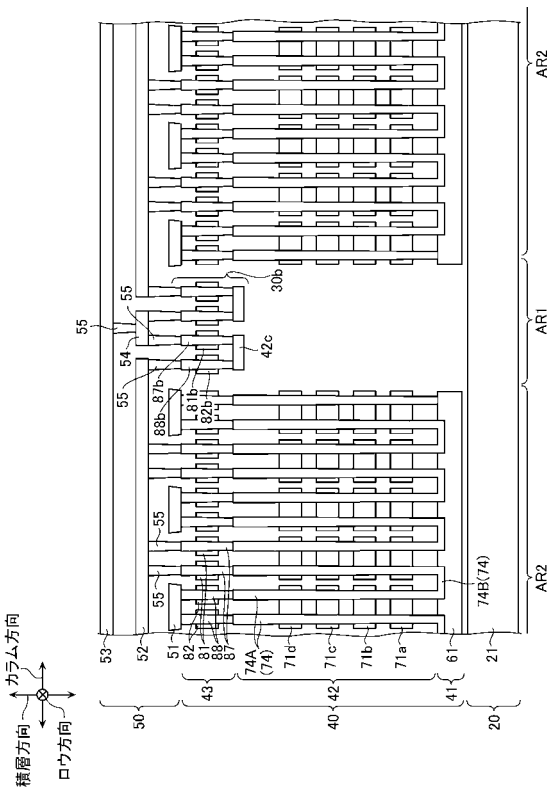
【図 8】



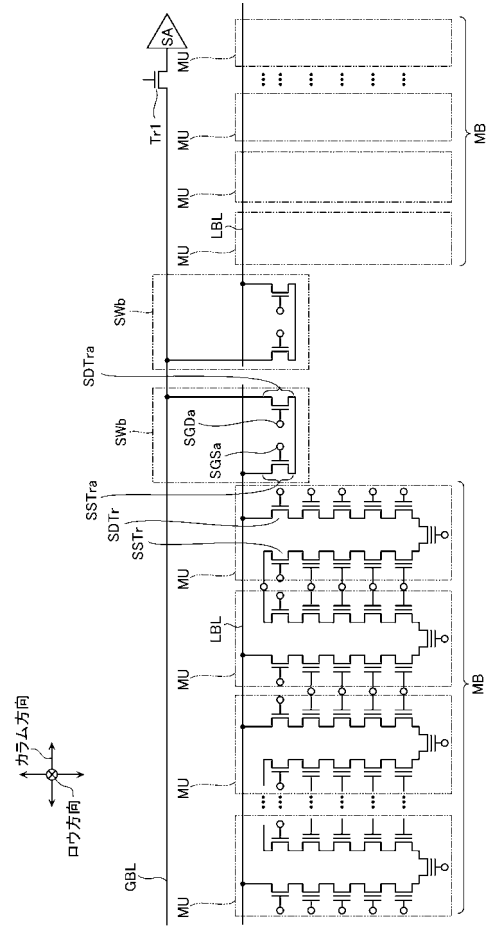
【 図 9 】



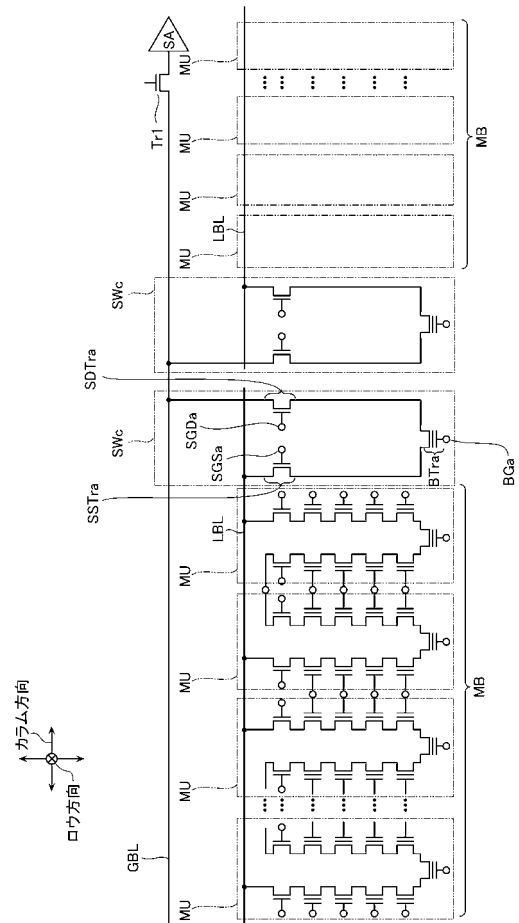
【図 1 1】



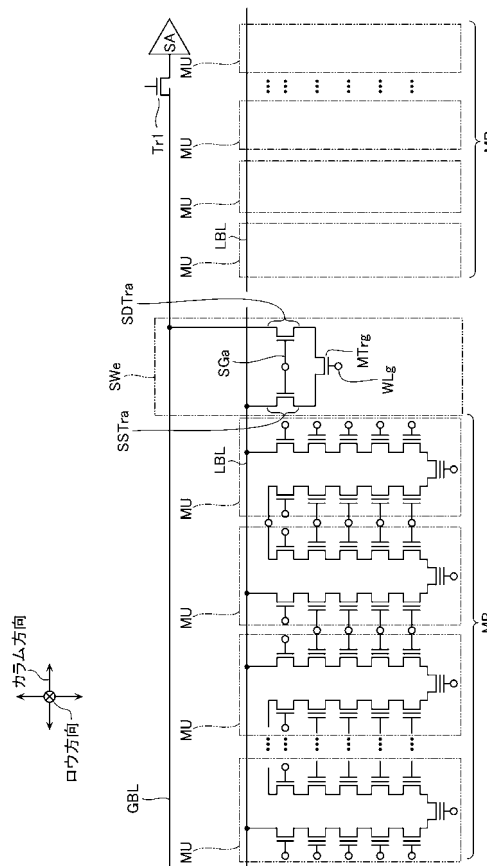
【 図 1 0 】



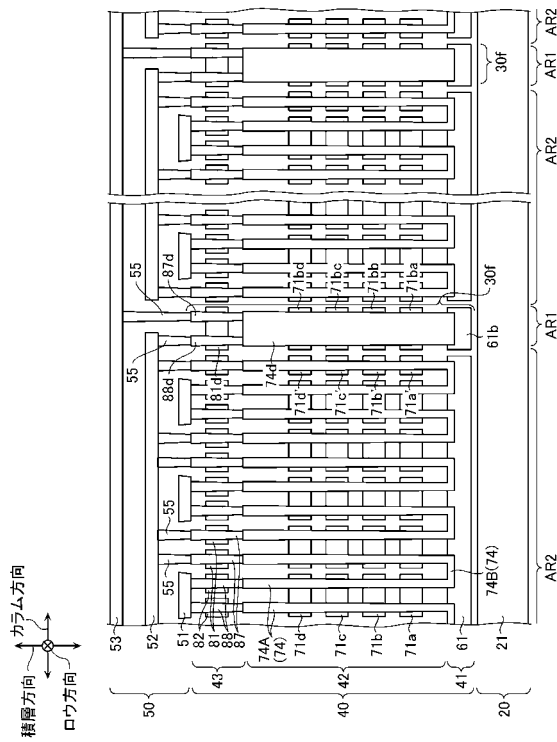
【 図 1 2 】



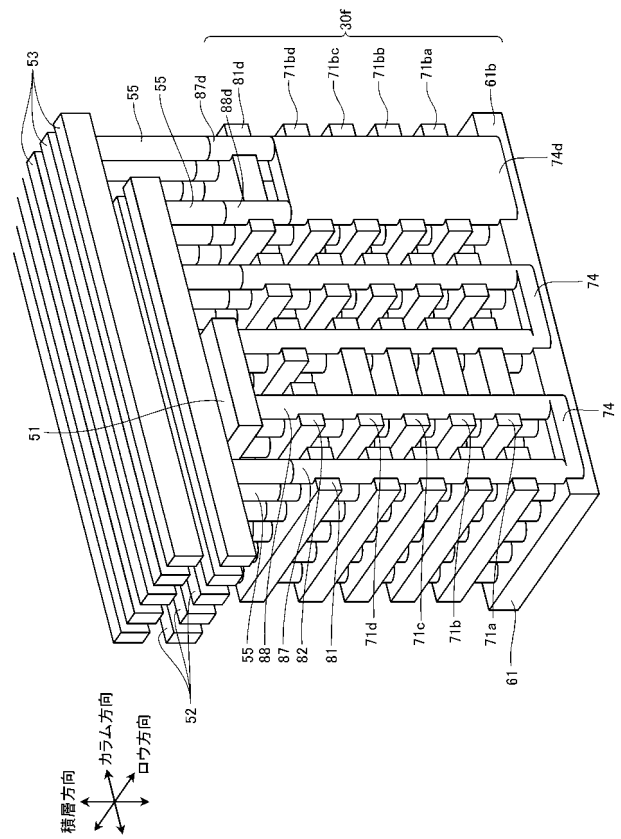
【図 1 6 A】



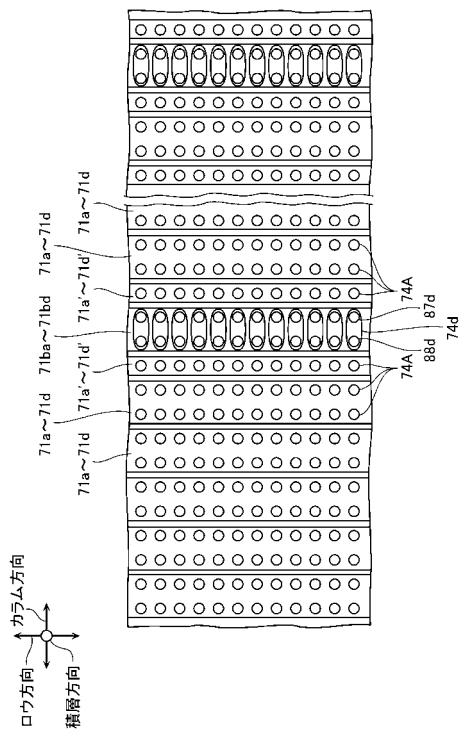
【 図 1 6 B 】



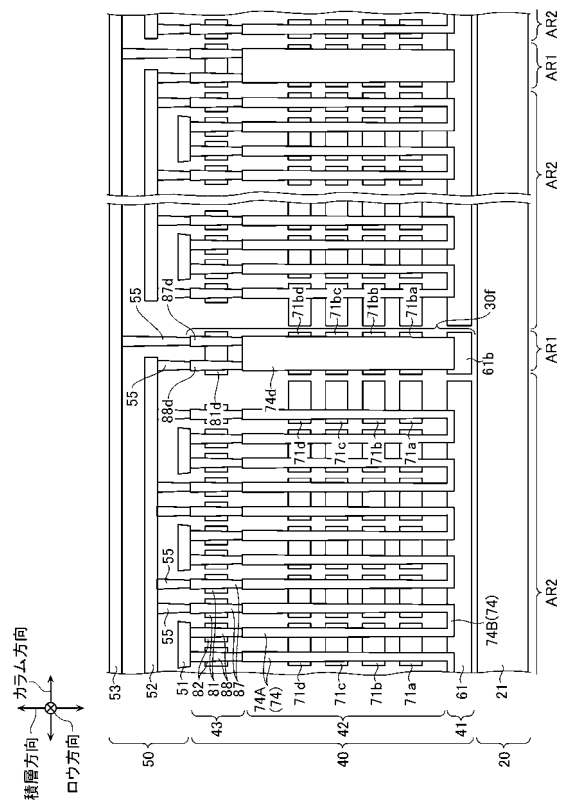
【図 17】



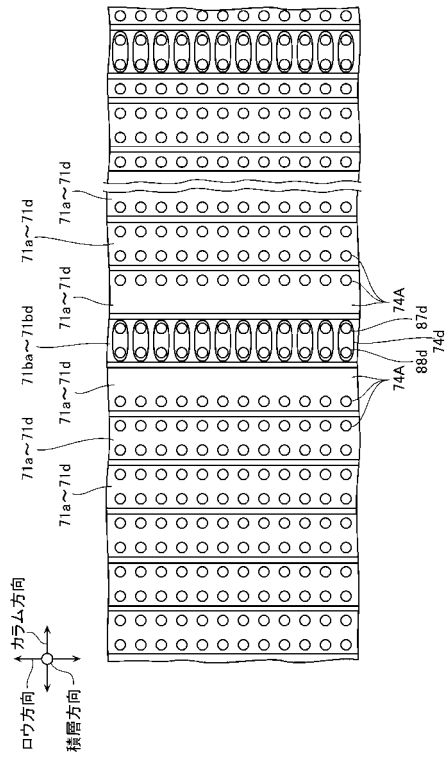
【 図 1 8 】



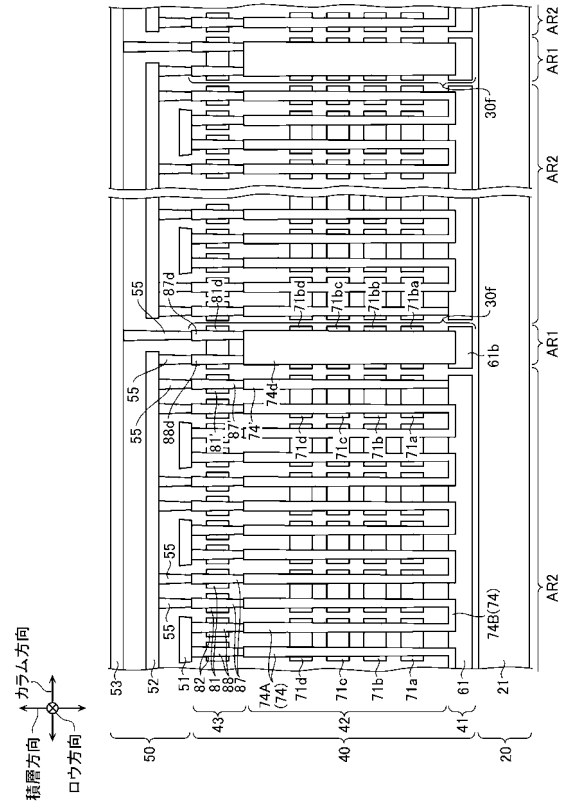
【 図 1 9 】



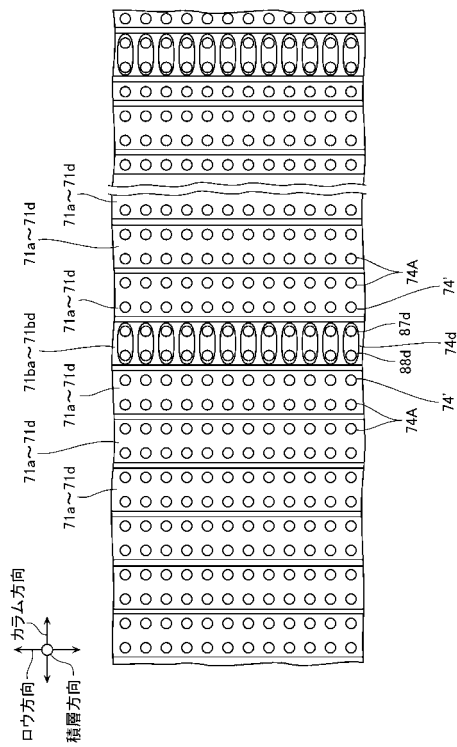
【図 20】



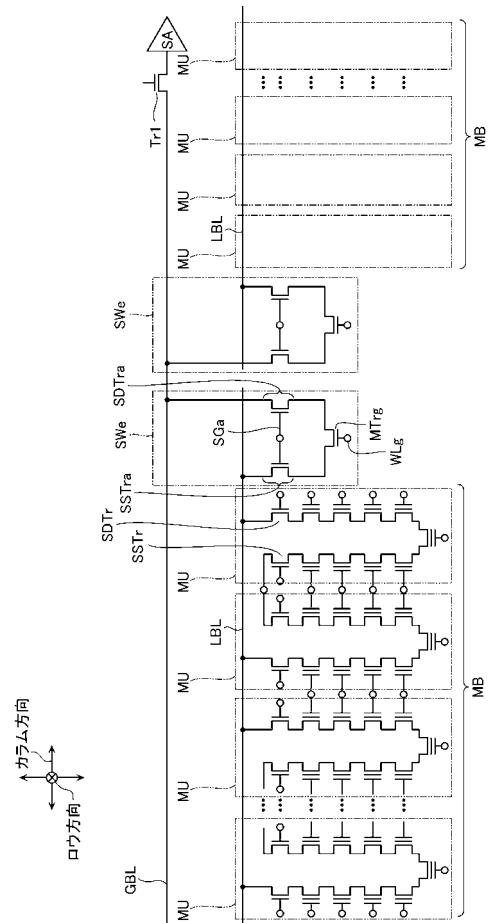
【図 2 1】



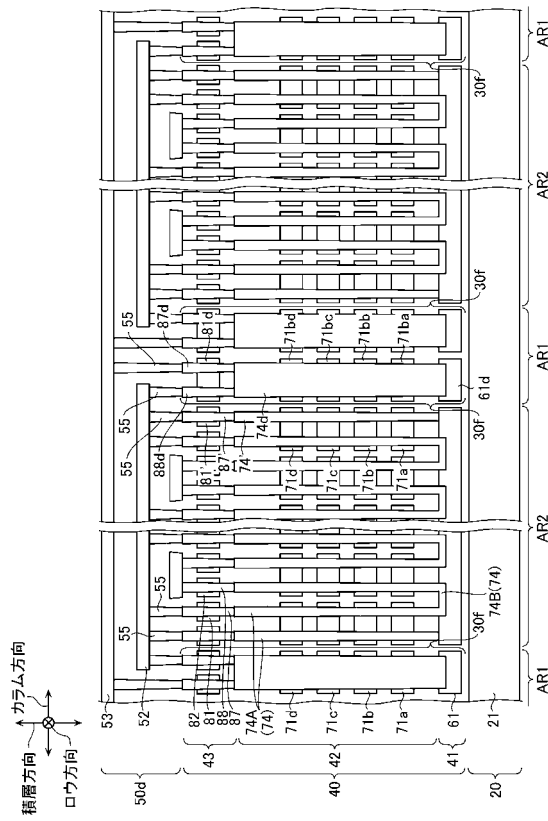
【図 2 2】



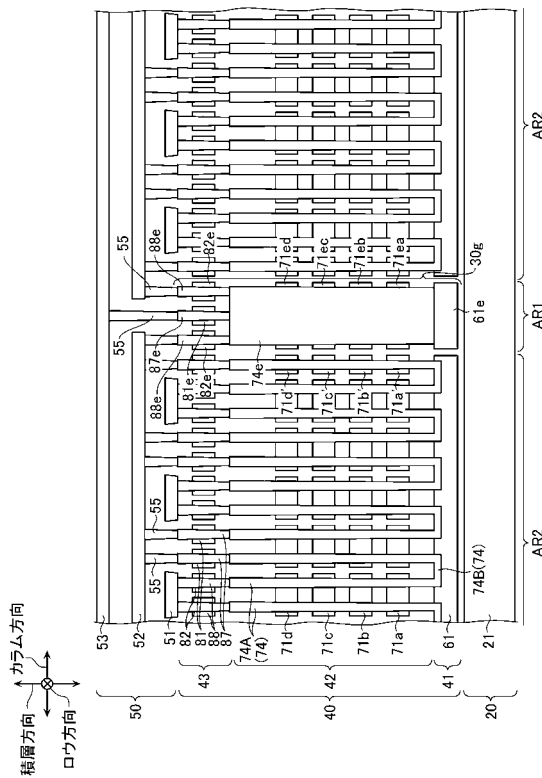
【図 2 3 A】



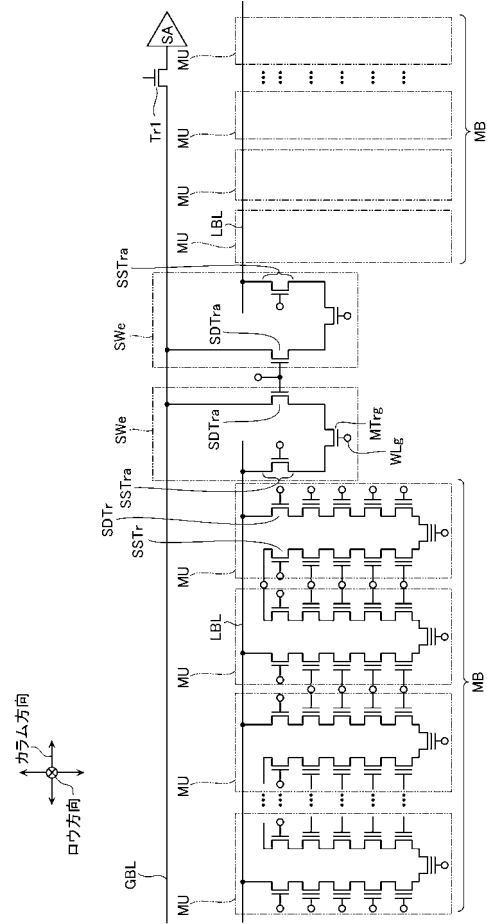
【図 23 B】



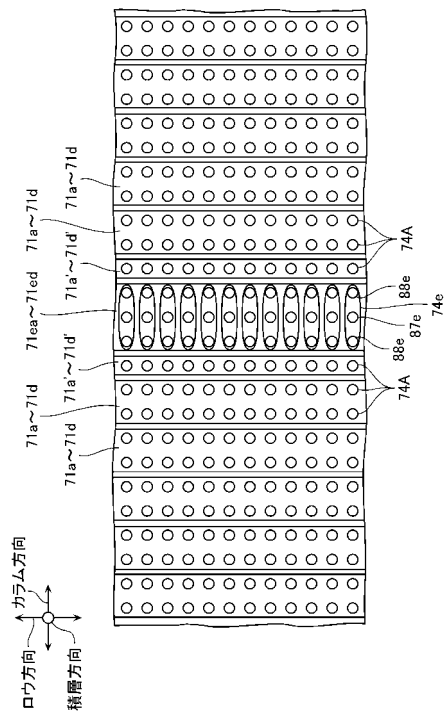
【図 24 B】



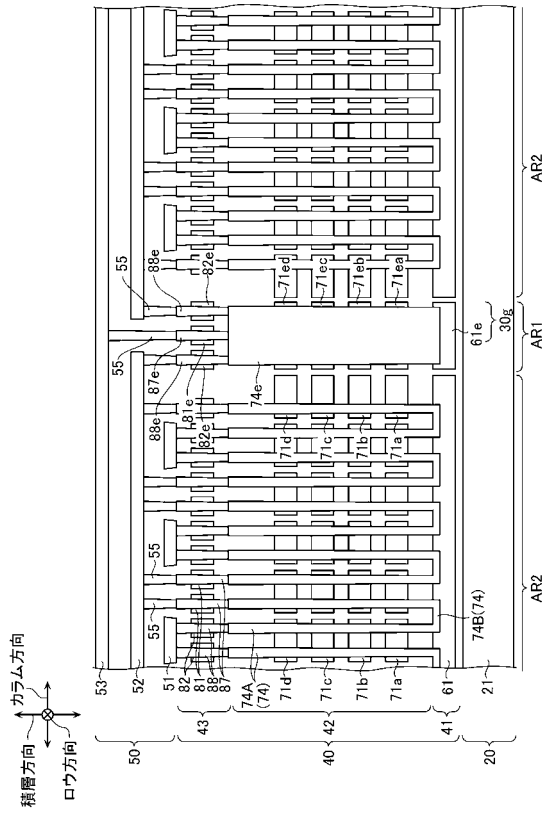
【図 24 A】



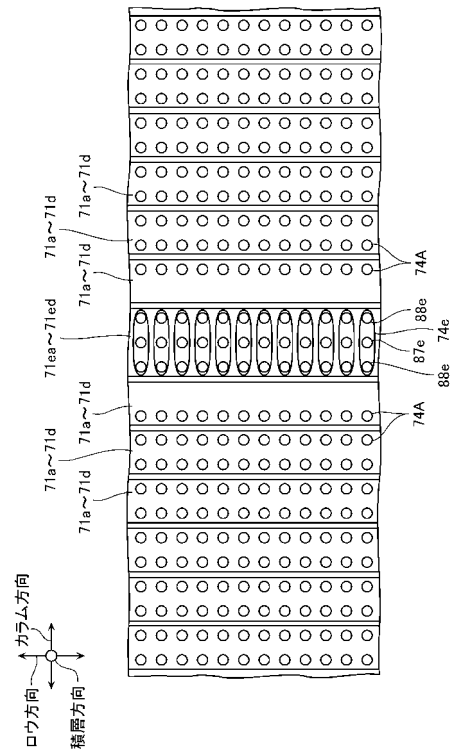
【図 25】



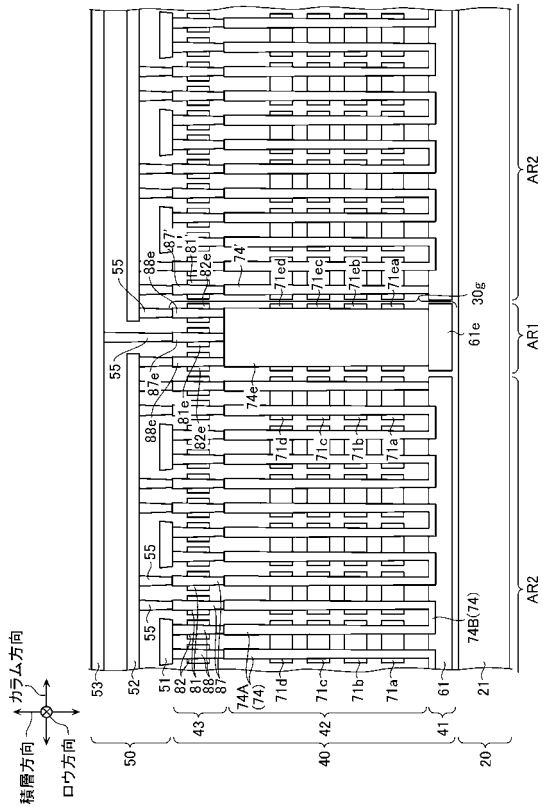
【図 26】



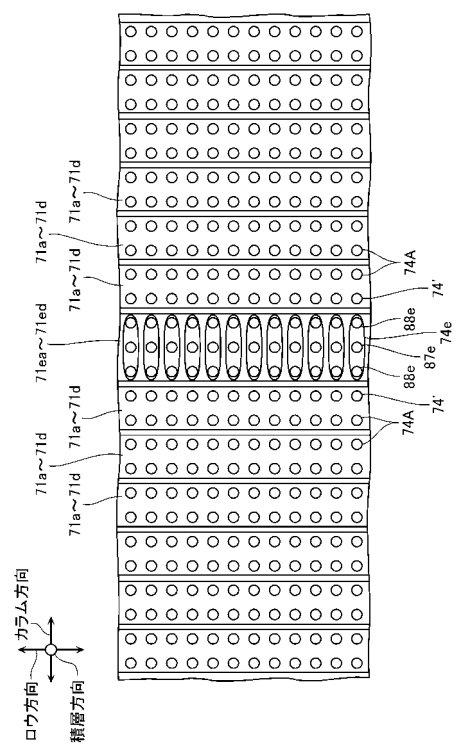
【図 27】



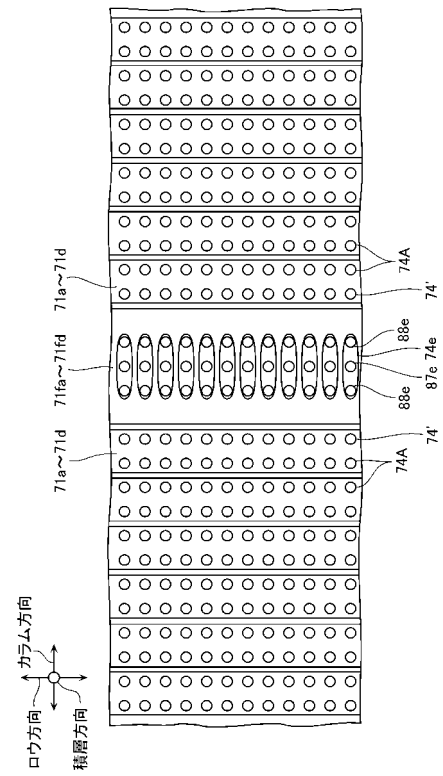
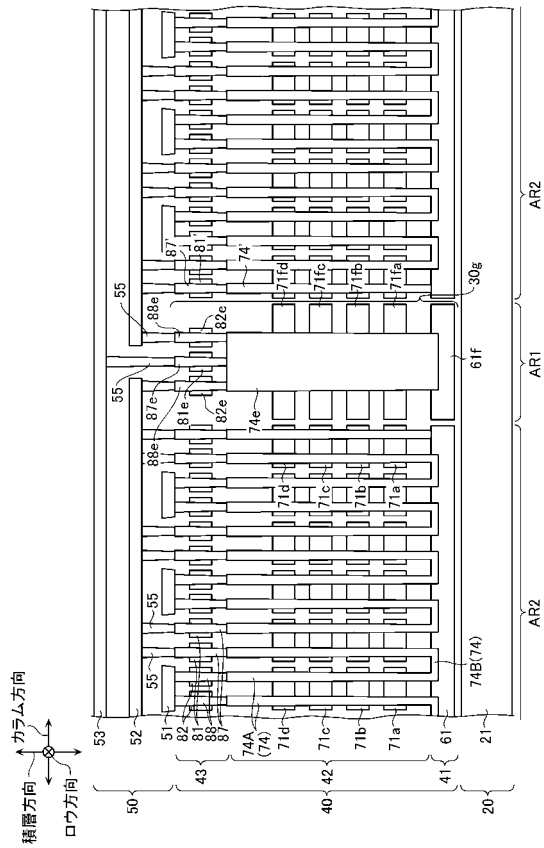
【図 28】



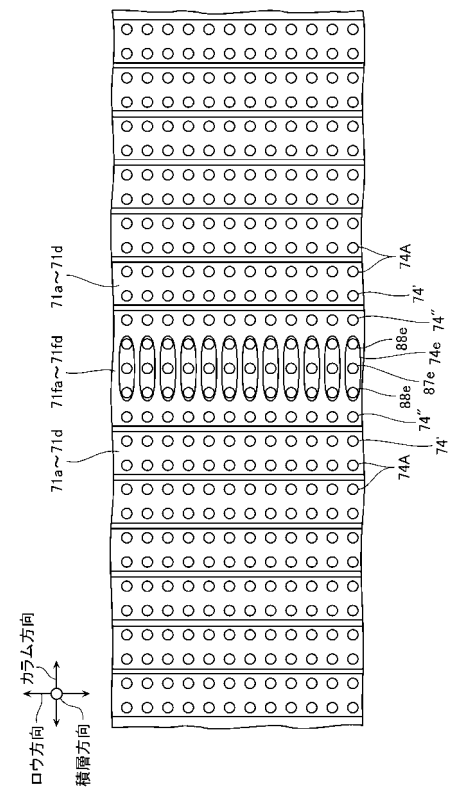
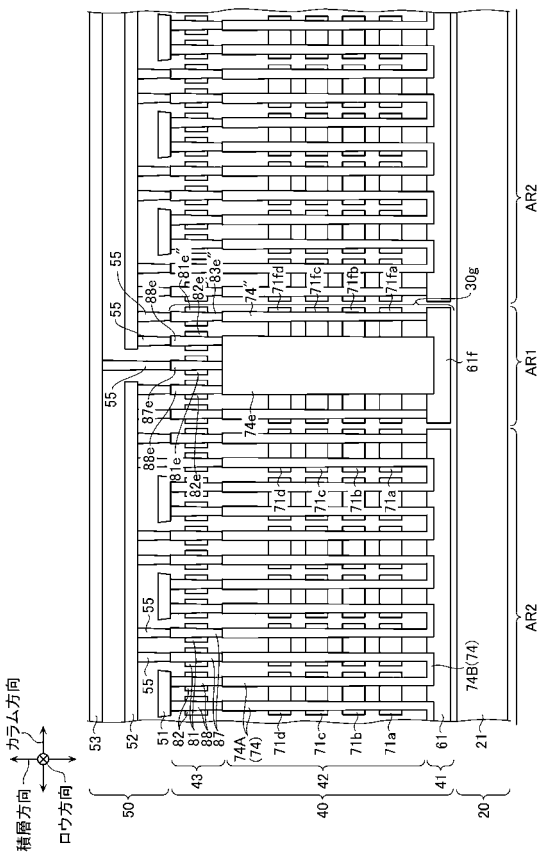
【図 29】



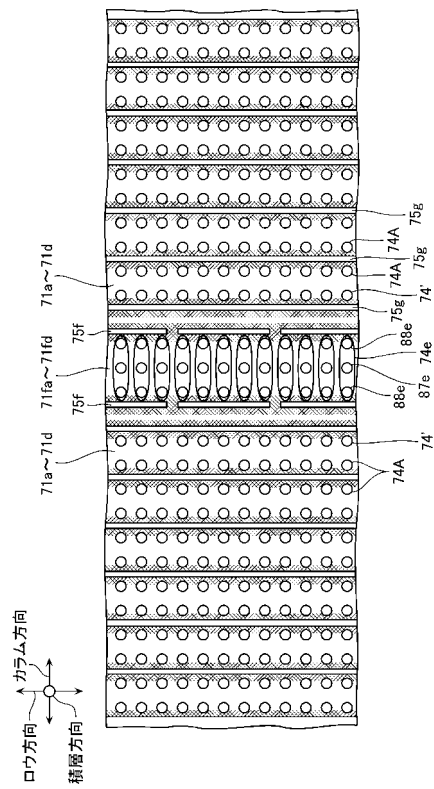
【図 3 1】



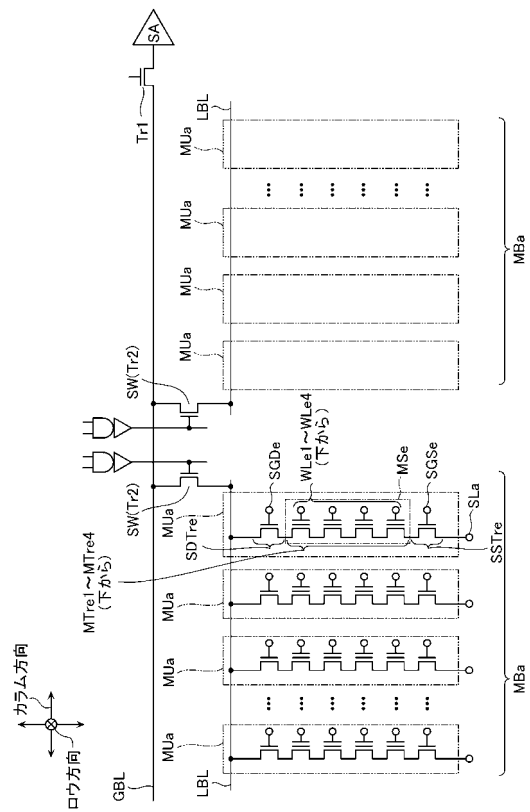
【図 3 2】



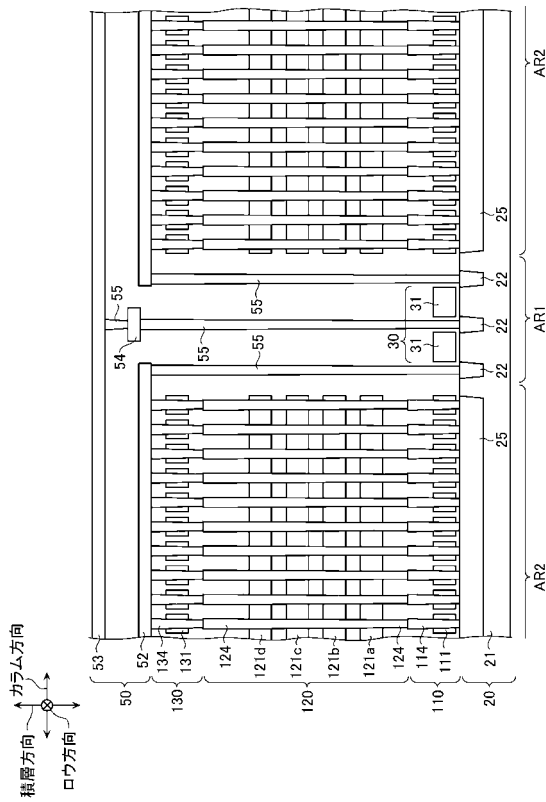
【 図 3 5 】



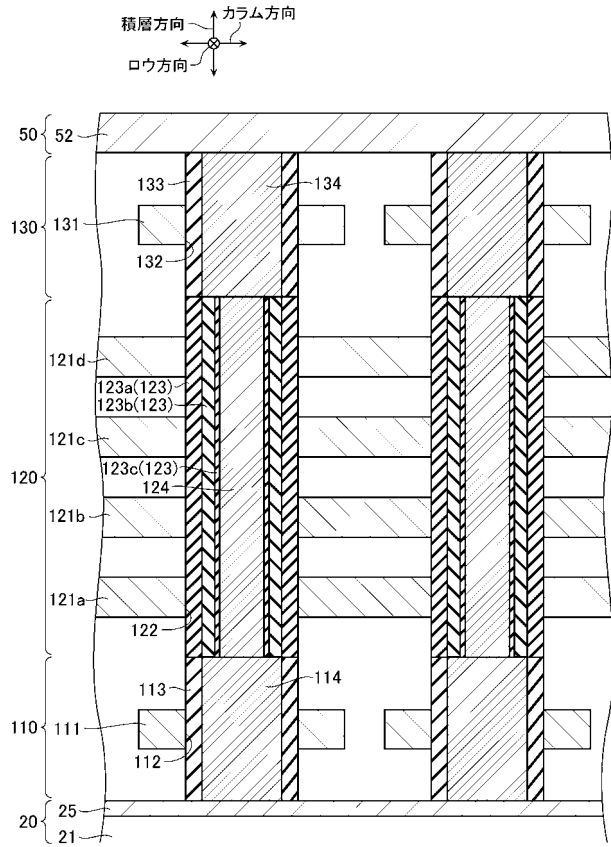
【図 3 7】



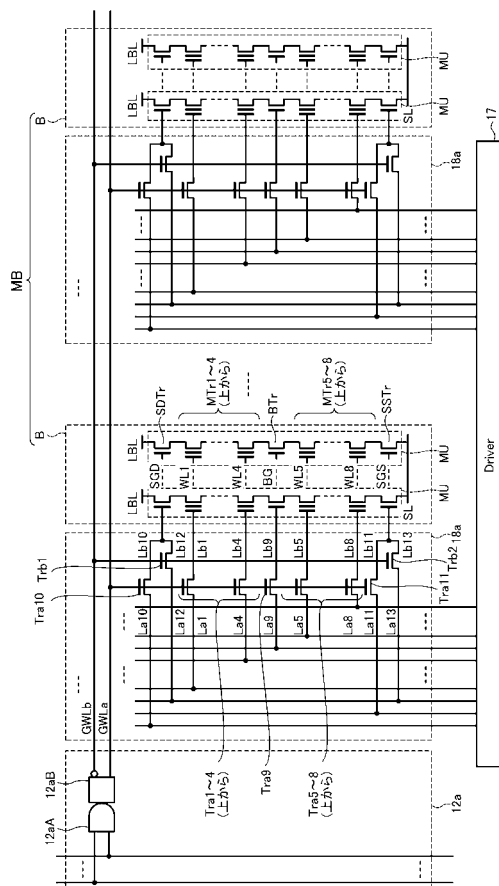
【図 3 8】



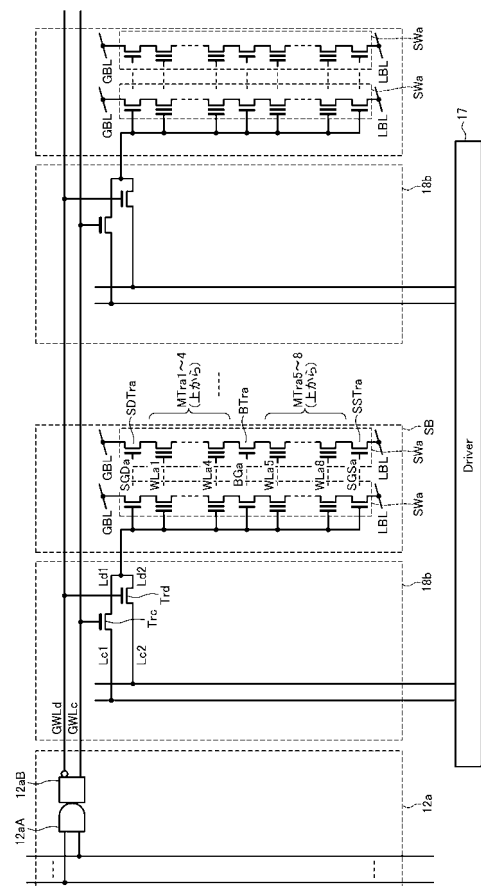
【 凶 3 9 】



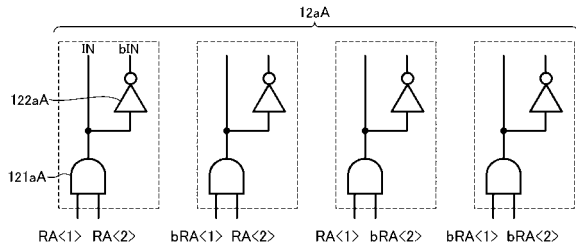
【图 40】



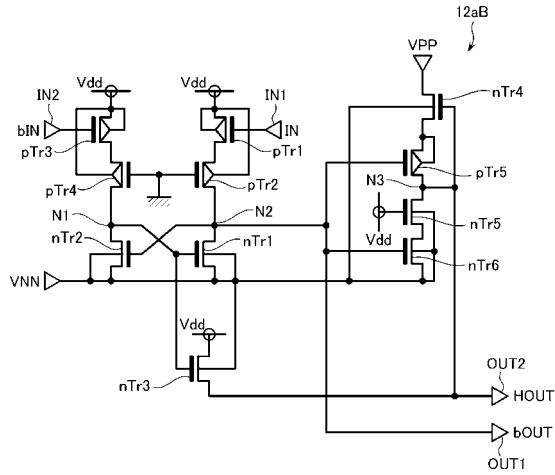
【图 4 1】



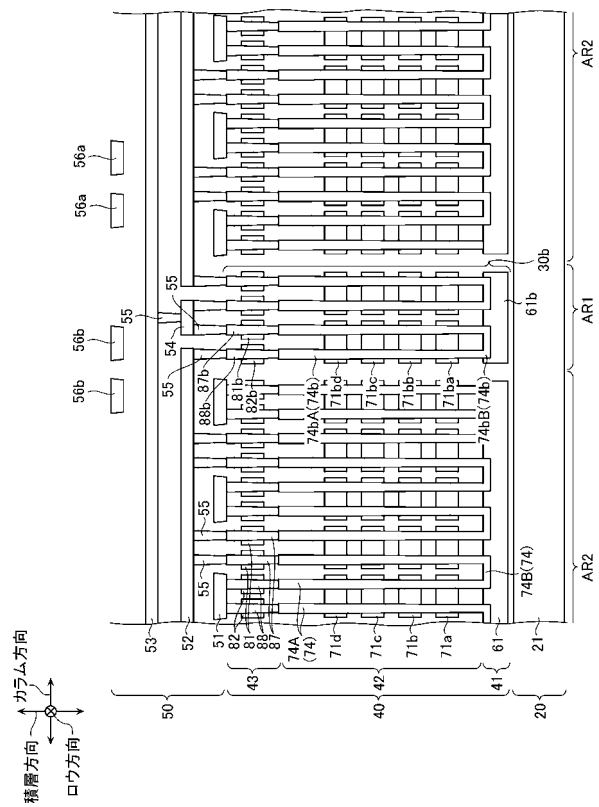
【図 4 2】



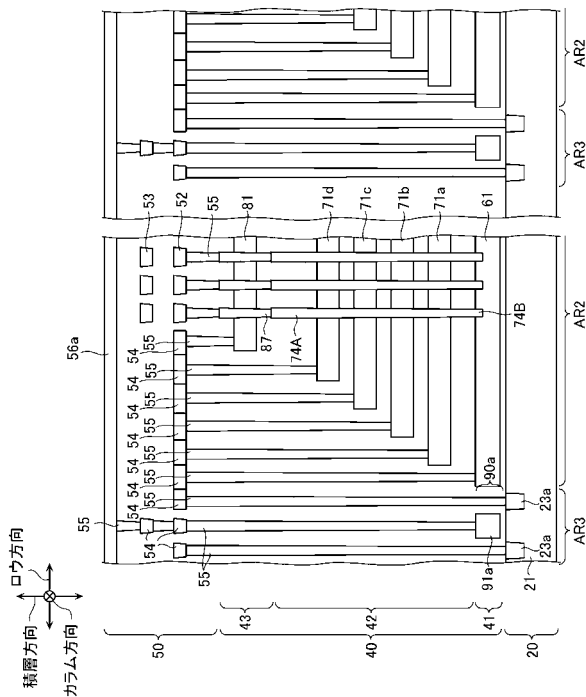
【図 4 3】



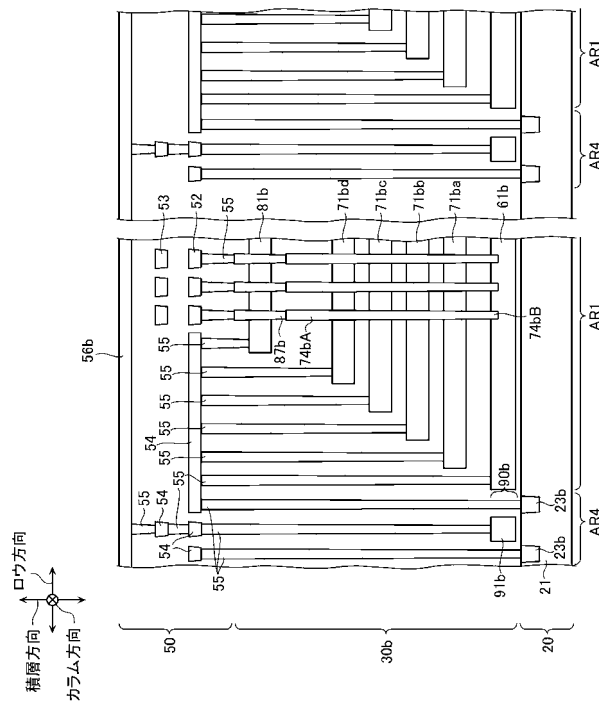
【図 4 4】



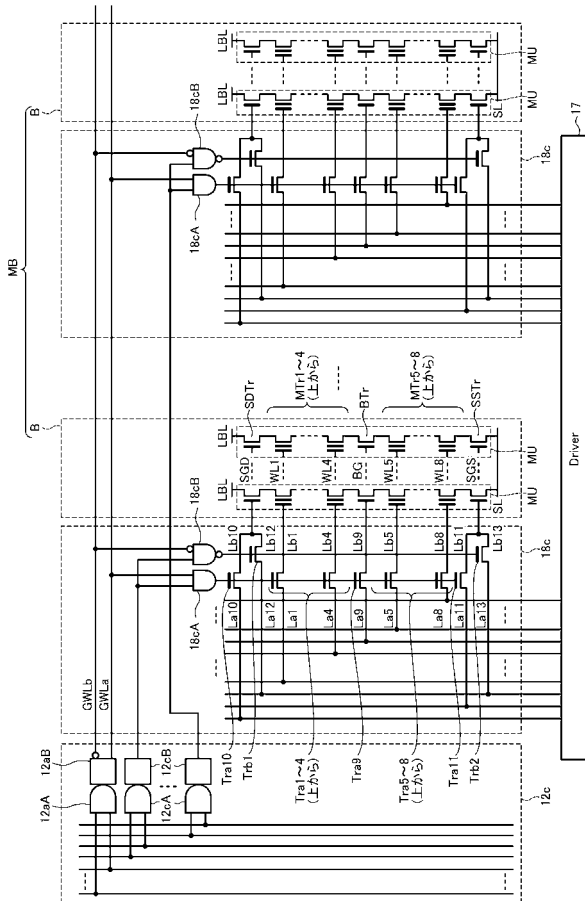
【図 4 5】



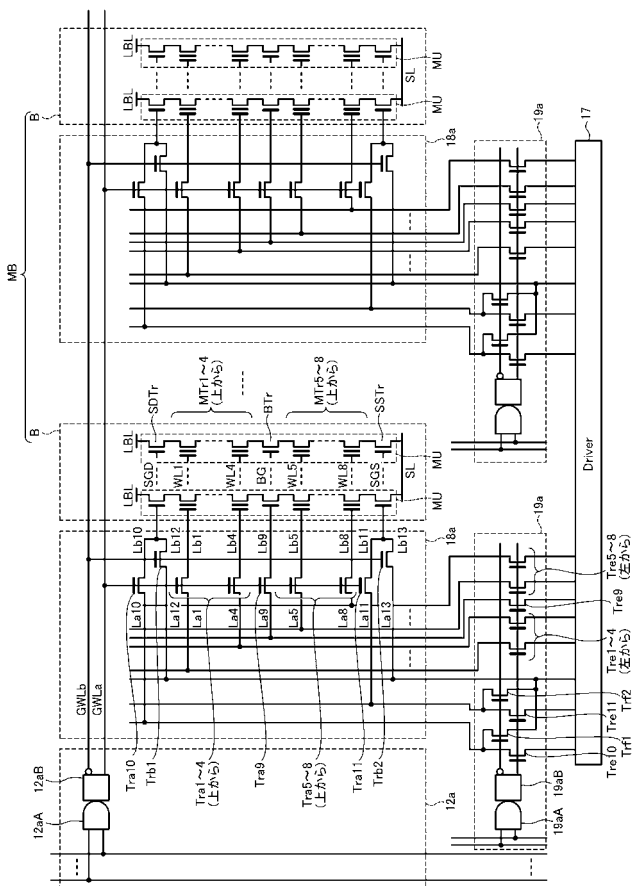
【図 4 6】



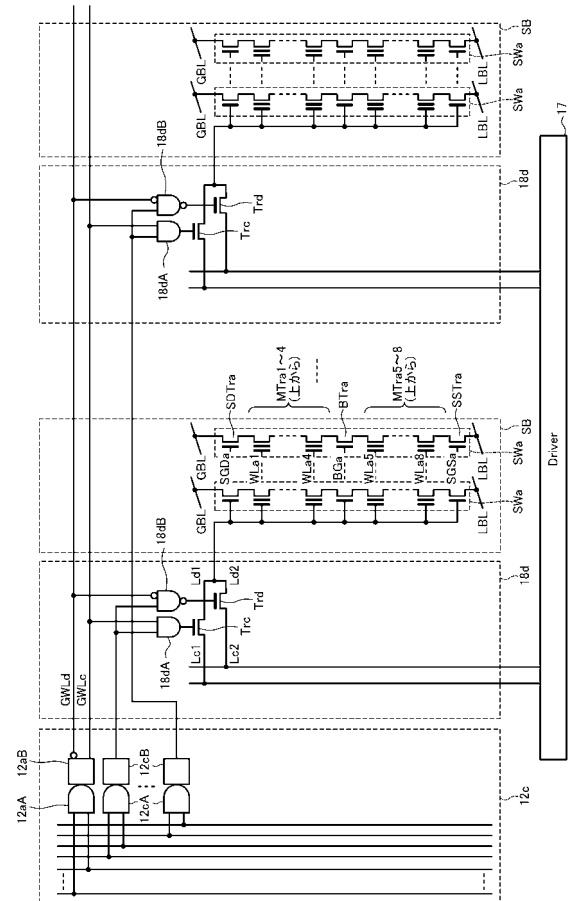
【図 47】



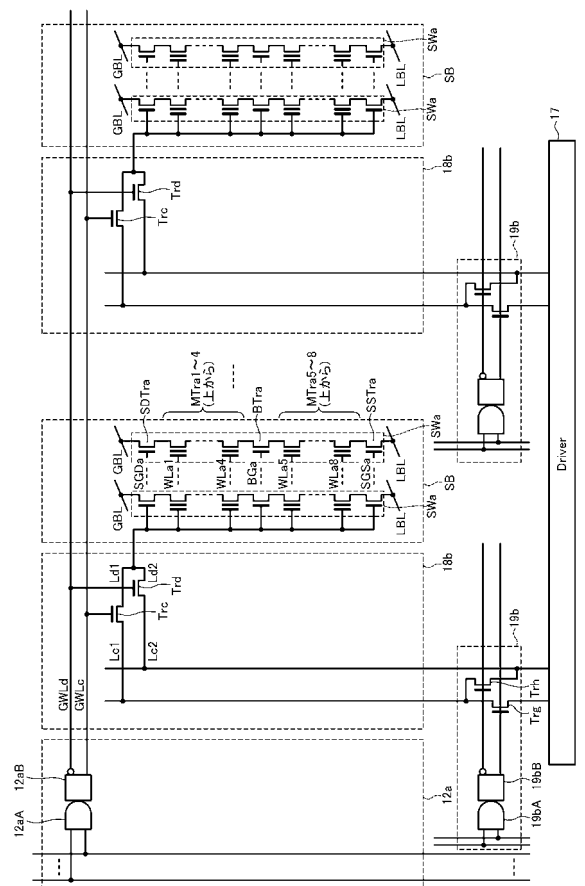
【図 49】



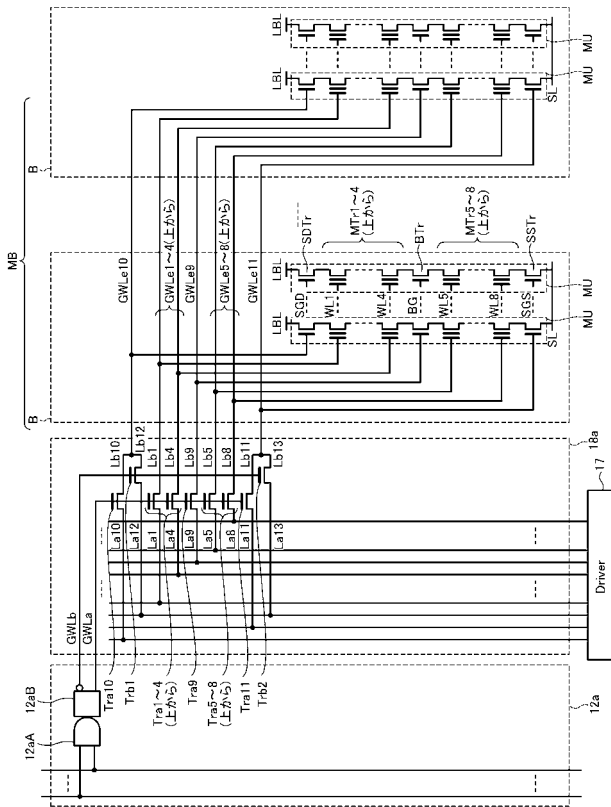
【図 48】



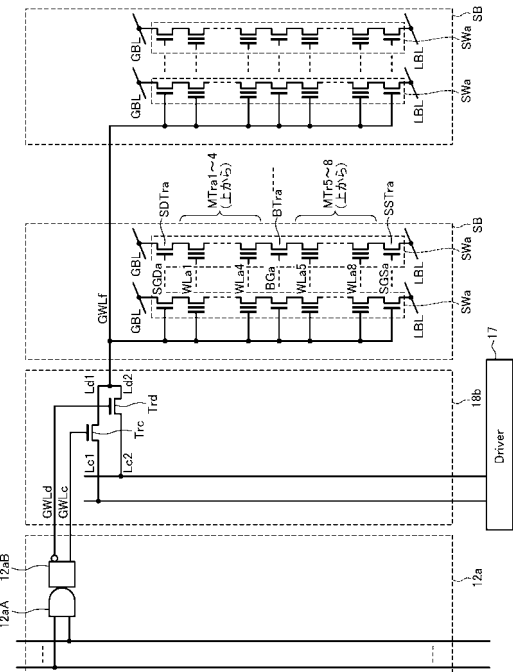
【図 50】



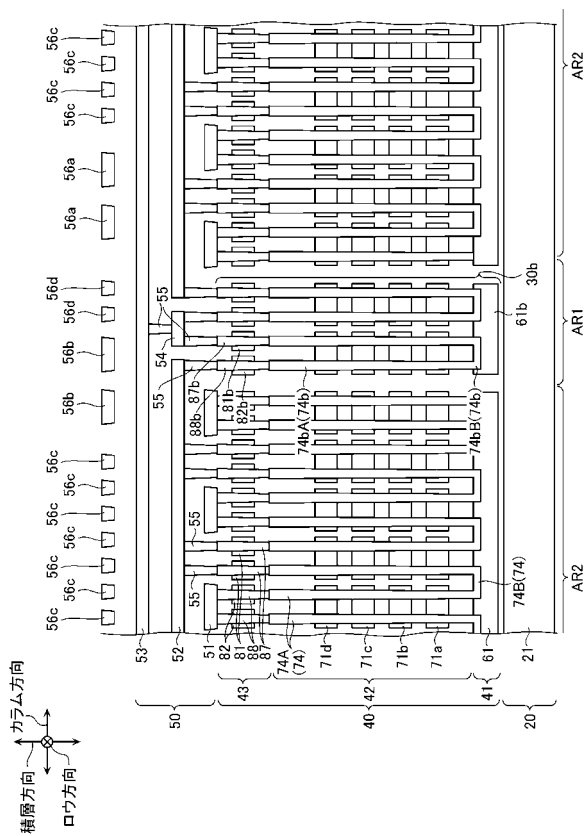
【図 5 1】



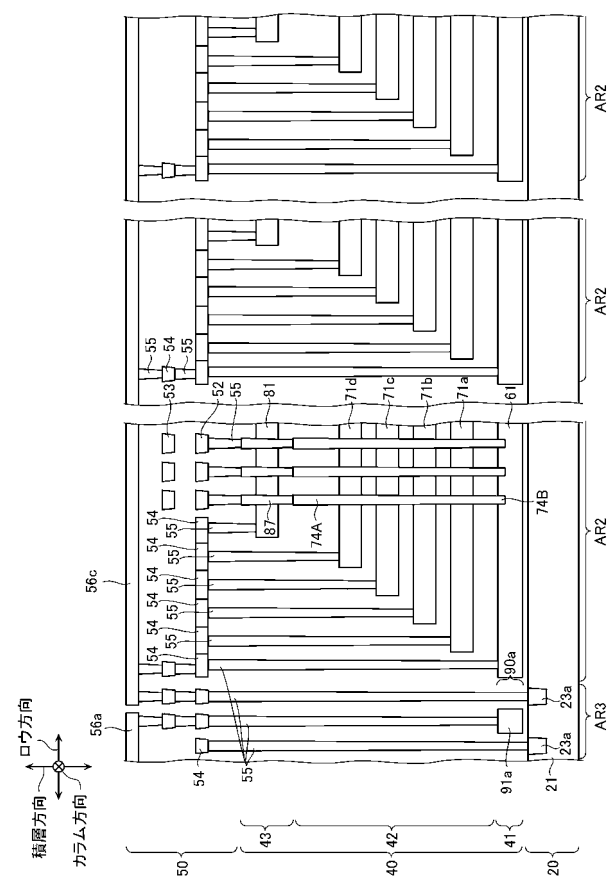
【図 5 2】



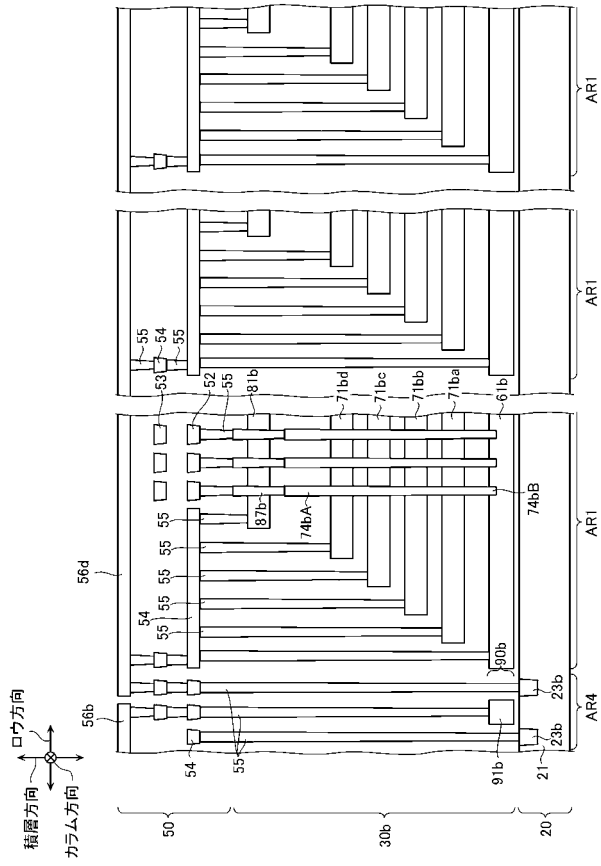
【図 5 3】



【図 5 4】



【図 55】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 L 27/00 (2006.01)
G 1 1 C 16/04 (2006.01)

(72)発明者 石月 恵
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
 (72)発明者 勝又 竜太
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
 (72)発明者 福住 嘉晃
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
 (72)発明者 鬼頭 傑
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
 (72)発明者 木藤 大
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
 (72)発明者 田中 啓安
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
 (72)発明者 小森 陽介
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
 (72)発明者 松並 絢也
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
 (72)発明者 藤原 友子
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
 (72)発明者 青地 英明
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
 (72)発明者 桐澤 亮平
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
 (72)発明者 三ヶ尻 義政
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
 (72)発明者 大田 繁人
 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

F ターム(参考) 5B125 BA01 CA06 CA30 EA05 FA07
 5F083 EP18 EP22 EP30 EP33 EP34 EP62 EP67 EP76 ER23 GA01
 GA02 GA05 GA10 GA11 GA28 JA04 JA39 JA40 JA53 KA01
 KA03 KA06 KA11 KA18 KA20 LA02 LA12 LA16 LA20 MA06
 MA16 MA19 PR42 PR52 ZA08 ZA28
 5F101 BA45 BB02 BB08 BB20 BD16 BD22 BD27 BD30 BD34 BE01
 BE02 BE05 BE07 BE14 BH21 BH23