

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成19年9月20日(2007.9.20)

【公表番号】特表2003-519835(P2003-519835A)

【公表日】平成15年6月24日(2003.6.24)

【出願番号】特願2001-550564(P2001-550564)

【国際特許分類】

G 06 F 12/08 (2006.01)

【F I】

G 06 F	12/08	5 0 7 J
G 06 F	12/08	5 0 7 Z
G 06 F	12/08	5 1 1 E
G 06 F	12/08	5 7 9

【手続補正書】

【提出日】平成19年7月20日(2007.7.20)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 読み取りアドレスの索引およびウェイ選択を受取るように結合されるタグアレイを含み、前記タグアレイは複数のウェイ(way)を含み、前記タグアレイは複数の部分タグを出力するように構成され、前記複数の部分タグの各々は前記複数のウェイの1つから来ており、さらに

前記タグアレイに結合される制御回路を含み、前記制御回路は前記読み取りアドレスが前記タグアレイの前記複数のウェイの第1のウェイにおいてミスしたことに対応してサーチウェイを識別するサーチウェイ選択を生成するように構成され、前記第1のウェイは前記ウェイ選択によって識別され、前記サーチウェイからの第1の部分タグは前記読み取りアドレスの対応する部分とマッチする、キャッシュ。

【請求項2】 前記タグアレイは前記第1のウェイから第1のタグを出力するようさらに構成され、前記制御回路は、前記第1のタグが前記読み取りアドレスのタグ部分とマッチしないことに応答して前記第1のウェイにおいて前記読み取りアドレスがミスであることを定めるよう構成される、請求項1に記載のキャッシュ。

【請求項3】 前記タグアレイは前記索引に応答して前記第1のタグの部分タグ部分を出力するよう構成され、前記タグアレイは前記索引および前記ウェイ選択に応答して前記第1のタグの残存タグ部分を出力するよう構成される、請求項2に記載のキャッシュ。

【請求項4】 前記第1のタグの前記残存タグ部分および前記読み取りアドレスの第2の対応する部分を受取るために結合される第1の比較器をさらに含み、前記第1の比較器は前記制御回路に比較結果信号を与えるよう構成され、さらに、

複数の比較器を含み、前記複数の比較器の第1のものは前記第1のタグの部分タグ部分を受取るために結合され、前記複数の比較器の他の1つは前記複数の部分タグの1つを受取るために結合され、前記複数の比較器の各々は前記読み取りアドレスの前記対応する部分を受取るために結合され、前記複数の比較器の各々は前記制御回路に比較結果信号を与えるために結合される、請求項3に記載のキャッシュ。

【請求項5】 入力ウェイ予測および前記サーチウェイ選択を受取るように結合されるマルチプレクサをさらに含み、前記マルチプレクサは前記入力ウェイ予測および前記サーチウェイ選択の間で選択するように構成され、かつ前記タグアレイに前記ウェイ選択を

与えるように結合される、請求項 1に記載のキャッシュ。

【請求項 6】 前記制御回路は前記マルチプレクサに選択制御を与えるように結合され、かつ前記制御回路が前記サーチウェイ選択を生成しないことに応答して前記入力ウェイ選択の選択をもたらすように構成される、請求項 5に記載のキャッシュ。

【請求項 7】 前記制御回路は前記サーチウェイ選択を生成することに応答して前記サーチウェイ選択の選択をもたらすように構成される、請求項 6に記載のキャッシュ。

【請求項 8】 前記読み取りアドレスが前記サーチウェイをミスしたとき、前記制御回路は前記第2のサーチウェイからの第2の部分タグが前記読み取りアドレスの前記対応する部分にマッチすることに応答して第2のサーチウェイ選択を生成するように構成される、請求項 7に記載のキャッシュ。

【請求項 9】 前記制御回路は、前記読み取りアドレスが前記第1のウェイにおいてミスし、かつ前記複数の部分タグのいずれもが前記読み取りアドレスの前記対応する部分にマッチしないことに応答してミス信号をアサートするように構成される、請求項 1に記載のキャッシュ。

【請求項 10】 前記制御回路は、前記読み取りアドレスが前記第1のウェイにおいてミスし、対応する部分タグが前記読み取りアドレスの前記対応する部分にマッチする前記複数のウェイの各々をサーチし、かつ前記複数のウェイの前記各々においてミスすることに応答してミス信号をアサートするようさらに構成される、請求項 9に記載のキャッシュ。

【請求項 11】 フェッチアドレスに応答してウェイ予測を与えるように構成されるライン予測子と、

前記ウェイ予測および前記フェッチアドレスを受取るように結合される命令キャッシュとを含み、前記命令キャッシュはセット連想型であり、かつ、前記フェッチアドレスの索引に応答して複数の部分タグを出力するように構成されるタグアレイを含み、前記命令キャッシュは、前記フェッチアドレスが前記ウェイ予測によって識別される第1のウェイにおいてミスしたことに対応して、前記複数の部分タグの対応する部分タグが前記フェッチアドレスの対応する部分にマッチするような前記タグアレイの第2のウェイをサーチするように構成される、プロセッサ。

【請求項 12】 前記命令キャッシュが前記フェッチアドレスが前記第2のウェイにおいてミスすることを定めたときは、前記命令キャッシュは、ヒットが検出されるか、または対応する部分タグが前記フェッチアドレスの前記対応する部分にマッチするようなウェイが前記命令キャッシュになくなるまで、対応する部分タグが前記フェッチアドレスの前記対応する部分にマッチするような付加的なウェイをサーチするよう構成される、請求項 11に記載のプロセッサ。

【請求項 13】 前記命令キャッシュは、前記第1のウェイにおける前記フェッチアドレスのミスに応答してミス信号をアサートするようさらに構成され、(i)前記複数の部分タグのいずれもが前記フェッチアドレスの前記対応する部分にマッチせず、または、(ii)前記フェッチアドレスのヒットを検出することなく、対応する部分タグが前記フェッチアドレスの前記対応する部分にマッチするようなウェイがなくなる、請求項 12に記載のプロセッサ。

【請求項 14】 前記第2のウェイまたは前記付加的なウェイにおいてヒットを検出することに応答して、前記命令キャッシュは前記ライン予測子に更新されたウェイ予測を与えるように構成される、請求項 12に記載のプロセッサ。

【請求項 15】 コンピュータシステムであって、

プロセッサを含み、前記プロセッサは、

フェッチアドレスに応答してウェイ予測を与えるように構成されるライン予測子と、前記ウェイ予測および前記フェッチアドレスを受取るように結合される命令キャッシュとを含み、前記命令キャッシュはセット連想型であり、かつ、前記フェッチアドレスの索引に応答して複数の部分タグを出力するように構成されるタグアレイを含み、前記命令キャッシュは、前記フェッチアドレスが前記ウェイ予測によって識別される第1のウェイにおいてミスしたことに対応して、前記複数の部分タグの対応する部分タグが前記フェッチ

アドレスの対応する部分にマッチするような前記タグアレイの第2のウェイをサーチするように構成され、前記コンピュータシステムはさらに、

入力／出力（I／O）装置を含み、前記I／O装置は、前記コンピュータシステムと前記I／O装置が結合可能な別のコンピュータシステムとの間を通信するように構成される、コンピュータシステム。

【請求項16】 前記I／O装置はモデムを含む、請求項15に記載のコンピュータシステム。

【請求項17】 オーディオI／O装置をさらに含む、請求項15に記載のコンピュータシステム。

【請求項18】 前記オーディオI／O装置はサウンドカードを含む、請求項17に記載のコンピュータシステム。

【請求項19】 前記プロセッサと同一の第2のプロセッサをさらに含む、請求項15に記載のコンピュータシステム。

【請求項20】 第2のプロセッサをさらに含み、前記プロセッサは、第2のフェッチアドレスに応答して第2のウェイ予測を与えるように構成される第2のライン予測子と、

前記第2のウェイ予測および前記第2のフェッチアドレスを受取るように結合される第2の命令キャッシュとを含み、前記第2の命令キャッシュはセット連想型であり、かつ、前記第2のフェッチアドレスの索引に応答して第2の複数の部分タグを出力するように構成される第2のタグアレイを含み、前記第2の命令キャッシュは、前記第2のフェッチアドレスが前記第2のウェイ予測によって識別される第3のウェイにおいてミスしたことに対応して、前記第2の複数の部分タグの対応する部分タグが前記第2のフェッチアドレスの対応する部分にマッチするような前記第2のタグアレイの第4のウェイをサーチするように構成される、請求項15に記載のコンピュータシステム。

【請求項21】 アドレスに応答してキャッシュから複数の部分タグを読取るステップと、

前記アドレスが前記キャッシュの予測されるウェイにおいてヒットするかどうかを定めるステップと、

前記アドレスが前記キャッシュの前記予測されるウェイにおいてヒットしないことを定めるステップに応答して、かつ、前記複数の部分タグの第1の部分タグは前記アドレスの対応する部分にマッチすることにさらに応答して、ヒットをチェックするために前記キャッシュの第2のウェイを選択するステップとを含み、前記第1の部分タグは前記第2のウェイに対応し、さらに、

ヒットに対して前記キャッシュの前記第2のウェイをサーチするステップを含む、方法。

【請求項22】 前記定めるステップは、

前記予測されるウェイからタグを読取るステップと、

前記タグを前記アドレスのタグ部分と比較するステップとを含む、請求項21に記載の方法。

【請求項23】 前記アドレスが前記第2のウェイにおいてヒットするかどうかを定めるステップと、

前記アドレスが前記キャッシュの前記第2のウェイにおいてヒットしないことを定める前記ステップに応答して、ヒットに対して前記キャッシュの第3のウェイをサーチするステップとをさらに含み、前記第3のウェイは前記予測されるウェイおよび前記第2のウェイとは異なり、前記第3のウェイに対応する前記複数の部分タグの第2の部分タグは前記アドレスの前記対応する部分にマッチする、請求項21に記載の方法。

【請求項24】 前記アドレスが前記予測されるウェイにおいてヒットしないことを定めるステップおよび前記複数の部分タグのいずれも前記アドレスの前記対応する部分にマッチしないことに応答してミス信号を生成するステップをさらに含む、請求項21に記載の方法。

【請求項 25】 前記アドレスが前記予測されるウェイにおいてヒットしないことを定めることおよび前記複数の部分タグの対応する部分タグが前記アドレスの前記対応する部分にマッチするような各ウェイのサーチにおいてヒットを検出しないことに応答してミス信号を生成するステップをさらに含む、請求項 21に記載の方法。

【請求項 26】 前記予測されるウェイとは異なるウェイにおいてヒットを検出することに応答して更新されたウェイ予測を与えるステップをさらに含む、請求項 21に記載の方法。

【請求項 27】 アドレスの索引およびウェイ予測を受取るように結合されるタグアレイを含み、前記タグアレイは複数のウェイを含み、前記ウェイ予測は前記複数のウェイの予測されるウェイを識別し、前記タグアレイは複数の部分タグを出力するように構成され、前記複数の部分タグの各々は前記複数のウェイの1つに対応し、さらに、

前記タグアレイに結合される制御回路を含み、前記制御回路は、前記アドレスが前記予測されるウェイにおいてミスしたことに応答してサーチウェイを識別するサーチウェイ表示を生成するように構成され、前記サーチウェイは前記複数のウェイの予測されないウェイであり、前記サーチウェイに対応する第1の部分タグは前記アドレスの対応する部分にマッチする、キャッシュ。

【請求項 28】 前記タグアレイは前記予測されるウェイからの第1の全タグを出力するようさらに構成され、前記制御回路は前記第1の全タグが前記アドレスのタグ部分にマッチしないことに応答して前記アドレスが前記予測されるウェイにおいてミスであることを定めるよう構成される、請求項 27に記載のキャッシュ。

【請求項 29】 前記タグアレイは前記索引に応答して前記第1の全タグの部分タグ部分を出力するよう構成され、前記タグアレイは前記索引および前記ウェイ予測に応答して前記第1の全タグの残存タグ部分を出力するよう構成される、請求項 28に記載のキャッシュ。

【請求項 30】 前記第1の全タグの前記残存タグ部分および前記アドレスの第2の対応する部分を受取るために結合される第1の比較器をさらに含み、前記第1の比較器は前記制御回路に比較結果信号を与えるよう構成され、さらに、

複数の比較器を含み、前記複数の比較器の第1のものは前記第1の全タグの前記部分タグ部分を受取るために結合され、前記複数の比較器の他の1つは前記複数の部分タグの異なる1つを受取るために結合され、前記複数の比較器の各々は前記アドレスの前記対応する部分を受取るために結合され、前記複数の比較器の各々は前記制御回路に比較結果信号を与えるよう結合される、請求項 29に記載のキャッシュ。

【請求項 31】 前記アドレスが前記サーチウェイをミスしたとき、前記制御回路は前記複数のウェイの第2のサーチウェイを識別する第2のサーチウェイ表示を生成するよう構成され、前記第2のサーチウェイは前記複数のウェイの第2の予測されないウェイであり、前記制御回路は、前記第2のサーチウェイに対応する第2の部分タグが前記アドレスの前記対応する部分にマッチすることに応答して前記第2のサーチウェイ表示を生成するよう構成される、請求項 27に記載のキャッシュ。

【請求項 32】 前記制御回路は、前記アドレスが前記予測されるウェイにおいてミスし、かつ前記複数の部分タグのいずれもが前記アドレスの前記対応する部分にマッチしないことに応答してミス信号をアサートするよう構成される、請求項 27に記載のキャッシュ。

【請求項 33】 前記制御回路は、前記アドレスが前記予測されるウェイにおいてミスし、対応する部分タグが前記アドレスの前記対応する部分にマッチするような前記複数のウェイの各々をサーチし、かつ前記複数のウェイの前記サーチされたものにおいてミスすることに応答して前記ミス信号をアサートするようさらに構成される、請求項 32に記載のキャッシュ。