双面影印 公告本

申請日期	90 5 1
案號	90110418
類別	G11C 11/15

（以上各欄由本局填註）

A4
C4

512334

發明 專利說明書

一、發明名稱	中文	供大型磁性隨機存取記憶體陣列用之寫入電路
	英文	WRITE CIRCUIT FOR LARGE MRAM ARRAYS
二、發明人	姓名	(1)腓特列 A. 伯納 (2)肯尼士 J. 艾德吉 (3)琅 T. 泉
	國籍	美國
	住、居所	(1)美國加州巴洛阿圖市瑞蒙納街3234號 (2)美國愛達荷州波伊西・科麥斯街11111號 (3)美國加州薩拉多加・伍德布瑞巷5085號
三、申請人	姓名（名稱）	美商・惠普公司
	國籍	美國
	住、居所（事務所）	美國加州帕羅亞托・哈諾維街3000號
	代表人姓名	安 O. 巴斯金

裝 訂 線

經濟部智慧財產局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

美　國（地區）　申請專利，申請日期：2000,05,03　案號：09/564,713，☑有　☐無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 1 ）

發明領域

本發明係關於供資料儲存用的隨機存取記憶體。更特別地，本發明關於包括一陣列之記憶體胞元和用來把資料寫入到記憶體胞元的電路之磁性隨機存取記憶體裝置。

發明背景

磁性隨機存取記憶體(“MRAM”)係被考慮為長期資料儲存的型式之非依電性記憶體。從MRAM裝置存取資料將比從如硬碟機的傳統長期儲存裝置來存取資料快幾個等級。另外，MRAM裝置更緊湊且比硬碟機和其他傳統長期儲存裝置消耗較少電力。

一典型MRAM裝置包括一陣列之記憶體胞元。字組線沿著記憶體胞元之列而延伸，且位元線沿著記憶體胞元之行而延伸。各記憶體胞元係設置於一字組線和一位元線之交叉點處。

各記憶體胞元把一位元之資訊儲存為定向之磁化。各記憶體胞元之磁化定向可假設於任何給定時間的兩穩定定向之一個。平行和反平行的這兩穩定之磁化定向代表邏輯值“1”和“0”。

藉由把寫入電劉供應到交叉選定記憶體胞元的字組和位元線來實施在一選定記憶體胞元上的寫入操作。寫入電流感應出把選定記憶體胞元設定磁化定向的一外部磁場。磁化定向係由外部磁場之方向來決定。外部磁場之方向又由流過字組和位元線的寫入電流之方向來決定。

資料典型上被寫入到MRAM陣列作為n位元字組。例

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 2 ）

如，可藉由把一寫入電流供應到交叉十六個記憶體胞元的一字組線、且把分立寫入電流供應到交叉十六個記憶體胞元之十六條位元線來把一16位元字組寫入到十六個記憶體胞元。

在設計供大型MRAM陣列用的寫入電路上有許多挑戰。一個挑戰是不降低MRAM陣列之寫入性能地縮減峰值寫入電流。高峰值電流可使寫入電路之元件超壓，且產生不可接受的電流雜訊位準。再者，高峰值電流可損壞記憶體胞元。

另一挑戰是把寫入電流控制於一特定範圍。寫入電流應被控制於一特定範圍以實施可靠的寫入操作。太小的寫入電流可能不使一選定記憶體胞元來改變其磁化定向，且太大的寫入電流將干擾未選定的記憶體胞元。

此挑戰因對雙向寫入電流之需要而複雜化。典型上，位元線電流以一方向流動來設定一平行磁化定向，且它以相反方向流動來設定一反平行磁化定向。

此挑戰因記憶體胞元間的電阻性交叉耦合而進一步複雜化。各記憶體胞元可表示為一電阻元件，且所儲存資料可由一小差分電阻來表示。在一MRAM陣列中，各電阻元件被耦合至其他電阻元件。寫入電流可受選定記憶體胞元和未選定記憶體胞元之電阻性交叉耦合的影響。

發明之概要

本發明符合這些設計挑戰。根據本發明之一層面，一種MRAM裝置包括一寫入電路，其藉由把一寫入電流供應

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 3 ）

至交叉記憶體胞元的一字組線、且把電流脈波供應至交叉該等記憶體胞元的位元線而把一資料字組寫入到多個記憶體胞元。至少一些電流脈波以交錯序列而供應至該等位元線。結果，峰值寫入電流被縮減。

根據另一層面，一種寫入電路把寫入電流施加至選定字組和位元線，且把各未選定線路之兩端連接至高阻抗。結果，如寄生電流的電阻性交叉耦合之效應被縮減，且寫入電流被控制於一特定範圍。

從與附圖連結取用的下面詳細描述，本發明之其他層面及優點將變得明顯，藉由舉例來說明本發明之原理。

圖式之簡單描述

第1圖係依據本發明包括一陣列之記憶體胞元和一寫入電路的MRAM裝置之說明圖；

第2a和2b圖係一SDT接合面記憶體胞元之磁化定向的說明圖；

第3圖係一記憶體胞元和其交叉字組和位元線在寫入操作期間的說明圖；

第4圖係一寫入電路方塊和一對應記憶體胞元方塊的說明圖；

第5(a)至5(d)圖係供寫入電路用的列和行之驅動器開關的說明圖；

第6圖係供寫入電路用的一個行主/從寫入驅動器之說明圖；

第7圖係用來在行讀取/寫入驅動器間傳播一寫入致能

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 4 ）

信號的電路之說明圖；

第8圖係第7圖之電路的一時序圖；

第9圖係使用寫入電路來寫入到一方塊之記憶體胞元的方法之流程圖；

第10圖係依據本發明的一MRAM晶片之說明圖；及

第11圖係包括一或更多MRAM晶片的機器之說明圖。

本發明之詳細描述

如在用來說明的圖式中顯示的，本發明實施在包括一寫入電路和一陣列之記憶體胞元的一MRAM裝置中。寫入電路可不超過記憶體胞元之崩潰限度地來把一可控制、雙向寫入電流提供到選定字組和位元線。結果，寫入電路不使電路超壓或損壞記憶體胞元地改善把資料儲存在記憶體胞元中之可靠度。該寫入電路也可縮減峰值電流。縮減峰值電流對於高度平行操作模式(例如，64位元寬操作、128位元寬操作)特別受期望。寫入電路也具有改善其行寫入驅動器之可觀察性的一內建測試特性。

現在請參考第1圖，其說明包括一陣列10之記憶體胞元12的一MRAM裝置8。記憶體胞元12係以列和行來配置，以列沿著x方向來延伸且行沿著y方向來延伸。只有相當少數之記憶體胞元12被顯示來簡化發明之描述。實際上，陣列10可為任何尺寸。

作用為字組線14的線跡在記憶體胞元陣列10之反面上的一平面中沿著x方向而延伸。作用為位元線16的線跡在記憶體胞元陣列10之反面上的一平面中沿著y方向而延伸。針

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 5 ）

對陣列10之各列可能有一條字組線14，且針對陣列10之各行可能有一條位元線16。各記憶體胞元12係設置在一字組線14和位元線16之交叉點處。

記憶體胞元12不限於任何特定型式之裝置。例如，記憶體胞元12可為迴旋相依隧道式("SDT")接合面裝置。

現在請參考第2a和2b圖，一典型SDT接合面裝置12包括具有定向於插腳層20之平面但受固定以在關注範圍內的一施加磁場呈現時不致旋轉之一磁化的一插腳層20。SDT接合面裝置12也包括具有不插腳的一磁化定向的一"自由"層18。而是，磁化可被定向於沿著位在自由層18之平面上的一軸("容易"軸)的兩方向之任一個。若自由和插腳層18和20之磁化係在相同方向上，則定向被稱為"平行"(如第2a圖中由箭頭指出的)。若自由和插腳層18和20之磁化係在相反方向上，則定向被稱為"反平行"(如第2b圖中由箭頭指出的)。

自由和插腳層18和20由一絕緣隧道障壁22分開。絕緣隧道障壁22允許量子力學通道在自由和插腳層18和20間發生。此通道現象係依據電子迴旋，使SDT接合面裝置12之電阻為自由和插腳曾18和20之相對磁化定向的函數。例如，一SDT接合面裝置12之電阻在自由和插腳曾18和20之磁化定向係平行時為第一值，而若磁化定向係反平行時為第二值R+ΔR。

現在請另外參考第3圖，其說明在寫入操作期間的一選定記憶體胞元12。藉由把寫入電流Ix和Iy施於交叉選定記

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 6 ）

憶體胞元12的選定字組線14和位元線16兩者來使在選定記憶體胞元12之自由層18上的磁化定向。藉由把電流Ix施於字組線14來使磁場Hy形成在字組線14四周。藉由把電流Iy施於位元線16來使磁場Hx形成在位元線16四周。當充分大的電流Ix和Iy通過這些選定線路14和16時，在自由層18附近的組合磁場使自由層18之磁化從平行定向旋轉到反平行定向，或反之亦然。電流量度被選擇使得組合磁場超過自由層18之切換場但不超過插腳層20之切換場。因此，施加兩磁場Hx和Hy使自由層18之磁化定向改變。

位元線電流Iy之方向將決定自由層18之磁化定向。例如，一充分正的位元線電流Iy將使磁化定向呈平行，然而一充分負的位元線電流Iy將使磁化定向呈反平行。

請回到第1圖，MRAM裝置8更包括用來在選定記憶體胞元12上實施寫入操作的一寫入電路24。寫入電路24包括一個列讀/寫("R/W")驅動器26和一個列唯寫("W/O")驅動器28。寫入電路24更包括多個行W/O驅動器30、多個行R/W驅動器32及一電源供應器34。電源供應器34把第一個行寫入電位VMCOLM提供到各行W/O驅動器30、一第二個行寫入電位VWCOLP提供到各行R/W驅動器32、及一個列寫入電位VWROW提供到列W/O驅動器28。電源供應器更把一個列讀取電位RRP提供到列R/W驅動器26及一個行讀取電位CRP提供到各行R/W驅動器32。

驅動器26至32在一選定記憶體胞元12上的寫入操作期間把寫入電流Ix和Iy供應到選定字組和位元線14和16。各

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 7 ）

對之行W/O和R/W驅動器30和32把一位元線寫入電流供應到一方塊(即多行)之記憶體胞元。例如，在具有n=18方塊之記憶體胞元和十八對之行驅動器30和32之一陣列10中，位元線電流將在一寫入操作期間被供應至十八條位元線。不同對組之行驅動器30和32把位元線電流提供到不同方塊之記憶體胞元12。

要寫入到記憶體胞元12的資料經由I/O墊塊36而供應至MRAM裝置8且儲存在資料暫存器38中(雖然第1圖每I/O墊塊36只顯示一個資料暫存器38，但可瞭解到裝置8每I/O墊塊36可包括多個資料暫存器38，藉此資料可串列地供應到一I/O墊塊36並被解多工成不同的資料暫存器38)。各對之行驅動器30和32在一方塊之記憶體胞元12上實施一寫入操作。在任何給定時間，行驅動器對組30和32只寫入到一方塊中的單一記憶體胞元12。

寫入電路24可同時寫入到所有方塊。然而，寫入電路24也可以一交錯序列來寫入到方塊。以交錯序列寫入到方塊提供於時間內分佈電流且藉此縮減電流峰值之優點。考慮同時寫入到十六個方塊之第一例、以非重疊時間區間的交錯序列(如一次一個)來寫入到十六個方塊之第二例、及一次寫入到兩方塊之第三例。假設一微安的字組和位元線寫入電流即足以設定各記憶體胞元之磁化定向。在第一例中，同時寫入到十六個方塊將導致十六微安之位元線寫入電流。然而在第二例中，因為一次寫入到一個選定記憶體胞元故位元線寫入電流最大為一微安。再者，第二例中的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 8 ）

峰值電流低於第一例中者。在第三例中，位元線寫入電流最大為兩微安，其小於第一例中的最大峰值電流，但大於第二例中的最大峰值電流。然而，第三例中的寫入時間比第二例中的寫入時間快。

電流變化和峰值電流部份由MRAM裝置8中的程序變化所引起。不同記憶體胞元將具有不同的電阻、不同的字組和位元線將具有不同的電阻、施於不同記憶體胞元和線路的電壓將產生不同電流等等。同時寫入到多個記憶體胞元將導致比一次寫入到一個記憶體胞元更高的峰值電流。

列驅動器26和28在寫入操作期間斷接各未經選定字組線的兩端，且行驅動器30和32在寫入操作期間也斷接各未經選定字組線的兩端。使未經選定線路之兩端斷接防止未經選定線路把不期望路徑提供給一參考電位或一寫入供應電源。若一未經選定線路在寫入操作期間來提供一不期望路徑，則寄生電流將流過陣列。這些寄生電流可干擾寫入操作。然而，藉由使各未經選定線路之兩端斷接(例如把兩端連接到高阻抗)，寄生電流之相對量度被縮減而不致干擾寫入操作。

在一選定記憶體胞元12上的讀取操作模式期間，列R/W驅動器26把未經選定字組線連接至一參考電位，且行R/W驅動器32把未經選定位元線連接至參考電位REF。替換地，列R/W驅動器26把經選定字組線連接至一個列讀取電位RRP，且行R/W驅動器32把經選定位元線連接至一個行讀取電位。任一情形中，一感測電流流過選定記憶體胞

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 9 ）

元12。一感測放大器40感測選定記憶體胞元12之電阻狀態來決定儲存在經選定記憶體胞元12中的邏輯值。例如，感測放大器40可測量感測電流來判定記憶體胞元是具有與第一狀態對應的電阻值R或是與第二狀態對應的數值R+ΔR。對應資料值被儲存在暫存器38中。儲存在資料暫存器38中的數值經由I/O墊塊36而讀出MRAM裝置8。

MRAM裝置8可使用一種"等電位"方法來縮減寄生電流之量度，且允許感測電流被可靠地讀取。行R/W驅動器32可把與經選定位元線相同之電位提供至未經選定位元線，或列R/W驅動器26可把與經選定字組線相同之電位提供至未經選定字組線。等電位方法被更詳述於_____申請的美國序號第_____號中，且在此被合併參考(代理人檔案第10990673-1號)。

現在請參考第4圖，其顯示供一方塊記憶體胞元12用的一對行驅動器30和32。也顯示的是列驅動器26和28。列R/W驅動器26可包括一個列R/W解碼器112及多個列R/W切換器114，每記憶體胞元列有一個列R/W切換器114。列R/W解碼器112把一記憶體胞元位址Ax解碼，且使各列R/W切換器114把一字組線之第一端連接於列讀取電位、參考電位或高阻抗。

針對列R/W驅動器26的一例示列R/W切換器114顯示在第5a圖中。例示的列R/W切換器114可在讀取和寫入兩操作期間把一選定字組線之第一端連接至列讀取電位(RRP)、在讀取操作期間把一未經選定字組線之第一端連

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 10）

接至陣列參考電位(REF)、且在寫入操作期間把一未經選定字組線的第一端切換至高阻抗。"Wrow"註明一總體寫入致能信號。在寫入操作期間，總體寫入致能信號Wrow變Hi，其把一NOR閘114a之輸出驅動至Lo狀態。NOR閘輸出之Lo狀態使一N通道拉上電晶體114b截止，藉此在字組線14和參考電位REF間強加一高阻抗連線。若該列未被選定，則一拉下電晶體114c也截止，其導致對列R/W切換器114的一高阻抗狀態。

列W/O驅動器28可包括一個列W/O解碼器116及多個列W/O切換器118，每記憶體胞元列有一個列W/O切換器118。列W/O解碼器116把記憶體胞元位址Ax解碼，且使各列W/O切換器118把一字組線之第二端連接於列寫入電位VWROW或高阻抗。一選定字組線之第二端可在一寫入操作期間被連接至列寫入電位VWROW，且在一讀取操作期間被連接至高阻抗。一未經選定字組線之第二端在讀取和寫入操作期間被連接至高阻抗。針對列W/O驅動器28的一例示列W/O切換器顯示在第5b圖中。

行R/W驅動器32包括一個行R/W解碼器120、一脈波產生器122、一個行主力寫入驅動器124及多個行R/W切換器126，每記憶體胞元行有一個行R/W切換器126。行R/W解碼器120把一記憶體胞元位址Ay解碼，且使行R/W切換器126把一選定位元線之第一端在讀取和寫入操作期間連接於感測放大器40和主力寫入驅動器124、在讀取操作期間把未經選定位元線之第一端連接至行讀取電位(CRP)、且在

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 11）

寫入操作期間把未經選定位元線之第一端連接至高阻抗。針對行R/W驅動器32的一例示行R/W切換器126顯示在第5c圖中。

行W/O驅動器30可包括一個行W/O解碼器128、一個行僕從驅動器130、及多個行W/O切換器132，每記憶體胞元行有一個行W/O切換器132。行W/O解碼器128把記憶體胞元位址Ay解碼，且使行W/O切換器132在寫入操作期間把選定位元線之第二端連接於僕從寫入驅動器130、且把未經選定位元線之第二端連接至高阻抗。在一讀取操作期間，行W/O解碼器128使行W/O切換器132把該位元線之第二端連接至高阻抗。一例示行W/O切換器132顯示在第5d圖中。

這些切換器114、118、126和132被使用來縮減寄生電流之相對量度，以不致干擾寫入操作。因此，所有四個側面之MRAM陣列使用有來自列或行解碼器112、116、120和128之任一個之控制的切換器。簡單切換器被使用在兩側面上來在讀取操作期間把行寫入驅動器30和32隔離，且一圖騰柱切換器被使用在其他兩側面上以允許行寫入驅動器30和32在寫入操作和一等電位讀取操作間來切換。

行主力和僕從驅動器124和130在一寫入操作期間來控制寫入電流之方向和期間。例示的主力和僕從驅動器124和130被顯示在第6圖中。行主力驅動器124包括驅動器邏輯單元134和具有耦合於第二個行寫入電位VWCOLP和參考電位REF間的受控制電流路徑之第一對切換器136和138。行僕從驅動器130包括具有耦合於第一個行寫入電位

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 12）

VWCOLM和參考電位間的受控制電流路徑之第二對切換器140和142。

當行寫入致能信號Wcol變Hi時，寫入邏輯單元134使行主力和僕從驅動器124和130把行寫入電位VWCOLP或VWCOLM施於一位元線之一端，及一參考電位REF施於位元線之另一端。主力和僕從驅動器124和130之切換器136至142以推挽方式來工作以建立位元線電流之方向。針對以一方向流動的電流，行僕從驅動器130把選定位元線連接至第一個行寫入電位VWCOLM，且行主力驅動器124把經選定位元線連接至參考電位REF。針對以相反方向流動的電流，行僕從驅動器130把選定位元線連接至參考電位REF，且行主力驅動器124把經選定位元線連接至第二個行寫入電位VWCOLP。寫入邏輯單元134根據資料暫存器38中的資料Din之數值來選擇電流流動之方向。

在一讀取操作期間，行寫入致能信號Wcol為Lo，藉此主力和僕從寫入驅動器124和130之電晶體被截止。僕從寫入驅動器130由行W/O切換器132而從選定位元線隔離。主力寫入驅動器124由主力寫入驅動器之切換器136和138的高阻抗狀態而從選定位元線隔離。

主力和僕從驅動器124和130之四個切換器136至142以施於連接至選定位元線的記憶體胞元之最低可能的寫入電壓應力之特性來發展雙向寫入電流。將藉由設定寫入驅動器和切換器及字組和位元線之電阻的大小來設定寫入電壓。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 13）

行寫入致能信號Wcol可為係供應到各方塊的一總體信號(在各情形中R/W驅動器32之脈波產生器122可被一單一脈波產生器來取代)。總體行寫入致能信號Wcol可使寫入脈波同時供應至選定位元線。總體行寫入致能信號之脈寬應足夠長來設定經選定記憶體胞元中的儲存磁場之方向。

替換地，寫入脈波可為交錯。脈波可供應一次一個、一次兩個等等來把行寫入電流脈波散佈於一寬廣時間期間內，且藉此控制峰值寫入電流。各脈波產生器122可產生一分立的行寫入致能信號$Wcol_i$(其中$1 \leqq i \leqq n$且n係陣列中方塊之數目)。第i個行寫入致能信號$Wcol_i$之期間將只足夠長來設定寫入行脈波之寬度，且因此，在第i方塊之選定記憶體胞元中的儲存磁場。一最小的寫入時間可為一到十奈秒之等級。

第7圖顯示不同R/W驅動器32之脈波產生器122可如何配置來產生使電流脈波一次一個地供應到經選定位元線的行寫入致能信號$Wcol_i$。藉由把一信號$Wcol_0$供應到第一R/W驅動器32之脈波產生器122來初始化一寫入操作。信號$Wcol_0$使第一R/W驅動器32之脈波產生器122產生一第一脈波$Wcol_1$。第一脈波係供第一方塊之行驅動器30和32用的行寫入致能信號$Wcol_1$。第一脈波$Wcol_1$也供應到第二R/W驅動器32之脈波產生器122。第一脈波$Wcol_1$之一下降邊緣使第二R/W驅動器32之脈波產生器122產生一第二脈波$Wcol_2$。第二脈波係供第二方塊之行驅動器30和32用的行寫入致能信號$Wcol_2$。由第i方塊之脈波產生器產生的第i脈波

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 14）

(亦即第i個行致能信號$Wcol_i$)被供應至第i+1方塊之脈波產生器122。以此方式，行寫入致能信號$Wcol_i$被傳播橫過脈波產生器122(如第8圖中顯示的)。結果，寫入脈波傳播橫過位元線使得在任何給定時間，每方塊只有一個記憶體胞元被寫到。

寫入電路22可包括用來測試行R/W驅動器32的電路。測試電路可產生在測試寫入電路期間被供應至最後(第n個)資料暫存器38的信號。施於最後資料暫存器38的信號可為從行主力寫入驅動器124到行僕從寫入驅動器130的拉下信號。邏輯上，拉下信號係由被最後方塊之脈波產生器122產生的第n個行寫入致能信號$Wcol_n$選通的資料-入信號。此測試電路可用來在寫入操作期間觀察行R/W驅動器32之動作。資料-出在寫入操作期間不使用，且該測試資料可在寫入操作期間被多工到資料-出信號上。針對寫入測試特性而增加的邏輯單元可為放置在從第n個感測放大器到第n個資料暫存器38的資料-出線路中的一完整CMOS傳輸閘41(看第1圖)。傳輸閘41可受已出現在行主力寫入驅動器電路中的行寫入致能信號之控制。

第9圖顯示在一寫入操作期間行驅動器30和32之操作。寫入電流被設定且受三個寫入電位：VWROW、VWCOLP、和VWCOLM之控制(方塊202)。在一寫入操作開始前，藉由把位址Ax和Ay供應到列和行解碼器112、116、120和128來選擇一列和一組之行(方塊204)。儲存在資料暫存器38中的資料被施加於行R/W驅動器32(方塊

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 15）

206)。總體寫入致能信號Wrow被確定來在一選定字組線中建立一字組線寫入電流，且行寫入致能信號$Wcol_0$被確定，使寫入脈波一次一個地供應到以第一方塊之位元線開始而以最後方塊之位元線結束的經選定位元線(方塊208)。來自最後(第n個)R/W驅動器32之脈波產生器122的輸出可被觀察來判定何時已完成寫入操作(方塊210)。程序可針對所有寫入操作來重複。

現在請參考第10圖，其說明一多層次MRAM晶片300。MRAM晶片300包括以z方向堆疊在一基體304上的多數N之記憶體胞元層次302。N≧1，而N係一正整數。記憶體胞元層次可被如二氧化矽的絕緣材料(未顯示)來分開。讀取和寫入電路可製作在基體304上。讀取和寫入電路可包括用來選擇從其中讀取和寫入到其中的層次之額外多工器。

因此揭露的是供大型MRAM陣列用的寫入電路。寫入電路可不超過記憶體胞元之崩潰限度地把一可控制、雙向寫入電流脈波提供到選定字組和位元線。結果，寫入電路不使電路超壓或損壞記憶體胞元地改善把資料儲存在記憶體胞元中的可靠度。寫入電路可把電流脈波分佈於時間內來縮減峰值電流。縮減峰值電流減少功率消耗和熱量發散。縮減峰值電流對高度平行的操作模式特別需要。

寫入電路係與在一讀取操作期間把相等電位施於選定和未經選定線路的讀取電路相容。寫入電路具有改善行寫入驅動器之可觀察性的一內建測試特性。因為內部節點之狀態的可觀察性，寫入電路之測試涵蓋性被改善。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 16）

根據本發明的MRAM裝置可使用於多種應用中。第11圖顯示對於一或更多MRAM晶片300的例示一般應用。一般應用係由包括一MRAM儲存模組402、一介面模組404及一處理器406的一機器400來實施。MRAM儲存模組402包括供長期儲存用的一或更多MRAM晶片300。介面模組404提供處理器406和MRAM儲存模組402間的介面。機器400也可包括供短期儲存用的快速依電性記憶體(如SRAM)。

針對諸如筆記型電腦或個人電腦的機器400，MRAM儲存模組402可包括多數MRAM晶片300，且介面模組404可包括EIDE或SCSI介面。針對如伺服器的機器400，MRAM儲存模組404可包括大數目之MRAM晶片300，且介面模組404可包括光纖通道或SCSI介面。此等MRAM儲存模組402可取代或補充如硬碟機的傳統長期儲存裝置。

針對如數位照相機的機器400，MRAM儲存模組402可包括較少數之MRAM晶片300，且介面模組404可包括一照相機介面。此種MRAM儲存模組402將允許數位照相機之板上數位影像的長期儲存。

根據本發明之MRAM裝置提供優於如硬碟機的傳統長期資料儲存裝置之許多優點。從MRAM裝置存取資料係比從如硬碟機的傳統長期儲存裝置存取資料快數個等級。另外，MRAM裝置比硬碟機更緊湊。

MRAM裝置不限於上面描述和說明的特定實施例。例如，記憶體胞元不限於SDT接合面裝置。可使用的其他型式之裝置包括、但不限於巨型磁阻("GMR")裝置。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 17）

已與沿著容易軸而定向之列連結地描述了MRAM陣列。然而，列和行可以換位，在此情形中行將沿著容易軸來定向。

列和行驅動器不限於第5a至5d圖中顯示的切換器。然而，第5a至5d圖中顯示的切換器可用NMOS電晶體來實施，其支持一低電壓設計及高密度佈局。

電源供應器可以多數方式來實施。例如，電源供應器可包括用來提供不同電位的可變電壓源。替換地，受控制電流源可包括高阻抗控制的電流源或電流鏡。

脈波產生器122如第4圖中顯示地可為部份之R/W驅動器32。替換地，行寫入致能信號$Wcol_i$可由外部產生。

除多個脈波產生器外的電路可被用來產生行寫入致能信號。例如，可由一或更多移位暫存器來產生行寫入致能信號(例如一單一移位暫存器可一次產生一個寫入致能信號；兩並聯操作的移位暫存器可一次產生兩個寫入致能信號)。

因此，寫入操作可一次實施一個方塊、一次兩個方塊等等。各額外寫入脈波將增加峰值位元線電流。然而，各額外寫入脈波將也增加寫入速度。因此，設計者面對增加寫入速度相對於把峰值寫入電流縮減到一可接受位準的折衷。

據此，本發明不限於上面描述和說明的特定實施例。而是，本發明係根據隨後的申請專利範圍而組構。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 18）

元件標號對照

8…磁性隨機存取記憶體(MRAM)裝置
10…陣列
12…記憶體胞元、迴旋相依通道(SDT)接合面裝置
14…字組線
16…位元線
18…自由層
20…插腳層
22…絕緣隧道障壁
24…寫入電路
26…列讀/寫(R/W)驅動器
28…列唯寫(W/O)驅動器
30…行 W/O 驅動器
32…行 R/W 驅動器
34…電源供應器
36…輸入/輸出(I/O)墊塊
38…資料暫存器
40…感測放大器
41…傳輸閘
112…列 R/W 解碼器
114…列 R/W 切換器
114a…NOR 閘
114b…N 通道拉上電晶體
114c…拉下電晶體
116…列 W/O 解碼器
118…列 W/O 切換器
120…行 R/W 解碼器
122…脈波產生器
124…行主力寫入驅動器
126…行 R/W 切換器
128…行 W/O 解碼器
130…行僕從驅動器
132…行 W/O 切換器
134…寫入邏輯單元
136、138、140、142…切換器
202、204、210…方塊
300…MRAM 晶片
302…記憶體胞元層次
304…基體
400…機器
402…MRAM 儲存模組
404…介面模組
406…處理器

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：供大型磁性隨機存取記憶體陣列用之寫入電路）

一種供磁性隨機存取記憶體("MRAM")裝置(8)之大型陣列(10)的記憶體胞元(12)用之寫入電路(24)。寫入電路(24)可不超過記憶體胞元(12)之崩潰限度地來把一可控制、雙向寫入電流提供至選定字組和位元線(14和16)。另外，寫入電路(24)可於時間內來分佈寫入電流以縮減峰值電流。

英文發明摘要（發明之名稱：WRITE CIRCUIT FOR LARGE MRAM ARRAYS）

A write circuit (24) for a large array (10) of memory cells (12) of a Magnetic Random Access Memory ("MRAM") device (8). The write circuit (24) can provide a controllable, bi-directional write current to selected word and bit lines (14 and 16) without exceeding breakdown limits of the memory cells (12). Additionally, the write circuit (24) can spread out the write currents over time to reduce peak currents.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種MRAM裝置(8)，包含有：

一陣列(10)之記憶體胞元(12)；

多條字組線(14)，交叉該等記憶體胞元(12)；

多條位元線(16)，交叉該等記憶體胞元(12)；及

一電路(24)，包括針對各記憶體胞元方塊的一個行驅動器(32)，各記憶體胞元方塊包括多條位元線(16)及多個記憶體胞元(12)，各個行驅動器(32)在一寫入操作期間把一電流脈波提供到一對應方塊中的一經選定位元線，該等行驅動器(32)於不同時間來寫入到至少一些不同方塊。

2. 依據申請專利範圍第1項之裝置，其中該電路(24)包括用來產生針對該等行驅動器(32)的寫入致能脈波之至少一組件(122)，該等寫入致能脈波依序供應到該等行驅動器(32)，各寫入致能脈波使一個行驅動器(32)產生一電流脈波，藉此電流脈波被依序供應到該等記憶體胞元方塊。

3. 依據申請專利範圍第2項之裝置，其中該電路(24)包括針對各方塊的一脈波產生器(122)，各脈波產生器(122)具有用來提供一寫入致能信號的一輸出，各寫入致能信號使一個行驅動器(32)產生一電流脈波，該等脈波產生器(122)係連接於以一第一方塊的該脈波產生器(122)開始而以一最後方塊之該脈波產生器(122)結束的連波寫入致能脈波。

4. 依據申請專利範圍第3項之裝置，其更包含耦合至該最

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

後方塊之一個行驅動器(32)用來指出該等行驅動器(32)之可操作性的一閘件(41)。

5. 依據申請專利範圍第1項之裝置，其中該電路(24)包括多個第一切換器(114)、多個第二切換器(118)、多個第三切換器(126)及多個第四切換器(132)，該等第一切換器(114)在一寫入操作期間把未經選定字組線之第一端耦合至一高阻抗；該等第二切換器(118)在一寫入操作期間把未經選定字組線之第二端耦合至一高阻抗；該等第三切換器(126)在一寫入操作期間把未經選定位元線之第一端耦合至一高阻抗；且該等第四切換器(132)在一寫入操作期間把未經選定位元線之第二端耦合至一高阻抗。

6. 依據申請專利範圍第5項之裝置，其中一第一切換器(114)在一寫入操作期間把一參考電位施加至一經選定字組線之第一端；其中一第二切換器(118)在一寫入操作期間把一個列寫入電位施加至一經選定字組線之第二端；其中一第三切換器(126)在一寫入操作期間把一參考電位和一第一個行寫入電位中之一個施加至一經選定位元線之第一端；且其中一第四切換器(132)在一寫入操作期間把一參考電位和一第二個行寫入電位中之一個施加至一經選定位元線之第二端。

7. 依據申請專利範圍第6項之裝置，其更包含用來把該等第一和第二寫入電位施加至該等第三和第四切換器(126、132)的一主-從驅動器(124-130)。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

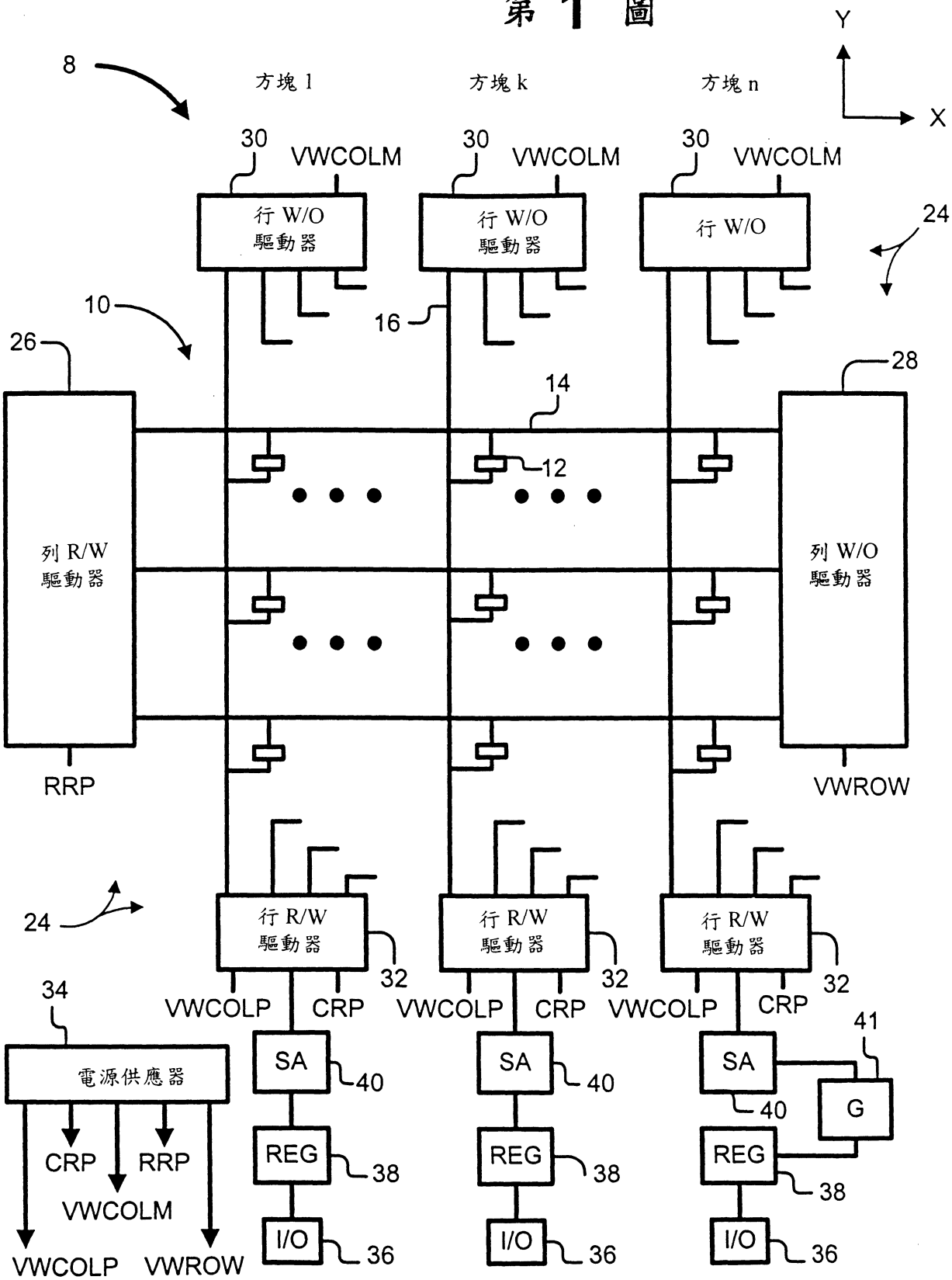
六、申請專利範圍

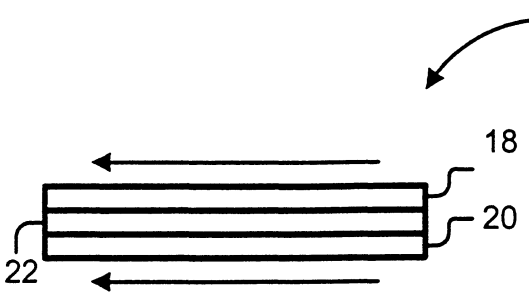
8. 依據申請專利範圍第5項之裝置，其更包含針對各方塊的一感測放大器(40)；其中一第一切換器(114)在一讀取操作期間把一讀取參考電位施加至一經選定字組線之第二端；且其中各第三切換器(126)在一讀取操作期間把一經選定位元線之第二端耦合至一感測放大器(40)。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

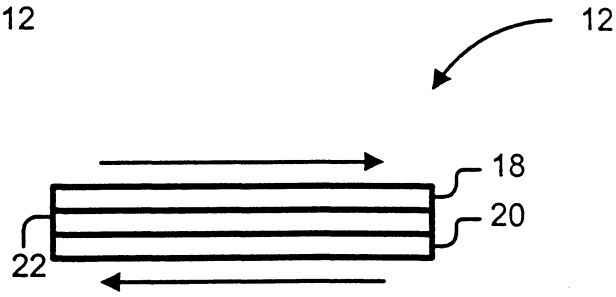
經濟部智慧財產局員工消費合作社印製

第 1 圖

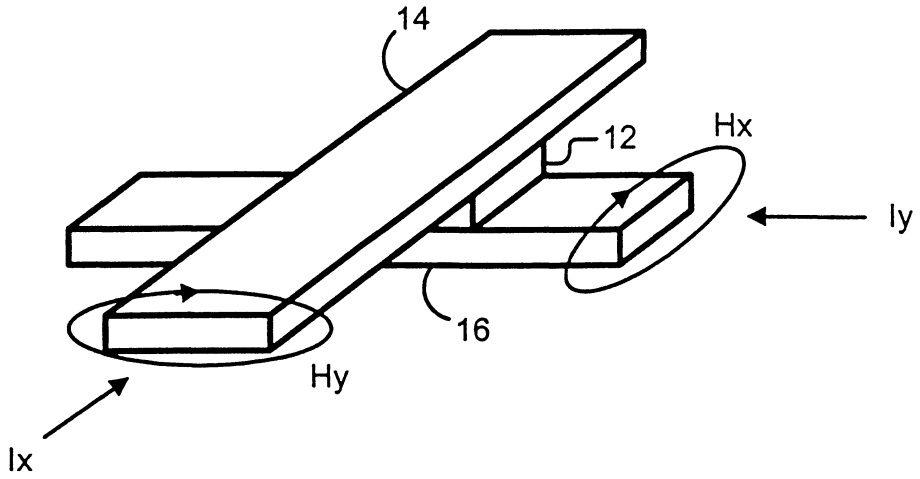

8
方塊 l
方塊 k
方塊 n
Y
X
30
VWCOLM
行 W/O 驅動器
24
10
16
26
28
14
12
列 R/W 驅動器
列 W/O 驅動器
RRP
VWROW
行 R/W 驅動器
32
34
41
VWCOLP
CRP
SA
40
G
REG
38
I/O
36
電源供應器
RRP
VWCOLM



第 2a 圖

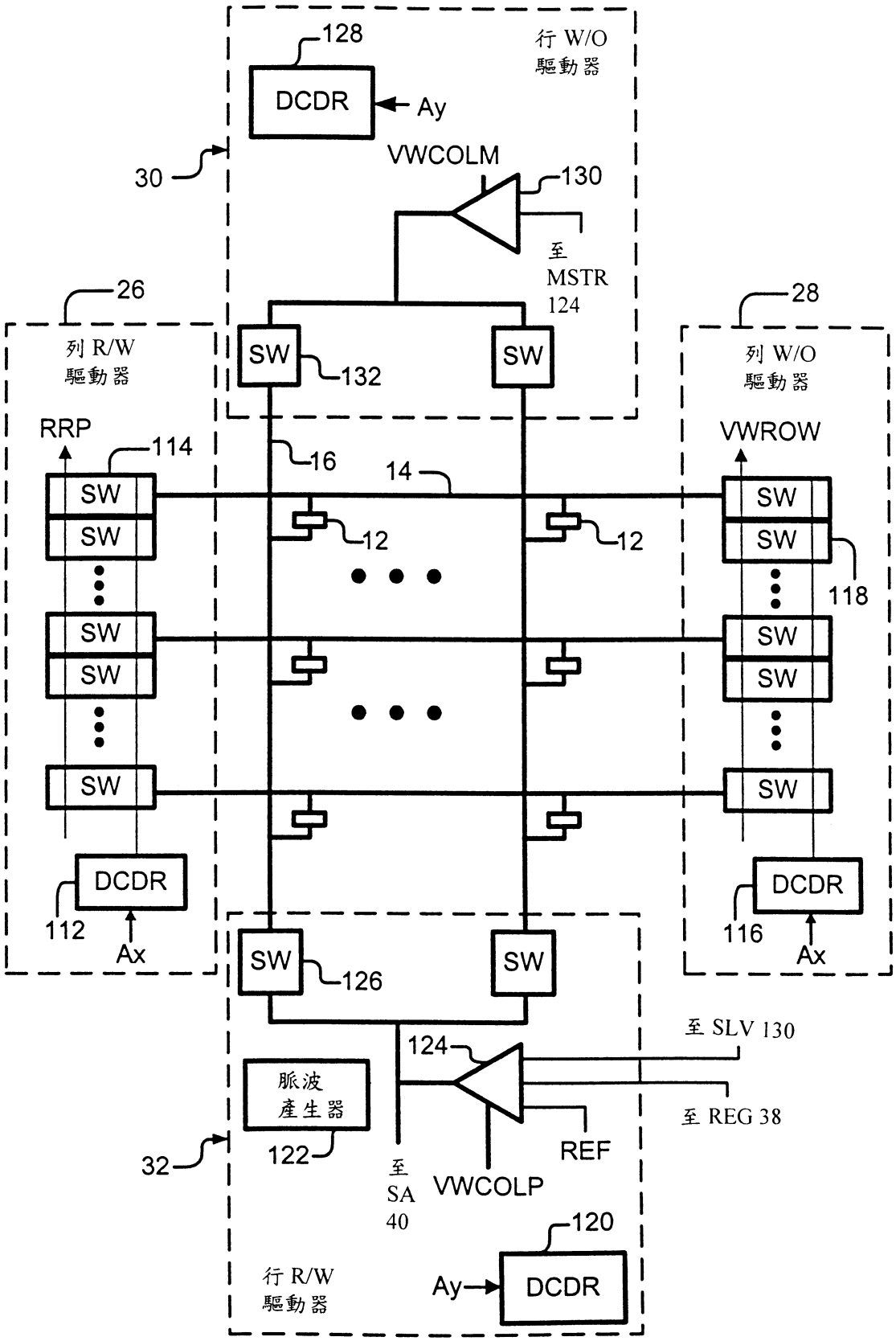


第 2b 圖

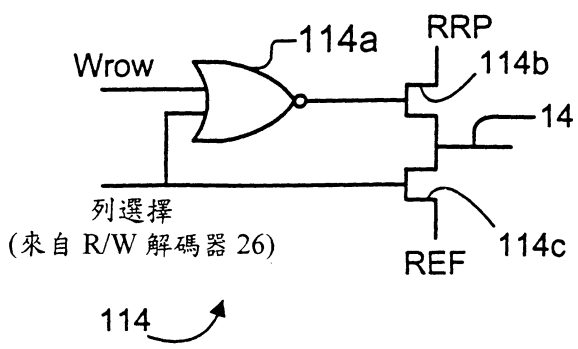


第 3 圖

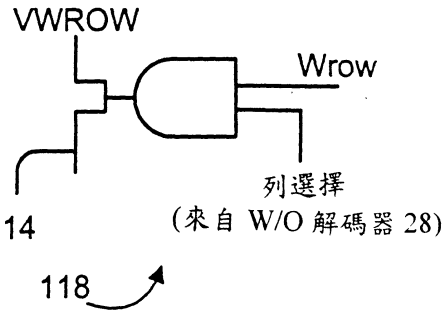
第 4 圖


128
DCDR
Ay
行 W/O
驅動器
30
VWCOLM
130
至
MSTR
124
26
列 R/W
驅動器
SW
132
SW
28
列 W/O
驅動器
RRP
114
16
14
VWROW
SW
12
12
SW
118
DCDR
112
Ax
116
126
至 SLV 130
124
脈波
產生器
122
至 REG 38
REF
32
至
SA
40
VWCOLP
120
行 R/W
驅動器
Ay
DCDR

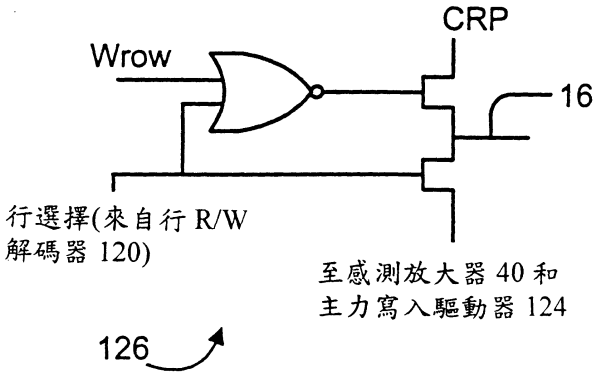
第 5a 圖



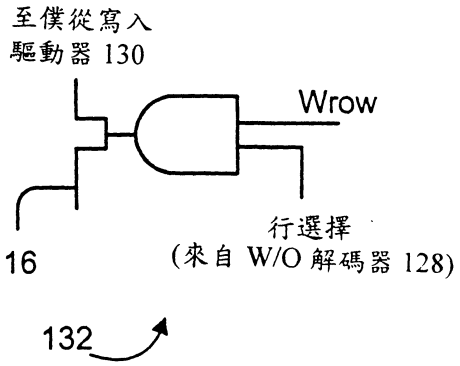
第 5b 圖



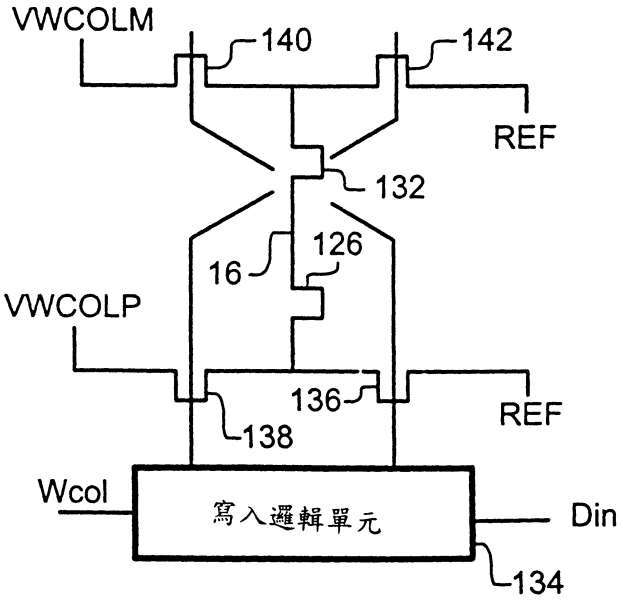
第 5c 圖



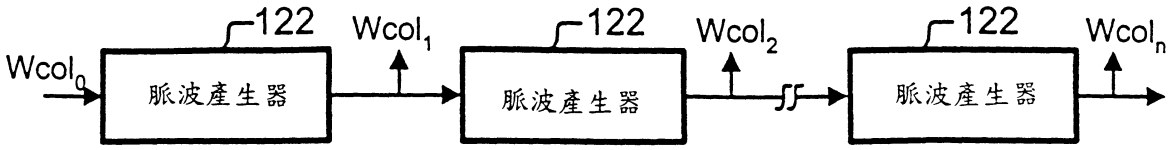
第 5d 圖



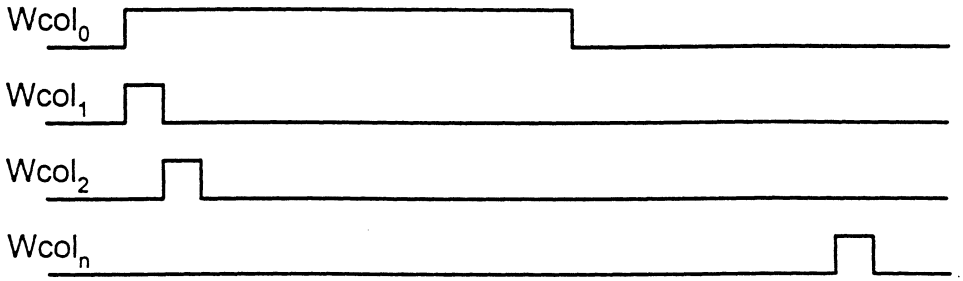
第 6 圖



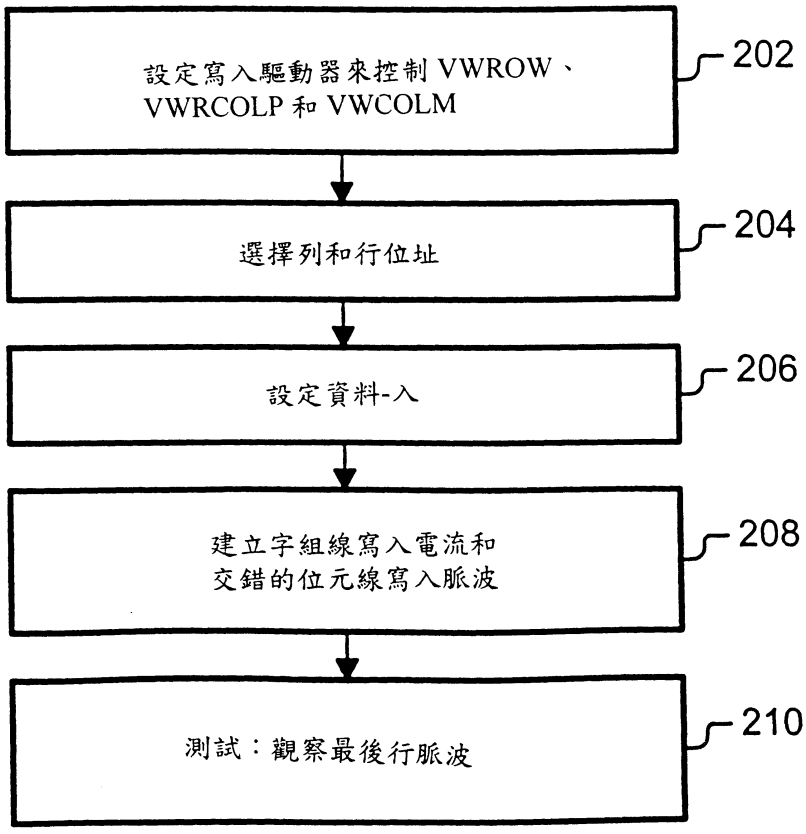
第 7 圖

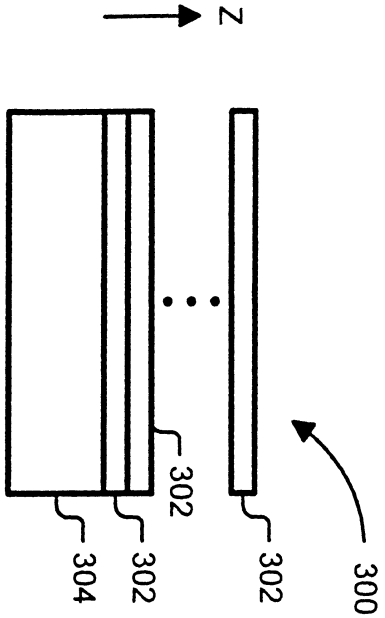

122
122
122
$Wcol_0$
$Wcol_1$
$Wcol_2$
$Wcol_n$
脈波產生器
脈波產生器
脈波產生器

第 8 圖

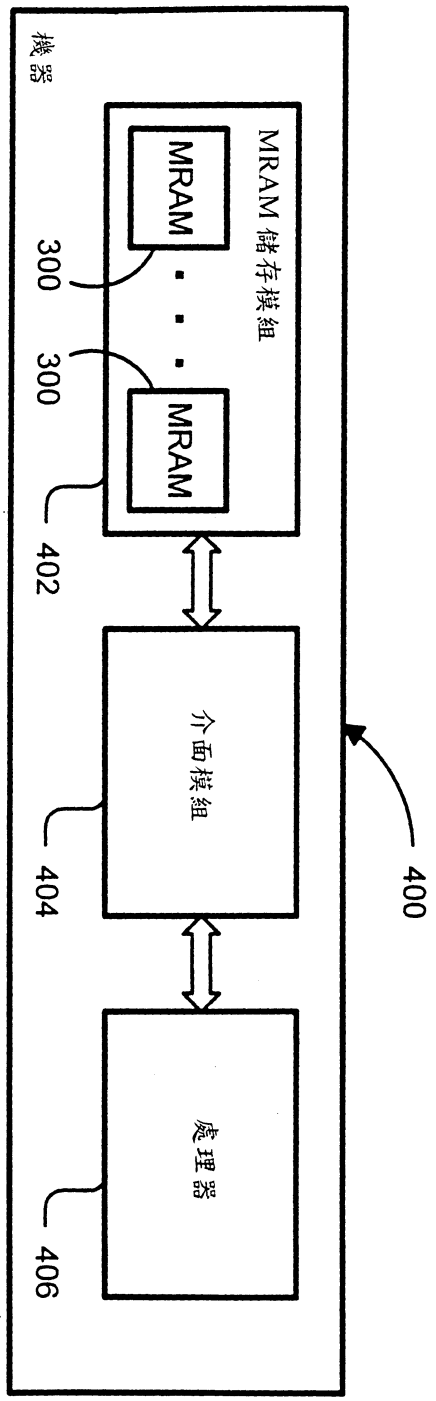

$Wcol_0$
$Wcol_1$
$Wcol_2$
$Wcol_n$

第 9 圖


設定寫入驅動器來控制 VWROW、VWRCOLP 和 VWCOLM
202
選擇列和行位址
204
設定資料-入
206
建立字組線寫入電流和交錯的位元線寫入脈波
208
測試：觀察最後行脈波
210


Z
300
302
302
304

第10圖


機器
MRAM 儲存模組
MRAM
MRAM
300
300
402
介面模組
404
400
處理器
406

第11圖