

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3853098号
(P3853098)

(45) 発行日 平成18年12月6日(2006.12.6)

(24) 登録日 平成18年9月15日(2006.9.15)

(51) Int. Cl.

G06F 15/82 (2006.01)

F I

G06F 15/82 620C

G06F 15/82 650A

請求項の数 4 (全 23 頁)

(21) 出願番号	特願平11-9449	(73) 特許権者	000005049
(22) 出願日	平成11年1月18日(1999.1.18)		シャープ株式会社
(65) 公開番号	特開2000-207382(P2000-207382A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成12年7月28日(2000.7.28)	(74) 代理人	100064746
審査請求日	平成13年7月19日(2001.7.19)		弁理士 深見 久郎
		(72) 発明者	湯元 学
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	小野崎 学
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	村松 剛司
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 データ駆動型情報処理システム

(57) 【特許請求の範囲】

【請求項1】

複数のデータ駆動型プロセッサ(以下、プロセッサと略す)が、命令情報を少なくとも格納したデータパケットが伝送される伝送路を用いて相互に通信接続されるデータ駆動型情報処理システムにおいて、

前記複数プロセッサの各々は、前記命令情報の少なくとも1つ以上の種類からなる異なる命令体系を処理可能であり、

前記データ駆動型情報処理システムは、

該システムの入力段に設けられて、前記複数プロセッサの各々と前記伝送路を介して接続される第1経路選択手段を有し、

前記第1経路選択手段は、

与えられる前記データパケットを入力して、該入力データパケット中の前記命令情報に基づいて、該命令情報の種類に該当する前記命令体系を処理可能な前記プロセッサに接続された前記伝送路を接続される複数の前記伝送路から選択して、選択された前記伝送路に該入力データパケットを出力し、

前記複数プロセッサの各々は、

該プロセッサの出力段に設けられた第2経路選択手段と、

与えられる前記データパケットを入力して該入力データパケットを用いて前記命令情報に基づく演算を含んだ情報処理をして、前記情報処理により得られた前記データパケットを出力する処理部と、

10

20

複数の命令情報を含むデータフロープログラムを記憶しており、前記処理部から出力された前記データパケットを入力して、入力した前記データパケットの内容に基づき次位の命令情報を読み出し、読み出した前記次位の命令情報を新たな命令情報としてデータパケットに格納して前記第2経路選択手段に出力するプログラム記憶部と、

他の全てのプロセッサのそれぞれに対応の入力ポートを有すると共に、自己のプロセッサの前記第2経路選択手段にも接続されていて、前記入力ポートに与えられる前記データパケット及び自己のプロセッサの前記第2経路選択手段から与えられる前記データパケットを入力して前記処理部に出力する合流部とを有し、

前記第2経路選択手段は、

他の全てのプロセッサのそれぞれに対応し、且つ対応のプロセッサの前記合流部の自己のプロセッサに対応の前記入力ポートと前記伝送路により接続された出力ポートを有すると共に、

自己のプロセッサの前記合流部にも接続されており、

前記プログラム記憶部から出力された前記データパケットを入力して、該入力データパケット中の前記命令情報が他のプロセッサで処理可能な命令情報である場合は、該命令情報の種類に該当する前記命令体系を処理可能な前記プロセッサに接続された前記伝送路を該プロセッサに接続される前記伝送路から選択して、前記出力ポートのうち、選択された前記伝送路を接続する前記出力ポートに該入力データパケットを出力し、入力データパケット中の前記命令情報が自己のプロセッサの前記処理部で処理可能な命令情報である場合は、自己のプロセッサの前記合流部に該入力データパケットを出力することを特徴とする
、データ駆動型情報処理システム。

【請求項2】

前記第1経路選択手段は、

前記システムの外部と前記伝送路により接続される出力ポートをさらに有し、

入力したデータパケット中の前記命令情報が前記複数プロセッサのいずれでも処理できない命令情報である場合は、前記システムの外部と前記伝送路により接続される前記出力ポートにデータパケットを出力し、

前記第2経路選択手段は、

前記システムの外部と前記伝送路により接続される出力ポートをさらに有し、

前記プログラム記憶部から与えられるデータパケット中の命令情報が自己のプロセッサ及び他の全てのプロセッサのいずれでも処理できない命令情報である場合は、前記システムの外部と前記伝送路により接続される前記出力ポートにデータパケットを出力することを特徴とする、請求項1に記載のデータ駆動型情報処理システム。

【請求項3】

複数のデータ駆動型プロセッサ（以下、プロセッサと略す）が、命令情報を少なくともも格納したデータパケットが伝送される伝送路を用いて相互に通信接続されるデータ駆動型情報処理システムにおいて、

前記複数プロセッサの各々は、前記命令情報の少なくとも1つ以上の種類からなる異なる命令体系を演算処理可能であり、

前記プロセッサの外部から前記データパケットが与えられる経路選択手段と、

前記経路選択手段と接続され、前記経路選択手段から与えられる前記データパケットを入力して該入力データパケットを用いて前記命令情報に基づく前記演算処理を含んだ情報処理をして、該情報処理により得られた前記データパケットを出力する処理部と、

複数の命令情報を含むデータフロープログラムを記憶しており、前記処理部から出力されたデータパケットを入力して、入力したデータパケットの内容に基づき次位の命令情報を読み出し、読み出した前記次位の命令情報を新たな命令情報としてデータパケットに格納して前記経路選択手段に出力するプログラム記憶部とを有し、

前記経路選択手段は、

他の全てのプロセッサのそれぞれに対応し、且つ与えられる前記データパケットを出力する出力ポートと、他の全てのプロセッサのそれぞれに対応し、且つ対応のプロセッサの

10

20

30

40

50

自己のプロセッサに対応の前記出力ポートと前記伝送路により接続された入力ポートと、を有し、

前記入力ポートに与えられるデータパケット及び前記プログラム記憶部から出力されたデータパケットを入力して、該入力データパケット中の前記命令情報が他のプロセッサで処理可能な命令情報である場合は、該命令情報の種類に該当する前記命令体系を処理可能な前記プロセッサに接続された前記伝送路を該プロセッサに接続される前記伝送路から選択して、前記出力ポートのうち、選択された前記伝送路を接続する前記出力ポートに該入力データパケットを出力し、入力データパケット中の前記命令情報が自己のプロセッサの前記処理部で処理可能な命令情報である場合は、自己のプロセッサの前記処理部に該入力データパケットを出力することを特徴とする、データ駆動型情報処理システム。

10

【請求項 4】

前記経路選択手段は、

前記システムの外部と前記伝送路により接続される出力ポートをさらに有し、

入力したデータパケット中の前記命令情報が自己のプロセッサ及び他の全てのプロセッサのいずれでも処理できない命令情報である場合は、前記システムの外部と前記伝送路により接続される出力ポートに該入力データパケットを出力することを特徴とする、請求項 3 に記載のデータ駆動型情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

この発明はデータ駆動型情報処理システムに関し、特に、複数のデータ駆動型情報処理装置をマルチネットワーク状に接続するのに適したデータ駆動型情報処理システムに関する。

【0002】

【従来の技術】

ノイマン型計算機においては、種々の命令が予めプログラムとしてプログラム記憶部に記憶され、プログラムカウンタによってプログラム記憶部のアドレスが逐次指定されて命令が読出され、その命令が実行される。

【0003】

一方データ駆動型情報処理装置は、プログラムカウンタによる逐次的な命令の実行という概念を持たない非ノイマン型計算機的一种である。データ駆動型情報処理装置においては、演算の対象となるデータが揃い次第、命令の実行が可能となり、複数の命令が並列的に実行されるため、大幅に演算の実行時間が短縮されるという利点を有する。

30

【0004】

図 1 3 は、従来のデータ駆動型プロセッサのブロック構成図であり、図 1 4 (A) ~ (C) は、図 1 3 のデータ駆動型プロセッサにおいて処理されるデータパケットのフィールド構成を説明するための図である。図 1 5 は、図 1 3 のプログラム記憶部の記憶内容の一例を示す図である。図 1 6 は、図 1 3 のデータ駆動型プロセッサを複数個含むシステムの構成図である。

【0005】

40

図 1 4 (A) のデータパケット P A 1 は、P E (プロセッサの略) 番号 5 0、ノード番号 5 1、左右データフラグ 5 2、命令コード 5 3、世代番号 5 4 および第 1 オペランド 5 5 を含む。図 1 4 (B) のデータパケット P B 1 はデータパケット P A の内容に加えて第 2 オペランド 5 6 を含む。図 1 4 (C) のデータパケット P C 1 は P E 番号 5 0、ノード番号 5 1、世代番号 5 4 および第 1 オペランド 5 5 を含む。

【0006】

図 1 3 のデータ駆動型プロセッサ P E 1 は、与えられるデータパケットを入力し該入力パケットの内容と予め内部のメモリに設定された内容とを比較し、その比較結果に応じて選択された出力先へ該入力データパケットを出力する分岐部 2 0 および 2 5、与えられたデータパケットを入力し順次出力する合流部 2 1 および 2 7、対データ検出部 2 2、演算処

50

理部 23、図 15 に示されるようなデータフロープログラムを予め記憶するプログラム記憶部 24 および内部データバッファ部 26 を含む。

【0007】

分岐部 20 および 25 は内部にメモリ 201 および 251 をそれぞれ有する。メモリ 201 および 251 には、該データ駆動型プロセッサ PE1 を一意に識別するための PE 番号がソフトウェアにより予め記憶されるか、外部端子により予め設定される。

【0008】

動作において、分岐部 20 は入力ポート IN から入力したデータパケット PA1 の PE 番号 50 とメモリ 201 に予め設定されている PE 番号とが一致するか否かを判定し、一致した場合には該入力データパケット PA1 を合流部 21 に出力し、一致しない場合には合流部 27 に出力する。合流部 21 は分岐部 20 から出力されたデータパケット PA1 と内部データバッファ 26 から出力されたデータパケット PA1 とを入力し、データパケットの流れを制御しながら、順次該入力データパケット PA1 を対データ検出部 22 へ出力する。

10

【0009】

対データ検出部 22 は、2 項演算命令に対して対となる 2 つのデータパケットを検出する。つまり、2 項演算命令に対してノード番号 51 と世代番号 54 とが等しい 2 つのデータパケット PA 同士を待ち合わせて、待合せができた（対データ検出された）時点で、2 つのデータパケット PA1 を 1 つのデータパケット PB1 にして演算処理部 23 へ出力する。この際、対データとして検出された 2 つのデータパケット PA1 の 2 つの第 1 オペランド 55 のそれぞれはデータパケット PB1 の第 1 および第 2 オペランド 55 および 56 のいずれか一方にセットされる。この際、対データ検出された 2 つのデータパケット PA1 の第 1 オペランド 55 はデータパケット PB1 の第 1 および第 2 オペランド 55 および 56 のいずれにセットされるかは、対データ検出された 2 つのデータパケット PA1 のそれぞれの左右データフラグ 52 によって決定される。

20

【0010】

演算処理部 23 では、入力データパケット PB1 の命令コード 53 に従い、対応の第 1 または第 2 オペランド 55 または 56 について演算を施し、その演算結果を第 1 オペランド 55 として格納したデータパケット PC1 をプログラム記憶部 24 に出力する。

【0011】

プログラム記憶部 24 は、図 15 に示されるように複数のプロセッサ番号、複数のノード番号、複数の命令コードおよび複数の左右データフラグからなるデータフロープログラムを予め記憶する。プログラム記憶部 24 は与えられるデータパケット PC1 を入力し、該入力パケット PC1 のノード番号 51 に基づくアドレス指定によりデータフロープログラムから次位のプロセッサ番号、ノード番号、命令コードおよび左右データフラグを讀出す。讀出されたプロセッサ番号およびノード番号は該入力データパケット PC1 の PE 番号 50 およびノード番号 51 としてそれぞれセットされ、讀出された命令コードおよび左右データフラグは命令コード 53 および左右データフラグ 52 として該入力データパケット PC1 に付加されて（世代番号 54 はそのまま）、データパケット PA1 として分岐部 25 に出力される。これを命令フェッチと呼ぶ。

30

40

【0012】

分岐部 25 はプログラム記憶部 24 から出力されたデータパケット PA1 を入力し、該入力データパケット PA1 の PE 番号 50 とメモリ 251 中の PE 番号とが一致するか否かを判定する。両番号が一致した場合には分岐部 25 は該入力データパケット PA1 を内部データバッファ部 26 に出力し、一致しない場合は合流部 27 に出力する。

【0013】

内部データバッファ部 26 は与えられるデータパケット PA1 を入力し、順次合流部 21 に出力する。

【0014】

このように合流部 21 対データ検出部 22 演算処理部 23 プログラム記憶部 24

50

分岐部 25 をデータパケットが流れることにより、プログラム記憶部 24 に予め記憶されたデータフロープログラムにより示されるデータフローグラフの 1 ノード分の処理が完了する。

【0015】

以上のように、データパケットに対し、対データ検出、演算処理、命令フェッチが繰返されることにより、データフローグラフ（データフロープログラム）が実行される。

【0016】

上述したデータ駆動型情報処理装置の処理性能を向上させるための手法として 1 つのシステムの中に複数のデータ駆動型プロセッサ PE を内蔵することが考えられる。

【0017】

特開平 6 - 259583 号公報では図 16 に示されるように複数のデータ駆動型プロセッサ 1 ~ 4 を含んで構成されるシステムにおいて、各プロセッサを相互に接続する方法が示される。ここでは、各プロセッサはプロセッサ間伝送路を介して接続される。そして、動作においては、データパケット中のそれ自身が処理されるべきプロセッサを指定するプロセッサ指定情報（PE 番号）と予め定められた条件とに従い、該データパケットが処理されるべきプロセッサに到達するまでの経路が短くなるような伝送路を介してデータパケットが伝送される。すなわち、システム中の各プロセッサは自身を一意に識別するための情報（PE 番号）を格納する図 13 のメモリ 201 と 251 とを有してデータパケット中のプロセッサ指定情報（PE 番号）と該プロセッサに設定された PE 番号とが比較されながら、データパケットは各プロセッサで処理される。

【0018】

【発明が解決しようとする課題】

データ駆動型プロセッサの IC（集積回路）化にあたり、演算処理能力の向上ならびに 1 システムを構成するプロセッサの数が増加する傾向にある。これに伴い、回路が大規模になるのでコストアップを生じ、消費電力、および端子数が増加する。そして、消費電力の増加によるパッケージの放熱対策コストの増加および端子数の増加による不要輻射対策コストの増加も著しい。

【0019】

それゆえにこの発明の目的は、経済性に優れたデータ駆動型情報処理システムを提供することである。

【0020】

【課題を解決するための手段】

請求項 1 に記載のデータ駆動型情報処理システムは、複数のデータ駆動型プロセッサ（以下、プロセッサと略す）が、命令情報を少なくとも格納したデータパケットが伝送される伝送路を用いて相互に通信接続されるものであり、以下の特徴を有する。

【0021】

複数プロセッサの各々は、命令情報の少なくとも 1 つ以上の種類からなる異なる命令体系を処理可能である。

【0022】

そして、データ駆動型情報処理システムは、該システムの入力段に設けられて、複数プロセッサの各々と伝送路を介して接続される第 1 経路選択手段を有する。第 1 経路選択手段は与えられる前記データパケットを入力して、該入力データパケット中の命令情報に基づいて、該命令情報の種類に該当する命令体系を処理可能なプロセッサに接続された伝送路を接続される複数の伝送路から選択して、選択された伝送路に該入力データパケットを出力する。

【0023】

複数プロセッサの各々は、該プロセッサの出力段に設けられた第 2 経路選択手段と、与えられるデータパケットを入力して該入力データパケットを用いて命令情報に基づく演算を含んだ情報処理をして、情報処理により得られたデータパケットを出力する処理部とを有する。さらに複数の命令情報を含むデータフロープログラムを記憶しており、処理部が

10

20

30

40

50

ら出力されたデータパケットを入力して、入力したデータパケットの内容に基づき次位の命令情報を読み出し、読み出した次位の命令情報を新たな命令情報としてデータパケットに格納して第2経路選択手段に出力するプログラム記憶部と、他の全てのプロセッサのそれぞれに対応の入力ポートを有すると共に、自己のプロセッサの第2経路選択手段にも接続されていて、前記入力ポートに与えられるデータパケット及び自己のプロセッサの第2経路選択手段から与えられる前記データパケットを入力して処理部に出力する合流部とを有する。

【0024】

第2経路選択手段は、他の全てのプロセッサのそれぞれに対応し、且つ対応のプロセッサの合流部の自己のプロセッサに対応の入力ポートと伝送路により接続された出力ポートを有すると共に、自己のプロセッサの合流部にも接続されており、プログラム記憶部から出力されたデータパケットを入力して、該入力データパケット中の命令情報が他のプロセッサで処理可能な命令情報である場合は、該命令情報の種類に該当する命令体系を処理可能なプロセッサに接続された伝送路を該プロセッサに接続される伝送路から選択して、出力ポートのうち、選択された伝送路を接続する出力ポートに該入力データパケットを出力し、入力データパケット中の命令情報が自己のプロセッサの処理部で処理可能な命令情報である場合は、自己のプロセッサの合流部に該入力データパケットを出力する。

10

【0025】

請求項1によれば、第1および第2経路選択手段はデータパケット中の命令情報に基づいて、該命令情報の種類に該当する命令体系を処理可能な、すなわち該データパケットを処理可能なプロセッサに接続された伝送路を選択して、該伝送路を介して該データパケットを伝送する。

20

【0026】

言い換えると、システムの入力段および各プロセッサの出力段ではデータパケット中の命令情報に基づいて、処理可能なプロセッサに該データパケットを振り分ける。

【0027】

したがって、従来のように各プロセッサへのプロセッサ番号の付与が不要となり、かつデータパケット中のPE番号格納領域が不要となるからシステムに関して回路規模を縮小でき、コストおよび消費電力を低減できる。

【0028】

また、消費電力が低減されるので該システムを内蔵するパッケージの放熱対策コストも減少する。またデータパケット中にPE番号格納領域が不要となることでデータパケットのデータ幅を縮小できて、システムにおけるデータパケットのための端子数は減少して不要な輻射も低減する。

30

【0029】

またシステムでは第1経路選択部が複数のプロセッサの外部（システムの入力段）に配置されるので、システム構成時に各プロセッサの演算処理部の相違を考慮しなくともプロセッサを規則的に配置できる。それゆえに、該システムはプロセッサの規則的な配置構成（レイアウト）が必要とされる場合の適用に有効である。

【0030】

請求項2に記載のデータ駆動型情報処理システムは、請求項1に記載のデータ駆動型情報処理システムにおいて以下の特徴を有する。

40

【0031】

第1経路選択手段は、システムの外部と接続される出力ポートをさらに有し、入力したデータパケット中の命令情報が複数プロセッサのいずれでも処理できない命令情報である場合は、システムの外部と伝送路により接続される出力ポートに該入力データパケットを出力する。

【0032】

第2経路選択手段は、システム外部と接続される出力ポートをさらに有し、プログラム記憶部から与えられるデータパケット中の命令情報が自己のプロセッサ及び他の全てのプ

50

ロセッサのいずれでも処理できない命令情報である場合は、システムの外部と伝送路により接続される出力ポートに該入力データパケットを出力する。

【0033】

請求項2に記載のデータ駆動型情報処理システムによれば第1および第2経路選択手段はシステム外部と接続される伝送路をさらに有するので、データパケットを、その命令情報に基づいて該データパケットを処理できるシステム内部のいずれかのプロセッサまたはシステム外部のプロセッサに選択的に供給することができる。

【0037】

請求項3に記載のデータ駆動型情報処理システムは、複数のデータ駆動型プロセッサ（以下、プロセッサと略す）が、命令情報を少なくとも格納したデータパケットが伝送される伝送路を用いて相互に通信接続されるものであり、以下の特徴を有する。

【0038】

複数プロセッサの各々は、命令情報の少なくとも1つ以上の種類からなる異なる命令体系を演算処理可能である。そしてプロセッサの外部からデータパケットが与えられる経路選択手段と、経路選択手段を接続し、該経路選択手段を介して与えられるデータパケットを入力して該入力データパケットを用いて命令情報に基づく演算処理を含んだ情報処理をして、該情報処理により得られたデータパケットを出力する処理部とを有する。さらに、複数の命令情報を含むデータフロープログラムを記憶しており、処理部から出力されたデータパケットを入力して、入力したデータパケットの内容に基づき次位の命令情報を読み出し、読み出した次位の命令情報を新たな命令情報としてデータパケットに格納して経路

【0039】

経路選択手段は、他の全てのプロセッサのそれぞれに対応し、且つ与えられる前記データパケットを出力する出力ポートと、他の全てのプロセッサのそれぞれに対応し、且つ対応のプロセッサの自己のプロセッサに対応の出力ポートと伝送路により接続された入力ポートと、を有する。そして、入力ポートに与えられるデータパケット及びプログラム記憶部から出力されたデータパケットを入力して、該入力データパケット中の命令情報が他のプロセッサで処理可能な命令情報である場合は、該命令情報の種類に該当する命令体系を処理可能なプロセッサに接続された伝送路を該プロセッサに接続される伝送路から選択して、出力ポートのうち、選択された伝送路を接続する出力ポートに該入力データパケット

【0040】

請求項3によれば、各プロセッサの経路選択手段はデータパケット中の命令情報に基づいて、該命令情報の種類に該当する命令体系を処理可能な、すなわち該データパケットを処理可能な他のプロセッサ及び自プロセッサ（処理部）のいずれかに接続された伝送路を選択して、選択された伝送路を介して該データパケットを伝送する。

【0041】

言い換えると、システムの各プロセッサではデータパケット中の命令情報に基づいて、他のプロセッサおよび自プロセッサのうち処理可能なプロセッサに該データパケットを振り

【0042】

したがって、従来のように各プロセッサへのプロセッサ番号の付与が不要となり、かつデータパケット中のPE番号格納領域が不要となるからシステムに関して回路規模を縮小でき、コストおよび消費電力を低減できる。

【0043】

また、消費電力が低減されるので該システムを内蔵するパッケージの放熱対策コストも減少する。またデータパケット中にPE番号格納領域が不要となることでデータパケットのデータ幅を縮小できて、システムにおけるデータパケットのための端子数は減少して不要な輻射も低減する。

10

20

30

40

50

【 0 0 4 4 】

また請求項 3 に記載のデータ駆動型情報処理システムは、データパケットを演算処理可能か否かの判断が各プロセッサ内で個別に行なわれるので、各プロセッサの処理部（処理可能な命令体系）の相違に従いプロセッサの配置構成（レイアウト）を異ならせることができる。それゆえに、プロセッサの規則的な配置が困難な場合には該システムの適用は有効である。

【 0 0 4 5 】

請求項 4 に記載のデータ駆動型情報処理システムは請求項 3 に記載のデータ駆動型情報処理システムにおいて以下の特徴を有する。

【 0 0 4 6 】

経路選択手段は、システムの外部と伝送路により接続される出力ポートをさらに有し、入力したデータパケット中の命令情報が自己のプロセッサ及び他の全てのプロセッサのいずれでも処理できない命令情報である場合は、システムの外部と伝送路により接続される出力ポートに該入力データパケットを出力する。

10

【 0 0 4 7 】

請求項 4 に記載のデータ駆動型情報処理システムによれば経路選択手段はシステム外部と接続される伝送路をさらに有するので、データパケットを、その命令情報に基づいて該データパケットを処理できるシステム内部の自プロセッサ（処理部）を含むいずれかのプロセッサおよびシステム外部のプロセッサに選択的に供給することができる。

【 0 0 4 8 】

【 発明の実施の形態 】

以下、この発明の実施の形態 1 と 2 について図面を参照し説明する。

20

【 0 0 4 9 】

（実施の形態 1）

図 1 は、この発明の実施の形態 1 による複数のデータ駆動型情報処理装置を含むシステムの構成を示す図である。図 2 は、この発明の実施の形態 1 によるデータ駆動型情報処理装置のブロック構成図である。図 1 の各データ駆動型情報処理装置中の各ブロックは図 2 中の対応するブロックの符号を用いて略して示される。

【 0 0 5 0 】

図 3 は図 1 の分岐部の詳細構成図である。図 4 は、図 3 の分岐判定部のブロック構成図である。図 5 (A) ~ (C) は、図 2 のデータ駆動型情報処理装置において処理されるデータパケットのフィールド構成を示す図である。

30

【 0 0 5 1 】

図 1 のシステムは図 2 の構成を有するデータ駆動型情報処理装置（以下、プロセッサと略す）P E A、P E B および P E C と、入力および出力ポート I N および O U T と、ポート I N から入力したデータパケット中の命令コードを参照して、該データパケットを処理できるプロセッサに該入力データパケットを出力する分岐部 1 0 1 と、分岐部 1 0 1 ならびにプロセッサ P E A、P E B および P E C からの出力データパケットを入力して順次出力ポート O U T を介して外部に出力する合流部 1 0 2 とを含む。

【 0 0 5 2 】

図 5 (A) のデータパケット P A は、ノード番号 5 1、左右データフラグ 5 2、命令コード 5 3、世代番号 5 4 および第 1 オペランド 5 5 を含む。図 5 (B) のデータパケット P B はデータパケット P A の内容に加え第 2 オペランド 5 6 を含む。図 5 (C) のデータパケット P C はノード番号 5 1、世代番号 5 4 および第 1 オペランド 5 5 を含む。

40

【 0 0 5 3 】

図 2 においてデータ駆動型プロセッサ P E は合流部 3 1 ~ 3 3、対データ検出部 3 4、演算処理部 3 5、プログラム記憶部 3 6、分岐部 3 7 および内部バッファ 3 8 を含む。合流部 3 1 ~ 3 3 は同様な機能を有し、対応の入力ポートまたは内部バッファ 3 8 から入力したデータパケット P A を入力し、順次出力する。

【 0 0 5 4 】

50

演算処理部 35 に関してはプロセッサ P E A、P E B および P E C について演算処理部 35 A、演算処理部 35 B および演算処理部 35 C のそれぞれが設けられ、同様に分岐部 37 に関しては分岐部 37 A、分岐部 37 B および分岐部 37 C のそれぞれが設けられる。

【 0 0 5 5 】

また、プロセッサ P E A は入力ポート I B、I C および I I ならびに出力ポート O B、O C および O O を含む。同様にプロセッサ P E B は入力ポート I A、I C および I I ならびに出力ポート O A、O C および O O を含む。同様にプロセッサ P E C は入力ポート I A、I B および I I ならびに出力ポート O A、O B および O O を含む。

【 0 0 5 6 】

対データ検出部 34 は、2 項演算命令に対し、データパケット P A の待ち合わせを行なう。つまり、ノード番号 51 と世代番号 54 が等しい 2 つのデータパケット P A 同士を待ち合わせ、待ち合わせができた時点で 2 つのデータパケット P A を 1 つのデータパケット P B にして演算処理部 35 に出力する。この際 2 つのデータパケット P A それぞれの第 1 オペランド 55 がデータパケット P B の第 1 オペランド 55 および第 2 オペランド 56 のいずれにセットされるかは、データパケット P A が有する左右データフラグ 52 の値によって決定される。

10

【 0 0 5 7 】

演算処理部 35 は、演算処理回路を有する。本実施形態ではこの演算処理回路は命令体系ごとに設けられて、異なる命令体系の演算処理回路ごとに演算処理部 35 A、35 B および 35 C のそれぞれが設けられる。

20

【 0 0 5 8 】

ここでは、命令体系とは、命令コード 53 の少なくとも 1 つ以上の種類からなるものを示す。

【 0 0 5 9 】

演算処理部 35 A には演算処理回路として乗除演算処理回路が、演算処理部 35 B には同様に減算および平方根演算処理回路が、演算処理部 35 C には同様に加算および N O P (データパケットをコピーする処理) 演算処理回路がそれぞれ使用される。

【 0 0 6 0 】

演算処理部 35 では、入力データパケット P B 中の命令コード 53 に従い、該入力データパケット P B 中の第 1 または第 2 オペランド 55 または 56 に対して演算処理回路を用いた演算が施され、その演算結果が第 1 オペランド 55 として設定されたデータパケット P C がプログラム記憶部 36 に出力される。

30

【 0 0 6 1 】

図 6 は、図 2 のプログラム記憶部 36 の記憶内容例を示す図である。プログラム記憶部 36 には複数のノード番号、複数の命令コードおよび複数の左右データフラグからなるデータフロープログラムが予め記憶される。

【 0 0 6 2 】

プログラム記憶部 36 では、入力データパケット P C のノード番号 51 に基づくアドレス指定により、データフロープログラムから次位のノード番号、命令コードおよび左右データフラグが読出される。読出されたノード番号は入力データパケット P C のノード番号 51 としてセットされる。その後データパケット P C には読出された命令コードおよび左右データフラグが付加されて、データパケット P A として分岐部 37 に出力される。

40

【 0 0 6 3 】

分岐部 37 は第 1 ないし第 4 の出力ポートを有する。第 1 の出力ポートはポート O O であり、図 1 の合流部 102 に接続される。第 2 の出力ポートはプロセッサ P E C またはプロセッサ P E B に接続されるポート O C またはポート O B である。第 3 の出力ポートはプロセッサ P E B または P E A に接続されるポート O B または O A である。第 4 の出力ポートは内部バッファ 38 に接続される。

【 0 0 6 4 】

分岐部 37 は入力データパケット P A の命令コード 53 を参照して、プロセッサ P E A で

50

処理可能な命令コードと判別すれば、該入力データパケット P A をプロセッサ P E A に出力するように、プロセッサ P E B で処理可能な命令コードと判別すれば、該入力データパケット P A をプロセッサ P E B に出力するように、プロセッサ P E C で処理可能な命令コードと判別すれば、該入力データパケット P A をプロセッサ P E C へ出力するように、これ以外の命令コードと判別すれば、該入力データパケット P A を合流部 1 0 2 に出力するように動作する。

【 0 0 6 5 】

なお、分岐部 3 7 の構成と動作は後述される分岐部 1 0 1 のそれと同様なので説明は省略される。

【 0 0 6 6 】

合流部 3 1 は 2 つの入力ポートを有する。一方入力ポートは図 1 の分岐部 1 0 1 からデータパケット P A を入力するためのポート I I である。他方入力ポートはデータ駆動型プロセッサ P E C または P E B から出力されたデータパケット P A を入力するためのポート I C またはポート I B である。

10

【 0 0 6 7 】

合流部 3 2 は 2 つの入力ポートを有する。一方の入力ポートは内部バッファ 3 8 からのデータパケット P A を入力するためのポートである。他方の入力ポートはデータ駆動型プロセッサ P E B または P E A から出力されたデータパケット P A を入力するためのポート I B または I A である。

【 0 0 6 8 】

図 1 において、各ブロック間の信号の流れを示す実線の矢印は、後述の図 3 に示されるようにデータ伝送路と転送制御素子間の制御線とを示す。

20

【 0 0 6 9 】

分岐部 1 0 1 は該システムの入力ポート I N を介してデータパケット P A を入力し、該入力データパケット P A 中の命令コード 5 3 を参照して、該命令コード 5 3 が演算処理部 3 5 A で処理可能なコードであれば該入力データパケットをデータ駆動型プロセッサ P E A に出力し、同様に演算処理部 3 5 B で処理可能なコードであれば該入力データパケットをデータ駆動型プロセッサ P E B へ出力し、同様に演算処理部 3 5 C で処理可能なコードであれば該入力データパケット P A をデータ駆動型プロセッサ P E C へ出力し、これら以外の命令コードであれば、該入力データパケット P A を直接に合流部 1 0 2 へ出力する。

【 0 0 7 0 】

図 3 を参照して分岐部 1 0 1 の動作について説明する。図 3 では分岐部 1 0 1 の構成が、ポート I N の出力部側、プロセッサ P E A、P E B および P E C のポート I I に接続される合流部 3 1 側ならびに合流部 1 0 2 の入力側の関連部分とともに示される。

30

【 0 0 7 1 】

図 3 を参照して、入力ポート I N の出力部側は、データパケットを伝送するためのパイプラインを構成するデータ伝送路 1 0 1 1 および 1 0 1 2 ならびにデータラッチ回路 1 0 0 3 を含むとともにデータラッチ回路 1 0 0 3 によるデータパケットのラッチのタイミングを制御するための転送制御素子 1 0 0 1 を含む。

【 0 0 7 2 】

プロセッサ P E A、P E B および P E C それぞれの合流部 3 1 側は、データ伝送路 1 0 1 3 を介して与えられるデータパケットを入力してラッチし、合流部 3 3 に接続されるデータ伝送路 1 0 0 A 3、1 0 0 B 3 および 1 0 0 C 3 のそれぞれへ出力するデータラッチ回路 1 0 0 A 2、1 0 0 B 2 および 1 0 0 C 2 と、対応のデータラッチ回路のラッチのタイミングを制御するための転送制御素子 1 0 0 A 1、1 0 0 B 1 および 1 0 0 C 1 のそれぞれを含む。合流部 1 0 2 の入力側はデータ伝送路 1 0 1 3 を介して与えられるデータパケットを入力してラッチし、出力ポート O U T に接続されるデータ伝送路 1 0 2 3 へ出力するデータラッチ回路 1 0 2 2 と、回路 1 0 2 2 のラッチタイミングを制御するための転送制御素子 1 0 2 1 を含む。

40

【 0 0 7 3 】

分岐部 1 0 1 は、データパケットを伝送するためのパイプラインを構成するデータ伝送路

50

1012および1013、ならびにデータラッチ回路1004を含むと共にデータラッチ回路1004によるラッチのタイミングを制御するための転送制御素子1002、分岐判定部1005、インバータ1006、AND回路1007、NAND回路1008、1009、1010および1011を含む。

【0074】

データラッチ回路1004の出力側のデータ伝送路1013は4方向に分岐されて各分岐先は、プロセッサPEA、PEB、PECおよび合流部102の入力側のデータラッチ回路100A2、100B2、100C2および1022のそれぞれの入力段に接続される。

【0075】

転送制御素子1001、1002、100A1、100B1、100C1および1021のそれぞれは、対応のデータラッチ回路によるデータパケットのラッチのタイミングを制御するためのクロックパルスを生成し、対応のデータラッチ回路に与える。

【0076】

転送制御素子1001、1002、100A1、100B1、100C1および1021のそれぞれは、データ保持信号の入力端子CIと、データ保持信号の出力端子COと、空き信号の入力端子RIと、空き信号の出力端子ROと、前述したクロックパルス出力の端子CPとを有する。各転送制御素子は、データ保持信号および空き信号を前段および後段の転送制御素子と交信することにより、伝送路を介したデータパケットの伝送を制御する。

【0077】

分岐判定部1005は図4に示されるように乗または除演算コードをデコードする命令コードデコード回路90、減算または平方根演算コードをデコードする命令コードデコード回路91、加算またはNOP演算コードをデコードする命令コードデコード回路92およびその他の演算コードをデコードする命令コードデコード回路93を含む。

【0078】

動作において命令コードデコード回路90～93のそれぞれは入力ポートINのデータラッチ回路1003を介して与えられるデータ伝送路1012上のデータパケット内の命令コード53を並行して入力して(参照して)、該命令コード53に基づいて出力信号BA、BB、BCおよびBOのレベルを決定してデータラッチ回路1004に出力する。具体的には、分岐判定部1005は該命令コード53がプロセッサPEAの演算処理部35Aで処理可能な乗または除演算コードを示せば、信号BA=1、信号BB=BC=BO=0となるように設定し、同様にプロセッサPEBの演算処理部35Bで処理可能な減算または平方根演算コードであれば出力信号BB=1、出力信号BA=BC=BO=0となるよう設定し、同様にプロセッサPECの演算処理部35Cで処理可能な加算またはNOP演算コードであれば出力信号BC=1、出力信号BA=BB=BO=0となるよう設定して、同様にいずれのプロセッサの演算処理部でも処理できない演算コードであれば出力信号BO=1、出力信号BA=BB=BC=0となるように設定してデータラッチ回路1004の入力側に出力する。

【0079】

インバータ1006は入力側が転送制御素子1002の出力端子COに接続される。

【0080】

NAND回路1008は一方入力側がインバータ1006の出力側に接続され他方入力側はデータラッチ回路1004を介してラッチされた分岐判定部1005の出力信号BAに一致する信号BA1が与えられる。

【0081】

NAND回路1009は一方入力側がインバータ1006の出力側に接続され、他方入力側はデータラッチ回路1004を介してラッチされた分岐判定部1005の出力信号BBに一致する信号BB1が与えられる。

【0082】

10

20

30

40

50

NAND回路1010は、一方入力側がインバータ1006の出力側に接続され他方入力側にデータラッチ回路1004を介してラッチされた分岐判定部1005の出力信号BCに一致する信号BC1が与えられる。

【0083】

NAND回路1011は、一方入力側がインバータ1006の出力側に接続され他方入力側にデータラッチ回路1004を介してラッチされた分岐判定部1005の出力信号BOに一致する信号BO1が与えられる。

【0084】

AND回路1007は、入力側が転送制御素子100A1、100B1、100C1および1021の空き信号ROの出力端子に接続され、出力側が転送制御素子1002の入力端子RIに接続される。

10

【0085】

NAND回路1008の出力側は転送制御素子100A1の入力端子CIに接続され、NAND回路1009の出力側は転送制御素子100B1の入力端子CIに接続され、NAND回路1010の出力側は転送制御素子100C1の入力端子CIに接続され、NAND回路1011の出力側は転送制御素子1021の入力端子CIに接続される。

【0086】

図7(A)～(T)は、図3に示される分岐部の動作を説明したタイミングチャートである。図3の分岐部101の動作についてこのタイミングチャートを参照し説明する。

【0087】

20

図7(A)～(T)ではデータラッチ回路1004および100A2のデータパケットの出力状態、分岐判定部1005の出力信号BA1、BB1、BC1およびBO1、ならびに転送制御素子1002、100A1、100B1、100C1および1021のそれぞれについて入出力端子の信号レベルが示される。

【0088】

まず、転送制御素子1001、1002、100A1、100B1、100C1および1021の出力端子ROおよびCOから出力される空き信号およびデータ保持信号はいずれもハイレベルであると想定する。この場合、転送制御素子1001および1002の入力端子RIに与えられる空き信号はハイレベルとなる。このように、後段からの空き信号がハイレベルとなっている場合、後段では前段からのデータパケットを受理することが可能であることを示す。逆に、後段から入力した空き信号がローレベルであれば、後段ではデータパケットを受理する準備ができていないのでデータパケットを受理不可能であることを示す。

30

【0089】

転送制御素子1002の端子ROの空き信号がハイレベルで、かつデータラッチ回路1003にデータパケットがラッチされた状況であり、次段のデータラッチ回路1004へのデータパケット転送準備が整った場合、転送制御素子1002の入力端子CIに前段から与えられるデータ保持信号がデータパケットがデータラッチ回路1004に入力したことを示すローレベルに立下がる。これにより転送制御素子1002は出力端子ROを介して前段の転送制御素子に与える空き信号をローレベルに立下げる。

40

【0090】

前段の転送制御素子1001は入力端子RIに転送制御素子1002から与えられる空き信号がローレベルとなったことに応答して、出力端子COを介して出力されるデータ保持信号をハイレベルに立上げる。この時、転送制御素子1002は、入力端子CIに与えられるデータ保持信号がハイレベルに立上がったことに応答して、対応のデータラッチ回路1004に対して端子CPから出力されるクロックパルスを立上げるとともに、出力端子ROから出力される空き信号をハイレベルに立上げる。

【0091】

データラッチ回路1004は対応の転送制御素子1002の端子CPから与えられるクロックパルスが立上がったことに応答して、データラッチ回路1003の出力データパケッ

50

トおよび分岐判定部 1005 の出力信号 BA、BB、BC および BO をラッチする。

【0092】

ここで、入力ポート IN から分岐部 101 に与えられたデータパケット内の命令コード 53 が乗または除演算コードである場合を想定すると、分岐判定部 1005 の出力信号 BA = 1 (ハイレベル)、かつ出力信号 BB、BC および BO はローレベル (0) となる。

【0093】

さらに、転送制御素子 1002 は端子 CP から出力されるラッチパルスの立上がりに対応して端子 CO から出力されるデータ保持信号をローレベルに立下げるので、インバータ 1006 の出力はローレベルからハイレベルに立上がる。また、データラッチ回路 1004 にラッチされた分岐判定部 1005 の出力信号 BA 1 はハイレベルであるため、NAND 回路 1008 の出力はハイレベルからローレベルに立下がる。

10

【0094】

転送制御素子 100A1 は入力端子 CI に与えられるデータ保持信号 (NAND 回路 1008 の出力信号) はローレベルとなったことに応答して、出力端子 RO から出力する空き信号をハイレベルからローレベルに立下げる。

【0095】

一方、データラッチ回路 1004 にラッチされた分岐判定部 1005 の出力信号 BB1, BC1 および BO1 はローレベルであるため、NAND 回路 1009、1010 および 1011 の出力信号 (転送制御素子 100B1 の入力端子 CI に入力されるデータ保持信号、転送制御素子 100C1 の入力端子 CI に与えられるデータ保持信号および転送制御素子 1021 の入力端子 CI に与えられるデータ保持信号) は、インバータ 1006 の出力信号にかかわらず常にハイレベルであるから転送制御素子 100B1、100C1 および 1021 は動作せず、その出力端子 RO から出力される空き信号 RO はハイレベルのままとなる。

20

【0096】

AND 回路 1007 の出力信号は、転送制御素子 100A1 の出力端子 RO から出力される空き信号がローレベルとなったことに応答してローレベルとなる。この時、転送制御素子 1002 は、入力端子 RI に与えられる空き信号がローレベルとなったことに応答して端子 CP から出力されるラッチパルスをローレベルに立下げるとともに出力端子 CO から出力されるデータ保持信号をローレベルからハイレベルに立上げる。これにより転送制御素子 100A1 では入力端子 CI に与えられるデータ保持信号がハイレベルとなるので、端子 CP からデータラッチ回路 100A2 へ出力されるクロックパルスが立上がる。したがって、データラッチ回路 1004 内のデータパケットはデータラッチ回路 100A2 にラッチされて、転送制御素子 100A1 では端子 RO から出力される空き信号が再びハイレベルに立上って転送制御素子 1002 の入力端子 RI に与えられる空き信号もハイレベルに立上がる。このとき、転送制御素子 100B1、100C1 および 1021 は動作しない。

30

【0097】

上述したような信号 BA = 1 ならびに信号 BB = BC = BO = 0 の場合、分岐部 101 でデータラッチ回路 1004 にラッチされたデータはプロセッサ PE A 向けのデータラッチ回路 100A2 のみにラッチされ、プロセッサ PE B, PE C および合流部 102 向けのデータラッチ回路 100B2、100C2 および 1022 にはラッチされない。

40

【0098】

このように分岐判定部 1005 の出力信号 BA, BB, BC および BO の値に応じて、データラッチ回路 1004 のデータはプロセッサ PE A, PE B, PE C および合流部 102 のデータラッチ回路 100A2, 100B2, 100C2 および 1022 のいずれか 1 つにのみラッチされ、他のデータラッチ回路にはラッチされない。

【0099】

したがって、分岐部 101 に入力されるデータパケット中の命令コード 53 の分岐判定部 1005 による判定結果により、分岐部 101 が該入力データパケットをプロセッサ PE

50

A、PEB、PECおよび合流部102のいずれか1つに選択的に出力することが可能となる。なお、分岐部101では、データパケットの構成は変化しない。

【0100】

図1では分岐部101の分岐数が4の場合を示しているが、分岐数は該システムで処理可能な命令体系の数に基づいて決定されればよくその数は任意である。

【0101】

分岐部101からプロセッサPEA、PEBおよびPECのそれぞれに送られたデータパケットの内容は、それぞれのプロセッサで演算処理が行なわれ、プログラム記憶部36の命令フェッチにより命令コードが更新されて、更新された命令コードに従って分岐部37において自己のプロセッサ(内部バッファ38)、他のプロセッサおよび合流部102のいずれかに出力される。

10

【0102】

図8は、図1のシステムで実行されるデータフローグラフ(データフロープログラム)の一例を示す図である。ここで、図1のシステムにおいて図8のデータフローグラフが実行される場合を例にしてシステムの動作を説明する。

【0103】

図8において各ノードには命令コード53に相当する演算コードNOP、 \times 、 $-$ 、 $+$ および $/$ などがそれぞれ割当てられるとともに、ノード番号 i ($i = 1, 2, \dots, 14$) が割当てられる。また、各ノードにおいて入力される矢印は演算処理される入力データを示し、出力される矢印は演算結果である出力データを示す。

20

【0104】

図1においてプロセッサPEAの演算処理部35Aには乗除演算コード、すなわち図8のデータフローグラフ上のノード番号 2、6、7、8、13および14の各ノードに割当てられた演算コードを処理する演算処理回路が含まれる。プロセッサPEBの演算処理部35Bには減算および平方根演算コード、すなわち図8のデータフローグラフ上のノード番号 4、9、10および12の各ノードに割当てられた演算コードを処理する演算処理回路が含まれる。プロセッサPECの演算処理部35Cには加算およびNOP演算コード、すなわち図8のデータフローグラフ上のノード番号 1、3、5および11の各ノードに割当てられた演算コードを処理する演算処理回路が含まれる。

【0105】

まず入力ポートINから入力されたデータパケットPAは、ノード番号51には「2」が、命令コード53には「4を乗ずることを示す値」が、左右データフラグ52には「左データであることを示す値」が、第1オペランド55には「データcの値」が、世代番号54には「任意の値」がそれぞれ設定されているとする。

30

【0106】

このデータパケットPAは、分岐部101において命令コード53の値が「乗または除演算コード」であると判断されて、プロセッサPEAに出力される。

【0107】

プロセッサPEAでは、ノード番号 2の演算が演算処理部35Aで処理されてその結果を格納したデータパケットはプログラム記憶部36に与えられる。プログラム記憶部36では該データパケットを用いて命令フェッチが行なわれて次位のノード番号 6および命令コード(\times)が読出される。これにより、分岐部37では次位の命令コードは乗除演算コードに該当すると判断されて、該データパケットは内部バッファ38に与えられる。

40

【0108】

プロセッサPEAでノード番号 6の演算が演算処理部35Aで処理されて、その結果を格納したデータパケットはプログラム記憶部36における命令フェッチにより次位のノード番号 9および命令コード($-$)が格納されて、分岐部37に出力される。分岐部37では該データパケットの命令コードは減算および平方根演算コードに該当すると判定されて、該データパケットは分岐部37Aの出力ポートOBを介してプロセッサPEBに出力される。

50

【 0 1 0 9 】

以降、上述と同様にして、処理されるデータパケットが各プロセッサ間を行き来して、図 7 に示されるデータフローグラフが実行され、かつ第 1 オペランド 5 5 としてデータ a およびデータ c の値をそれぞれ格納したデータパケット P A のそれぞれについても同様の処理が実行されることにより、結果として図 8 に示されるような解 (a n s 1 および a n s 2) が得られる。

【 0 1 1 0 】

(実施の形態 2)

図 9 は、この発明の実施の形態 2 による複数のデータ駆動型情報処理装置を含むシステムの構成図である。図 9 では後述する図 1 0 ~ 図 1 2 中の対応する同一部分が同一符号のみを用いて示される。

10

【 0 1 1 1 】

図 9 に示されたシステムと図 1 に示されたシステムとの基本的な相違は、各プロセッサのブロック構成、それに伴うデータパケットの伝送経路であって基本的な情報処理形態は同様であるから、以降、詳細な記述を適宜省略する。

【 0 1 1 2 】

図 9 のシステムにおいて入力ポート I N から与えられるデータパケットは図 5 (A) のデータパケット P A のフィールド構成を有する。また、図 9 のシステムは入力ポート I N 、出力ポート O U T およびデータ駆動型プロセッサ P E A A 、 P E B B および P E C C を含む。

20

【 0 1 1 3 】

図 1 0 ~ 1 2 は、この発明の実施の形態 2 によるデータ駆動型情報処理装置の第 1 ~ 第 3 のブロック構成図である。図 1 0 ~ 1 2 のデータ駆動型プロセッサ P E A A 、 P E B B および P E C C の分岐部および合流部を除く他の部分、すなわち情報処理部分の構成は図 1 のデータ駆動型プロセッサ P E A 、 P E B および P E C それぞれの情報処理部分と同じなので詳細説明は省略される。図 1 0 ~ 1 2 のプロセッサにおいて各合流部はデータパケットを入力して順次出力するものである。また図 1 0 ~ 1 2 中で示される分岐部のそれぞれは、分岐数と分岐判定部 1 0 0 5 の命令コードデコード回路 9 0 ~ 9 3 のゲートレベルでの構成を除いては基本的には図 3 で示された分岐部 1 0 1 の構成と同じであるから説明は省略される。

30

【 0 1 1 4 】

図 1 0 中のデータ駆動型プロセッサ P E A A において分岐部 4 0 はポート I N から入力されたデータパケット P A を、その命令コード 5 3 を参照して、演算処理部 3 5 A で処理可能と判別されれば合流部 4 1 へ、プロセッサ P E B B 内の演算処理部 3 5 B で処理可能と判別されれば出力ポート O B に接続された合流部 4 3 へ、プロセッサ P E C C 内の演算処理部 3 5 C で処理可能と判別されれば出力ポート O C に接続された合流部 4 4 へそれぞれ出力する。

【 0 1 1 5 】

以降、プロセッサ P E A A 内の合流部 4 1 に入力されたデータパケットは、次段の合流部 3 3 対データ検出部 3 4 演算処理部 3 5 A プログラム記憶部 3 6 分岐部 3 9 A の経路を流れることにより、データフローグラフの 1 ノード分の処理が完了する。そして図 1 に示される分岐部 1 0 1 と同様にして分岐部 3 9 A に入力されたデータパケットは、図 1 に示される分岐部 1 0 1 と同様にしてプログラム記憶部 3 6 の命令フェッチで更新された命令コード 5 3 に基づいて以下のように処理される。つまり、該命令コード 5 3 がプロセッサ P E A A 内の演算処理部 3 5 A で処理可能と判別された場合は該入力データパケットは内部バッファ 3 8 へ出力され、同様にしてプロセッサ P E B B 内の演算処理部 3 5 B で処理可能と判別された場合は出力ポート O B に接続された合流部 4 3 を経由して分岐部 4 0 からのデータパケットとともにプロセッサ P E B B のポート I A へ出力され、同様にしてプロセッサ P E C C 内の演算処理部 3 5 C で処理可能と判別された場合およびポート O U T へ出力されるべきと判別された (該命令コードがいずれのプロセッサの処理部でも

40

50

処理できないと判別された)場合は出力ポートOCに接続された合流部44を経由して分岐部40からのデータパケットとともにプロセッサPECCの入力ポートIAに出力される。

【0116】

データ駆動型プロセッサPEBBの入力ポートIAおよびICに入力したデータパケットは、合流部45で入力順に従い出力されて次段の合流部33 対データ検出部34 演算処理部35B プログラム記憶部36 分岐部39Bの経路を流れる。これにより、データフローグラフの1ノード分の処理が完了する。

【0117】

つぎに、分岐部39Bにて入力データパケットは、その中のプログラム記憶部36で更新された命令コード53に基づいて以下のように処理される。つまり命令コード53がプロセッサPEBB内の演算処理部35Bで処理可能と判別されると該入力データパケットは内部バッファ38に出力され、同様にしてプロセッサPEAA内の演算処理部35Aで処理可能と判別されると分岐部39Bを経由して出力ポートOAに出力され、同様にしてプロセッサPECC内の演算処理部35Cで処理可能と判別されると分岐部39Bを経由して出力ポートOCに出力される。

10

【0118】

プロセッサPECCのポートIAおよびIBに入力したデータパケットは、分岐部48および47にて該データパケット中の命令コード53に基づいて以下のように処理される。つまり、該命令コード53が演算処理部35Cで処理可能と判別されなければ合流部49を経由して出力ポートOUT(ポートOO)に出力される。同様にして演算処理部35Cで処理可能と判別された場合には合流部50に出力される。

20

【0119】

以降、プロセッサPECC内の合流部50に出力されたデータパケットは、次段の合流部33 対データ検出部34 演算処理部35C プログラム記憶部36 分岐部39Cの経路で流れる。これにより、データフローグラフの1ノード分の処理が完了する。そして分岐部39Cにて、プログラム記憶部36における命令フェッチで更新されたデータパケット中の命令コード53に基づいて以下のように処理される。つまり該命令コード53がプロセッサPECC内の演算処理部35Cで処理可能と判別されると該データパケットは内部バッファ38に出力され、同様にしてプロセッサPEAA内の演算処理部35Aで処理可能と判別されると出力ポートOAに出力され、同様にしてプロセッサPEBB内の演算処理部35Bで処理可能と判別されると出力ポートOBに出力され、同様にしていずれの演算処理部でも演算不可能と判別されると合流部51を経由して合流部49からのデータパケットとともに出力ポートOUT(出力ポートOO)に出力される。

30

【0120】

図9および図12に示される構成を用いて、図8のデータフローグラフ(データフロープログラム)を実行する場合を例にして動作を説明する。

【0121】

なお演算処理部35Aには乗除演算を、すなわち図8のデータフローグラフ上のノード番号 2、 6、 7、 8、 13および 14の命令コードを処理する演算処理回路が、演算処理部35Bには減算および平方根演算を、すなわち図8のデータフローグラフ上のノード番号 4、 9、 10および 12の命令コードを処理する演算処理回路が、演算処理部35Cには加算およびNOP演算を、すなわち図8のデータフローグラフ上のノード番号 1、 3、 5および 11のノードの命令コードを処理する演算処理回路がそれぞれ割当てられている。その場合、データパケットは次のように処理される。

40

【0122】

まず、入力ポートINから入力されたデータパケットPAは、ノード番号51には「2」が、命令コード53には「4を乗ずることを示す値」が、左右データフラグ52には「左データであることを示す値」が、第1オペランド55には「データcの値」が、および世代番号54には任意の値がそれぞれ設定されている。

50

【 0 1 2 3 】

このデータパケット P A はデータ駆動型プロセッサ P E A A 内の分岐部 4 0 にて、命令コード 5 3 に基づいて、「乗除演算」を対象とするデータパケットと判定され、該プロセッサ内の合流部 4 1 に出力され、次段の合流部 3 3 対データ検出部 2 2 演算処理部 3 5 A プログラム記憶部 3 6 分岐部 3 9 A の経路を流れて、データフローグラフの 1 ノード分の処理が完了する。これによりノード番号 2 のノードに割当てられた命令コードが処理されて、プログラム記憶部 3 6 で命令フェッチが行なわれてデータパケットには次位のノード番号 6 が格納される。ノード番号 6 のノードの命令コードは乗除演算を示すので、分岐部 3 9 A において該データパケットはプロセッサ P E A A の外部には出力されず、内部バッファ 3 8 に与えられる。

10

【 0 1 2 4 】

プロセッサ P E A A で、次にノード番号 6 ノードの演算が処理されて、プログラム記憶部 3 6 で命令フェッチが行なわれて次位のノード番号 9 を格納したデータパケットが得られる。該データパケット中の命令コード 5 3 が減算演算を示すので、該データパケット分岐部 3 9 A により合流部 4 3 を介して出力ポート O B からプロセッサ P E B B へ出力される。

【 0 1 2 5 】

以降、上述と同様にして処理されるデータパケットが各プロセッサ間を行き来しながらデータフローグラフが実行され、かつ第 1 オペランド 5 5 としてデータ a の値およびデータ b の値をそれぞれ格納したデータパケット P A についても同様に処理が実行されることにより、図 8 に示されるように解 (a n s 1 および a n s 2) が得られる。

20

【 0 1 2 6 】

上述の実施の形態 1 または 2 によれば、システム内のデータ駆動型プロセッサのそれぞれにおいて処理可能な命令体系を異ならせるようにしてデータパケットは命令コードに基づいて該データパケットを処理できるプロセッサへ与えられるように伝送路が選択されるように構成される。したがって、従来のように各プロセッサへのプロセッサ番号の付与が不要となり、かつデータパケット中の P E 番号格納領域が不要となるからシステムに関して回路規模を縮小でき、コストおよび消費電力を低減できる。

【 0 1 2 7 】

また、消費電力が低減されるので該システムを内蔵するパッケージの放熱対策コストも減少する。またデータパケット中に P E 番号格納領域が不要となることでデータパケットのデータ幅を縮小できて、システムにおけるデータパケットのための端子数は減少して不要な輻射も低減する。

30

【 0 1 2 8 】

また実施の形態 1 のシステムでは分岐部と合流部が複数のプロセッサの外部（システムの入出力段）に配置されるので、システム構成時に各プロセッサの演算処理部の相違を考慮しなくともプロセッサを規則的に配置できる。それゆえに、該システムはプロセッサの規則的な配置構成（レイアウト）が必要とされる場合の適用に有効である。

【 0 1 2 9 】

また実施の形態 2 のシステムは、データパケットを演算処理可能か否かの判断が各プロセッサ内で個別に行なわれるので、各プロセッサの演算処理部の相違に従いプロセッサの配置構成（レイアウト）を異ならせることができる。それゆえに、プロセッサの規則的な配置が困難な場合には該システムの適用は有効である。

40

【 0 1 3 0 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 図面の簡単な説明 】

【 図 1 】 この発明の実施の形態 1 による複数のデータ駆動型情報処理装置を含むシステム

50

の構成を示す図である。

【図 2】この発明の実施の形態 1 によるデータ駆動型情報処理装置のブロック構成図である。

【図 3】図 1 の分岐部の詳細構成図である。

【図 4】図 3 の分岐判定部のブロック構成図である。

【図 5】(A) ~ (C) は、図 2 のデータ駆動型情報処理装置において処理されるデータパケットのフィールド構成を示す図である。

【図 6】図 2 のプログラム記憶部の記憶内容例を示す図である。

【図 7】(A) ~ (T) は図 3 の分岐部の動作を説明したタイミングチャートである。

【図 8】図 1 のシステムで実行されるデータフローグラフ (データフロープログラム) の一例を示す図である。 10

【図 9】この発明の実施の形態 2 による複数のデータ駆動型情報処理装置を含むシステムの構成図である。

【図 10】この発明の実施の形態 2 によるデータ駆動型情報処理装置の第 1 のブロック構成を示す図である。

【図 11】この発明の実施の形態 2 によるデータ駆動型情報処理装置の第 2 のブロック構成を示す図である。

【図 12】この発明の実施の形態 2 によるデータ駆動型情報処理装置の第 3 のブロック構成を示す図である。

【図 13】従来のデータ駆動型プロセッサのブロック構成図である。 20

【図 14】(A) ~ (C) は、図 13 のプロセッサにおいて処理されるデータパケットのフィールド構成を説明するための図である。

【図 15】図 13 のプログラム記憶部の記憶内容の一例を示す図である。

【図 16】図 13 のデータ駆動型プロセッサを複数個含むシステムの構成図である。

【符号の説明】

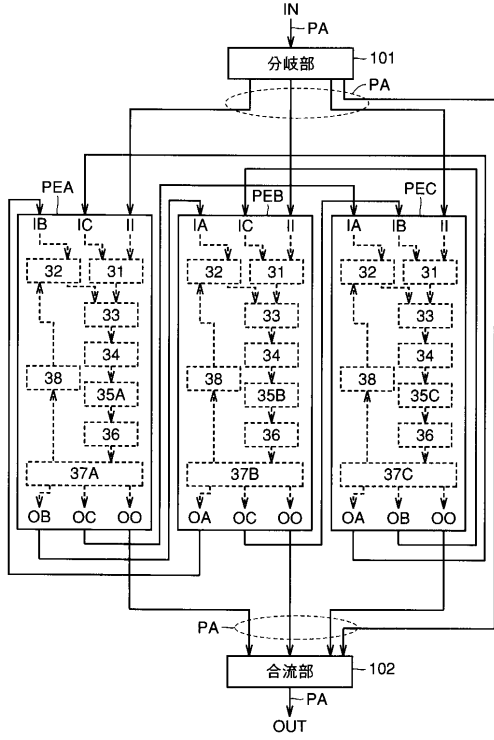
PE1、PE、PEA、PEB、PEC、PEAA、PEBBおよびPECC データ駆動型プロセッサ

37、37A ~ 37C、39A ~ 39C、40、46、47、48 および 101 分岐部

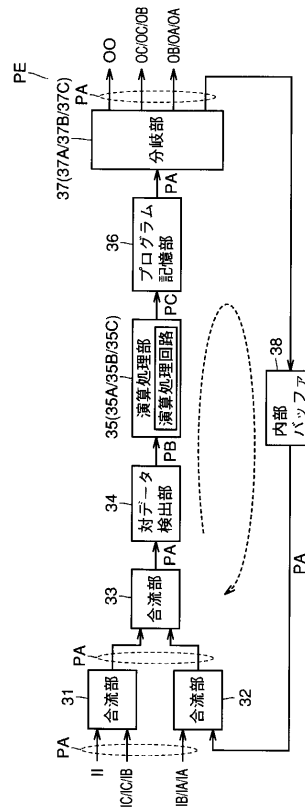
1005 分岐判定部

なお、各図中同一符号は同一または相当部分を示す。 30

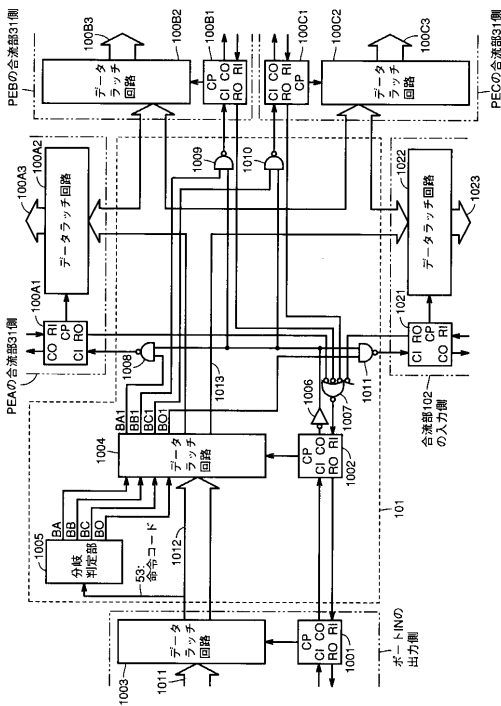
【 図 1 】



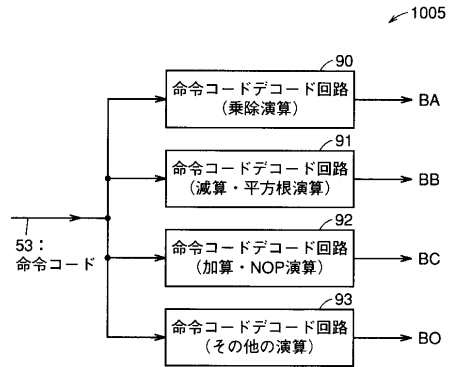
【 図 2 】



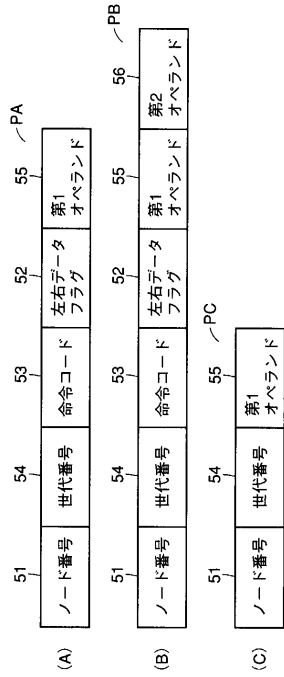
【 図 3 】



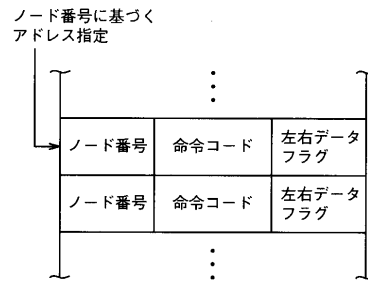
【 図 4 】



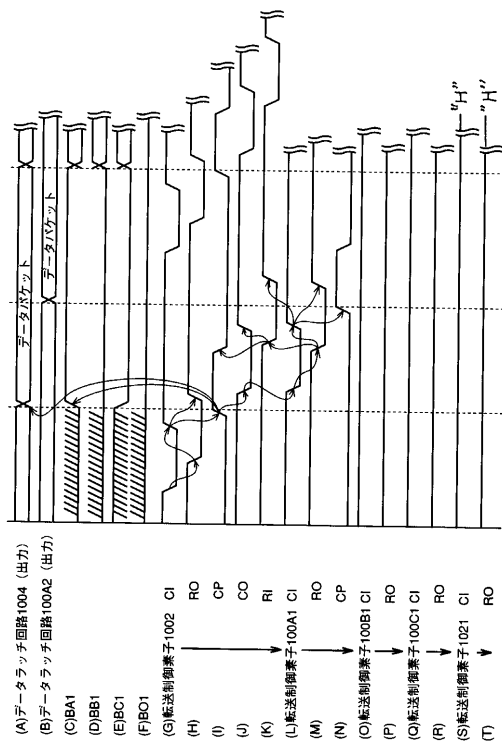
【 図 5 】



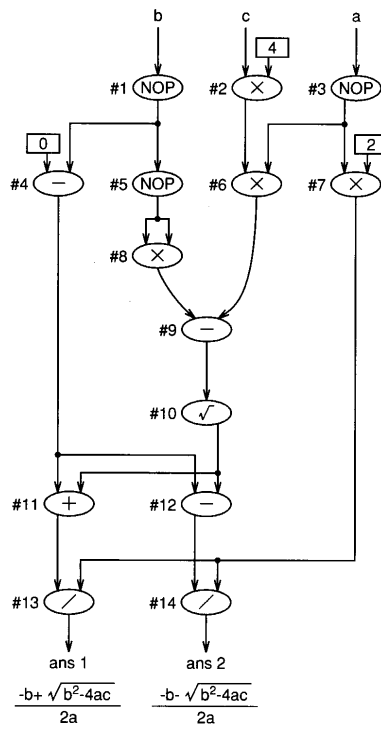
【 図 6 】



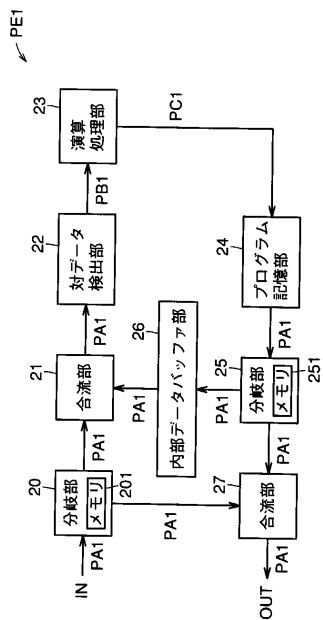
【 図 7 】



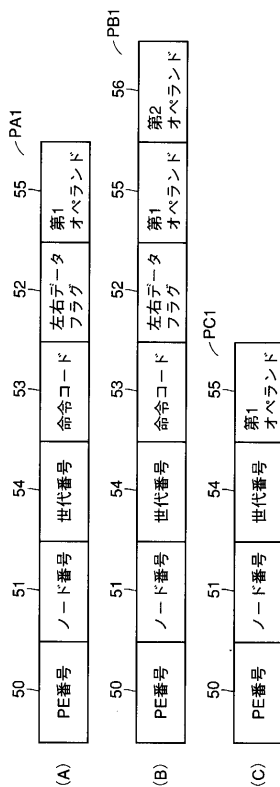
【 図 8 】



【 図 1 3 】

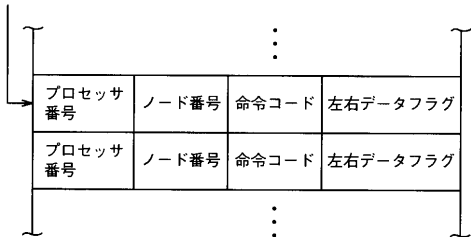


【 図 1 4 】

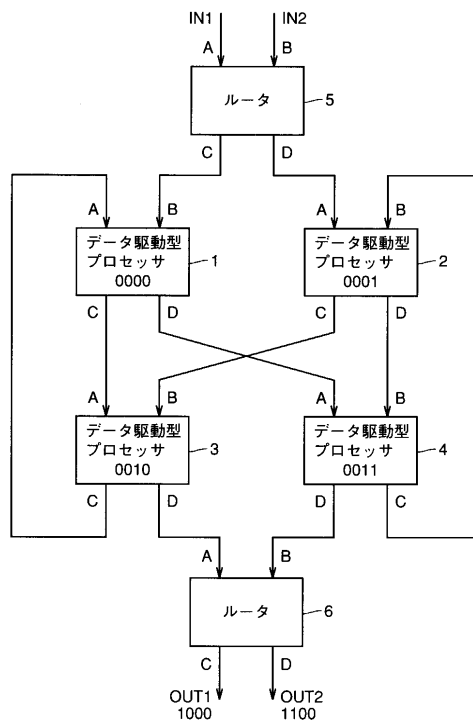


【 図 1 5 】

ノード番号に基づく
アドレス指定



【 図 1 6 】



フロントページの続き

審査官 酒井 恭信

- (56)参考文献 特開平06 - 259583 (JP, A)
特開昭63 - 081535 (JP, A)
特開昭63 - 131233 (JP, A)
特開平05 - 314284 (JP, A)

- (58)調査した分野(Int.Cl. , DB名)
G06F 15/82