

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4997316号  
(P4997316)

(45) 発行日 平成24年8月8日(2012.8.8)

(24) 登録日 平成24年5月18日(2012.5.18)

(51) Int.Cl. F1  
G11C 11/4097 (2006.01) G11C 11/34 362B

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2010-104087 (P2010-104087)	(73) 特許権者	310024033
(22) 出願日	平成22年4月28日 (2010. 4. 28)		エスケーハイニックス株式会社
(62) 分割の表示	特願2004-83232 (P2004-83232) の分割		SK hynix Inc.
原出願日	平成16年3月22日 (2004. 3. 22)		大韓民国京畿道利川市夫鉢邑京忠大路2091
(65) 公開番号	特開2010-192107 (P2010-192107A)		2091, Gyeongchung-aero, Bubal-eub, Icheon-si, Gyeonggi-do, Korea
(43) 公開日	平成22年9月2日 (2010. 9. 2)	(74) 代理人	100118913
審査請求日	平成22年5月25日 (2010. 5. 25)		弁理士 上田 邦生
(31) 優先権主張番号	2003-027119	(74) 代理人	100112737
(32) 優先日	平成15年4月29日 (2003. 4. 29)		弁理士 藤田 考晴
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100136168
			弁理士 川上 美紀

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【特許請求の範囲】

【請求項 1】

メモリセルが連結された複数のワード線、複数のビット線及び複数の反転ビット線を含むメモリセルアレイと、

前記複数のワード線のいずれか 1 本を選択するロウデコーダと、

アドレス信号に応じてビット線選択信号を生成し、そのビット線選択信号に従って前記複数のビット線のうち互いに隣接した 2 本のビット線を同時に選択し、または前記複数の反転ビット線のうち互いに隣接した 2 本の反転ビット線を同時に選択するカラムデコーダと、

前記ロウデコーダ及びカラムデコーダによって選択された各メモリセルにそれぞれ記憶されたデータを読み取るための複数のセンスアンプとを備えてなり、

前記互いに隣接した 2 本のビット線または前記互いに隣接した 2 本の反転ビット線が同時に選択され、選択された 2 本のビット線を介して二つのメモリセルが前記センスアンプの第 1 入力端に同時に並列連結されて第 2 入力端に基準電圧が印加され、データが読み出される

ことを特徴とする半導体メモリ装置。

【請求項 2】

請求項 1 に記載の半導体メモリ装置において、

前記カラムデコーダは、前記互いに隣接した 2 本のビット線又は互いに隣接した 2 本の反転ビット線が同時に選択されるように、前記アドレス信号のうち最下位アドレス信号を

10

20

除いた残りのアドレス信号のみをデコードして前記ビット線選択信号を生成することを特徴とする半導体メモリ装置。

【請求項 3】

請求項 2 に記載の半導体メモリ装置において、

前記カラムデコーダは、前記ビット線選択信号を前記ビット線数の半分に該当する数だけ生成し、1つの前記ワード線選択信号で互いに隣接している2本のビット線を同時に選択する

ことを特徴とする半導体メモリ装置。

【請求項 4】

請求項 1 又は 2 に記載の半導体メモリ装置において、

前記カラムデコーダは、前記アドレス信号を反転させるための複数のインバータ、及び前記最下位アドレス信号が入力される入力端に接地電圧が代わりに印加され、前記アドレス信号と反転されたアドレス信号とを組み合わせる前記ビット線選択信号を生成する複数の NOR ゲートからなり、

互いに隣接する2本のビット線が同時に選択されるように、前記ビット線選択信号を2つずつイネーブルさせるために最下位アドレス信号をドントケア処理する

ことを特徴とする半導体メモリ装置。

【請求項 5】

請求項 1 又は 2 に記載の半導体メモリ装置において、

前記カラムデコーダは、前記アドレス信号を反転させるための複数のインバータ、及び前記最下位アドレス信号が入力される入力端に電源電圧が代わりに印加され、前記アドレス信号と反転されたアドレス信号とを組み合わせる前記ビット線選択信号を生成する複数の NAND ゲートからなり、

互いに隣接する2本のビット線が同時に選択されるように、前記ビット線選択信号を2つずつイネーブルさせるために、前記最下位アドレス信号をドントケア処理する

ことを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体メモリ装置に係り、特に、メモリセルに記憶されたデータを読み出す読出し動作のマージンを増加させて素子の信頼性を向上させることが可能な半導体メモリ装置に関する。

【背景技術】

【0002】

素子の高集積化に伴って、メモリセルの面積が減少することにより、メモリセルがデータを記憶することにおいて、いろいろの問題点が発生している。

【0003】

例えば、DRAMの場合、メモリセルが一つのトランジスタと一つのキャパシタからなり、キャパシタに電荷を充電又は放電する方法によりメモリセルにデータを記憶する。このような場合、素子の集積度を高めるためにキャパシタの大きさを減らすほど、キャパシタに記憶された電荷の放電時間が短くなるので、データを長時間保持することが難しくなる。

【0004】

図1は、一般的な半導体メモリ装置において、メモリセルに記憶されたデータの読出し動作を説明するための回路図である。

【0005】

図1を参照すると、メモリセルアレイ100は、複数のワード線WL0~WLn-1、複数のビット線BL1~BLn及び反転ビット線BL1#~BLn#からなる。ワード線WL0~WLn-1には横方向のメモリセルの各ゲートが共通に連結され、ビット線BL1~BLnと反転ビット線BL1#~BLn#には列方向のメモリセルの各ドレインが共

10

20

30

40

50

通に連結される。

【0006】

具体的に例を挙げると、動的半導体メモリ装置では、メモリセルのうち、ビット線  $BL_1 \sim BL_n$  に連結されるトルーセル(true cell)  $C_1 \sim C_n$  と、反転ビット線  $BL_1\# \sim BL_n\#$  に連結されるコンプリメントセル  $C\#_1 \sim C\#_n$  とがジグザグ状に配置される。すなわち、メモリセルアレイは、ビット線  $BL_1 \sim BL_n$  と反転ビット線  $BL_1\# \sim BL_n\#$  とが交互に配列され、ワード線  $WL_0 \sim WL_{n-1}$  がビット線  $BL_1 \sim BL_n$  と直交する方向に配列され、メモリセル  $C_1 \sim C_n$ 、 $C\#_1 \sim C\#_n$  は、マトリックス状のライン配列に全て配置されるのではなく、ジグザグ状に配列される。

【0007】

一方、ビット線  $BL_1$  と、それに対応する反転ビット線  $BL_1\#$  は、センスアンプ  $120-1$  の入力端子にそれぞれ接続される。このようなセンスアンプは、ビット線の数だけ設けられる。

【0008】

このような状態で、アドレス  $A_0 \sim A_k$  が入力されると、ロウデコーダ  $110$  は、入力されたアドレスをデコードして1本のワード線を選択し、コラムデコーダ  $130$  は、特定のビット線(又は、反転ビット線)を選択する。例えば、アドレス  $A_0 \sim A_k$  が入力されて第1ワード線(例えば、 $WL_0$ )と第1ビット線  $BL_1$  が選択されると、センスアンプ  $120-1$  は、反転ビット線  $BL\#_1$  を介して入力される基準電圧(例えば、 $V_{cc}/2$ )と、ビット線  $BL_1$  を介して入力されるトルーセル  $C_1$  のキャパシタの充電状態を比較し、トルーセル  $C_1 \sim C_n$  に記憶されたデータをそれぞれ読み出す。読み出されたデータはデータ出力ピンを介して外部に出力される。

【0009】

この際、メモリセルのキャパシタに電荷が充電されず、「0」というデータが記憶された場合には、放電される電荷がないので、「0」というデータを安定に保つことができる。また、リフレッシュ動作又は読出し動作の際に、電位  $0V$  のビット線(例えば、 $BL_1$ )と  $V_{cc}/2$  の反転ビット線(例えば、 $BL_1\#$ )との電位差が明確に区分されるので、読出し誤りが殆ど発生しない。ところが、メモリセルのキャパシタに電荷が充電されて「1」というデータが記憶された場合には、時間が立つにつれて充電電荷が放電されるため、「1」というデータを安定に維持することができない。したがって、リフレッシュ又は読出し動作の際に、センスアンプ(例えば、 $120-1$ )は、放電によって電位が  $V_{cc}$  より低い( $a + V_{cc}/2$ )程度のビット線  $BL_1$  と  $V_{cc}/2$  の反転ビット線  $BL_1\#$  との電位差  $a$  を比較しなければならないが、電位差  $a$  が大きくなければ、読出し誤りが発生するおそれがある。

【0010】

しかも、集積度が増加してキャパシタの静電容量が減少すると、データ保存特性を向上させるために、リフレッシュ周期が短くならなければならないので、電流消耗及び不良率が増加するという問題点が生じる。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開平5-266670号公報

【特許文献2】特開平9-120700号公報

【特許文献3】特表2001-84760号公報

【特許文献4】特開2002-184181号公報

【特許文献5】特表2002-288981号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

したがって、この発明は、そのような問題点を解決するためのもので、その目的は、ワ

10

20

30

40

50

ード線を選択し、メモリセルが記憶されたデータを読み出す過程で選択されたワード線と隣接したワードとを同時に選択し、あるいは2本のビット線（又は、反転ビット線）をセンスアンプの入力端に同時に連結してセンスアンプの両入力端の電圧差を増加させることにより、読出しマージンを増加させて読出し動作の正確度を高め、素子動作の信頼性を向上させることが可能な半導体メモリ装置を提供することにある。

【課題を解決するための手段】

【0013】

上記目的を達成するために、この発明の半導体メモリ装置は、メモリセルが連結された複数のワード線及び複数のビット線を含むメモリセルアレイと、アドレス信号に応じてワード線選択信号を生成し、そのワード線選択信号に従って複数のワード線の中から互いに隣接した2本のワード線を同時に選択するロウデコーダと、複数のビット線の中から各所望の1本を選択するためのカラムデコーダと、ロウデコーダ及びカラムデコーダによって選択された各メモリセルにそれぞれ記憶されたデータを読み取るための複数のセンスアンプとを備えて、半導体メモリ装置を構成する。

10

【0014】

前記において、ロウデコーダは、互いに隣接した2本のワード線が同時に選択されるように、アドレス信号のうち最下位ビットを除いた残りのアドレス信号ビットのみをデコードしてワード線選択信号を生成する。このようなロウデコーダは、ワード線選択信号をワード線数の半分に相当する数だけ生成し、1つのワード線選択信号で互いに隣接している2本のワード線を同時に選択する。

20

【0015】

また、ロウデコーダは、アドレス信号を反転させるための複数のインバータ、及び最下位アドレス信号ビットが入力される入力端に接地電圧が代わりに印加され、アドレス信号と反転アドレス信号とを組み合わせるワード線選択信号を生成する複数のNORゲートで構成し、互いに隣接する2本のワード線が同時に選択されるようにワード線選択信号を2つずつイネーブルさせるために、最下位アドレスビットをドントケア(Don't care)処理することもできる。この際、制御信号に応じて最下位アドレスビット及び接地電圧のいずれか一つを選択的にNORゲートの入力端にスイッチングするスイッチング手段を最下位アドレスビットが入力されるNORゲートの入力端にさらに備え、最下位アドレス信号が入力されると、1本のワード線のみを選択し、接地電圧が入力されると、2本のワード線を同時に選択する構成とすることもできる。

30

【0016】

また、ロウデコーダは、アドレス信号を反転させるための複数のインバータ、及び最下位アドレス信号ビットが入力される入力端に電源電圧が代わりに印加され、アドレス信号と反転アドレス信号とを組み合わせるワード線選択信号を生成する複数のNANDゲートで構成し、互いに隣接する2本のワード線が同時に選択されるようにワード線選択信号を2つずつイネーブルさせるために最下位アドレスビットをドントケア処理することもできる。この際、制御信号に応じて最下位アドレスビット及び電源電圧のいずれか一つを選択的にNANDゲートの入力端に切り換え供給するスイッチング手段を最下位アドレスビットの入力されるNANDゲートの入力端にさらに備え、最下位アドレスビット信号が入力されると、1本のワード線のみを選択し、電源電圧が入力されると、2本のワード線を同時に選択する構成とすることもできる。

40

【0017】

前記において、互いに隣接した2本のワード線のうちいずれか1本は、ビット線に連結されたトルーセルが連結されたワード線であり、他の1本は、反転ビット線に連結されたコンプリメントセルが連結されたワード線である。この際、トルーセルは、ビット線によってセンスアンプの第1入力端に接続され、コンプリメントセルは、反転ビット線によってセンスアンプの第2入力端に接続されており、記憶されたデータが読み出される。

【0018】

また、互いに隣接した2本のワード線は、ビット線に連結されたトルーセルのみが連結

50

されたワード線、あるいは反転ビット線に連結されたコンプリメントセルのみが連結されたワード線である。この際、トルセル又はコンプリメントセルは、センスアンプの第1入力端に接続され、センスアンプの第2入力端には、基準電圧が印加されており、記憶されたデータが読み出される。

【0019】

この発明の他の実施例に係る半導体メモリ装置は、メモリセルが連結された複数のワード線、複数のビット線及び複数の反転ビット線を含むメモリセルアレイと、複数のワード線のいずれか1本を選択するロウデコードと、アドレス信号に応じてビット線選択信号を生成し、そのビット線選択信号に従って複数のビット線のうち互いに隣接した2本のビット線を同時に選択し、あるいは複数の反転ビット線のうち互いに隣接した2本の反転ビット線を同時に選択するカラムデコードと、ロウデコード及びカラムデコードによって選択された各メモリセルにそれぞれ記憶されたデータを読み取るための複数のセンスアンプとを備えてなり、互いに隣接した2本のビット線または互いに隣接した2本の反転ビット線が同時に選択され、選択された2本のビット線を介して二つのメモリセルがセンスアンプの第1入力端に同時に並列連結されて第2入力端に基準電圧が印加され、データが読み出されるように、構成される。

10

【0020】

前記において、カラムデコードは、互いに隣接した2本のビット線又は互いに隣接した2本の反転ビット線が同時に選択されるように、アドレス信号のうち最下位アドレスビットを除いた残りのアドレス信号ビットのみをデコードしてビット線選択信号を生成する。

20

【発明の効果】

【0021】

上述したように、この発明は、ワード線を選択して、メモリセルに記憶されたデータを読み出す過程で、選択されたワード線と隣接したワード線とを同時に選択し、あるいは2本のビット線（又は、反転ビット線）をセンスアンプの入力端に同時に連結させてセンスアンプの両入力端の電圧差を増加させることにより、読出しマージンを増加させて、読出し動作の正確度を高め、素子動作の信頼性を向上させることができる。

【0022】

また、この発明の一実施例では、カラムデコードが、ビット線選択信号をビット線数の半分に相当する数だけ生成し、1つのビット線選択信号で互いに隣接している2本のビット線を同時に選択することができる。

30

【0023】

また、他の実施例では、カラムデコードが、アドレス信号を反転させるための複数のインバータ、及び最下位アドレスビットが入力される入力端に接地電圧が代わりに印加され、アドレス信号と反転されたアドレス信号とを組み合わせるビット線選択信号を生成する複数のNORゲートで構成され、互いに隣接する2本のビット線が同時に選択されるようにビット線選択信号を2つずつイネーブルさせるために最下位アドレスビットをドントケア処理することもできる。

【0024】

また、カラムデコードは、アドレス信号を反転させるための複数のインバータ、及び最下位アドレスビットが入力される入力端に電源電圧が代わりに印加され、アドレス信号と反転されたアドレス信号とを組み合わせるビット線選択信号を生成する複数のNANDゲートで構成され、互いに隣接する2本のビット線が同時に選択されるようにビット線選択信号を2つずつイネーブルさせるために、最下位アドレスビットをドントケア処理することもできる。

40

【0025】

前記の構成を有するこの発明の半導体メモリ装置は、ノーマル動作又はリフレッシュ動作の際に2本のビット線、あるいは互いに隣接した2本のワード線を同時に選択して、センスアンプの入力端に同時に連結させ、これによりセンスアンプの両入力端間の電圧差を増加させることにより、読出しマージンを増加させて、読出し動作の正確度を高め、素子

50

動作の信頼性を向上させることができる。

【図面の簡単な説明】

【0026】

【図1】一般的な半導体メモリ装置でメモリセルに記憶されたデータの読出し動作を説明するための回路図である。

【図2】この発明の第1の実施例に係る半導体メモリ装置の接続関係及び動作を説明するための回路図である。

【図3】図2に示したロウデコーダの内部回路図である。

【図4】この発明の第2の実施例に係る半導体メモリ装置の接続関係及び動作を説明するための回路図である。

【図5】この発明の第3の実施例に係る半導体メモリ装置の接続関係及び動作を説明するための回路図である。

【図6】図5に示したロウデコーダの内部回路図である。

【図7】この発明の第5の実施例に係る半導体メモリ装置の接続関係及び動作を説明するための回路図である。

【発明を実施するための形態】

【0027】

以下、添付図面に基づいて、この発明の好適な実施例を説明する。なお、この発明は、下記の実施例に限定されるものではなく、様々な変形実現が可能である。これらの実施例は、この発明の開示を完全にし、当技術分野で通常の知識を有する者にこの発明の範疇を知らせるために提供されるものである。また、図面において、同一の符号は同一の要素を示す。

【0028】

図2は、この発明の第1の実施例に係る半導体メモリ装置の接続関係及び動作を説明するための回路図である。

【0029】

図2を参照すると、この発明の第1の実施例に係る半導体メモリ装置において、メモリセルアレイ200、センスアンプ220-1~220-n、カラムデコーダ230及び周辺回路(図示せず)は、従来のものと同一である。したがって、これらについての説明は省略する。

【0030】

この発明では、ノーマル動作又はリフレッシュ動作の際に、互いに隣接した2本のワード線を同時に選択するための方法の一つとして、ロウデコーダ210の内部回路を変更し、互いに隣接した2本のワード線を同時に選択するように構成する。以下、ロウデコーダ210の内部回路と、互いに隣接した2本のワード線を同時に選択する動作を、図面を参照してより詳細に説明する。

【0031】

図3は、図2に示したロウデコーダ210の内部回路図である。図3を参照すると、この発明の実施例に係るロウデコーダは、複数のインバータINV1~INVkと、複数のNORゲートNOR1~NORnで実現することができる。ここで、複数のインバータINV1~INVkは、第1~第k+1アドレス信号A0~Akを反転させ、反転したアドレス信号Ab0~Abkを生成する。

【0032】

ここで、従来のNORゲートは、第1~第k+1アドレス信号A0~Akと、反転されたアドレス信号Ab0~Abkとを組み合わせることでワード線を選択する信号を生成した。ところが、この発明では、複数のNORゲートNOR1~NORnが第2~第k+1アドレス信号A1~Akと反転されたアドレス信号Ab1~Abkとを論理演算し、ワード線WL0~WLn-1のいずれか1本を選択する信号を生成する。すなわち、最下位のアドレスビットA0は、デコードに使用しない。そして、NORゲートNOR1~NORnの入力端子のうち、従来、最下位のアドレスビットA0が入力された第1入力端子I0は接地

10

20

30

40

50

ラインに接続して、最下位のアドレスビットA0の代わりに接地電圧V<sub>ss</sub>を入力させる。このため、最下位のアドレスビット信号A0は入力されず、接地電圧V<sub>ss</sub>はNORゲートの動作に何の影響も及ぼさないので、最下位のアドレスビットA0がドントケア処理されることになり、ワード線選択信号が2つずつイネーブルされる。

【0033】

もし、ロウデコーダがNORゲートの代わりにNANDゲートで構成された場合には、最下位のアドレスビットA0が入力されたNANDゲートの第1入力端子を電源電圧端子に連結し、最下位のアドレスビットA0の代わりに電源電圧V<sub>cc</sub>を入力させる。すると、最下位のアドレスビットA0が入力されず、電源電圧V<sub>cc</sub>はNANDゲートの動作に何の影響も与えないので、最下位のアドレスビットA0がドントケア処理されることになり、同じく、ワード線選択信号が2つずつイネーブルされる。

10

【0034】

例えば、第1～第3アドレスビットA0～A2が入力され、前記の方法で最下位の第1アドレスA0がドントケア処理される場合の真理表は、次のとおりである。

【0035】

【表1】

A2	A1	A0	イネーブル信号
0	0	Don't care	WL0、WL1
0	0	Don't care	WL0、WL1
0	1	Don't care	WL2、WL3
0	1	Don't care	WL2、WL3
1	0	Don't care	WL4、WL5
1	0	Don't care	WL4、WL5
1	1	Don't care	WL6、WL7
1	1	Don't care	WL6、WL7

20

【0036】

表1に示すように、3ビットのアドレス信号A0～A2が入力されると、8本のワード線WL0～WL7をそれぞれ選択することができるが、最下位のアドレス信号A0がドントケア処理されると、ワード線が2つずつイネーブルされることが分かる。これは、アドレス信号のビット数に関係なく、最下位のアドレス信号ビットが図3に示すようにドントケア処理されると、ワード線を2つずつイネーブルさせることができる。場合によっては、最下位の2つのアドレス信号A0及びA1をドントケア処理すると、4本のワード線を同時にイネーブルさせることもできる。

30

【0037】

一方、図示してはいないが、アドレス信号の最下位ビットA0の入力端子と、最下位アドレスビットが入力されるNORゲートNOR1～NORnの第1入力端子I0との間にスイッチング手段を設けておいて、制御信号に応じてスイッチング手段を制御してNORゲートNOR1～NORnの第1入力端子I0への入力を最下位アドレスビットA0又は接地電圧V<sub>ss</sub>(NANDゲートの場合には、V<sub>cc</sub>)のいずれかに選択することにより、最下位アドレスビットA0を入力してワード線を1本ずつ選択したり、あるいは接地電圧V<sub>ss</sub>を入力してワード線を同時に2本ずつ選択したり、動作モードを変更することもできる。

40

【0038】

図2及び図3を参照すると、アドレス信号のビットA0～A<sub>k</sub>に応じて互いに隣接した2本のワード線がロウデコーダ210によって同時にイネーブルされると、センスアンプ220-1～220-nにはそれぞれ2つのメモリセルが接続される。

【0039】

例えば、第1及び第2ワード線WL0及びWL1が同時に選択され、カラムデコーダ230によって第1ビット線BL1と第1反転ビット線BL#1が選択されると、センスアンプ220-1の第1入力端には、第1ワード線WL0に接続された第1トルーセルC1

50

が第1ビット線BL1によって接続され、第2入力端には、第2ワード線WL1に接続された第1コンプリメントセルC#1が第1反転ビット線BL#1によって連結される。このように、相互に反対のデータ値が記憶されるセルC1及びC#1がセンスアンプ220-1のそれぞれ異なる入力端にそれぞれ接続されると、入力端間の電圧差が増加する。したがって、センスアンプ220-1の読出しマージンが増加し、読出し動作又はリフレッシュ動作の正確度が高くなって、素子動作の信頼性を向上させることができる。

【0040】

前記第1実施例では、選択された2本のワード線のうち、一方のワード線WL0にはトルーセルC1が接続され、他方のワード線WL1にはコンプリメントセルC#1が連結された場合を例として説明した。これは、選択された2本のワード線にトルーセルのみが連結された場合にも適用可能である。次に、その場合について説明する。

10

【0041】

図4は、この発明の第2の実施例に係る半導体メモリ装置の接続関係及び動作を説明するための回路図である。

【0042】

図4を参照すると、ロウデコーダ、カラムデコーダ、センスアンプの接続関係は、全て図2に示した半導体メモリ装置と同一であるが、トルーセル(C1~Cn、C'1~C'n)とコンプリメントセル(C#1~C#n)の配列状態が相違する。具体的に説明すると、図2では互いに隣接した2本のワード線が選択されると、一方のワード線には、トルーセルが接続されていて、他方のワード線にはコンプリメントセルが接続されているように、メモリセルが配列されていた。ところが、図4に示すように、互いに隣接するワード線の対にトルーセルのみが連結された2本のワード線(例えば、WL0とWL1)が同時に選択されるか、又は互いに隣接するワード線の対にコンプリメントセルのみが連結された2本のワード線(例えば、WL2とWL3)が同時に選択されるか、となるようにメモリセルを配列することもできる。

20

【0043】

アドレス信号の各ビットA0~Akに従って、互いに隣接した2本のワード線がロウデコーダ210によって同時にイネーブルされると、図4の配列では、センスアンプ220-1~220-nにそれぞれ2つのトルーセル又はそれぞれ2つのコンプリメントセルが接続される。

30

【0044】

例えば、第1及び第2ワード線WL0~WL1が同時に選択され、カラムデコーダ230によって第1ビット線BL1及び第1反転ビット線BL#1がイネーブルされると、センスアンプ220-1の第1入力端には第1ワード線WL0に接続された第1トルーセルC1と第2ワード線WL1に接続された第2トルーセルC'1とがビット線BL1によって接続され、第1及び第2トルーセルC1及びC'1が並列接続される。他方、センスアンプ220-1の第2入力端には反転ビット線BL#1を介して基準電圧(例えば、Vcc/2)が印加される。センスアンプ220-1の第1入力端に第1及び第2トルーセルC1及びC'1が並列接続されると、第1及び第2トルーセルC1及びC'1に含まれたキャパシタもセンスアンプ220-1の第1入力端に並列接続される。キャパシタが並列接続されると、全体静電容量も増加するので、入力端間の電圧差が増加する。したがって、センスアンプ220-1の読出しマージンが増加し、読出し動作又はリフレッシュ動作の正確度が高くなって、素子動作の信頼性を向上させることができる。

40

【0045】

図2ないし図4に示した第1及び第2実施例では、ロウデコーダで2本のワード線を同時に選択して読出マージンを増加させる場合を例として説明した。しかし、ロウデコーダで生成されたワード線選択信号を同時に2本のワード線に印加して、2本のワード線を同時に選択する方法によって、読出しマージンを増加させることもできる。次に、その場合を説明する。

【0046】

50



図5は、この発明の第3の実施例に係る半導体メモリ装置の接続関係及び動作を説明するための回路図である。図6は、図5のロウデコーダの内部回路図である。

【0047】

図5を参照すると、この発明の第3の実施例は、入力されたアドレスビットA0～Akのうち最下位アドレスビットA0を除いた残りのアドレスビットA1～Akのみをデコードしてワード線選択信号を生成するという点と、ロウデコーダ210で生成されたワード線選択信号がそれぞれ2本のワード線を同時に選択するという点において、図2に示した第2の実施例とは差異がある。具体的に説明すると、次のとおりである。

【0048】

第3の実施例では、アドレス信号の最下位ビットA0を除いた残りのアドレスビットA1～Akのみをデコードしてワード線を選択する信号を生成する。この際、最下位アドレスA0を除き、残りのアドレスA1～Akのみをデコードすると、NORゲート数が半分に減少して、ロウデコーダ210のサイズを減らすことができるが、NORゲート数が減少しただけワード線選択信号の出力数も半分に減少することになる。ところが、ワード線選択信号の出力数が減少しても、一本のワード線選択信号を互いに隣接している2本のワード線に同時に印加して、2本のワード線を同時に選択すると、半分に減らしたワード線選択信号のみでも、全てのワード線を選択することができる。

【0049】

このように1本のワード線選択信号を、互いに隣接している2本のワード線に同時に印加するためには、互いに隣接したワード線の端部を連結してロウデコーダ210の同じ1本の出力端（例えば、NORゲートの出力端）にそれぞれ接続させるだけでよい。

【0050】

他のやり方として、図6を参照すると、NORゲートNOR1～NOR $n/2$ の数（ $n/2$ 個）がワード線WL0～WL $n-1$ の数（ $n$ 本、この場合、 $n$ は偶数）の半分に減少しても、ロウデコーダ210自体にワード線WL0～WL $n-1$ の数だけ外部出力端子を設置してワード線WL0～WL $n-1$ にそれぞれ連結し、ロウデコーダ210の内部でNORゲートNOR1～NOR $n/2$ の出力端子を互いに隣接した2つの外部出力端子にそれぞれ連結させると、一本のワード線選択信号（例えば、NOR1の出力信号）で2本のワード線（例えば、WL0及びWL1）を同時に選択することができる。

【0051】

このようにすると、ロウデコーダ210のサイズを減らしながら、図2に示した第1の実施例と同様に、最下位アドレスビットA0をドントケア処理するのと同様の効果を得ることができる。また、特定のワード線と特定のビット線を選択して、メモリセルに記憶されたデータを読み出し又はリフレッシュする動作の際に、読み出しマージンが増加し、読み出し動作又はリフレッシュ動作の正確度が高くなって、素子動作の信頼性が向上する原理も、図2で説明した第1の実施例と同様に適用される。

【0052】

上記の第3の実施例では、選択された2本のワード線のうち、1本のワード線にはトルーセルが接続され、もう一本のワード線にはコンプリメントセルが連結された場合を例として説明した。しかし、第4の実施例として、図4に示した第2の実施例におけるメモリセルの配列のように、選択された2本のワード線にトルーセルのみが連結された場合にも、適用可能である。第4の実施例の場合にも、特定のワード線と特定のビット線を選択して、メモリセルに記憶されたデータを読み出し又はリフレッシュする動作、あるいは読み出しマージンが増加し、読み出し又はリフレッシュ動作の正確度が高くなって、素子動作の信頼性が向上する原理が、図4で説明した第2の実施例の場合と同様に適用されるので、その説明は略す。

【0053】

上記の第1～第4の実施例では、2本のワード線を同時に選択する方法により、読み出しマージンを増加させて、読み出し動作又はリフレッシュ動作の正確度を高め、素子動作の信頼性を向上させている。ところが、2本のビット線（又は2本の反転ビット線：以下、反

10

20

30

40

50

転ビット線の場合も含ませる)を同時に選択する方法によっても、このような効果が得られる。次に、2本のビット線を同時に選択する半導体メモリ装置の実施例を説明する。

【0054】

図7は、この発明の第5の実施例に係る半導体メモリ装置の接続関係及び動作を説明するための回路図である。

【0055】

図7を参照すると、この発明の第5の実施例に係る半導体メモリ装置は、互いに隣接している2本のビット線(例えば、BL1及びBL2)がセンスアンプ(例えば、220-1)の第1入力端に並列に連結され、互いに隣接している2本の反転ビット線(例えば、BL#1及びBL#2)がセンスアンプ220-1の第2入力端に並列に連結される。したがって、従来の技術又は第1～第4実施例とは異なり、ノーマル動作又はリフレッシュ動作の際に、ロウデコーダ210は1本のワード線(例えば、WL0)のみを選択し、コラムデコーダ130は2本のビット線(BL1及びBL2)を同時に選択してビット線電圧を印加しなければならない。

【0056】

この場合、ロウデコーダ210によって第1ワード線WL0が選択され、コラムデコーダ230によって互いに隣接している第1及び第2ビット線BL1及びBL2が同時に選択されると、センスアンプ220-1の第1入力端には第1ワード線WL0に接続された第1及び第2トルーセルC1及びC2が第1及び第2反転ビット線BL1及びBL2によって並列に接続される。一方、第2入力端には第1及び第2反転ビット線BL#1及びBL#2によって基準電圧(例えば、Vcc/2)が印加される。センスアンプ220-1の第1入力端に第1及び第2トルーセルC1及びC2が並列接続されると、第1及び第2トルーセルC1及びC2に含まれたキャパシタもセンスアンプ220-1の第1入力端に並列接続される。キャパシタが並列接続されると、全体静電容量も増加するので、入力端間の電圧差が増加する。したがって、センスアンプ220-1の読出しマージンが増加し、読出し動作又はリフレッシュ動作の正確度が高くなって、素子動作の信頼性を向上させることができる。

【0057】

このように、ノーマル動作又はリフレッシュ動作の際に、互いに隣接した2本のビット線を同時に選択するための一つの方法として、コラムデコーダ230の内部回路を変更して、互いに隣接した2本のビット線を同時に選択することができる。すなわち、図2及び図3で説明した第1の実施例又は図4で説明した第2の実施例と同様の方法で、コラムデコーダ230に入力されるアドレス信号のうち最下位アドレス信号を除いた残り信号のみをデコードする方式でコラムデコーダ230の内部回路を変更すると、互いに隣接した2本のビット線を同時に選択することができる。

【0058】

また、第1～第4の実施例で記述した内容を適用して第5の実施例に係る半導体メモリ装置を少し変更すれば、図4の第2の実施例のように、メモリセルの配列が変わっても、第5の実施例に係る半導体メモリ装置を適用することができる。

【0059】

この発明は、好ましい実施例を参照して説明したこの出願の特定の分野に制限されず、むしろこの発明の範囲は、この出願の特許請求の範囲によって理解されるべきである。

【符号の説明】

【0060】

100、200 ... メモリセルアレイ  
 110、210 ... ロウデコーダ  
 120-1～120-n、220-1～220-n ... センスアンプ  
 130、230 ... コラムデコーダ

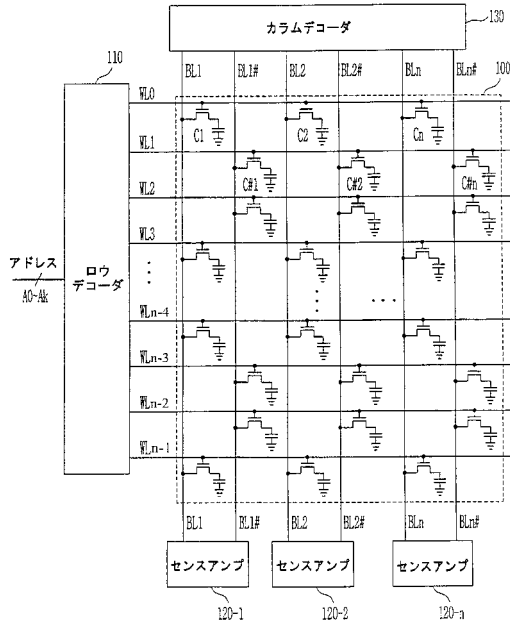
10

20

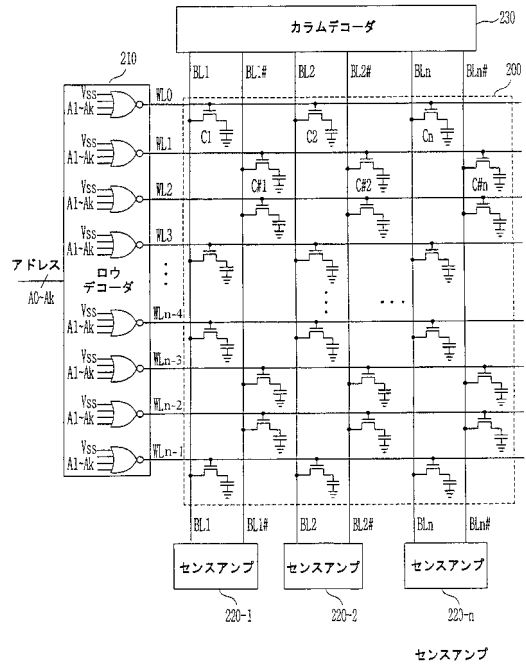
30

40

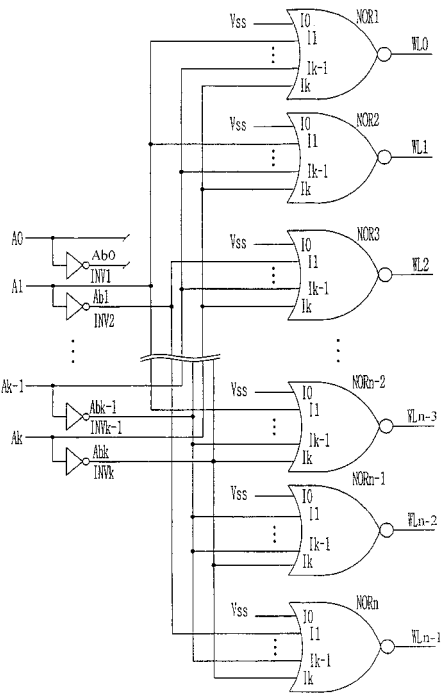
【図1】



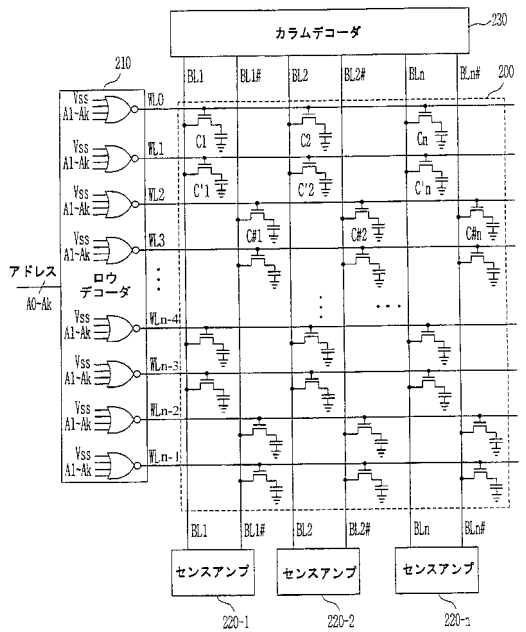
【図2】



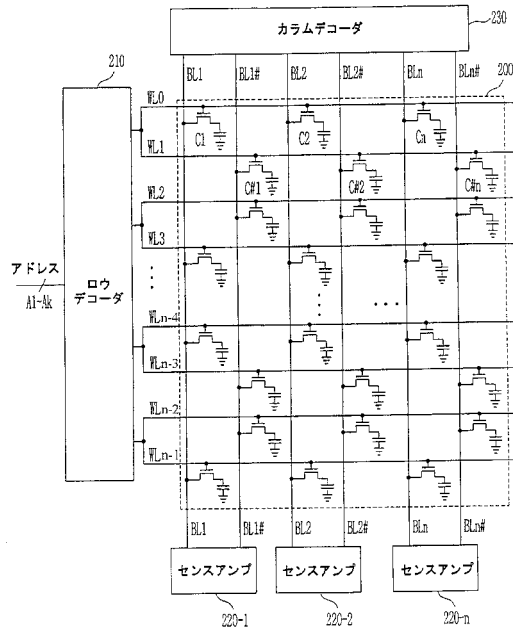
【図3】



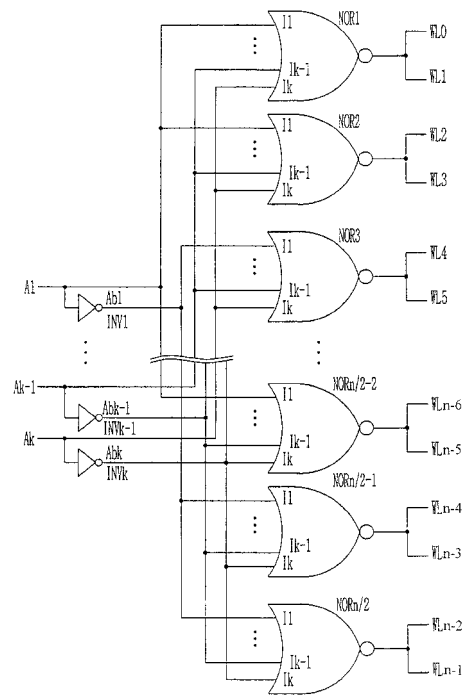
【図4】



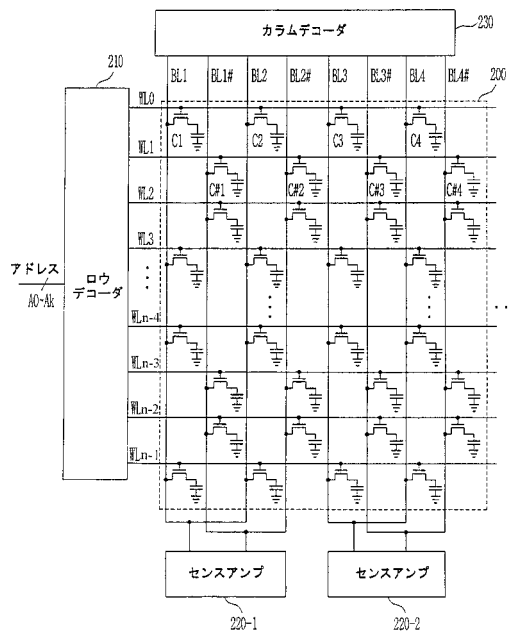
【図5】



【図6】



【図7】



---

フロントページの続き

(74)代理人 100064724

弁理士 長谷 照一

(74)代理人 100073302

弁理士 神谷 牧

(72)発明者 崔 國善

大韓民国ソウル特別市廣進区滋養2洞 ヒョンデアパート302-611

審査官 堀 拓也

(56)参考文献 特開2001-135075(JP,A)

特開2002-093165(JP,A)

特開2001-084760(JP,A)

特開2002-288981(JP,A)

特開2002-184181(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/408

G11C 11/405