



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월04일
(11) 등록번호 10-1282404
(24) 등록일자 2013년06월28일

(51) 국제특허분류(Int. C1.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0085089

(22) 출원일자 2006년09월05일

심사청구일자 2011년09월05일

(65) 공개번호 10-2008-0021909

(43) 공개일자 2008년03월10일

(56) 선행기술조사문헌

KR100476366 B1*

KR1020050068214 A*

US20050112790 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

최승하

경기도 시흥시 상직길 4, 태평아파트 206동 502호
(하상동)

오민석

경기도 용인시 수지구 신봉1로48번길 29, 한일아
파트 102동 202호 (신봉동)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

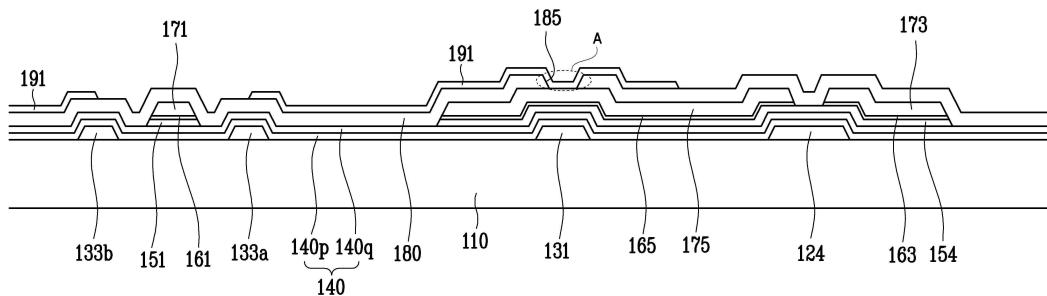
전체 청구항 수 : 총 9 항

심사관 : 신창우

(54) 발명의 명칭 액정 표시 장치의 제조 방법

(57) 요 약

본 발명의 액정 표시 장치의 제조 방법은 절연 기판 위에 게이트선을 형성하는 단계, 게이트선 위에 게이트 절연막을 형성하는 단계, 게이트 절연막 위에 진성 반도체층과 도핑된 반도체층을 포함하는 반도체층 및 데이터층을 차례로 형성하는 단계, 데이터층 위에 감광막을 형성하는 단계, 감광막을 소정의 광마스크를 통하여 노광 및 현상하여 제1 영역, 제1 영역보다 두께가 얇은 제2 영역, 제2 영역보다 두께가 얇은 제3 영역 및 광마스크의 광차단층이 존재하지 않는 제4 영역을 가지는 제1 감광막 패턴을 형성하는 단계, 제1 감광막 패턴을 마스크로 하여 제4 영역 아래의 데이터층, 반도체층 및 게이트 절연막을 식각하는 단계, 제1 감광막 패턴을 애성하여 제3 영역 하부의 데이터층을 노출하는 제2 감광막 패턴을 형성하는 단계, 제2 감광막 패턴을 마스크로 하여 데이터층 및 반도체층을 식각하여 예비 소스 드레인 및 끝부분을 포함하는 데이터선, 및 반도체 패턴을 형성하는 단계, 제2 감광막 패턴을 애성하여 제2 영역 하부의 예비 소스 드레인 패턴을 노출하는 제3 감광막 패턴을 형성하는 단계, 제3 감광막 패턴을 마스크로 하여 노출된 예비 소스 드레인 패턴을 식각하여 소스 및 드레인 전극을 형성하는 단계 및 제3 감광막 패턴을 제거하는 단계를 포함한다. 이에 따라, 게이트선 끝 부분, 유지 전극 고정단 부근의 유지 전극선 및 유지 전극 자유단의 직선 부분과 데이터선 끝 부분과 드레인 전극 상부에는 공통적으로 보호막만이 존재하므로 이후의 식각 공정에 의해 형성되는 접촉 구멍을 통해 게이트선의 끝 부분, 데이터선의 끝 부분 및 드레인 전극이 노출되는 시간이 거의 동일하다. 따라서, 접촉 구멍 형성을 위한 식각 공정 진행시, 게이트선의 끝 부분, 데이터선의 끝 부분 및 드레인 전극의 표면이 손상 및 역테이퍼 구조의 형성을 방지할 수 있으므로 액정 표시 장치의 전기적 특성 및 신뢰성을 향상할 수 있다.

대 표 도 - 도2

(72) 발명자

김상갑

서울특별시 강동구 명일동15번지 삼익아파트 301동
306호

최재호

서울특별시 종로구 낙산길 198, 쌍용아파트 207동
1508호 (창신동)

정유광

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

절연 기판 위에 게이트선을 형성하는 단계,

상기 게이트선 위에 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 진성 반도체층과 도핑된 반도체층을 포함하는 반도체층 및 데이터층을 차례로 형성하는 단계,

상기 데이터층 위에 감광막을 형성하는 단계,

상기 감광막을 소정의 광마스크를 통하여 노광 및 현상하여 제1 영역, 상기 제1 영역보다 두께가 얇은 제2 영역, 상기 제2 영역보다 두께가 얇은 제3 영역 및 상기 광마스크의 광차단층이 존재하지 않는 제4 영역을 가지는 제1 감광막 패턴을 형성하는 단계,

상기 제1 감광막 패턴을 마스크로 하여 상기 제4 영역 아래의 상기 데이터층, 상기 반도체층 및 상기 게이트 절연막을 식각하는 단계,

상기 제1 감광막 패턴을 애싱하여 상기 제3 영역 하부의 상기 데이터층을 노출하는 제2 감광막 패턴을 형성하는 단계,

상기 제2 감광막 패턴을 마스크로 하여 상기 데이터층 및 상기 반도체층을 식각하여 예비 소스 드레인 패턴 및 끝부분을 포함하는 데이터선, 및 반도체 패턴을 형성하는 단계,

상기 제2 감광막 패턴을 애싱하여 상기 제2 영역 하부의 상기 예비 소스 드레인 패턴을 노출하는 제3 감광막 패턴을 형성하는 단계,

상기 제3 감광막 패턴을 마스크로 하여 상기 노출된 예비 소스 드레인 패턴을 식각하여 소스 및 드레인 전극을 형성하는 단계 및

상기 제3 감광막 패턴을 제거하는 단계를 포함하고,

상기 제1 감광막 패턴을 마스크로 하여 상기 제4 영역 아래의 상기 데이터층, 상기 반도체층 및 상기 게이트 절연막을 식각하는 단계, 상기 제2 감광막 패턴을 마스크로 하여 상기 데이터층 및 상기 반도체층을 식각하여 상기 예비 소스 드레인 및 상기 끝부분을 포함하는 데이터선, 및 상기 반도체 패턴을 형성하는 단계, 및 상기 제3 감광막 패턴을 마스크로 하여 상기 노출된 예비 소스 드레인 패턴을 식각하여 상기 소스 및 드레인 전극을 형성하는 단계에서 각각 상기 게이트 절연막이 노출된 부분을 일부 두께씩 제거하여 완전히 제거하는 액정 표시 장치의 제조 방법.

청구항 2

제1항에서,

상기 소정의 광마스크는 차광 영역, 슬릿 영역, 투과 영역 및 반투과 영역을 가지는 액정 표시 장치의 제조 방법.

청구항 3

제2항에서,

상기 감광막의 노광 및 현상시 상기 차광 영역은 상기 제1 영역, 상기 슬릿 영역은 상기 제2 영역, 상기 반투과 영역은 상기 제3 영역, 상기 투과 영역은 상기 제4 영역과 각각 대응하도록 상기 광마스크를 배치하는 액정 표시 장치의 제조 방법.

청구항 4

삭제

청구항 5

제1항에서,

상기 데이터선 및 드레인 전극 위에 보호막을 형성하는 단계, 및

상기 보호막을 식각하여 상기 드레인 전극을 노출하는 제1 접촉구멍을 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 6

제5항에서,

상기 게이트선은 게이트 패드를 포함하며, 상기 제1 접촉 구멍 형성 단계에서 상기 게이트 패드를 노출하는 제2 접촉구멍을 형성하는 액정 표시 장치의 제조 방법.

청구항 7

제5항 또는 제6항에서,

상기 제1 및 제2 접촉구멍의 단면적은 상부로 갈수록 점점 넓어지는 정 테이퍼(taper) 구조를 이루는 액정 표시 장치의 제조 방법.

청구항 8

제1항에서,

상기 게이트 절연막은 $4,500\text{\AA}$ 의 두께로 형성하는 액정 표시 장치의 제조 방법.

청구항 9

제8항에서,

상기 제1 감광막 패턴을 마스크로 하여 상기 제4 영역 아래의 상기 데이터층, 상기 반도체층 및 상기 게이트 절연막을 식각하는 단계를 거친 후 상기 제4 영역과 대응하는 상기 게이트 패드 위의 상기 게이트 절연막은 500\AA 내지 800\AA 두께를 갖는 액정 표시 장치의 제조 방법.

청구항 10

제9항에서,

상기 제2 감광막 패턴을 마스크로 하여 상기 데이터층 및 상기 반도체층을 식각하여 데이터 패턴 및 반도체 패턴을 형성하는 단계를 거친 후 상기 게이트 패드 위의 상기 게이트 절연막은 200\AA 미만의 두께를 갖는 액정 표시 장치의 제조 방법.

청구항 11

삭제

청구항 12

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0020] 본 발명은 액정 표시 장치(liquid crystal display)의 제조 방법에 관한 것이다.
- [0021] 일반적으로 박막 트랜지스터(thin film transistor, TFT)는 액정 표시 장치나 유기 발광 표시 장치(organic light emitting display) 등의 평판 표시 장치에서 각 화소를 독립적으로 구동하기 위한 스위칭 소자로 사용된

다. 박막 트랜지스터를 포함하는 박막 트랜지스터 표시판은 박막 트랜지스터와 이에 연결되어 있는 화소 전극 외에도, 박막 트랜지스터에 주사 신호를 전달하는 주사 신호선(또는 게이트선)과 데이터 신호를 전달하는 데이터선 등을 포함한다.

[0022] 박막 트랜지스터는 게이트선에 연결되어 있는 게이트 전극과 데이터선에 연결되어 있는 소스 전극과 화소 전극에 연결되어 있는 드레인 전극 및 게이트 전극 위에 위치하는 반도체층 등으로 이루어지며, 게이트선으로부터의 주사 신호에 따라 데이터선으로부터의 데이터 신호를 화소 전극에 전달한다.

[0023] 여기서, 박막 트랜지스터의 화소 전극과 드레인 전극과 같이 보호막에 의해 서로 분리되어 상하구조를 이루는 도전층간의 전기적 연결은 접촉 구멍을 통해 이루어진다. 이때, 액정 표시 장치의 보호막은 박막 트랜지스터 위에 만들어지며, 무기질로 이루어진 보호막으로 이루어질 수 있다.

발명이 이루고자 하는 기술적 과제

[0024] 한편, 데이터 패드부의 제1 전극과 드레인 전극 위에는 보호막이 존재하고, 게이트 패드부의 제2 전극 위에는 게이트 절연막 및 보호막이 존재한다.

[0025] 이와 같이 제1 전극, 제2 전극 및 드레인 전극과 보호막 위에 배치하는 투명 전극을 전기적으로 연결하기 위한 접촉구멍을 만들기 위해 보호막 위에 감광막으로 식각 마스크를 만든다. 그리고 식각 마스크를 이용하여 보호막을 식각한다. 이때, 전술한 바와 같이 제2 전극 상부에 게이트 절연막이 더 존재함에 따라 제2 전극을 노출하는 접촉구멍을 형성하는 동안 제1 전극 및 드레인 전극은 식각 공정에 노출된다.

[0026] 이에 따라, 제1 전극 및 드레인 전극을 노출하는 보호막의 접촉 구멍의 단면적이 상부로 갈수록 점점 커지는 역 테이퍼(taper) 구조를 가지므로 접촉 구멍과 투명 전극의 접착이 불안정하다. 또한, 제1 전극 및 드레인 전극의 표면이 손상되어 제1 전극 및 드레인 전극과 접촉하여 전기적 연결을 이루는 투명 전극 사이의 접촉 저항이 증가하여 액정 표시 장치의 전기적 특성 및 신뢰성을 저하시킬 수 있다.

[0027] 따라서, 본 발명이 이루고자 하는 기술적 과제는 접촉구멍 형성시, 게이트 패드 부분에 위치하는 보호막의 접촉 구멍이 역테이퍼 구조를 가지는 것을 방지하고, 식각 공정에 의해 노출되는 전극의 노출 시간을 줄여 전극의 표면이 손상되는 것을 방지하여 액정 표시 장치의 전기적 특성 및 신뢰성이 저하되는 것을 방지하는 것이다.

발명의 구성 및 작용

[0028] 본 발명에 따른 액정 표시 장치의 제조 방법은 절연 기판 위에 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 위에 진성 반도체층과 도핑된 반도체층을 포함하는 반도체층 및 데이터층을 차례로 형성하는 단계, 상기 데이터층 위에 감광막을 형성하는 단계, 상기 감광막을 소정의 광마스크를 통하여 노광 및 현상하여 제1 영역, 상기 제1 영역보다 두께가 얇은 제2 영역, 상기 제2 영역보다 두께가 얇은 제3 영역 및 상기 광마스크의 광차단층이 존재하지 않는 제4 영역을 가지는 제1 감광막 패턴을 형성하는 단계, 상기 제1 감광막 패턴을 마스크로 하여 상기 제4 영역 아래의 상기 데이터층, 상기 반도체층 및 상기 게이트 절연막을 식각하는 단계, 상기 제1 감광막 패턴을 애성하여 상기 제3 영역 하부의 상기 데이터층을 노출하는 제2 감광막 패턴을 형성하는 단계, 상기 제2 감광막 패턴을 마스크로 하여 상기 데이터층 및 상기 반도체층을 식각하여 예비 소스 드레인 패턴 및 끝부분을 포함하는 데이터선, 및 반도체 패턴을 형성하는 단계, 상기 제2 감광막 패턴을 애성하여 상기 제2 영역 하부의 상기 예비 소스 드레인 패턴을 노출하는 제3 감광막 패턴을 형성하는 단계, 상기 제3 감광막 패턴을 마스크로 하여 상기 노출된 예비 소스 드레인 패턴을 식각하여 소스 및 드레인 전극을 형성하는 단계 및 상기 제3 감광막 패턴을 제거하는 단계를 포함한다.

[0029] 상기 소정의 광마스크는 차광 영역, 슬릿 영역, 투과 영역 및 반투과 영역을 가질 수 있다.

[0030] 상기 감광막의 노광 및 현상시 상기 차광 영역은 상기 제1 영역, 상기 슬릿 영역은 상기 제2 영역, 상기 반투과 영역은 상기 제3 영역, 상기 투과 영역은 상기 제4 영역과 각각 대응하도록 상기 광마스크를 배치할 수 있다.

[0031] 상기 제1 감광막 패턴을 마스크로 하여 상기 제4 영역 아래의 상기 데이터층, 상기 반도체층 및 상기 게이트 절연막을 식각하는 단계, 상기 제2 감광막 패턴을 마스크로 하여 상기 데이터층 및 상기 반도체층을 식각하여 데이터 패턴 및 반도체 패턴을 형성하는 단계 및 제3 감광막 패턴을 마스크로 하여 상기 노출된 데이터 패턴을 식각하여 데이터선 및 드레인 전극을 형성하는 단계에서 각각 상기 게이트 절연막을 일부씩 제거하여 완전히 제거 할 수 있다.

[0032] 상기 데이터선 및 드레인 전극 위에 보호막을 형성하는 단계 및 상기 보호막을 식각하여 상기 드레인 전극을 노

출하는 제1 접촉구멍을 형성하는 단계를 더 포함할 수 있다.

- [0033] 상기 게이트선은 게이트 패드를 포함하며, 상기 제1 접촉 구멍 형성 단계에서 상기 게이트 패드를 노출하는 제2 접촉구멍을 형성할 수 있다.
- [0034] 상기 제1 및 제2 접촉구멍의 단면적은 상부로 갈수록 점점 넓어지는 정 테이퍼(taper) 구조를 이룰 수 있다.
- [0035] 상기 게이트 절연막은 4,500Å의 두께로 형성할 수 있다.
- [0036] 상기 제1 감광막 패턴을 마스크로 하여 상기 제4 영역 아래의 상기 데이터층, 상기 반도체층 및 상기 게이트 절연막을 식각하는 단계를 거친 후 상기 제4 영역과 대응하는 상기 게이트 패드 위의 상기 게이트 절연막은 500Å 내지 800Å 두께를 가질 수 있다.
- [0037] 상기 제2 감광막 패턴을 마스크로 하여 상기 데이터층 및 상기 반도체층을 식각하여 데이터 패턴 및 반도체 패턴을 형성하는 단계를 거친 후 상기 게이트 패드 위의 상기 게이트 절연막은 200Å 미만의 두께를 가질 수 있다.
- [0038] 절연 기판 위에 형성되어 있는 게이트선, 상기 절연 기판 위에 형성되어 있으며, 상기 게이트선의 일부를 노출하는 개구부를 갖는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있으며, 진성 반도체층과 도핑된 반도체층을 포함하는 반도체층, 상기 반도체층 위에 형성되어 있는 데이터선, 상기 노출된 게이트선, 상기 게이트 절연막 및 상기 데이터선 위에 형성되어 있으며, 접촉구멍을 가지는 보호막을 포함하며, 상기 개구부 및 상기 접촉 구멍의 단면적은 상부로 갈수록 점점 넓어진다.
- [0039] 상기 보호막의 접촉구멍은 상기 드레인 전극 및 상기 개구부에 의해 노출된 게이트선을 드러낼 수 있다.
- [0040] 그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- [0041] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0042] 먼저, 도 1 내지 도 3을 참고로 하여 본 발명의 한 실시예에 따른 액정 표시 장치의 구조에 대하여 상세히 설명한다.
- [0043] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 2 및 도 3은 도 1에 도시한 박막 트랜지스터 표시판을 포함하는 액정 표시 장치를 도 1의 II-II'선 및 III-III'선을 따라 자른 단면도이다.
- [0044] 도 1 내지 도 3을 참고하면, 플라스틱으로 이루어진 절연 기판(110) 위에 복수의 게이트선(gate line)(121) 및 복수의 유지 전극선(storage electrode line)(131)이 형성되어 있다.
- [0045] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 아래로 돌출한 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함한다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 접적될 수 있다. 게이트 구동 회로가 기판(110) 위에 접적되어 있는 경우 게이트선(121)이 연장되어 이와 직접 연결될 수 있다.
- [0046] 유지 전극선(131)은 소정의 전압을 인가 받으며, 게이트선(121)과 거의 나란하게 뻗은 줄기선과 이로부터 갈라진 복수 쌍의 유지 전극(133a, 133b)을 포함한다. 유지 전극선(131) 각각은 인접한 두 게이트선(121) 사이에 위치하며 줄기선은 두 게이트선(121) 중 아래쪽에 가깝다. 유지 전극(133a, 133b) 각각은 줄기선과 연결된 고정단과 그 반대 쪽의 자유단을 가지고 있다. 한 쪽 유지 전극(133b)의 고정단은 면적이 넓으며, 그 자유단은 직선 부분과 굽은 부분의 두 갈래로 갈라진다. 그러나 유지 전극선(131)의 모양 및 배치는 여러 가지로 변형될 수 있다.
- [0047] 게이트선(121) 및 유지 전극선(131)은 알루미늄(A1)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른

두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 게이트 도전체(121, 124) 및 유지 전극선(131)은 이외에도 여러 가지 다양한 금속과 도전체로 만들어질 수 있다.

- [0048] 게이트 도전체(121, 124) 및 유지 전극선(131)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80°인 것이 바람직하다.
- [0049] 게이트 도전체(121, 124) 및 유지 전극선(131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다. 이러한 게이트 절연막(140)은 하부막(140p) 및 상부막(140q)으로 이루어져 있다. 이때, 게이트 절연막(140)의 하부막(140p)이 4,000Å의 두께를 가질 경우, 게이트 절연막(140)의 상부막(140q)은 500Å의 두께를 가지는 것이 바람직하다. 게이트 절연막(140)은 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(141), 유지 전극(133b) 고정단 부근의 유지 전극선(131) 일부를 드러내는 복수의 접촉 구멍(143a), 그리고 유지 전극(133a) 자유단의 직선 부분을 드러내는 복수의 접촉 구멍(143b)을 가진다.
- [0050] 게이트 절연막(140) 위에는 다결정 규소(polysilicon)로 만들어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며, 게이트 전극(124)을 향하여 뻗어 나온 복수의 돌출부(projection)(154)를 포함한다.
- [0051] 반도체(151) 위에는 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165)가 차례로 형성되어 있다.
- [0052] 저항성 접촉 부재(161, 165)는 인파위의 n형 또는 붕소(B) 파위의 p형 불순물이 고농도로 도핑되어 있는 비정질 규소 및 다결정 규소 파위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 선형 저항성 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 저항성 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 배치되어 있다.
- [0053] 반도체(151, 154) 및 저항성 접촉 부재(161, 165)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30° 내지 80° 정도이다.
- [0054] 저항성 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 복수의 데이터선(171)과 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.
- [0055] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 또한 유지 전극선(131)과 교차하며 인접한 유지 전극(133a, 133b) 집합 사이에 존재한다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗은 복수의 소스 전극(source electrode)(173)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 접적될 수 있다. 데이터 구동 회로가 기판(110) 위에 접적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.
- [0056] 드레인 전극(175)은 데이터선(171)과 분리되어 있고 게이트 전극(124)을 중심으로 소스 전극(173)과 마주 본다.
- [0057] 각 드레인 전극(175)은 면적이 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 가지고 있으며, 막대형 끝 부분은 구부러진 소스 전극(173)으로 일부 둘러싸여 있다.
- [0058] 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.
- [0059] 데이터선(171) 및 드레인 전극(175)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속 파위의 도전막(도시하지 않음)과 저저항 물질 도전막(도시하지 않음)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 크롬 또는 몰리브덴(합금) 하부막과 알루미늄(합금) 상부막의 이중막, 몰리브덴(합금) 하부막과 알루미늄(합금) 중간막과 몰리브덴(합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터 도전체(171, 175)는 이외에도 여러 가지 다양한 금속 또는 도전체로

만들어질 수 있다.

- [0060] 데이터 도전체(171, 175) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.
- [0061] 저항성 접촉 부재(161, 165)는 그 아래의 반도체(151)와 그 위의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다.
- [0062] 반도체(151)는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분을 가지고 있다. 대부분의 곳에서는 선형 반도체(151)의 너비가 데이터선(171)의 너비보다 작지만, 앞서 설명하였듯이 게이트선(121)과 만나는 부분에서 너비가 넓어져 표면의 프로파일을 부드럽게 함으로써 데이터선(171)이 단선되는 것을 방지한다.
- [0063] 데이터선(171), 드레인 전극(175) 및 노출된 반도체(151) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다.
- [0064] 보호막(180)은 질화규소(SiNx)와 산화규소(SiOx) 따위의 무기 절연물로 이루어진다.
- [0065] 한편, 이 보호막(180)은 유기 절연물질로 형성하거나 무기 절연물로 이루어진 하부 보호막 및 유기 절연물로 이루어진 상부 보호막(도시하지 않음)으로 구성 할 수 있다. 여기서, 보호막을 구성하는 유기 절연물은 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하인 것이 바람직하다.
- [0066] 보호막(180)에는 데이터선(171)의 끝 부분(179)과 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(contact hole)(181, 182, 185)과 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181), 유지 전극(133b) 고정단 부근의 유지 전극선(131) 일부를 드러내는 복수의 접촉 구멍(183a), 그리고 유지 전극(133a) 자유단의 직선 부분을 드러내는 복수의 접촉 구멍(183b)이 형성되어 있다. 여기서, 접촉 구멍(181, 182, 183a, 183b 185)의 단면적은 상부로 갈수록 점점 넓어진다. 다시 말해, 접촉 구멍(181, 182, 183a, 183b 185)의 측벽은 도 2 및 도 3에 도시한 'A'부분 및 'C' 부분과 같은 정 테이퍼(taper) 구조를 갖는다.
- [0067] 여기서 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181), 유지 전극(133b) 고정단 부근의 유지 전극선(131) 일부를 드러내는 복수의 접촉 구멍(183a), 그리고 유지 전극(133a) 자유단의 직선 부분을 드러내는 복수의 접촉 구멍(183b)은 게이트 절연막(140)이 가지는 접촉 구멍(141, 143a, 143b)의 안에 위치한다. 이때, 접촉 구멍(141, 143a, 143b)의 측벽 또한 도 3에 도시한 'B'부분과 같은 정 테이퍼 구조를 이룬다.
- [0068] 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 연결 다리(overpass)(83) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.
- [0069] 이때, 전술한 접촉 구멍(181, 182, 185)의 정 테이퍼 구조는 복수의 화소 전극(pixel electrode)(191), 복수의 연결 다리(overpass)(83) 및 복수의 접촉 보조 부재(contact assistant)(81, 82) 표면의 프로파일을 부드럽게 함으로써 배선이 단선되는 것을 방지하기 위함이다.
- [0070] 화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 있으며, 드레인 전극(175)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(191)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(common electrode)(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층(도시하지 않음)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층을 통과하는 빛의 편광이 달라진다. 화소 전극(191)과 공통 전극은 축전기[이하 “액정 축전기(liquid crystal capacitor)” 라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다.
- [0071] 화소 전극(191)은 유지 전극(133a, 133b)을 비롯한 유지 전극선(131)과 중첩한다. 화소 전극(191) 및 이와 전기적으로 연결된 드레인 전극(171)이 유지 전극선(131)과 중첩하여 이루는 축전기를 유지 축전기(storage capacitor)라 하며, 유지 축전기는 액정 축전기의 전압 유지 능력을 강화한다.
- [0072] 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 데이터선(171) 및 게이트선(121)의 끝 부분(179, 129)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.
- [0073] 연결 다리(83)는 게이트선(121)을 가로지르며, 게이트선(121)을 사이에 두고 반대 쪽에 위치하는 접촉 구멍

(183a, 183b)을 통하여 유지 전극선(131)의 노출된 부분과 유지 전극(133b) 자유단의 노출된 끝 부분에 연결되어 있다. 유지 전극(133a, 133b)을 비롯한 유지 전극선(131)은 연결 다리(83)와 함께 게이트선(121)이나 데이터선(171) 또는 박막 트랜지스터의 결함을 수리하는 데 사용할 수 있다.

[0074] 그러면, 이러한 도 1 내지 도 3에 도시한 액정 표시 장치용 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법에 대하여 도 4 내지 도 22를 참고로 하여 상세히 설명한다.

[0075] 도 4, 도 17 및 도 20은 도 2 및 도 3에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 중간 단계에서의 박막 트랜지스터 표시판의 배치도이고, 도 5 및 도 6은 도 4에 도시한 박막 트랜지스터 표시판을 V-V' 선 및 VI-VI'선을 따라 자른 단면도이고, 도 7, 도 9, 도 11, 도 13 및 도 15는 도 5에 도시한 박막 트랜지스터 표시판을 형성하는 중간 단계에 대한 도면이고, 도 8, 도 10, 도 12, 도 14 및 도 16은 도 6에 도시한 박막 트랜지스터 표시판을 형성하는 중간 단계에 대한 도면이고, 도 18 및 도 19는 도 17에 도시한 박막 트랜지스터 표시판을 XVIII-XVIII'선 및 XIX-XIX'선을 따라 자른 단면도이고, 도 21 및 도 22는 도 20에 도시한 박막 트랜지스터 표시판을 XXI-XXI'선 및 XXII-XXII'선을 따라 자른 단면도이다.

[0076] 먼저 도 4 내지 도 6에 도시한 바와 같이, 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 금속막을 스퍼터링(sputtering) 따위로 적층한 다음, 사진 식각하여 게이트 전극(124) 및 끝 부분(129)을 포함하는 복수의 게이트선(121)과 유지 전극(133a, 133b)을 포함하는 복수의 유지 전극선(131)을 형성한다.

[0077] 다음, 도 7 및 도 8에 도시한 바와 같이, 게이트선(121)과 유지 전극선(131) 및 기판(110) 위에 게이트 절연막(140)을 형성한다. 이때, 게이트 절연막(140)은 질화규소 또는 산화규소로 이루어지고, 기판(110) 위에 순차적으로 형성된 하부막(140p)과 상부막(140q)을 포함한다. 여기서, 하부막(140p)은 4,000Å의 두께를 가지며, 상부막(140q)은 500Å의 두께를 가질 수 있다.

[0078] 이어, 불순물이 도핑되지 않은 진성 비정질 규소(a-Si)층(150) 및 불순물이 도핑된 비정질 규소(n+ a-Si)(160)층을 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD) 방법으로 형성한다. 진성 비정질 규소층(150)은 수소화 비정질 규소(hydrogenated amorphous silicon) 등으로 형성하며 불순물이 도핑된 비정질 규소층(160)은 인(P) 등의 n형 불순물이 고농도로 도핑된 비정질 규소 또는 실리사이드로 형성한다.

[0079] 연속적으로, 불순물이 도핑된 비정질 규소층(160) 위에 몰리브덴 따위의 금속으로 만들어진 테이터층(170)을 형성한다.

[0080] 그런 다음, 도 9 및 도 10에 도시한 바와 같이, 데이터층(170) 위에 감광막(50)을 형성하고, 감광막(50) 위에 광 마스크(40)를 정렬한다.

[0081] 광 마스크(40)는 투명한 기판(41)과 그 위의 불투명한 광차단층(42)을 포함하며, 차광 영역(BA), 투광 영역(TA), 반투과 영역(HA) 및 슬릿 영역(SA)으로 나누어진다.

[0082] 광 차단층(42)은 차광 영역(BA) 및 반투과 영역(HA) 전체에 존재하며, 투광 영역(TA)에는 전혀 없고, 슬릿 영역(SA)에서는 소정 간격으로 배치된 복수의 빛 형태를 가져 복수의 슬릿을 형성한다. 또 반투과 영역(HA)의 광 차단층(42)은 차광 영역(BA)에 비하여 얇게 형성되어 있고, 이 부분을 통과하는 빛의 양은 투광 영역(TA)을 통과하는 빛의 양보다 적고, 슬릿 영역(SA)을 통과하는 빛의 양보다 많다. 광 차단층(42)은 크롬 등의 금속(metal)으로 이루어질 수 있다.

[0083] 이러한 광 마스크(40)를 통하여 감광막(50)에 빛을 조사한 후, 현상하면 일정 강도 이상 빛에 노출된 감광막(50) 부분이 없어진다. 구체적으로, 감광막(50)에서 차광 영역(BA)과 마주보는 부분은 그대로 남고, 투광 영역(TA)과 마주보는 부분은 모두 없어진다. 그리고 감광막(50)은 반투과 영역(HA)과 마주보는 부분에서 윗부분이 없어져 두께가 절반 가까이 줄어들고, 슬릿 영역(SA)과 마주보는 부분에서는 반투과 영역(HA)보다 노광량이 적어 잔류하는 감광막의 두께가 반투과 영역(HA)과 마주보는 부분보다 두껍다. 도면에서 빛금친 부분(51)은 현상 후 없어지는 감광막(50) 부분을 나타내고, 그 외의 부분(52)은 현상 후 남는 감광막(50) 부분을 나타낸다.

[0084] 이러한 현상 공정이 끝나면, 도 11 및 도 12에 도시한 바와 같이, 감광막(52)을 마스크로 삼아 노출되어 있는 데이터층(170)을 식각하고, 차례로 도핑된 비정질 규소층(160), 진성 비정질 규소층(150) 및 게이트 절연막(140)을 식각한다. 이때, 게이트선(121)의 끝 부분(129) 위에는 약 500Å 내지 800Å 정도의 게이트 절연막(140)의 하부막(140p)이 남아있다.

[0085] 다음, 도 13 및 도 14에 도시한 바와 같이, 감광막(52)을 애싱(ashing)하여 데이터층(170)을 노출한다. 이 단계에서 반투과 영역(HA)과 마주한 감광막(52) 부분은 모두 제거되고, 차광 영역(BA) 및 슬릿 영역(SA)과 마주한

감광막(53)이 남는다. 감광막(53)은 제거된 반투파 영역(HA)과 마주한 감광막(52)의 두께만큼의 윗부분이 없어진 두께를 갖는다.

[0086] 이어, 감광막(53)을 마스크로 하여 데이터층(170), 도핑된 비정질 규소층(160) 및 진성 비정질 규소층(150)을 제거하여 예비 소스 드레인 패턴(174) 및 데이터선(171)의 끝 부분(179)을 갖는 데이터선(171), 도핑된 비정질 규소 패턴(164) 및 반도체(151)의 돌출부(154)를 형성한다. 여기서, 예비 소스 드레인 패턴(174)은 소스 전극과 드레인 전극이 서로 연결되어 있는 상태의 도전 패턴을 말한다. 이때, 게이트 절연막(140) 일부 두께가 제거되어 게이트선(121) 끝 부분(129) 위에 존재하는 게이트 절연막(140)의 하부막(140p)은 약 200Å 미만의 두께를 갖는다.

[0087] 그런 다음, 도 15 및 도 16에 도시한 바와 같이, 감광막(53)을 식각하여 슬릿 영역(SA)과 마주한 감광막(53) 부분이 예비 소스 드레인 패턴(174)을 노출하도록 한다. 이에 따라 슬릿 영역(SA)과 마주한 감광막(53) 부분은 모두 제거되고, 차광 영역(BA)과 마주한 감광막(54)이 남는다. 여기서, 감광막(54)은 제거된 슬릿 영역(SA)과 마주한 감광막(53)의 두께만큼의 윗부분이 없어진 두께를 갖는다.

[0088] 이러한 감광막(54)을 마스크로 삼아 노출된 예비 소스 드레인 패턴(174) 및 도핑된 비정질 규소 패턴(164)을 차례로 식각하여 반도체(151)의 돌출부(154)가 드러나도록 한다. 이때, 예비 소스 드레인 패턴(174)이 패터닝 됨에 따라 도 17 내지 도 19에 도시한 바와 같은 데이터선(171)의 소스 전극(173)과 드레인 전극(175)이 만들어진다.

[0089] 도핑된 비정질 규소 패턴(164)의 식각은 과식각(over etching) 공정으로 진행한다. 이 과식각 공정에 의해 게이트 절연막(140)이 소정의 두께만큼 제거되는데, 이때, 게이트선(121) 끝 부분(129) 위에 존재하는 게이트 절연막(140)의 하부막(140p)이 완전히 제거되어 접촉 구멍(141)을 이룬다.

[0090] 이어, 감광막(54)을 제거한다.

[0091] 그 다음, 도 20 내지 22에 도시한 바와 같이, 게이트 절연막(140), 게이트선(121)의 끝 부분(129), 데이터선(171) 및 드레인 전극(175) 위에 보호막(180)을 형성한다. 이때, 보호막(180)은 질화규소(SiNx)와 산화규소(SiOx) 따위의 무기 절연물로 이루어진다. 그러나 보호막(180)은 무기 절연물로 이루어진 하부 보호막 및 유기 절연물로 이루어진 상부 보호막으로 구성할 수 있으며, 유기 절연물로만 구성할 수도 있다. 여기서, 상부 보호막의 유기 절연물은 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하인 것이 바람직하다.

[0092] 그런 다음, 보호막(180)을 식각하여 게이트선(121)의 끝 부분(129), 데이터선(171)의 끝 부분(179), 유지 전극(133b) 고정단 부근의 유지 전극선(131) 일부를 드러내는 복수의 접촉 구멍(183a), 유지 전극(133a) 자유단의 직선 부분을 드러내는 복수의 접촉 구멍(183b) 및 드레인 전극(175)을 노출하는 접촉구멍(181, 182, 183a, 183b, 185)을 형성한다.

[0093] 종래에는, 보호막(180)은 데이터선(171) 끝 부분(179), 드레인 전극(175) 및 게이트선(121) 끝 부분(129) 상부에 공통적으로 존재하나 게이트 절연막(140)은 게이트선(121) 끝 부분(129)의 상부, 유지 전극(133b) 고정단 부근의 유지 전극선(131) 상부, 유지 전극(133a) 자유단의 직선 부분 상부에 존재하였다. 따라서, 일반적인 사진 식각 방법을 사용하여 접촉 구멍(181, 182, 183a, 183b, 185)을 형성할 경우 보호막(180)이 모두 제거되어 데이터선(171)의 끝 부분(179)과 드레인 전극(175)이 노출된 이후에도 게이트선(121) 끝 부분(129) 위의 게이트 절연막(140)을 제거하기 위하여 추가로 식각을 진행해야 한다. 이때 노출된 데이터선(171) 끝 부분(179) 및 드레인 전극(175)이 식각 공정에 노출됨으로 인해, 데이터선(171) 끝 부분(179) 및 드레인 전극(175)의 표면이 손상되며, 보호막(180)에 형성되는 접촉구멍(185)은 상부로 갈수록 단면적이 점점 작아지는 역 테이퍼(taper) 구조를 이룬다. 이와 더불어, 박막의 구성 물질이 서로 다른 질화 규소 및 산화 규소로 구성된 게이트 절연막(140)은 계면 상태가 불안정하다. 따라서, 게이트 절연막(140) 형성되는 접촉 구멍(181, 183a, 183b) 역시 상부로 갈수록 단면적이 점점 작아지는 역테이퍼 구조를 이룬다.

[0094] 이에 따라 액정 표시 장치의 저항 증가 및 다른 충파의 접촉 계면 특성이 저하되어 전기적 특성 및 신뢰성이 저하되는 문제가 발생하였다.

[0095] 그러나 본 발명에서는 4매 공정을 이용한 액정 표시 장치 제조시, 데이터 패턴(174), 반도체(151)의 돌출부(154) 및 비정질 규소 패턴(164)을 형성하기 전에 게이트선(121) 끝 부분(129), 유지 전극(133b) 고정단 부근의 유지 전극선(131) 일부, 유지 전극(133a) 자유단의 직선 부분 위에 존재하는 게이트 절연막(140)을 부분적으로 제거하여 접촉 구멍(141, 143a, 143b)을 형성한다. 따라서, 게이트선(121) 끝 부분(129), 데이터선(171) 끝

부분(179) 및 드레인 전극(175) 상부에는 공통적으로 보호막(180)만이 존재한다. 이로 인해, 식각 공정에 의해 형성되는 접촉 구멍(181, 182, 183a, 183b, 185)을 통해 게이트선(121)의 끝 부분(129), 데이터선(171)의 끝 부분(179), 유지 전극(133b) 고정단 부근의 유지 전극선(131) 일부, 유지 전극(133a) 자유단의 직선 부분 및 드레인 전극(175)이 노출되는 시간이 거의 동일하다. 이에 따라, 접촉구멍(181, 182, 183a, 183b, 185) 형성을 위한 식각 공정 진행시, 게이트선(121)의 끝 부분(129), 데이터선의 끝 부분(179) 및 드레인 전극(175)의 표면 손상 및 역 테이퍼 구조를 갖는 것을 방지할 수 있으므로 액정 표시 장치의 전기적 특성, 접촉 계면 특성 및 신뢰성을 향상시킬 수 있다.

- [0096] 마지막으로 도 1 내지 도 3에 도시한 바와 같이, 접촉 구멍(181, 182, 183a, 183b, 185) 및 보호막(180) 위에 ITO 또는 IZO 따위의 투명 전극을 스퍼터링으로 적층하고 사진 식각 공정으로 복수의 화소 전극(191), 연결 다리(83) 및 접촉 부재(81, 82)를 형성한다.

발명의 효과

- [0097] 본 발명에 따르면, 4매 공정을 이용하여 액정 표시 장치를 제조할 때, 데이터 패턴, 반도체의 돌출부 및 비정질 규소 패턴을 형성하기 전에 게이트선 끝 부분, 유지 전극 고정단 부근의 유지 전극선, 유지 전극 자유단의 직선 부분 위에 존재하는 게이트 절연막을 부분적으로 제거한다. 이로 인해, 게이트선 끝 부분, 유지 전극 고정단 부근의 유지 전극선 및 유지 전극 자유단의 직선 부분과 데이터선 끝 부분과 드레인 전극 상부에는 공통적으로 보호막만이 존재하므로 이후의 식각 공정에 의해 형성되는 접촉 구멍을 통해 게이트선의 끝 부분, 데이터선의 끝 부분 및 드레인 전극이 노출되는 시간이 거의 동일하다. 따라서, 접촉 구멍 형성을 위한 식각 공정 진행시, 게이트선의 끝 부분, 데이터선의 끝 부분 및 드레인 전극의 표면이 손상 및 역테이퍼 구조의 형성을 방지할 수 있으므로 액정 표시 장치의 전기적 특성 및 신뢰성을 향상할 수 있다.

- [0098] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구 범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

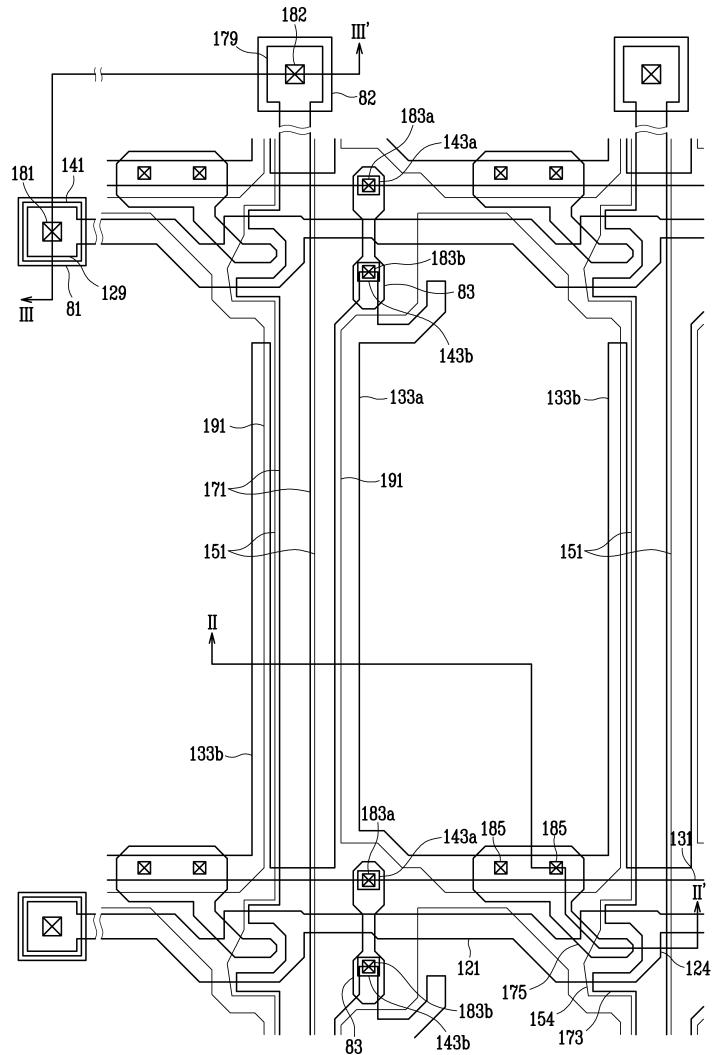
도면의 간단한 설명

- [0001] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
- [0002] 도 2 및 3은 도 1에 도시한 박막 트랜지스터 표시판을 포함하는 액정 표시 장치를 도 1의 II-II' 선과 III-III'선을 따라 자른 단면도이다.
- [0003] 도 4, 도 17 및 도 20은 도 2 및 도 3에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 중간 단계에서의 박막 트랜지스터 표시판의 배치도이고,
- [0004] 도 5 및 도 6은 도 4에 도시한 박막 트랜지스터 표시판을 V-V' 선 및 VI-VI'선을 따라 자른 단면도이고,
- [0005] 도 7, 도 9, 도 11, 도 13 및 도 15는 도 5에 도시한 박막 트랜지스터 표시판을 형성하는 중간 단계에 대한 도면이고,
- [0006] 도 8, 도 10, 도 12, 도 14 및 도 16은 도 6에 도시한 박막 트랜지스터 표시판을 형성하는 중간 단계에 대한 도면이고,
- [0007] 도 18 및 도 19는 도 17에 도시한 박막 트랜지스터 표시판을 XVIII-XVIII'선 및 XIX-XIX'선을 따라 자른 단면도이고,
- [0008] 도 21 및 도 22는 도 20에 도시한 박막 트랜지스터 표시판을 XXI-XXI'선 및 XXII-XXII'선을 따라 자른 단면도이다.
- [0009] *도면의 주요부분에 대한 부호의 설명
- [0010] 51, 52, 53, 54: 포토레지스트 패턴
- [0011] 83: 연결 다리 110: 절연 기판
- [0012] 120: 게이트 층 121: 게이트선
- [0013] 124: 게이트 전극 131: 유지 전극선

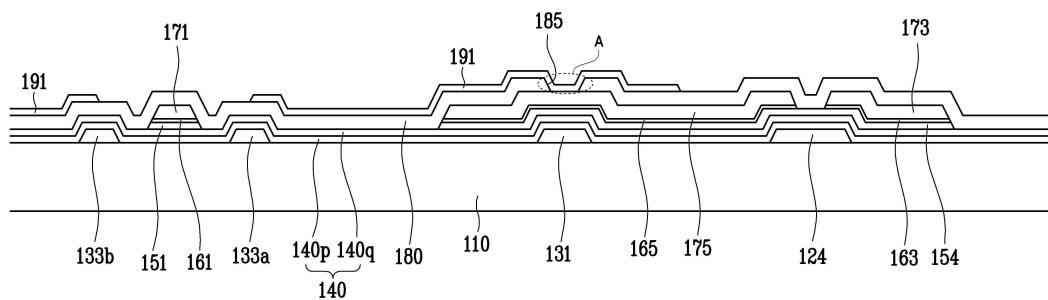
[0014]	133a, 133b: 유지 전극	140: 게이트 절연막
[0015]	150: 진성 비정질 규소층	154: 반도체층
[0016]	160: 불순물 비정질 규소층	171: 테이터선
[0017]	173: 소스 전극	175: 드레인 전극
[0018]	180: 보호막	191: 화소 전극
[0019]	81, 82: 접촉 보조 부재	

도면

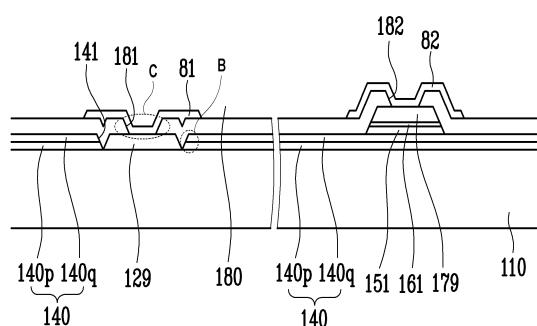
도면1



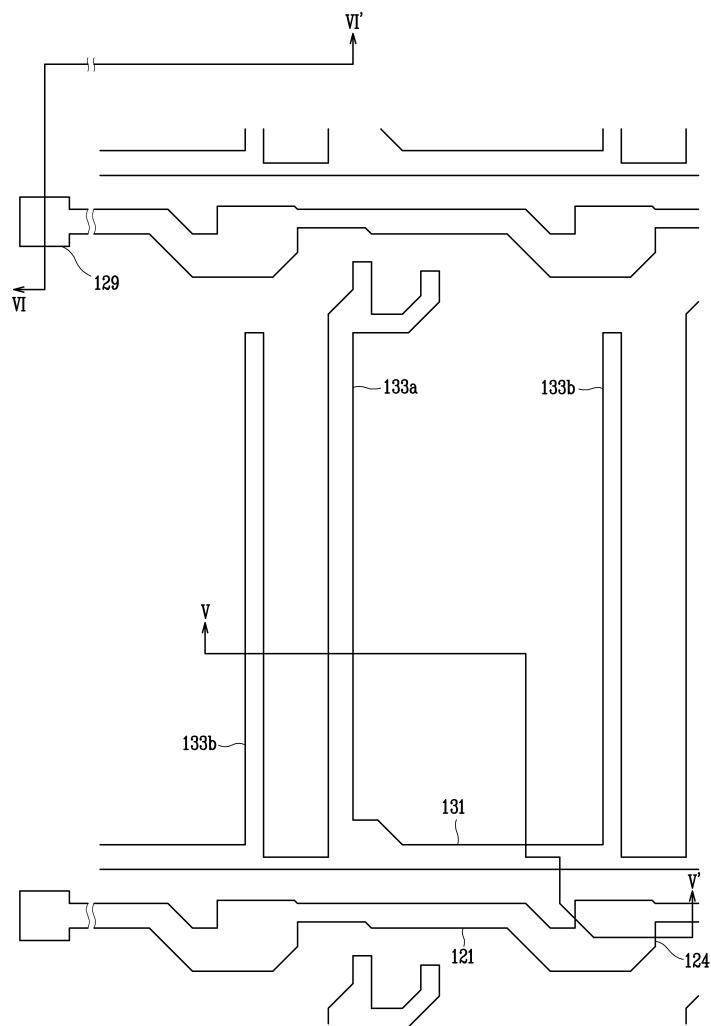
도면2



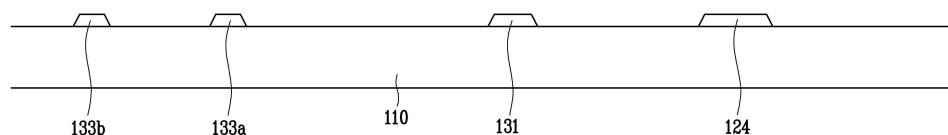
도면3



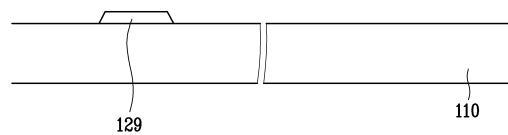
도면4



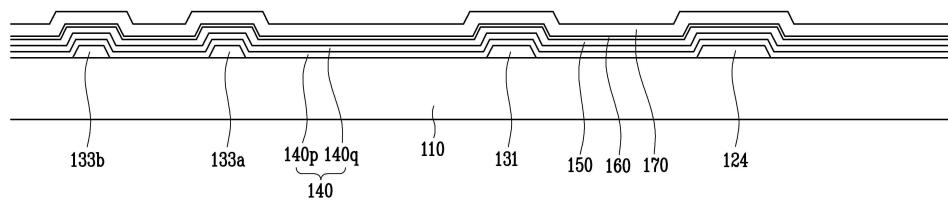
도면5



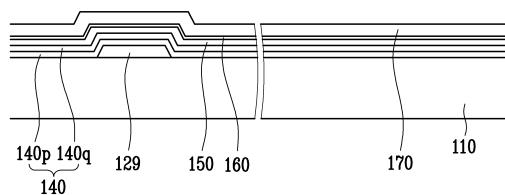
도면6



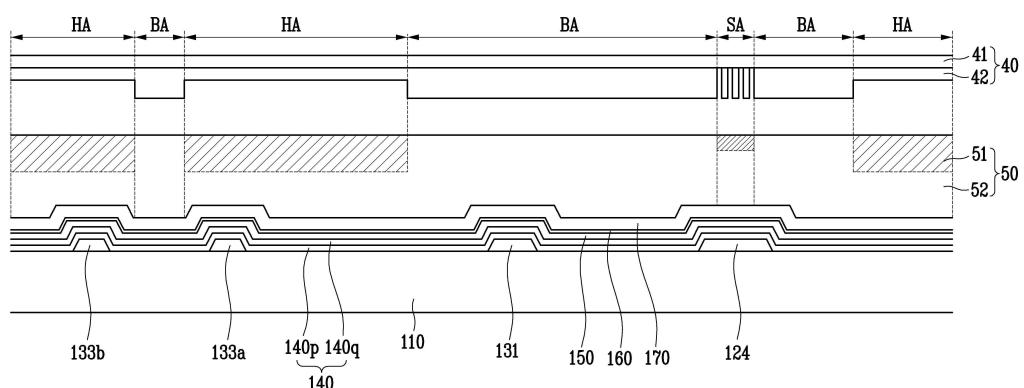
도면7



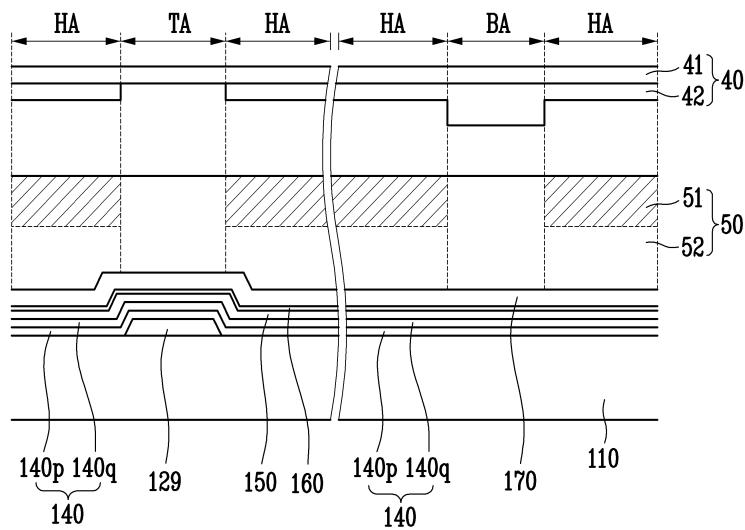
도면8



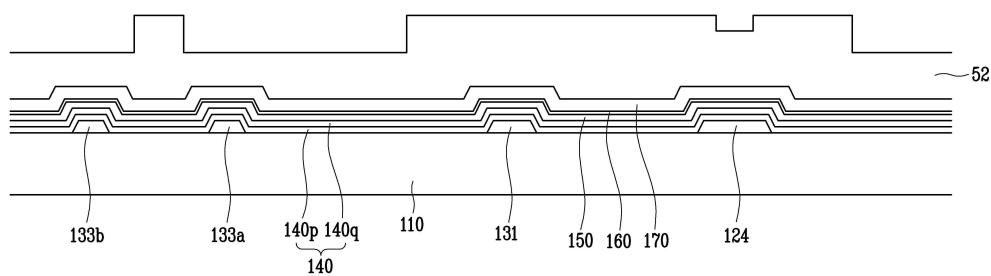
도면9



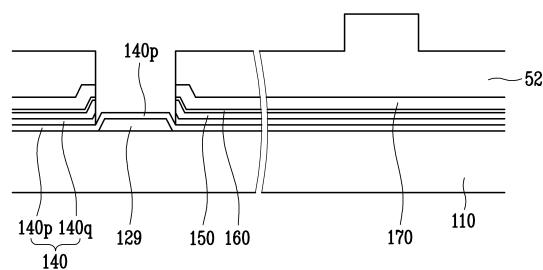
도면10



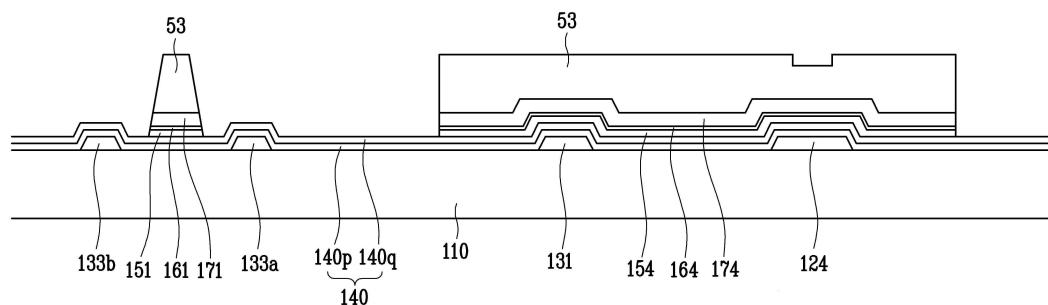
도면11



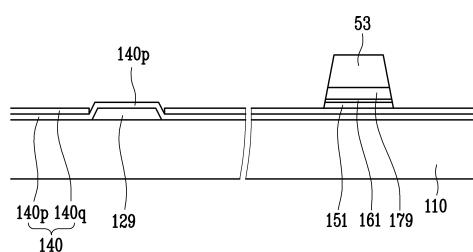
도면12



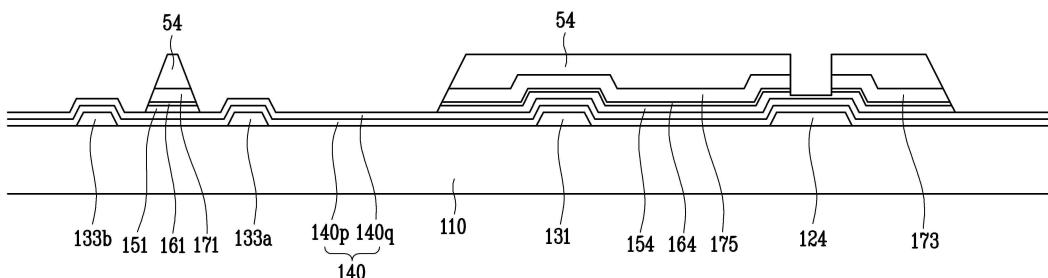
도면13



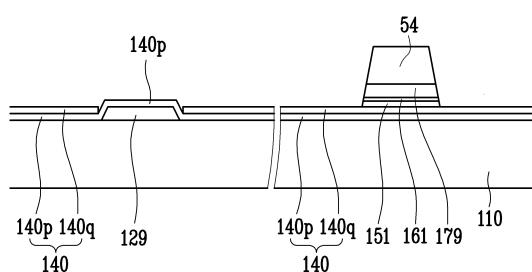
도면14



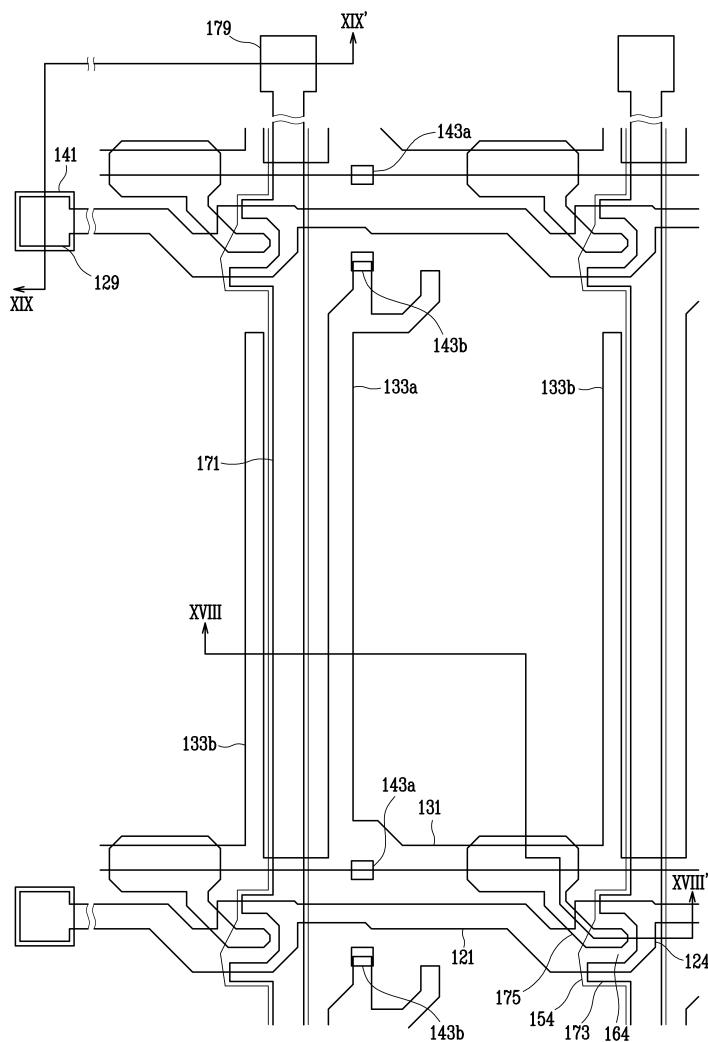
도면15



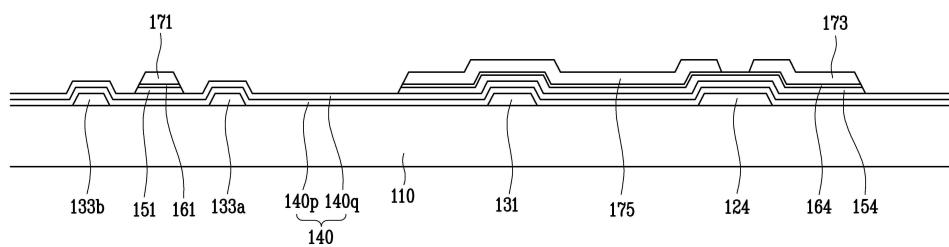
도면16



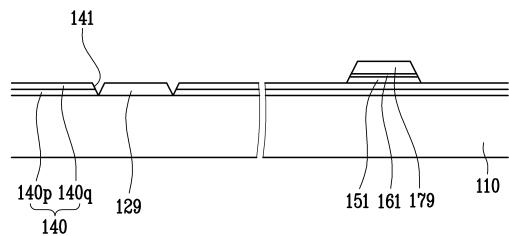
도면17



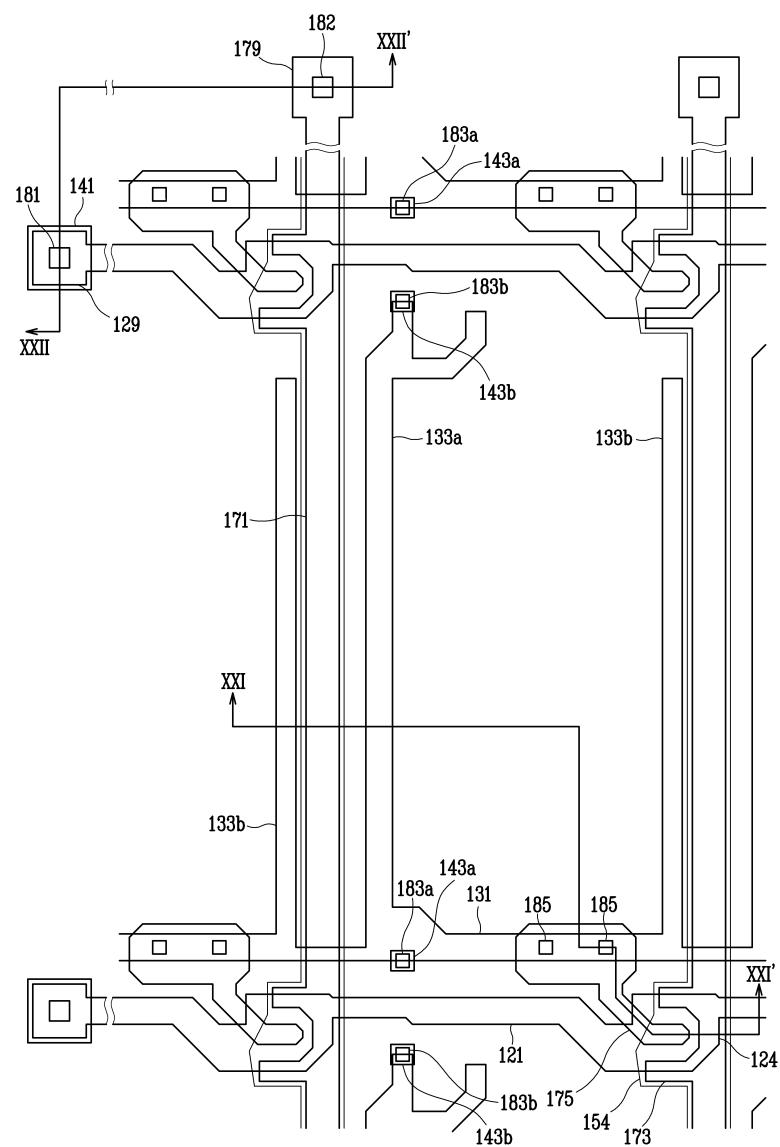
도면18



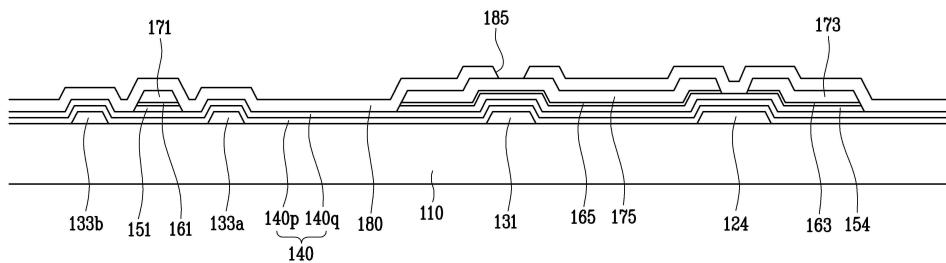
도면19



도면20



도면21



도면22

