

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年1月17日(17.01.2019)



(10) 国際公開番号

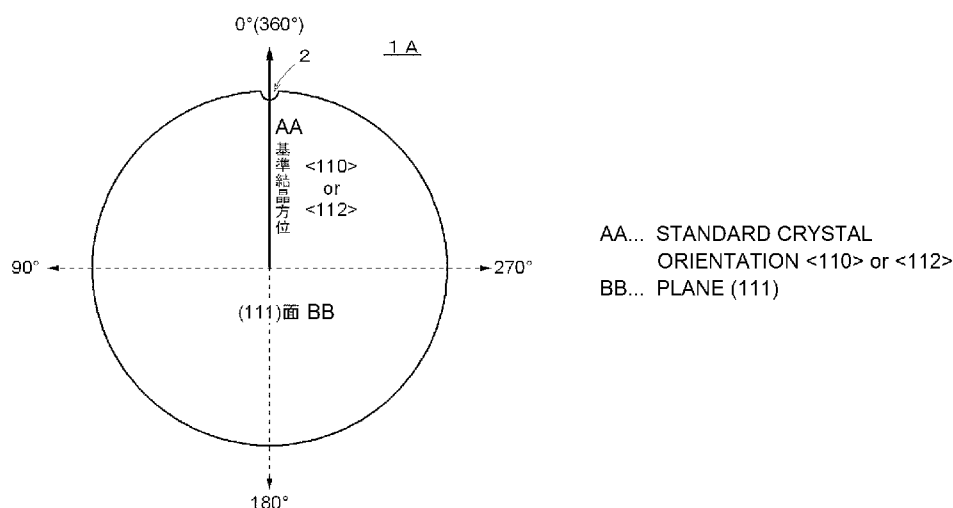
WO 2019/012867 A1

- (51) 国際特許分類:
C30B 29/06 (2006.01) *H01L 21/02* (2006.01) 〒1058634 東京都港区芝浦一丁目2番1号 株式会社SUMCO内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2018/021721 (74) 代理人: 鷲頭 光宏, 外(WASHIZU Mitsuhiro et al.); 〒1040061 東京都中央区銀座一丁目5番1号第三太陽ビル7F Tokyo (JP).
- (22) 国際出願日: 2018年6月6日(06.06.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-134918 2017年7月10日(10.07.2017) JP
- (71) 出願人: 株式会社SUMCO (SUMCO CORPORATION) [JP/JP]; 〒1058634 東京都港区芝浦一丁目2番1号 Tokyo (JP).
- (72) 発明者: 小野 敏昭(ONO Toshiaki); 〒1058634 東京都港区芝浦一丁目2番1号 株式会社SUMCO内 Tokyo (JP). 高 奉均(KO Bong-Gyun);
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SILICON WAFER

(54) 発明の名称: シリコンウェーハ

[図1]



(57) **Abstract:** [Problem] To provide a silicon wafer which is prevented from being warped during a device process so that the subsequent step, wherein large warp of the wafer would cause problems, can be smoothly carried out. [Solution] A silicon wafer wherein a multilayered film constituting a semiconductor device layer is formed on one main plane in a device process so that the silicon wafer warps into a cup shape due to the isotropic film stress of the multilayered film. The plane orientation of the silicon wafer is (111).

[続葉有]



WO 2019/012867 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 【課題】デバイス工程中に生じるウェーハの反りを低減し、ウェーハが大きく反ることによって不具合が有った後続工程を問題なく実施することが可能なシリコンウェーハを提供する。 【解決手段】本発明によるシリコンウェーハは、デバイス工程で一方の主面に半導体デバイス層を構成する多層膜が形成され、前記多層膜による等方性の膜応力によってお椀型に反るシリコンウェーハであって、シリコンウェーハの面方位は (1 1 1) である。

明 細 書

発明の名称：シリコンウェーハ

技術分野

[0001] 本発明は、半導体デバイスの基板材料となるシリコンウェーハに関し、特に、３次元NANDフラッシュメモリ（以下、「３DNAND」という）等の高積層型半導体デバイスの基板材料として好適なシリコンウェーハ及びその加工方法に関するものである。

背景技術

[0002] 最近３DNANDが注目されている。３DNANDはメモリセルアレイを縦方向に積層化したNANDメモリであり、積層数（ワード線の層数）を例えば64層とすることでシングルダイ当たり512Gbit（64GB）という非常に大きな記憶容量を実現可能である。また従来のプレーナ型のNANDメモリのように平面方向の密度を上げるのではなく、高さ方向の密度を上げることによって大容量化のみならず書き込み速度の向上や省電力化にも優れた高性能なフラッシュメモリを提供することができる。

[0003] 半導体デバイスの製造ではデバイス構造を形成するために酸化膜、窒化膜、金属膜等の様々な材料の膜がシリコンウェーハ上に積層される。このような積層膜は、膜の性質と工程条件によって異なる膜応力を有することになり、積層膜の膜応力によってシリコンウェーハには反りが発生する。特に、３DNANDでは個々のメモリ素子を垂直に数十個以上重ねて作るため、それに伴い積層膜の数も幾何学的に増えてくることで、それに比例して膜応力も膨大に増加してシリコンウェーハの反りも大きく増加する。デバイス工程中にシリコンウェーハが大きく反ることで、成膜、加工、検査などの後続工程での処理が出来ない等の不具合が生じてしまう。

[0004] ３層以上の配線層を有する半導体装置の製造に関して、例えば特許文献１には、製造装置に依存せずかつ特殊層間膜の工程を用いることなく、シリコン基板の反りを所定値以下に抑えることが可能な半導体装置の製造方法が記

載されている。この製造方法では、シリコン基板の厚さを T (μm)、直径を D (インチ) とし、配線層数を n として、

$$T \geq 62.4 \times D \times [1.6(n-1) + 1.0]^{1/2}$$

を満足する厚さを満足するシリコン基板を用いて半導体装置を製造する。

- [0005] また特許文献2、3には、中央部が凹んだお椀状の反りが付与されたエピタキシャル成長用シリコンウェーハの表面にエピタキシャル層を形成することにより、平坦度の高いエピタキシャルシリコンウェーハを製造する方法が記載されている。

先行技術文献

特許文献

- [0006] 特許文献1：特開平9-266206号公報
特許文献2：特開2008-140856号公報
特許文献3：特開2010-34461号公報

発明の概要

発明が解決しようとする課題

- [0007] しかしながら、特許文献1に記載の半導体装置の製造方法は、配線層の膜応力が変わらないことを前提にしておりその工程依存性を無視している。実際には工程条件によって膜応力が変動しているので、単純に配線層数だけで反り量を評価することはできず、適用が難しい。また12インチシリコンウェーハにおいて配線層数を500層とする場合、上記計算式によればシリコンウェーハの厚さ $T \geq 777.1 \mu\text{m}$ を満足すればよいことになるが、これは12インチウェーハの標準の厚さである $775 \mu\text{m}$ と殆ど変わらず、反りを抑える効果が見込めないことは明らかである。

- [0008] また、特許文献2、3に記載の技術は、エピタキシャル成長後のウェーハの反りを低減するために予め反りを持った初期ウェーハを形成する方法であって、デバイス工程中のウェーハの反りを低減するものではない。すなわち、このようなエピタキシャルウェーハに半導体デバイス層を形成することに

よってウェーハが反ったとしてもエピタキシャルウェーハ自体が反りを低減することはできない。またエピタキシャル成長工程をデバイス工程の一部と見做したとしても、低減しようとする反り量に対して作り込む形状の反り量を計算する方法については明らかで無い。また、ウェーハがお椀状に反る場合のみで、鞍型に反るウェーハの場合には適用できない。

[0009] シリコンウェーハの厚さ、形状、結晶方位などの仕様は、事前に反り量や反り形状とは関係なく規定されている。そのため、デバイス工程中にシリコンウェーハの反りが発生してもシリコンウェーハの仕様変更の基準がなく、ウェーハの反りに対応することはできなかった。

[0010] したがって、本発明の目的は、3D NAND等の半導体デバイスの製造工程中に生じるウェーハの反りを低減し、ウェーハが大きく反ることによって不具合が有った後続工程を問題なく実施することが可能なシリコンウェーハ及びその加工方法を提供することにある。

課題を解決するための手段

[0011] 上記課題を解決するため、本発明によるシリコンウェーハは、デバイス工程で一方の主面に半導体デバイス層を構成する多層膜が形成され、前記多層膜の等方性の膜応力によってお椀型に反るシリコンウェーハであって、面方位が(111)であることを特徴とする。

[0012] デバイス工程中にウェーハがお椀型に反る場合に、反りの方位依存性が小さい(111)シリコンウェーハを使用することにより、お椀型の反りを抑制する効果を高めることができる。したがって、ウェーハが大きく反ることによって不具合が有った後続工程を問題なく実施することが可能なシリコンウェーハを提供することができる。

[0013] 本発明によるシリコンウェーハの酸素濃度は $8.0 \times 10^{17} \text{ atoms/cm}^3$ 以上(ASTM F121, 1979)であることが好ましい。結晶中の酸素濃度が高くなることでシリコン結晶のヤング率が向上するので、反り抑制効果を高めることができる。

[0014] 本発明において、前記半導体デバイス層は3D NANDフラッシュメモリ

を含むことが好ましい。上記のように、3D NANDフラッシュメモリはメモリセルアレイの積層数が非常に多いためウェーハの反りの問題が顕著である。すなわち、デバイス工程が進んで積層数が増加するとウェーハの反りも徐々に増加し、最上層に到達する前にウェーハの反り量が許容範囲を超えてこれ以上デバイス工程を進めることができなくなる事態が生じる。しかし本発明によれば、デバイスを形成する前のウェーハの段階からウェーハの反りを押さえ込む対策を講じることで反りの問題を改善することができ、デバイス工程を進めることが出来なくなる事態を回避することができる。

[0015] また、本発明によるシリコンウェーハは、デバイス工程で一方の主面に半導体デバイス層を構成する多層膜が形成され、前記多層膜の異方性の膜応力によって鞍型に反るシリコンウェーハであって、面方位が(110)であり、ノッチ方位が $\langle 111 \rangle$ であることを特徴とする。

[0016] デバイス工程中にウェーハが鞍型に反る場合に、反りの方位依存性が大きい面方位が(110)であってノッチ方位が $\langle 111 \rangle$ のシリコンウェーハを使用することにより、ウェーハの反りが大きくなる方向と結晶方位のヤング率が大きい方向とを一致させることができ、これにより鞍型の反りを抑制する効果を高めることができる。したがって、ウェーハが大きく反ることによって不具合が有った後続工程を問題なく実施することが可能なシリコンウェーハを提供することができる。

[0017] 本発明によるシリコンウェーハの酸素濃度は $6.0 \times 10^{17} \text{ atoms/cm}^3$ 以上(ASTM F121, 1979)であることが好ましい。結晶中の酸素濃度が高くなることでシリコン結晶のヤング率が向上するので、反り抑制効果を高めることができる。

[0018] 本発明において、前記半導体デバイス層は3D NANDフラッシュメモリを含むことが好ましい。上記のように、3D NANDフラッシュメモリはメモリセルアレイの積層数が非常に多いためウェーハの反りの問題が顕著である。すなわち、デバイス工程が進んで積層数が増加するとウェーハの反りも徐々に増加し、最上層に到達する前にウェーハの反り量が許容範囲を超えて

これ以上デバイス工程を進めることができなくなる事態が生じる。しかし本発明によれば、デバイスを形成する前のウェーハの段階からウェーハの反りを押さえ込む対策を講じることで反りの問題を改善することができ、デバイス工程を進めることが出来なくなる事態を回避することができる。

[0019] 本発明によるシリコンウェーハの加工方法は、面方位が（１１１）のシリコンウェーハを用意し、前記シリコンウェーハの一方の主面に半導体デバイス層を構成する多層膜を形成すると共に、前記多層膜による等方性の膜応力によって生じるお椀型の反りを抑制することを特徴とする。本発明によれば、デバイス工程において膜応力によるウェーハの反りを抑制することができる。

[0020] また、本発明によるシリコンウェーハの加工方法は、面方位が（１１０）でノッチ方位が＜１１１＞のシリコンウェーハを用意し、前記シリコンウェーハの一方の主面に半導体デバイス層を構成する多層膜を形成すると共に、前記多層膜による異方性の膜応力によって生じる鞍型の反りの向きを前記ノッチ方位に合わせて前記鞍型の反りを抑制することを特徴とする。本発明によれば、デバイス工程において膜応力によるウェーハの反りを抑制することができる。

発明の効果

[0021] 本発明によれば、デバイス工程中に生じるウェーハの反りを低減することができ、ウェーハが大きく反ることによって不具合が有った後続工程を問題なく実施することが可能なシリコンウェーハの製造方法を提供することができる。

図面の簡単な説明

[0022] [図１]図１は、本発明の第１の実施の形態によるシリコンウェーハの構成を示す略平面図である。

[図２]図２は、本発明の第２の実施の形態によるシリコンウェーハの構成を示す略平面図である。

[図３]図３は、平坦なシリコンウェーハに膜応力を付与したときに生じる反り

の種類を説明するための模式図であって、(a)はお椀型の反り、(b)は鞍型の反りをそれぞれ示している。

[図4]図4は、シリコンウェーハに付与される膜応力によるウェーハの反り方の違いを説明するための模式図である。

[図5]図5は、シリコンウェーハに異方性の膜応力を付与する成膜パターンの一例を示す略斜視図である。

発明を実施するための形態

[0023] 以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

[0024] 図1は、本発明の第1の実施の形態によるシリコンウェーハの構成を示す略平面図である。

[0025] 図1に示すように、このシリコンウェーハ1Aは、デバイス工程で一方の主面に3DNANDフラッシュメモリなどの半導体デバイス層を構成する多層膜が形成され、多層膜による等方性の膜応力によってお椀型に反る高積層型半導体デバイス用シリコンウェーハであって、面方位が(111)であり、ノッチ方位が<110>又は<112>である。すなわち、ノッチ2は<110>又は<112>方向に形成されている。

[0026] シリコンウェーハ1Aの酸素濃度は $8.0 \times 10^{17} \text{ atoms/cm}^3$ 以上(ASTM F121, 1979)であることが好ましい。(111)シリコンウェーハのヤング率には酸素濃度依存性があり、酸素濃度が $8.0 \times 10^{17} \text{ atoms/cm}^3$ 以上のときの反り抑制効果を高めることができる。

[0027] 図2は、本発明の第2の実施の形態によるシリコンウェーハの構成を示す略平面図である。

[0028] 図2に示すように、このシリコンウェーハ1Bは、デバイス工程で一方の主面に半導体デバイス層を構成する多層膜が形成され、多層膜による異方性の膜応力によって鞍型に反る高集積半導体デバイス用シリコンウェーハであって、面方位が(110)であり、ノッチ方位が<111>である。すなわち、ノッチ2は<111>方向に形成されている。

- [0029] シリコンウェーハ1Bの酸素濃度は $6.0 \times 10^{17} \text{ atoms/cm}^3$ 以上（ASTM F121, 1979）であることが好ましい。（110）シリコンウェーハのヤング率には酸素濃度依存性があり、酸素濃度が $6.0 \times 10^{17} \text{ atoms/cm}^3$ 以上のときの反り抑制効果を高めることができる。
- [0030] 図3は、平坦なシリコンウェーハに膜応力を付与したときに生じる反りの種類を説明するための模式図であって、（a）はお椀型の反り、（b）は鞍型の反りをそれぞれ示している。
- [0031] シリコンウェーハの反り方にはお椀型と鞍型の2種類がある。平坦なシリコンウェーハに膜応力を付与したとき、等方性の膜応力であれば図3（a）に示すようにお椀型の反りが発生し、異方性の膜応力であれば図3（b）に示すように鞍型の反りが発生する。ここで、お椀型とは、ウェーハの外周部の全周が中央部よりも上方又は下方に変位した形状のことをいう。また鞍型とは、ウェーハのX方向及びY方向のいずれか一方の両端部が中央部よりも上方（又は下方）に変位し、ウェーハのX方向及びY方向のいずれか他方の両端部が中央部よりも下方（又は上方）に変位した形状のことをいう。
- [0032] お椀型とは、ウェーハの外周部の全周が中央部よりも上方又は下方に変位した形状のことをいう。また鞍型とは、ウェーハのX方向及びY方向のいずれか一方の両端部が中央部よりも上方（又は下方）に変位し、ウェーハのX方向及びY方向のいずれか他方の両端部が中央部よりも下方（又は上方）に変位した形状のことをいう。
- [0033] 図4は、シリコンウェーハに付与される膜応力によるウェーハの反り方の違いを説明するための模式図である。
- [0034] 図4に示すように、シリコンウェーハの表面に半導体デバイスを構成する配線層等の積層膜を成膜すると、当該シリコンウェーハに膜応力が生じ、これにより（a）に示すようなお椀型の反り、或いは（b）に示すような鞍型の反りが発生する。このようなウェーハの反りが大きくなると後続工程で様々な問題が生じる。
- [0035] デバイス工程中にシリコンウェーハが鞍型に反る理由は、シリコンウェー

ハ上に形成される膜の膜応力の符号が違ふことで膜応力の異方性が生じるからである。例えば、図4に示すように、X方向の圧縮応力が支配的な配線層に加えて、X方向と直交するY方向に引張応力を有する配線層を成膜すると、X方向の圧縮応力が強調され、シリコンウェーハは鞍型に反ることになる。

[0036] シリコン結晶のヤング率は結晶方位によって異なり、方位依存性を持っている。[100]方向では130MPa、[110]方向では170MPa、[111]方向では189MPaであり、ヤング率が小さい方が変形しやすくなる。ウェーハが鞍型に反る場合において、反りが最大となる方向が結晶方位のヤング率が小さい方向と一致すればさらに反りやすくなり、反り量は増加することになる。反対に、反りが最大となる方向が結晶方位のヤング率が大きい方向と一致すればさらに反りにくくなり、反り量は減少することになる。

[0037] そこで本実施形態においては、デバイス工程中にウェーハが鞍型に反る場合には、反りの方位依存性が大きい面方位が(110)であってノッチ方位が<111>のシリコンウェーハ1Bを用いる(図2参照)。通常、デバイス工程ではノッチ方位に合わせて半導体デバイスを形成するので、配線層の向きをノッチ方位に合わせることでウェーハの反りが大きくなる方向と結晶方位のヤング率が大きい方向とを一致させることができ、鞍型の反りを抑制する効果を高めることができる。

[0038] またデバイス工程中にウェーハがお椀型に反る場合には、反りの方位依存性がない面方位が(111)のシリコンウェーハ1Aを用いる(図1参照)。デバイス工程で付与される等方性の膜応力に合わせてシリコンウェーハのヤング率も等方性とすることで、お椀型の反りを抑制する効果を高めることができる。

[0039] 以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはい

うまでもない。

[0040] 例えば、上記実施形態においては、3D NANDの製造に好適なシリコンウェーハの製造方法について説明したが、本発明はこのような例に限定されるものではなく、膜応力によってウェーハが反ることとなる種々の半導体デバイス用のシリコンウェーハを対象とすることができる。

実施例

[0041] (実施例1)

面方位及びノッチ方位が異なるシリコンウェーハのサンプル#1～#16を用意した。各ウェーハはCZ法で育成されたものであり、直径は300mm、厚みは775 μ mである。ウェーハサンプルの面方位は(100)、(110)、(111)の3種類であり、面方位(100)ウェーハのノッチ方位は<110>と<100>の2種類、面方位(110)ウェーハのノッチ方位は<110>と<111>の2種類、面方位(111)ウェーハのノッチ方位は<110>と<112>の2種類である。使用したウェーハの面方位及びノッチ方位のばらつきは ± 1 度以内である。

[0042] 次に各ウェーハの酸素濃度を測定した。なお酸素濃度はすべてASTM F121, 1979に規格されたフーリエ変換赤外分光光度法(FT-IR)による測定値である。

[0043] 次に、これらのウェーハサンプル#1～#16の主面に、厚みが2 μ mのシリコン酸化膜をCVD工程で成膜したところ、凸状のお椀型の反りをもたらした。各ウェーハサンプルの反り量(WARP)の測定結果を表1に示す。

[0044]

[表1]

ウェーハ サンプル	ウェーハ 面方位	ノッチ 方位	酸素濃度 ($\times 10^{17}$ atoms/cm ³)	反り量 (μ m)
#1	(100)	<110>	8.5	612
#2	(100)	<110>	13.2	608
#3	(100)	<100>	8.4	611
#4	(100)	<100>	13.0	605
#5	(110)	<110>	7.2	789
#6	(110)	<110>	12.9	762
#7	(110)	<111>	8.2	785
#8	(110)	<111>	13.5	765
#9	(111)	<110>	6.3	507
#10	(111)	<110>	8.1	451
#11	(111)	<110>	10.6	443
#12	(111)	<110>	12.5	441
#13	(111)	<110>	13.8	448
#14	(111)	<112>	6.0	501
#15	(111)	<112>	8.2	436
#16	(111)	<112>	11.9	440

[0045] 表1から明らかなように、面方位（100）のウェーハサンプル#1～#4では、基板酸素濃度やノッチ方位によらず、600 μ m程度の大きな反りが発生した。

[0046] 面方位（110）のウェーハサンプル#5～#8では、基板酸素濃度、ノッチ方位によらず、770 μ m程度の大きな反りが発生した。酸素濃度が高いほど反り量が減少するが、大きな差はない。

[0047] 面方位（111）のウェーハサンプル#9～#16では、ノッチ方位によらず、面方位（100）や（110）のウェーハよりも反り量が抑制されることが分かった。またウェーハの反りには酸素濃度依存性があり、酸素濃度が 8.0×10^{17} atoms/cm³以上のときの反り抑制効果が特に高かった。酸素濃度が高くなることでシリコン結晶のヤング率が向上する効果だと考えられる。

[0048] シリコン結晶のヤング率は結晶方位によって異なる方位依存性を持ってい

るため、お椀型に反るような異方性が少ない膜応力が付与されると、面方位によって弾性変形に対する耐性が変化すると思われる。以上の結果から、（ $1\ 1\ 1$ ）ウェーハを用いることで、デバイス工程で問題となる反りを抑制することが可能である。

[0049] （実施例 2）

実施例 1 と同様に面方位及びノッチ方位が異なるシリコンウェーハのサンプル # 17 ～ # 31 を用意し、それらのウェーハの酸素濃度を測定した。

[0050] 次に、これらのウェーハサンプル # 17 ～ # 31 の主面に、厚みが $1\ \mu\text{m}$ のシリコン酸化膜を CVD 工程で成膜した後にマスクを利用して一部をエッチングし、次いで厚み $0.7\ \mu\text{m}$ のシリコン窒化膜を CVD 工程で成膜した後にマスクを利用して一部をエッチングして、図 5 のような形状の膜を作製した。例えばサンプル # 17 の（ $1\ 0\ 0$ ）ウェーハの場合、シリコン酸化膜は $\langle 1\ 1\ 0 \rangle$ 方位に細長い矩形パターンであり、シリコン窒化膜はシリコン酸化膜の長手方向と直交する方向に細長い矩形パターンである。この合成パターンにより、シリコンウェーハには異方性の膜応力が発生し、鞍型の反りをもたらした。各ウェーハサンプルの反り量（WARP）の測定結果を表 2 に示す。

[0051]

[表2]

ウェーハ サンプル	ウェーハ 面方位	ノッチ 方位	酸素濃度 ($\times 10^{17}$ atoms/cm ³)	反り量 (μ m)
# 17	(100)	<110>	5.7	478
# 18	(100)	<110>	13.1	464
# 19	(100)	<100>	5.5	618
# 20	(100)	<100>	13.3	621
# 21	(110)	<110>	5.7	553
# 22	(110)	<110>	7.8	559
# 23	(110)	<110>	12.9	552
# 24	(110)	<111>	5.6	398
# 25	(110)	<111>	6.3	325
# 26	(110)	<111>	10.9	318
# 27	(110)	<111>	12.9	312
# 28	(111)	<110>	5.4	513
# 29	(111)	<110>	12.1	520
# 30	(111)	<112>	5.9	516
# 31	(111)	<112>	12.3	512

[0052] 表2から明らかなように、面方位（100）のウェーハサンプル#17～#20では、基板酸素濃度やノッチ方位によって反り量が変わり、特に<100>ノッチよりも<110>ノッチのほうが反り抑制効果が高いことが分かった。ただし（100）ウェーハの<110>ノッチはウェーハの標準的な方位である。

[0053] 面方位（110）のウェーハサンプル#21～#27では、基板酸素濃度やノッチ方位によって反り量が変わり、特に<111>ノッチの反り抑制効果が高いことが分かった。さらに、<111>ノッチのウェーハサンプル#24～#27の中でも、酸素濃度が 6×10^{17} atoms/cm³以上となるサンプル#25、#26、#27の反り抑制効果は特に高かった。

[0054] 面方位（111）のウェーハサンプル#28～#31では、基板酸素濃度やノッチ方位によらず、500 μ m程度の大きな反りが発生した。ただし（111）ウェーハの<110>ノッチはウェーハの標準的な方位である。

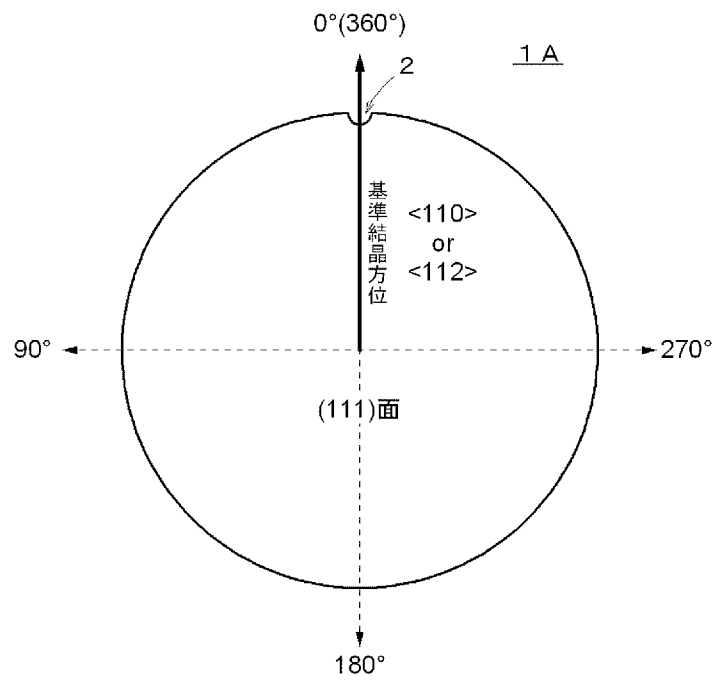
符号の説明

[0055] 1 A, 1 B シリコンウェーハ
2 ノッチ

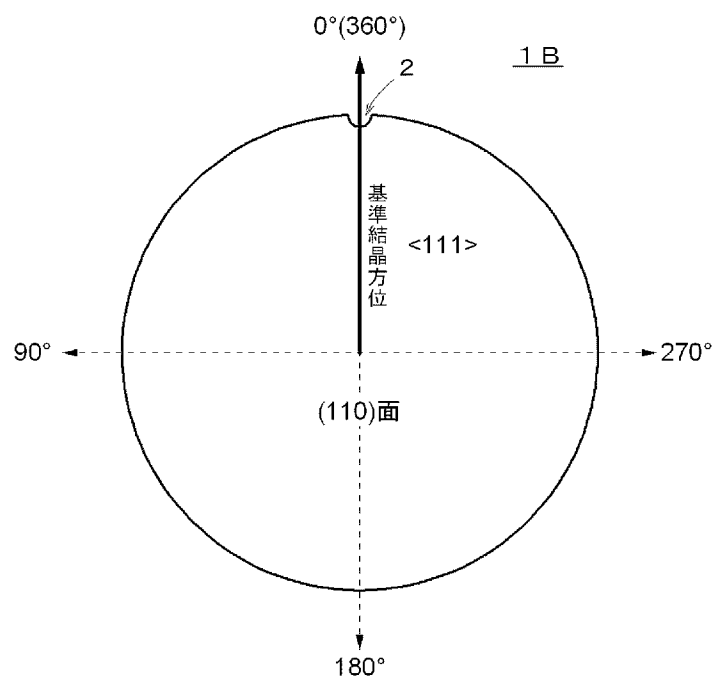
請求の範囲

- [請求項1] デバイス工程で一方の主面に半導体デバイス層を構成する多層膜が形成され、前記多層膜の等方性の膜応力によってお椀型に反るシリコンウェーハであって、面方位が（1 1 1）であることを特徴とするシリコンウェーハ。
- [請求項2] 酸素濃度が $8.0 \times 10^{17} \text{ atoms/cm}^3$ 以上（ASTM F 121, 1979）である、請求項1に記載のシリコンウェーハ。
- [請求項3] 前記半導体デバイス層は3DNANDフラッシュメモリを含む、請求項1又は2に記載のシリコンウェーハ。
- [請求項4] デバイス工程で一方の主面に半導体デバイス層を構成する多層膜が形成され、前記多層膜の異方性の膜応力によって鞍型に反るシリコンウェーハであって、面方位が（1 1 0）であり、ノッチ方位が $\langle 111 \rangle$ であることを特徴とするシリコンウェーハ。
- [請求項5] 酸素濃度が $6.0 \times 10^{17} \text{ atoms/cm}^3$ 以上（ASTM F 121, 1979）である、請求項4に記載のシリコンウェーハ。
- [請求項6] 前記半導体デバイス層は3DNANDフラッシュメモリを含む、請求項4又は5に記載のシリコンウェーハ。

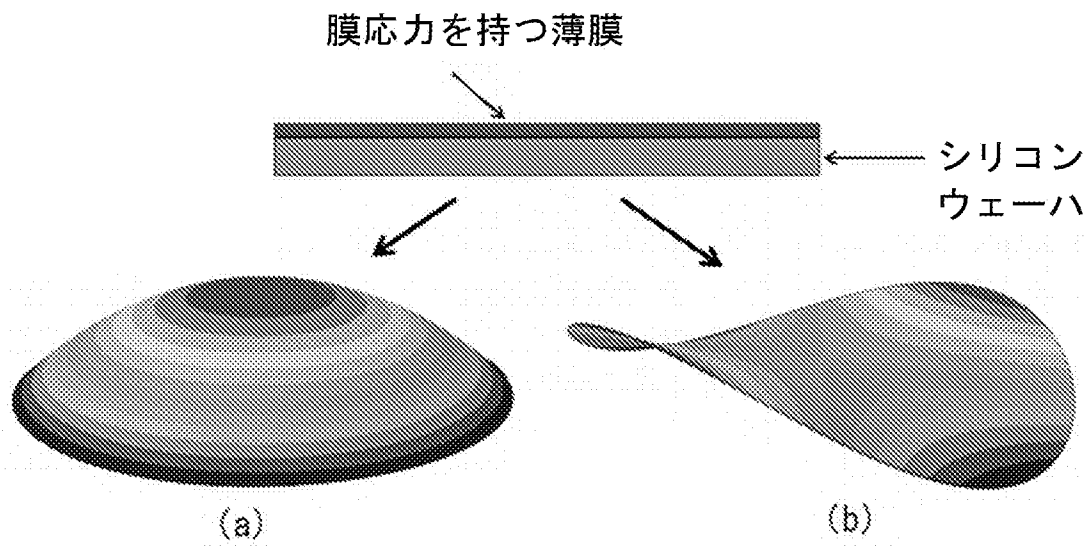
[図1]



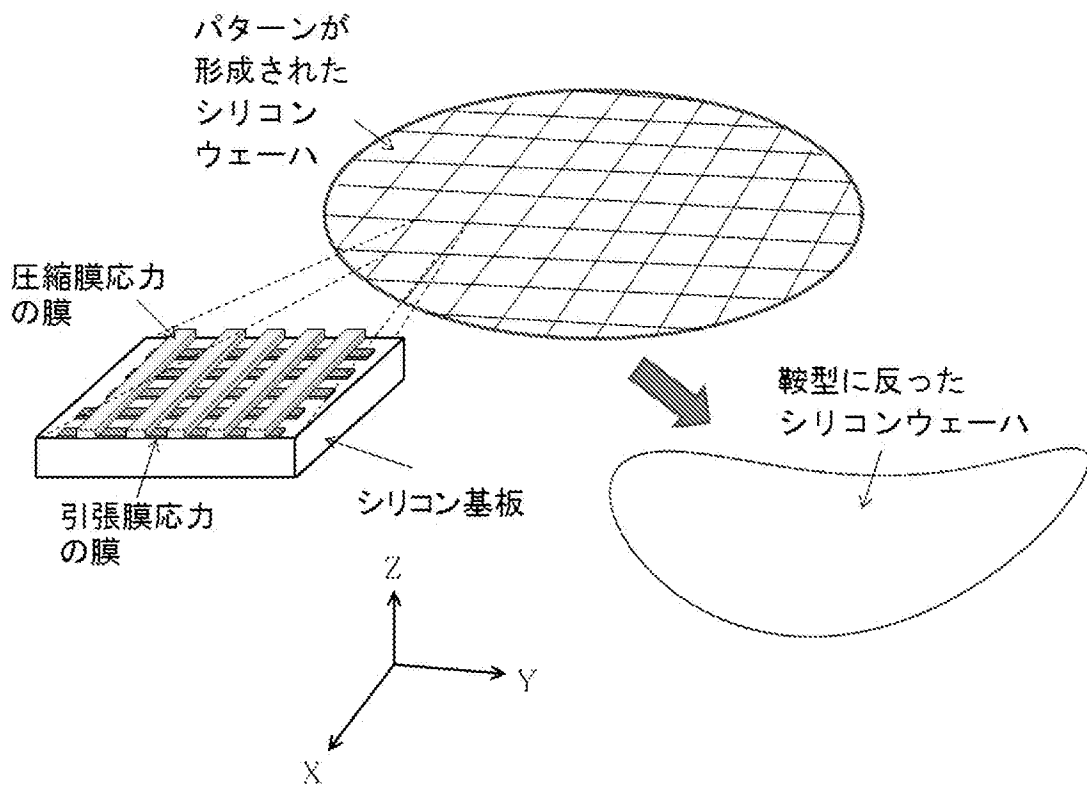
[図2]



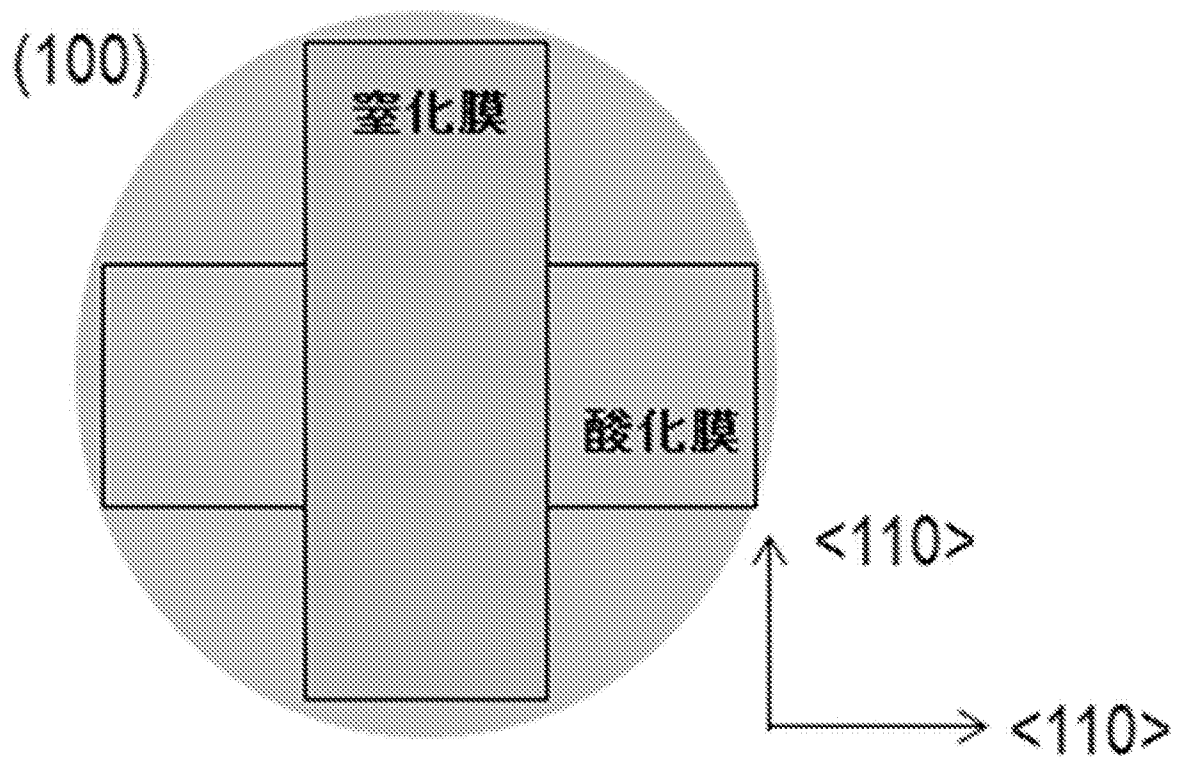
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/021721

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. C30B29/06 (2006.01) i, H01L21/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. C30B29/06, H01L21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2013/137476 A1 (FURUKAWA ELECTRIC CO., LTD.) 19 September 2013, claims, paragraph [0046] & US 2014/0374771 A1, claims, paragraph [0045]	1-3 4-6
X A	JP 2015-88706 A (DAINIPPON PRINTING CO., LTD.) 07 May 2015, paragraphs [0001], [0033], [0035], fig. 9(c) (Family: none)	4-6 1-3
A	JP 2012-39117 A (SILTRONIC AG) 23 February 2012, paragraph [0002] & US 2012/0039786 A1, paragraph [0005] & DE 102010034002 A1 & CN 102373509 A & SG 178669 A & KR 10-2012-0023551 A & TW 201207172 A & CN 104451889 A	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 August 2018 (21.08.2018)

Date of mailing of the international search report
04 September 2018 (04.09.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. C30B29/06(2006.01)i, H01L21/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. C30B29/06, H01L21/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2013/137476 A1（古河電気工業株式会社）2013.09.19, 請求の範囲, 段落[0046] & US 2014/0374771 A1, 請求の範囲, 段落[0045]	1-3 4-6
X A	JP 2015-88706 A（大日本印刷株式会社）2015.05.07, 段落[0001], [0033], [0035], [図9]（c）（ファミリーなし）	4-6 1-3
A	JP 2012-39117 A（ジルトロニック アクチエンゲゼルシャフト）2012.02.23, 段落[0002] & US 2012/0039786 A1, 段落[0005] & DE 102010034002 A1 & CN 102373509 A & SG 178669 A & KR	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21.08.2018

国際調査報告の発送日

04.09.2018

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮崎 園子

4 G

9277

電話番号 03-3581-1101 内線 3416

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	10-2012-0023551 A & TW 201207172 A & CN 104451889 A	