

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年8月25日(25.08.2011)

PCT

(10) 国際公開番号
WO 2011/102030 A1

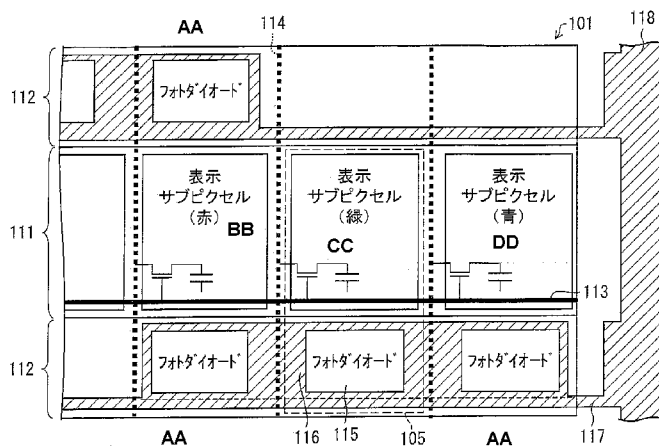
- (51) 国際特許分類:
G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)
G02F 1/1333 (2006.01) H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2010/070230
- (22) 国際出願日: 2010年11月12日(12.11.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-033319 2010年2月18日(18.02.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 相地 広西
(AICHI, Hiroshi). 山内 哲也 (YAMAUCHI, Tet-
suya). 岩井 紀将 (IWAI, Norimasa). 溝腰 泰男
(MIZOKOSHI, Yasuo).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-
MARK); 〒5300041 大阪府大阪市北区天神橋2
丁目北2番6号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: ACTIVE MATRIX SUBSTRATE, GLASS SUBSTRATE, LIQUID CRYSTAL PANEL AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: アクティブマトリクス基板、ガラス基板、液晶パネル、および液晶表示装置

[図2]



AA Photodiode
BB Display subpixel (red)
CC Display subpixel (green)
115 Photodiode
DD Display subpixel (blue)

(57) Abstract: Each pixel (105) includes a display unit (111) for displaying an image and a sensor (112) for detecting light. The sensors (112) of the pixels (105) systematically pre-extracted from among a plurality of pixels (105) are provided with a photodiode (115) and a light-shielding film (116) in a manner such that the light-shielding film (116) is positioned below the photodiode (115) so as to overlap with the photodiodes (115) when viewed from the direction perpendicular to the active matrix substrate, and the entire light-shielding film (116) is provided with electrically connected wiring (117) and bus lines (118) arranged so as to avoid the display units (111). This makes it possible to construct an active matrix substrate, glass substrate, liquid crystal panel and liquid crystal display device with light-receiving elements and light-shielding film to provide light-sensing functionality with decreased occurrence of electrostatic discharge damage.

(57) 要約: 各画素(105)は、画像を表示するための表示部(111)と、光を検出するためのセンサー部(112)とを含み、複数の画素(105)から規則的に予め抽出された各画素(105)のセンサー部(112)には、フォトダイオード(115)および遮光膜(116)が設け

られ、遮光膜(116)は、フォトダイオード(115)よりも下層であって、かつ、アクティブマトリクス基板に垂直な方向から見たときフォトダイオード(115)と重なるように配置され、表示部(111)を避けるように、全ての遮光膜(116)を電氣的に接続する配線(117)およびバスライン(118)が設けられている。これにより、光センサー機能を果たすために受光素子および遮光膜を備えた構成において、ESD破壊の発生を低減することができるアクティブマトリクス基板、ガラス基板、液晶パネル、および液晶表示装置を提供する。

WO 2011/102030 A1

WO 2011/102030 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

アクティブマトリクス基板、ガラス基板、液晶パネル、および液晶表示装置

技術分野

[0001] 本発明は、光センサーが内蔵されたアクティブマトリクス基板、ガラス基板、液晶パネル、および液晶表示装置に関するものであり、特に、光センサー付近におけるESD破壊の発生を低減する技術に関するものである。

背景技術

[0002] 従来、光センサーとして機能する半導体装置が提案されている（例えば、特許文献1参照）。このような半導体装置は、光電変換を行う受光素子としてフォトダイオードが備えられており、携帯電話や表示装置、デジタルカメラなどの電子機器に組み込まれている。電子機器では、半導体装置により周囲の光を検出することによって、例えば表示パネルの輝度やカメラの露出調整などが行われている。

[0003] ところが、上記半導体装置では、製造時や使用時に発生した静電気が放電することにより（静電気放電：ESD：Electro-Static Discharge）、フォトダイオード形成部における電極や半導体素子が破壊されたり、半導体素子の信頼性が低下するという問題があった。これに対し、特許文献1に記載の半導体装置では、フォトダイオード形成部において発生するESD対策として、ESDの発生しやすいダミーパターンを作成することで、主要装置部のESD破壊の防止が図られている。

[0004] 特許文献1に記載の半導体装置は、フォトダイオードと、増幅回路と、電源に接続される高電位側接続用電極および低電位側接続用電極と、ダミーパターン（導電膜からなるダミー電極）とを備え、ダミーパターンが、高電位側接続用電極および低電位側接続用電極に隣接して同じ層に、かつ、高電位側接続用電極および低電位側接続用電極よりも大きな面積で設けられた構成

を有する。また、ダミーパターンは、フォトダイオードおよび増幅回路と電氣的に接続されておらず、電位がフローティング状態となっている。この構成によれば、高電位側接続用電極および低電位側接続用電極よりもダミーパターンにおいてESD破壊が起こる確率が高くなり、ダミーパターンでESDが起こった場合でも、他の構成部材のESD破壊を防止することができる。また、プリント配線基板などの基板にダミーパターンを電氣的に接続することによって、ダミーパターンに電荷が蓄積された場合は基板に電荷を逃がすことができる。

[0005] ところで、近年、光センサー機能を有する液晶表示装置が開発されている。このような液晶表示装置は、光センサーが内蔵された液晶パネルを備え、画面に触れた際の光の変化を検出することで、タッチパネルやスキャナーとして機能する。液晶パネルでは、アクティブマトリクス基板に、光センサーとしてフォトダイオードが画素毎に形成されている。

[0006] しかし、特許文献1に記載の半導体装置では、高電位側接続用電極および低電位側接続用電極と同層に、金属からなるダミーパターンが形成されているため、当該半導体装置を備えた液晶表示装置は、上述のような、画素内にフォトダイオードが形成される構成を持つタッチパネルなどの用途には不向きである。タッチパネルなどでは、フォトダイオードにバックライトから直接入射する光が、ノイズとなることを防止する必要がある。

[0007] タッチパネルなどに適用可能な光センサー機種の液晶表示装置は、例えば特許文献2に記載されている。特許文献2に記載の液晶表示装置では、液晶パネルのアクティブマトリクス基板において、フォトダイオードとなる半導体層の下層に、バックライトからの照射光がフォトダイオードに直接入射しないように遮光する遮光膜が設けられている。遮光膜は、フォトダイオード毎に設けられており、電位がフローティング状態となっている。

先行技術文献

特許文献

[0008] 特許文献1：日本国公開特許公報「特開2008-182214号公報（20

08年8月7日公開)」

特許文献2：日本国公開特許公報「特開2009-237286号公報（2009年10月15日公開）」

発明の概要

発明が解決しようとする課題

- [0009] しかしながら、特許文献2に記載の光センサー機種の液晶表示装置では、液晶パネルの製造工程において、工程を流動している途中にESD破壊が発生するという問題点を有している。このため、信頼性に乏しく、また、パネル歩留まりを低下させていた。
- [0010] 本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、画素に受光素子および遮光膜を備えた構成において、ESD破壊の発生を低減することができるアクティブマトリクス基板、ガラス基板、液晶パネル、および液晶表示装置を提供することにある。

課題を解決するための手段

- [0011] 本発明のアクティブマトリクス基板は、上記課題を解決するために、複数の画素がマトリクス状に配置されたアクティブエリアを備えるアクティブマトリクス基板であって、上記各画素は、画像を表示するための表示部と、光を検出するためのセンサー部とを含み、上記複数の画素から規則的に予め抽出された各画素の上記センサー部には、受光素子および第1遮光膜が設けられ、上記第1遮光膜は、上記受光素子よりも下層であって、かつ、上記アクティブマトリクス基板に垂直な方向から見たとき該受光素子と重なるように配置され、上記表示部を避けるように、全ての上記第1遮光膜を電氣的に接続する配線が設けられていることを特徴としている。
- [0012] 従来、画素に受光素子および遮光膜を備えた構成を有する液晶パネルの製造工程において、工程を流動している途中にESD破壊が発生するという問題点があった。そこで鋭意検証した結果、本発明者は、この原因は、受光素子の半導体層を形成するためのイオン注入工程においてガラス基板が帯電し、そのガラス基板を搬送する際に、搬送ロボットのピン位置において剥離帯

電が発生するためと見出した。そして、解析状況からは、遮光膜上の半導体層およびゲート酸化膜がESD破壊されていることを確認した。遮光膜は、半導体層毎に設けられており、電位がフローティング状態となっている。ゆえに、遮光膜－遮光膜間においてESDが発生したと推測した。

[0013] これに対し、上記の構成によれば、全ての第1遮光膜は同電位となるので、従来において遮光膜－遮光膜間で発生していたESDを無くすることが可能となる。したがって、ESD破壊の発生を低減することが可能となる。

[0014] 本発明のガラス基板は、上記課題を解決するために、複数の上記アクティブマトリクス基板が、該各アクティブマトリクス基板の周囲に切断しろを含んでマトリクス状に配置されたガラス基板であって、上記各アクティブマトリクス基板の配線は、上記切断しろ内に引き出され、上記切断しろには、上記各アクティブマトリクス基板の配線全てを電氣的に接続する基板間配線が設けられていることを特徴としている。

[0015] 上記の構成によれば、基板間配線が設けられていることにより、ガラス基板内の全ての遮光膜層は同電位となる。よって、ガラス基板の帯電量がより大きくなった場合であっても、ガラス基板では、各アクティブマトリクス基板間の遮光膜－遮光膜間におけるESDの発生を防止することが可能となる。したがって、ESD破壊の発生を低減することが可能となる。

[0016] 本発明の液晶パネルは、上記課題を解決するために、上記アクティブマトリクス基板を備えることを特徴とする。

[0017] 上記の構成によれば、上記アクティブマトリクス基板を備えることにより、ESD破壊の発生を低減することができ、信頼性に優れた液晶パネルとして提供することが可能となる。

[0018] 本発明の液晶表示装置は、上記課題を解決するために、上記液晶パネルと光源装置とを備えることを特徴とする。

[0019] 上記の構成によれば、上記液晶パネルを備えることにより、ESD破壊の発生を低減することができ、信頼性に優れた液晶表示装置として提供することが可能となる。

発明の効果

- [0020] 以上のように、本発明のアクティブマトリクス基板は、表示部を避けるように、全ての第1遮光膜を電氣的に接続する配線が設けられている構成であるので、全ての第1遮光膜は同電位となり、従来において遮光膜－遮光膜間で発生していたESDを無くすことができる。したがって、ESD破壊の発生を低減することができるという効果を奏する。
- [0021] 本発明のガラス基板は、各アクティブマトリクス基板の配線は、切断しろ内に引き出され、上記切断しろには、上記各アクティブマトリクス基板の配線全てを電氣的に接続する基板間配線が設けられている構成であるので、ガラス基板内の全ての遮光膜層は同電位となり、ガラス基板の帯電量がより大きくなった場合であっても、ガラス基板では、各アクティブマトリクス基板間の遮光膜－遮光膜間におけるESDの発生を防止することができる。したがって、ESD破壊の発生を低減することができるという効果を奏する。
- [0022] 本発明の液晶パネルは、上記アクティブマトリクス基板を備える構成である。また、本発明の液晶表示装置は、上記液晶パネルと光源装置とを備える構成である。それゆえ、両者は、ESD破壊の発生を低減することができ、信頼性に優れた液晶パネルおよび液晶表示装置として提供することができるという効果を奏する。

図面の簡単な説明

- [0023] [図1]本発明における液晶パネルの実施の一形態を示す概略平面図である。
- [図2]上記液晶パネルのアクティブエリアにおける画素の構成を示す、図1の領域 α の拡大平面図である。
- [図3]上記液晶パネルのアクティブマトリクス基板における、1つの画素のセンサー部の断面構造を示す断面図である。
- [図4]上記液晶パネルのアクティブマトリクス基板における遮光膜が形成されている層の構成を示す平面図である。
- [図5] (a)～(d)は、センサー部の製造工程のうち、フォトダイオードとなるアモルファスシリコン膜を形成するまでの形成工程を示す断面図である

。

[図6]本発明におけるガラス基板の実施の一形態を示す平面図である。

[図7]上記ガラス基板におけるアクティブマトリクス基板の拡大図である。

[図8]本発明における液晶パネルの他の実施の形態を示すものであり、アクティブマトリクス基板における遮光膜が形成されている層の構成を示す平面図である。

発明を実施するための形態

[0024] 〔実施の形態１〕

本発明の一実施形態について図面に基づいて説明すれば、以下の通りである。

[0025] なお、以下の説明では、図１中の上下方向を垂直方向と称し、図１中の左右方向を水平方向と称する。また、図１の面視、すなわち液晶パネル（アクティブマトリクス基板）に垂直な方向から見たときを、平面視と呼ぶ。

[0026] （全体構成）

図１は、本実施の形態の液晶パネル１００の一構成例を示す概略平面図である。図２は、アクティブエリア１０１における画素１０５の構成を示す、図１の領域αの拡大平面図である。

[0027] 図１に示すように、液晶パネル１００には、アクティブエリア１０１、ゲートドライバ１０２（ドライバ）、センサードライバ１０３（ドライバ）、および端子部１０４が設けられている。なお、液晶パネル１００には、アクティブマトリクス駆動方式が用いられている。

[0028] アクティブエリア１０１は、画素１０５が n 行× k 列（ n, k ：２以上の整数）のマトリクス状に配置された領域である。各画素１０５は全て同じ構成を有しており、図２に示すように、画像を表示する表示部１１１と、光を検出するセンサー部１１２とを含む。表示部１１１は、画素１０５における平面視上側に配置されている。センサー部１１２は、画素１０５における平面視下側に配置されている。これにより、アクティブエリア１０１全体で見ると、図１に示すように、水平方向に延伸する表示部１１１とセンサー部１

１２とは、縞状に交互に配置された構成となっている。

[0029] なお、画素１０５における表示部１１１およびセンサー部１１２の配置は逆または左右配置でもよく、全ての画素において同じ側に配置されていなくてもよい。例えば、偶数行はセンサー部１１２が上配置とし、奇数行はセンサー部１１２が下配置とするなどのレイアウトとすることもできる。

[0030] 表示部１１１は、例えば、薄膜トランジスタ（ＴＦＴ）を少なくとも含む画素回路、画素電極、および共通電極（対向電極）を備えているが、アクティブマトリクス駆動方式の一般的な構成を備えていればよい。例えば、ゲートドライバ１０２の制御に従って画素電極に電圧を印加させる画素回路には、補助容量やメモリ回路などを備えることもできる。センサー部１１２は、受光素子であるフォトダイオード１１５、および遮光膜１１６（第１遮光膜）などを備えている。例えば、センサー部１１２には、容量や読み出し用のＴＦＴなどを適宜含んでもよい（いずれも図示せず）。

[0031] アクティブエリア１０１では、水平方向に隣接して配置された３つの画素１０５の表示部１１１が、Ｒ（赤）・Ｇ（緑）・Ｂ（青）の色にそれぞれ割り当てられ、１つの表示画素を構成している。

[0032] また、所定の各画素１０５において１つのフォトダイオード１１５がそれぞれ設けられている。具体的には、水平方向の各画素１０５において、３つの画素１０５（あり）、１つの画素１０５（なし）、３つの画素１０５（あり）・・・となるように、フォトダイオード１１５が規則的に設けられている。なお、規則性は上述したものに限らず、「２（あり）、２（なし）、２（あり）・・・」などでもよいし、全ての画素１０５にそれぞれ設けることもできる。フォトダイオード１１５は、複数の画素１０５から規則的に予め抽出された各画素１０５のセンサー部１１２に設けられていればよい。センサー１画素内の画素数は、センサー解像度に応じて決めることができる。また、全ての画素１０５に１個のフォトダイオード１１５をそれぞれ配置し、数画素を１つのセンサー画素単位として感度向上を図ることもできる。

[0033] また、アクティブエリア１０１には、各画素１０５の表示部１１１に対応

して、ゲートライン１１３が水平方向に延伸するように設けられているとともに、ソースライン１１４が垂直方向に延伸するように設けられている。なお、ゲートライン１１３は、表示部１１１内に配置されている。また、行毎のセンサー部１１２内に、配線１１７（第１配線、第３配線）が水平方向に延伸するように設けられている。さらに、アクティブエリア１０１とゲートドライバ１０２との間、および、アクティブエリア１０１とセンサードライバ１０３との間に、バスライン１１８（配線、第２配線、第４配線）が、垂直方向に延伸するように設けられている。

[0034] なお、図１および図２では、センサー部１１２を明示するためにセンサー部１１２を大きめに描いているが、実際のセンサー部１１２は、液晶パネル１００の画像表示に悪影響を与えない程度に、表示部１１１に比べて垂直方向の幅は小さい。

[0035] ゲートドライバ１０２は、駆動する画素１０５を選択するための走査信号を生成し、該走査信号を対応するゲートライン１１３に出力するドライバである。センサードライバ１０３は、各フォトダイオード１１５に電源電圧を与えることで、光センサー機能を駆動するドライバである。ゲートドライバ１０２とセンサードライバ１０３とは、アクティブエリア１０１を挟むように、水平方向に対向して配置されている。

[0036] 端子部１０４は、液晶パネル１００の外部と接続可能な端子が複数設けられた部分である。端子部１０４は、アクティブエリア１０１の周辺であって、かつ垂直方向における液晶パネル１００の一方の端に配置されている。各端子はそれぞれ、アクティブエリア１０１のソースライン１１４、ゲートドライバ１０２、およびセンサードライバ１０３に電氣的に接続されている。

[0037] ここで図示はしないが、液晶パネル１００は、互いに対向する２枚の基板に、液晶層が挟持された構成を有している。一方の基板は、共通電極などが形成された基板である。他方の基板は、ゲートライン１１３、ソースライン１１４、画素回路、画素電極、端子部１０４などが形成された基板（以下、アクティブマトリクス基板と呼ぶ）である。また、ゲートドライバ１０２お

よびセンサードライバ１０３は、アクティブマトリクス基板にモノリシックに作り込まれている。

[0038] 上記構成を有する液晶パネル１００は、光センサー機能を有した表示部として、液晶表示装置に備えられる。このように光センサー機能が搭載された、いわゆる光センサー機種の液晶表示装置は、液晶パネル１００の他に、従来の一般的な構成を備えて実現される。例えば、画素１０５を駆動するためのデータ信号を生成し、該データ信号に対応するソースライン１１４に出力するソースドライバ、共通電極に共通電位を供給するVcomドライバ、および、タイミングの基となるクロック信号を生成するタイミングジェネレータなどの表示ドライバや、液晶パネル１００を後方から照射するバックライト（光源装置）などが備えられる（いずれも図示せず）。

[0039] なお、上記液晶表示装置では、ゲートドライバ１０２およびセンサードライバ１０３以外の表示ドライバは、端子部１０４を介して液晶パネル１００と電氣的に接続される構成となっているが、これに限らず、ゲートドライバ１０２およびセンサードライバ１０３と同様に液晶パネル１００のアクティブマトリクス基板にモノリシックに作り込むこともできる。また逆に、ゲートドライバ１０２およびセンサードライバ１０３は、液晶パネル１００外に設けられていてもよい。

[0040] 上記液晶表示装置は、本来の画像表示機能に加えて、パネル表面に接触する物体の位置により入力操作を行うタッチパネル機能や、画像を取り込むスキャナー機能などを果たす表示装置として、PCなどの様々な電子機器へ搭載される。

[0041] （センサー部の構成）

次に、画素１０５のセンサー部１１２の構成、特にフォトダイオード１１５形成部付近の構造について説明する。

[0042] 図３は、アクティブマトリクス基板における、１つの画素１０５のセンサー部１１２の断面構造を示す断面図である。図４は、遮光膜１１６が形成されている層の構成を示す平面図である。なお、図４では、遮光膜１１６のレ

アウトを明示するために、遮光膜 116、配線 117、およびバスライン 118 以外の部材の図示は省略している。

[0043] 図 3 および図 4 に示すように、アクティブマトリクス基板において、センサ部 112 は、ガラス基板 121 上に、遮光膜 116、配線 117、ベースコート膜 122、フォトダイオード 115、ゲート酸化膜 126、層間絶縁膜 127、アノード電極 (Va) 128、およびカソード電極 (Vc) 129 が形成された構成を有している。

[0044] ガラス基板 121 は、ガラスを主材料とする透明な基板である。ガラス基板 121 上には、遮光膜 116 が形成されている。遮光膜 116 は、バックライトから照射された光がフォトダイオード 115 に入射して、フォトダイオード 115 が常に励起状態となることを防止するための遮光機能を果たすものである。遮光膜 116 は、平面視において、矩形形状を有し、フォトダイオード 115 と重なるように配置される。なお、遮光膜 116 は、フォトダイオード 115 と重なるように配置されればよく、隣り合う複数のフォトダイオード 115 と重なるように設けられてもよいし、フォトダイオード 115 毎に設けられていてもよい。遮光膜 116 は、例えば、モリブデン (Mo) などの金属からなる。

[0045] また、ガラス基板 121 上には、配線 117 が形成されている。すなわち、遮光膜 116 と同層に、配線 117 が形成されている。図 4 に示すように、配線 117 は、水平方向に延伸するように設けられ、水平方向に位置する各遮光膜 116 と連結することで、各遮光膜 116 と電氣的に接続されている。配線 117 は、遮光膜 116 と同じ材料とすることが望ましく、これにより、配線 117 を遮光膜 116 と一体化して形成することが可能となる。

[0046] ここで、上述したバスライン 118 は、図 4 に示すように、ガラス基板 121 上であって、遮光膜 116 および配線 117 と同層に形成されている。バスライン 118 は、垂直方向に延伸するように設けられ、各配線 117 と連結することで、各配線 117 と電氣的に接続されている。これにより、全ての遮光膜 116 は、配線 117 およびバスライン 118 により同電位とな

っている。バスライン 118 は、遮光膜 116 および配線 117 と同じ材料とすることが望ましく、これにより、バスライン 118 を遮光膜 116 および配線 117 と一体化して形成することが可能となる。

[0047] 遮光膜 116 および配線 117 が形成されたガラス基板 121 上には、ベースコート膜 122 が形成されている。ベースコート膜 122 は、上層に位置するフォトダイオード 115 の下地膜である。

[0048] ベースコート膜 122 上には、フォトダイオード 115 が形成されている。フォトダイオード 115 は、PIN 接合型のフォトダイオードであり、真性半導体領域（I 層）124 を挟んで p 型半導体領域（P 層）123 と n 型半導体領域（N 層）125 とが形成された半導体層により構成されている。半導体層は、平面視において、遮光膜 116 と重なるように配置される。

[0049] フォトダイオード 115 が形成されたベースコート膜 122 上には、ゲート酸化膜 126 および層間絶縁膜 127 が、この順に積層されている。層間絶縁膜 127 上には、アノード電極 128 およびカソード電極 129 が形成されている。アノード電極 128 およびカソード電極 129 は、ゲート酸化膜 126 および層間絶縁膜 127 に形成されたコンタクトホールを介して、フォトダイオード 115 の p 型半導体領域 123 および n 型半導体領域 125 にそれぞれ電氣的に接続されている。また、アノード電極 128 およびカソード電極 129 は、センサードライバ 103 に電氣的に接続されている。

[0050] 上記の構成を有するセンサー部 112 は、フォトダイオード 115 となる半導体層を、検出させる光の波長に応じた材料で形成することによって、可視光用センサーや赤外（IR）光用センサーなどとして実現することができる。なお、赤外光用センサーとする場合は、入力手段として、赤外光を発するライトペンなどを用いればよい。

[0051] なお、上記の構成において、ベースコート膜 122、ゲート酸化膜 126、および層間絶縁膜 127 は、各行の画素 105 センサー部 112 において連続して形成されている。また、センサー部 112 は、表示部 111 と一緒にガラス基板 121 上に形成されるので、ベースコート膜 122、ゲート酸

化膜 1 2 6、および層間絶縁膜 1 2 7 は、適宜表示部 1 1 1 において共用してもよい。

[0052] (センサー部の製造方法)

次に、画素 1 0 5 のセンサー部 1 1 2 の製造方法について説明する。ここでは、赤外光用センサーおよび可視光用センサーを作製する場合について例示する。

[0053] 図 5 の (a) ~ (d) は、センサー部 1 1 2 の製造工程のうち、フォトダイオード 1 1 5 となるアモルファスシリコン (a-Si) 膜 1 1 5' を形成するまでの形成工程を示す断面図である。なお、図中左側が赤外光用センサーを示し、図中右側が可視光用センサーを示している。

[0054] 〈遮光膜 1 1 6 作製工程〉

まず、図 5 の (a) に示すように、ガラス基板 1 2 1 上の所定の位置に、遮光膜 1 1 6 を作製する。具体的には、スパッタ法によってガラス基板 1 2 1 上に堆積形成された金属膜を、フォトリソ法などによってパターニングすることにより、後の工程で形成する半導体層と重なる位置に遮光膜 1 1 6 を作製する。また、この工程において遮光膜 1 1 6 と同様の方法で、ガラス基板 1 2 1 上に配線 1 1 7 およびバスライン 1 1 8 も作製する。遮光膜 1 1 6、配線 1 1 7 およびバスライン 1 1 8 が同じ材料の場合は、一体化して同時に作製することができる。

[0055] 〈第 1 ベースコート膜 1 2 2 a 作製工程〉

続いて、図 5 の (b) に示すように、遮光膜 1 1 6、配線 1 1 7 およびバスライン 1 1 8 が作製されたガラス基板 1 2 1 上に、第 1 ベースコート膜 1 2 2 a を作製する。具体的には、遮光膜 1 1 6、配線 1 1 7 およびバスライン 1 1 8 が作製されたガラス基板 1 2 1 上に、均一な膜厚の第 1 ベースコート膜 1 2 2 a を成長させる。第 1 ベースコート膜 1 2 2 a は、ガラス基板 1 2 1 からの汚染をブロックするためのものであり、例えば窒化シリコン膜からなる。

[0056] 〈第 2 ベースコート膜 1 2 2 b 作製工程〉

続いて、図5の(c)に示すように、第1ベースコート膜122a上に、第2ベースコート膜122bを作製する。具体的には、第1ベースコート膜122a上に、均一な膜厚の第2ベースコート膜122bを成長させる。第2ベースコート膜122bは、次工程で作製する半導体層との界面の安定性を保つためのものであり、例えば酸化シリコン膜からなる。

[0057] 〈半導体層作製工程〉

続いて、第2ベースコート膜122b上に、フォトダイオード115となる半導体層を作製する。具体的には、まず、図5の(d)に示すように、第2ベースコート膜122b上に、均一な膜厚のアモルファスシリコン(a-Si)膜115'を成長させる。そして、これ以後は図示はしないが、レーザアニールなどによってポリシリコン化した後、パターニングを行うなどして、半導体層を作製する。

[0058] このように半導体層が作製された後は、従来の一般的な製造方法によってゲート酸化膜126や層間絶縁膜127などが順番に作製されることにより、図3に示すように、センサー部112が完成する。半導体層(フォトダイオード115)よりも下層に配置された遮光膜116は、遮光膜116と同層に作製された配線117およびバスライン118によって、全て同電位となっている。

[0059] 以上のように、本実施の形態の液晶パネル100、具体的にはアクティブマトリクス基板は、表示部111を避けるように、全ての遮光膜116を電氣的に接続する配線117およびバスライン118が設けられた構成を備えている。

[0060] 従来、画素に受光素子および遮光膜を備えた構成を有する液晶パネルの製造工程において、工程を流動している途中にESD破壊が発生するという問題点があった。そこで鋭意検証した結果、本発明者は、この原因は、受光素子の半導体層を形成するためのイオン注入工程においてガラス基板が帯電し、そのガラス基板を搬送する際に、搬送ロボットのピン位置において剥離帯電が発生するためと見出した。そして、解析状況からは、遮光膜上の半導体

層およびゲート酸化膜がESD破壊されていることを確認した。遮光膜は、半導体層毎に設けられており、電位がフローティング状態となっている。ゆえに、遮光膜—遮光膜間においてESDが発生したと推測した。

[0061] よって、本実施形態では上記の構成とすることにより、全ての遮光膜116は同電位となるので、従来において遮光膜—遮光膜間で発生していたESDを無くすることが可能となる。したがって、ESD破壊の発生を低減することが可能となる。

[0062] また、各遮光膜116は、図2に示すように、平面視でフォトダイオード115すなわち半導体層全体と重なるような配置および形状となっている。このように、遮光膜116は、平面視でフォトダイオード115が遮光膜116の内部に位置するように（半導体層を囲んでいるように）配置されていることにより、遮光膜116を電氣的なシールドとすることで、半導体層をESDから一層保護する構造とすることが可能となる。

[0063] なお、遮光膜116の平面視形状は、矩形形状に限らない。また、配線117およびバスライン118は、遮光膜116を一筆書きの状態とするように設けられていればよい。例えば、図1に示した配置とは逆の配置とすることもできる。この場合、配線117を垂直方向に延伸するように列毎に設けるとともに、バスライン118を水平方向に延伸するように、アクティブエリア101と端子部104との間、および、その反対側のアクティブエリア101の周辺に設けることができる。配線117は、画素105内の表示部111とセンサー部112との配置関係に応じて、表示部111を避けるように配置すればよい。また、バスライン118も、表示部111を避けるように、アクティブエリア101の周辺に配置すればよい。

[0064] また、上記アクティブマトリクス基板では、フォトダイオード115として、PIN接合型のフォトダイオードを用いたが、PN接合型などのフォトダイオードを用いることもできる。さらには、受光素子（センサー用素子）としてはフォトダイオード115に限らず、例えば容量などを用いてもよい。

[0065] 〔実施の形態２〕

前記実施の形態１では、液晶パネル１００内部での各遮光膜１１６を同電位とすることで、ＥＳＤの発生を低減させる効果について説明した。しかし、ガラス基板の帯電量がより大きくなった場合、個片化前のガラスの大板に複数配置されているパネル間の遮光膜－遮光膜間において、ＥＳＤが発生することが考えられる。それゆえ、個片化前の液晶パネル１００において、ＥＳＤの発生を低減させることができる構成が望まれる。

[0066] 本発明の他の実施の形態について図面に基づいて説明すれば、以下の通りである。なお、本実施の形態において説明すること以外の構成は、前記実施の形態１と同じである。また、説明の便宜上、前記の実施の形態１の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

[0067] 図６は、本実施の形態のガラス基板２００の一構成例を示す平面図である。なお、図６では、配線１１７、バスライン１１８および配線２０３のレイアウトを明示するために、これら以外の部材の図示は適宜省略している。図７は、図６のガラス基板２００におけるアクティブマトリクス基板２０１の拡大図である。

[0068] 図６に示すように、ガラス基板２００は、１枚の大きな素ガラス（マザーガラス）にＴＦＴなどの電気回路が形成されることにより、アクティブマトリクス基板２０１がマトリクス状に配置された構成を有している。ここでは、３行×３列の計９個のアクティブマトリクス基板２０１が配置されているが、あくまでも一例である。アクティブマトリクス基板２０１は、前記実施の形態１のアクティブマトリクス基板の構成のうちゲートドライバ１０２およびセンサードライバ１０３を除いた構成を有する。なお、ガラス基板２００は、最終的に、個々のアクティブマトリクス基板２０１を切り出すように切断される。そのため、アクティブマトリクス基板２０１は、その周囲に切断しろ２０２を含んで配置されている。

[0069] また、ガラス基板２００には、配線２０３（基板間配線）が設けられてい

る。配線 203 は、各アクティブマトリクス基板 201 におけるバスライン 118 と連結することで、バスライン 118 と電氣的に接続されている。配線 203 は、切断しろ 202 内であって、かつバスライン 118 と同層に配置されている。一方、各アクティブマトリクス基板 201 では、バスライン 118 が、端子部 104 を通って、アクティブマトリクス基板 201 外まで（切断しろ 202 領域内に）引き出されている。

[0070] よって、ガラス基板 200 では、配線 203 が設けられていることにより、ガラス基板 200 内の全ての遮光膜層は同電位となる。よって、ガラス基板の帯電量がより大きくなった場合であっても、ガラス基板 200 では、各アクティブマトリクス基板 201 間の遮光膜－遮光膜間における ESD の発生を防止することが可能となる。したがって、ESD 破壊の発生を低減することが可能となる。また、前記実施の形態 1 よりも、さらに ESD に対する耐性を向上させることが可能となる。

[0071] なお、ガラス基板 200 をパネル単位に分断する際に、配線 203 が設けられた切断しろ 202 は切り落とされ、廃棄される。また、上述したアクティブマトリクス基板 201 には、アクティブエリア 101 のみが備えられていたが、周辺のドライバが備えられていてもよい。

[0072] 〔実施の形態 3〕

本発明の他の実施の形態について図面に基づいて説明すれば、以下の通りである。なお、本実施の形態において説明すること以外の構成は、前記実施の形態 1、2 と同じである。また、説明の便宜上、前記の実施の形態 1、2 の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

[0073] 図 8 は、本実施の形態の液晶パネルの一構成例を示すものであり、アクティブマトリクス基板における遮光膜 116 が形成されている層の構成を示す平面図である。なお、図 4 では、遮光膜 116 のレイアウトを明示するために、遮光膜 116、配線 117、およびバスライン 118 以外の部材の図示は省略している。

- [0074] 本実施の形態の液晶パネルは、前記実施の形態１の液晶パネル１００と比較して、遮光膜１１６形成層の構成以外は同様の構成を有する。すなわち、図８に示すように、本実施の形態の液晶パネルでは、アクティブマトリクス基板の遮光膜１１６形成層において、ゲートドライバ１０２内のＴＦＴの下部に、遮光膜１１９（第２遮光膜）が設けられている。遮光膜１１９をＴＦＴの下部に配置することで、バックライト光によるオフ電流の増加を低減することができる。
- [0075] また、遮光膜１１９は、バスライン１１８と連結することで、バスライン１１８と電氣的に接続されている。これにより、遮光膜１１９を配置したことによるＥＳＤの発生を低減し、パネル周辺に配置されているドライバのＴＦＴについても半導体層の保護を行うことが可能となる。
- [0076] なお、図８では、遮光膜１１９はゲートドライバ１０２内全域に設けられているが、ゲートドライバ１０２などのドライバ部は、画素１０５の表示特性に影響しないので、遮光膜１１９のレイアウトは、ドライバ部のＴＦＴの半導体層を含んでいれば、どのようなレイアウトでも可能である。例えば、個々に遮光膜１１９を配置させた場合は、適宜配線を設けて、バスライン１１８を接続すればよい。また、図示はしていないが、センサードライバ１０３においてもＴＦＴで構成されている場合は、同様に、当該ＴＦＴの下部に設けた遮光膜をバスライン１１８に電氣的に接続させることが望ましい。
- [0077] また、ＴＦＴがトップゲート構造の場合には、遮光層を持った同様の構造をゲート配線形成までは作成できないため、ＴＦＴ作製工程の一番最初に、ＥＳＤ対策配線として遮光膜１１９および配線を形成することが有効である。
- [0078] さらに、遮光膜１１９の電位がＴＦＴの動作状態によって変化してしまうため、遮光膜１１９は適当な固定電位とすることが望ましい。遮光膜１１９への電圧は、例えば、ソースライン１１４との間にコンタクトを形成することで、ソースライン１１４から供給することができる。
- [0079] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した

範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0080] 本発明のアクティブマトリクス基板は、複数の画素がマトリクス状に配置されたアクティブエリアを備えるアクティブマトリクス基板であって、上記各画素は、画像を表示するための表示部と、光を検出するためのセンサ一部とを含み、上記複数の画素から規則的に予め抽出された各画素の上記センサ一部には、受光素子および第 1 遮光膜が設けられ、上記第 1 遮光膜は、上記受光素子よりも下層であって、かつ、上記アクティブマトリクス基板に垂直な方向から見たとき該受光素子と重なるように配置され、上記表示部を避けるように、全ての上記第 1 遮光膜を電氣的に接続する配線が設けられている構成を有する。

[0081] また、配線を効果的に配置させるために、本発明のアクティブマトリクス基板は、上記配線は、上記アクティブエリア内における上記第 1 遮光膜と同層に配置され、各行における各画素に設けられた上記第 1 遮光膜を連結する第 1 配線と、上記アクティブエリアの周辺における上記第 1 遮光膜と同層に配置され、上記各第 1 配線を連結する第 2 配線とを含むことが望ましい。

[0082] あるいは、本発明のアクティブマトリクス基板は、上記配線は、上記アクティブエリア内における上記第 1 遮光膜と同層に配置され、各列における各画素に設けられた上記第 1 遮光膜を連結する第 3 配線と、上記アクティブエリアの周辺における上記第 1 遮光膜と同層に配置され、上記各第 3 配線を連結する第 4 配線とを含む構成とすることもできる。

[0083] また、本発明のアクティブマトリクス基板は、上記第 1 遮光膜は、上記アクティブマトリクス基板に垂直な方向から見たとき、上記受光素子が該第 1 遮光膜の内部に位置するように配置されていることが好ましい。これにより、第 1 遮光膜を電氣的なシールドとすることで、半導体層を ESD から一層保護する構造とすることが可能となる。

[0084] また、本発明のアクティブマトリクス基板は、上記アクティブエリアの周

辺に、上記複数の画素を駆動するドライバがモノリシックに形成され、上記ドライバは、少なくとも1つの薄膜トランジスタを含んで構成され、上記ドライバには、第2遮光膜が設けられ、上記第2遮光膜は、上記薄膜トランジスタよりも下層であって、かつ、上記アクティブマトリクス基板に垂直な方向から見たとき該薄膜トランジスタと重なるように配置されるとともに、上記配線と電氣的に接続されていることが好ましい。

- [0085] 上記の構成によれば、第2遮光膜を薄膜トランジスタの下部に配置することで、バックライト光によるオフ電流の増加を低減することが可能となる。また、第2遮光膜は配線と電氣的に接続されているので、第2遮光膜を配置したことによるESDの発生を低減し、アクティブエリアの周辺に形成されているドライバの薄膜トランジスタについても半導体層の保護を行うことが可能となる。

産業上の利用可能性

- [0086] 本発明は、遮光膜を備えた光センサー機種のアクティブマトリクス基板に関する分野に好適に用いることができるだけでなく、アクティブマトリクス基板の製造方法に関する分野に好適に用いることができ、さらには、アクティブマトリクス基板を備える液晶パネル、液晶パネルを備える液晶表示装置、液晶表示装置を備える電子機器、および、それらの製造方法などの分野にも広く用いることができる。

符号の説明

- [0087] 100 液晶パネル
101 アクティブエリア
102 ゲートドライバ（ドライバ）
103 センサードライバ（ドライバ）
104 端子部
105 画素
111 表示部
112 センサー部

- 1 1 5 フォトダイオード（受光素子）
- 1 1 6 遮光膜（第 1 遮光膜）
- 1 1 7 配線（第 1 配線、第 3 配線）
- 1 1 8 バスライン（配線、第 2 配線、第 4 配線）
- 1 1 9 遮光膜（第 2 遮光膜）
- 2 0 0 ガラス基板
- 2 0 1 アクティブマトリクス基板
- 2 0 2 切断しろ
- 2 0 3 配線（基板間配線）

請求の範囲

- [請求項1] 複数の画素がマトリクス状に配置されたアクティブエリアを備えるアクティブマトリクス基板であって、
- 上記各画素は、画像を表示するための表示部と、光を検出するためのセンサー部とを含み、
- 上記複数の画素から規則的に予め抽出された各画素の上記センサー部には、受光素子および第1遮光膜が設けられ、
- 上記第1遮光膜は、上記受光素子よりも下層であって、かつ、上記アクティブマトリクス基板に垂直な方向から見たとき該受光素子と重なるように配置され、
- 上記表示部を避けるように、全ての上記第1遮光膜を電氣的に接続する配線が設けられていることを特徴とするアクティブマトリクス基板。
- [請求項2] 上記配線は、
- 上記アクティブエリア内において上記第1遮光膜と同層に配置され、各行における各画素に設けられた上記第1遮光膜を連結する第1配線と、
- 上記アクティブエリアの周辺において上記第1遮光膜と同層に配置され、上記各第1配線を連結する第2配線とを含むことを特徴とする請求項1に記載のアクティブマトリクス基板。
- [請求項3] 上記配線は、
- 上記アクティブエリア内において上記第1遮光膜と同層に配置され、各列における各画素に設けられた上記第1遮光膜を連結する第3配線と、
- 上記アクティブエリアの周辺において上記第1遮光膜と同層に配置され、上記各第3配線を連結する第4配線とを含むことを特徴とする請求項1に記載のアクティブマトリクス基板。
- [請求項4] 上記第1遮光膜は、上記アクティブマトリクス基板に垂直な方向か

ら見たとき、上記受光素子が該第 1 遮光膜の内部に位置するように配置されていることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載のアクティブマトリクス基板。

[請求項5] 上記アクティブエリアの周辺に、上記複数の画素を駆動するドライバがモノリシックに形成され、

 上記ドライバは、少なくとも 1 つの薄膜トランジスタを含んで構成され、

 上記ドライバには、第 2 遮光膜が設けられ、

 上記第 2 遮光膜は、上記薄膜トランジスタよりも下層であって、かつ、上記アクティブマトリクス基板に垂直な方向から見たとき該薄膜トランジスタと重なるように配置されるとともに、上記配線と電氣的に接続されていることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載のアクティブマトリクス基板。

[請求項6] 複数のアクティブマトリクス基板が、該各アクティブマトリクス基板の周囲に切断しろを含んでマトリクス状に配置されたガラス基板であって、

 上記各アクティブマトリクス基板は、請求項 1 ～ 5 のいずれか 1 項に記載のアクティブマトリクス基板であり、

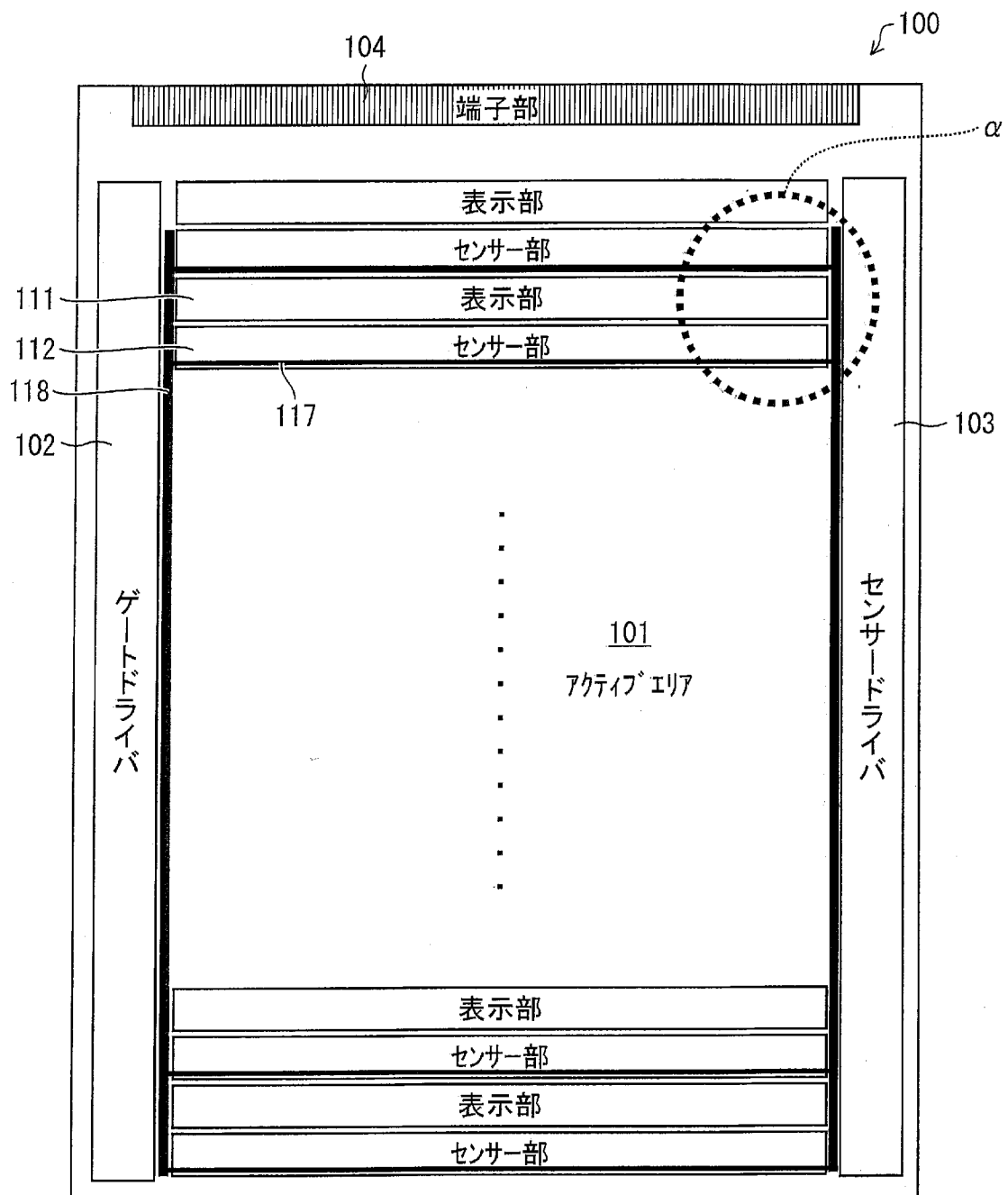
 上記各アクティブマトリクス基板の配線は、上記切断しろ内に引き出され、

 上記切断しろには、上記各アクティブマトリクス基板の配線全てを電氣的に接続する基板間配線が設けられていることを特徴とするガラス基板。

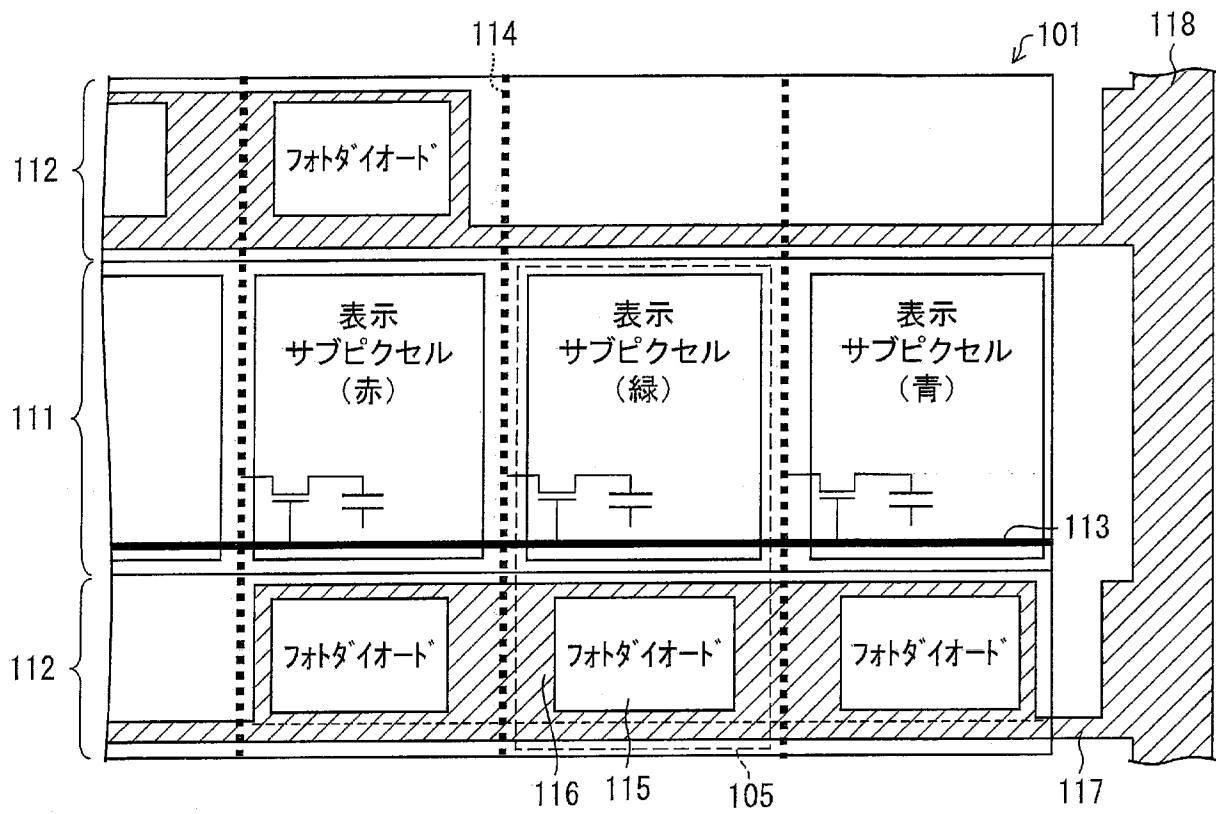
[請求項7] 請求項 1 ～ 5 のいずれか 1 項に記載のアクティブマトリクス基板を備えることを特徴とする液晶パネル。

[請求項8] 請求項 7 に記載の液晶パネルと光源装置とを備えることを特徴とする液晶表示装置。

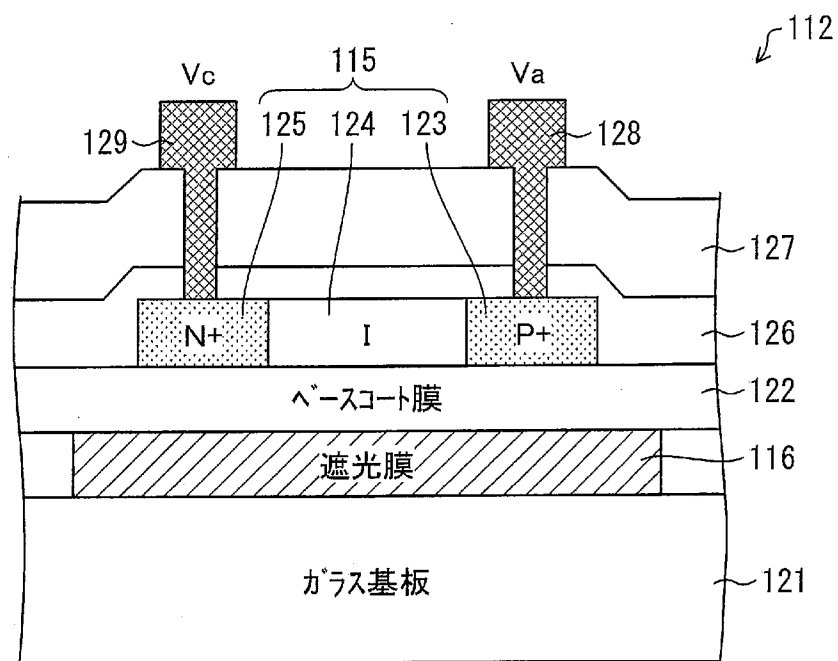
[図1]



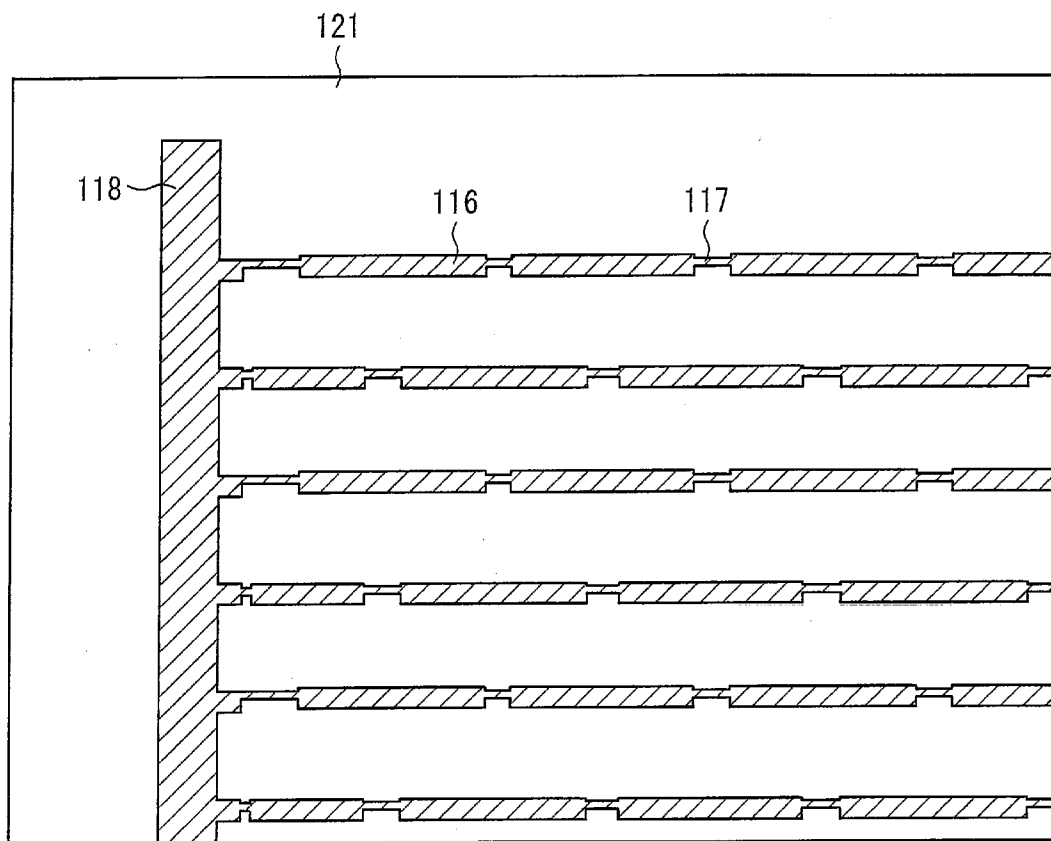
[図2]



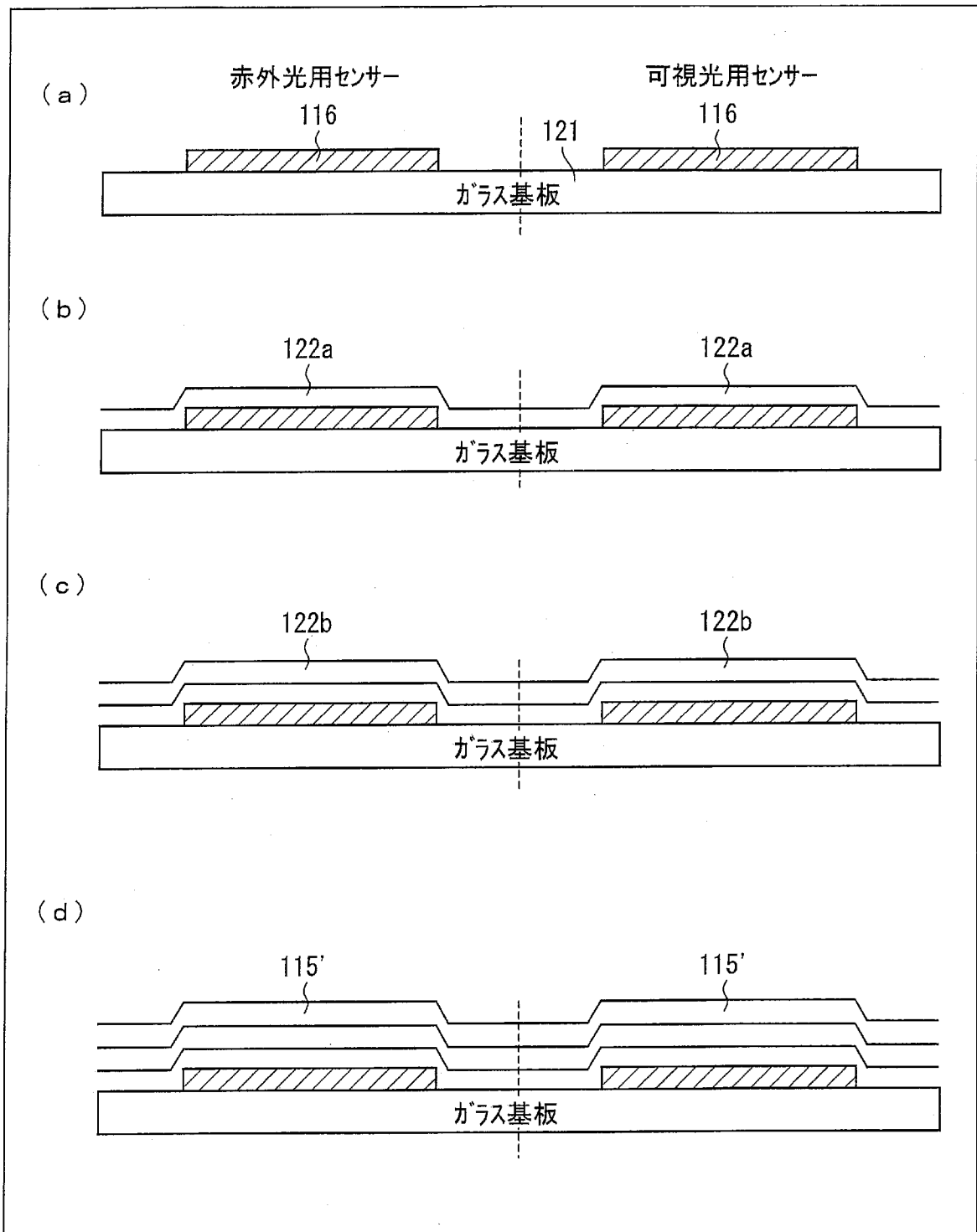
[図3]



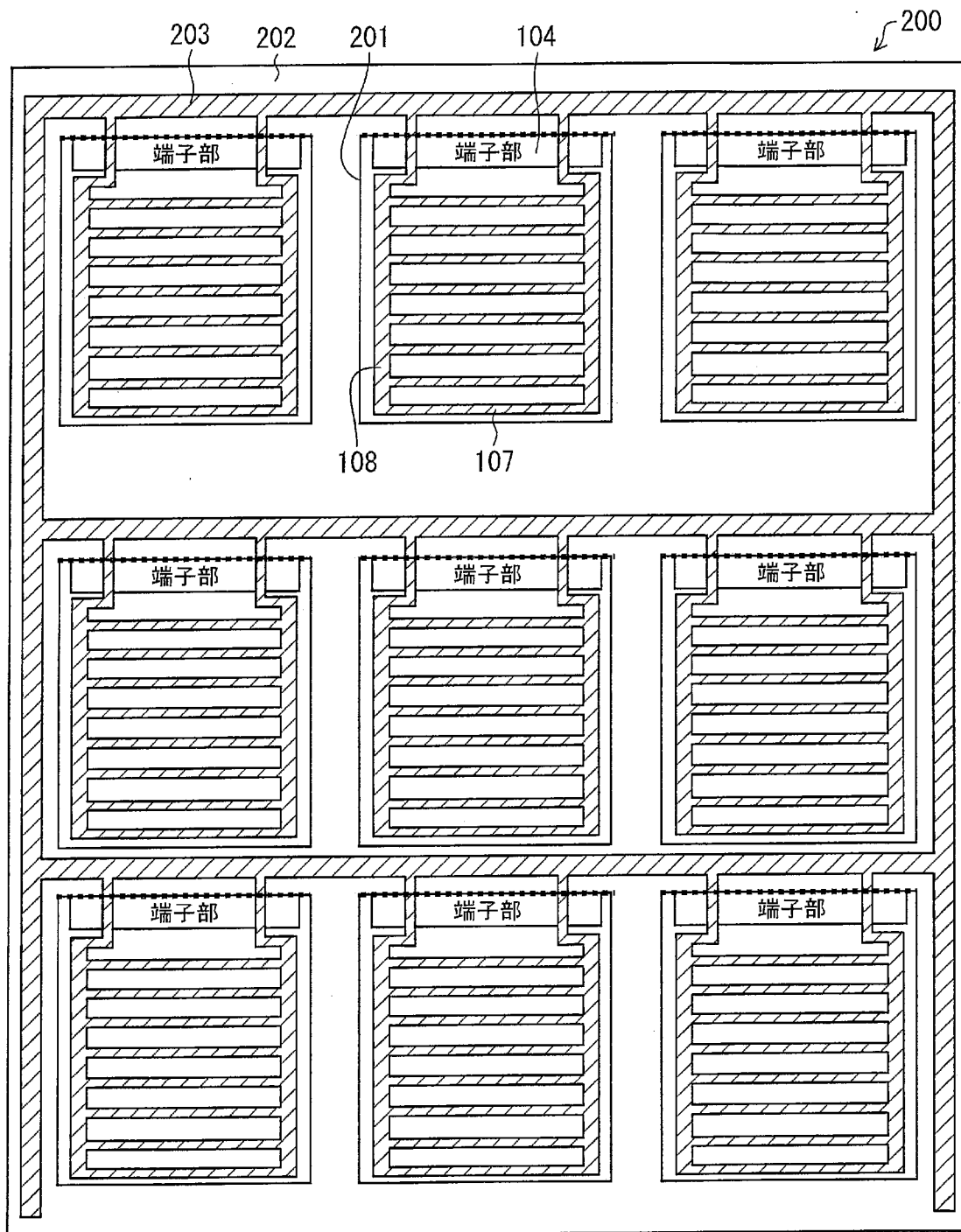
[図4]



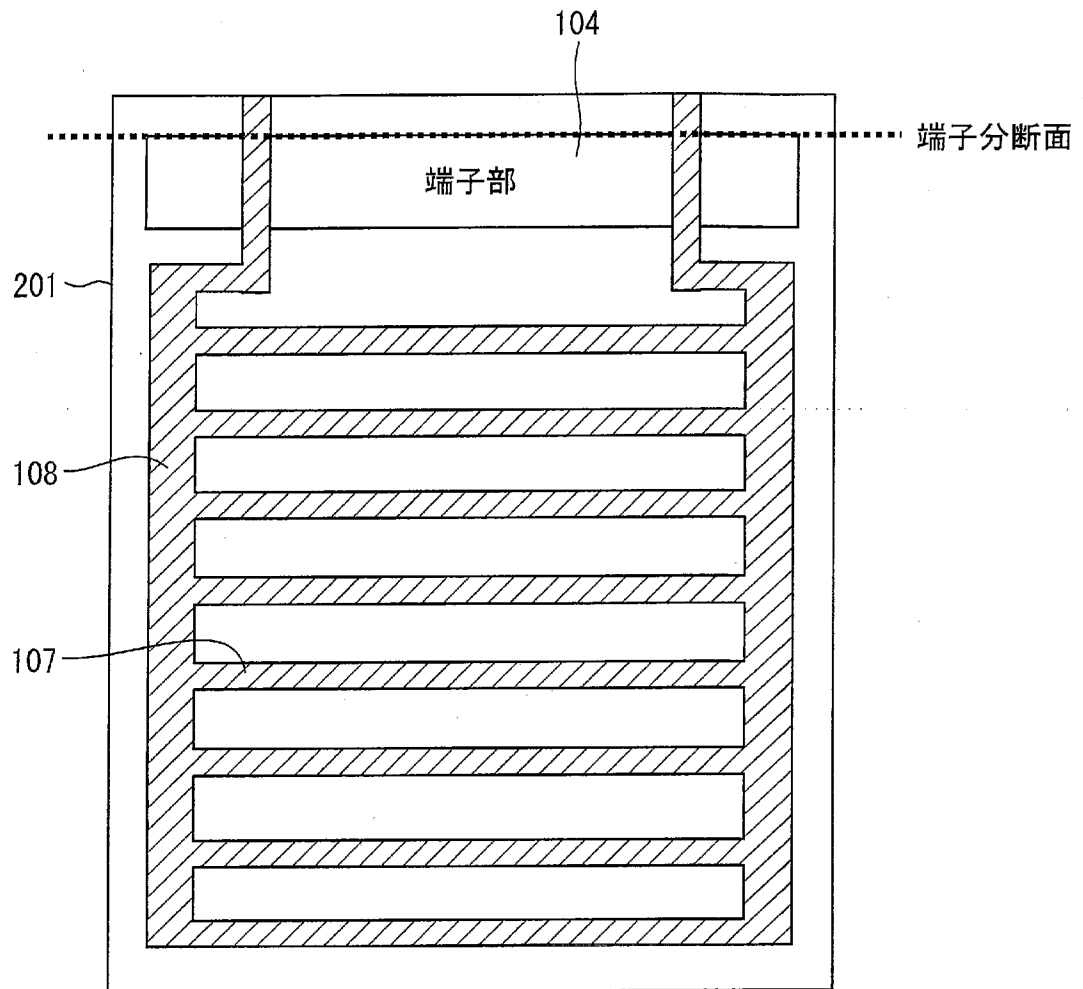
[図5]



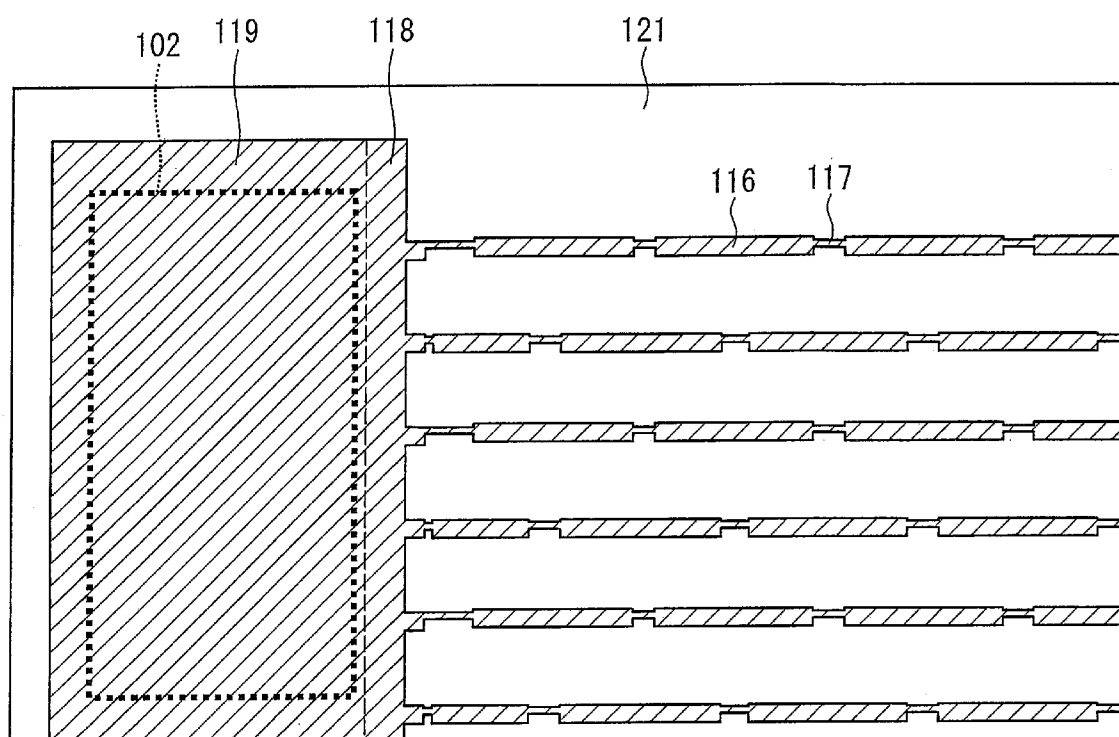
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/070230

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1343(2006.01)i, G02F1/1333(2006.01)i, G02F1/1362(2006.01)i,
H01L27/146(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1343, G02F1/1333, G02F1/1362, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-209563 A (Seiko Epson Corp.), 11 September 2008 (11.09.2008), paragraphs [0032], [0033], [0049], [0066], [0076]; fig. 1, 4, 5, 6 (Family: none)	1-4, 7, 8 5, 6
Y	JP 2003-195356 A (Seiko Epson Corp.), 09 July 2003 (09.07.2003), paragraphs [0056], [0057], [0074]; fig. 6, 7 (Family: none)	5
Y	JP 2009-205084 A (Hitachi Displays, Ltd.), 10 September 2009 (10.09.2009), paragraphs [0084], [0085]; fig. 13 (Family: none)	6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 December, 2010 (10.12.10)

Date of mailing of the international search report
21 December, 2010 (21.12.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/070230

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-139565 A (Sony Corp.), 25 June 2009 (25.06.2009), entire text; all drawings (Family: none)	1-8
A	JP 2003-273361 A (Sharp Corp.), 26 September 2003 (26.09.2003), entire text; all drawings (Family: none)	1-8
A	JP 2003-177427 A (Seiko Epson Corp.), 27 June 2003 (27.06.2003), entire text; all drawings & US 2003/0076459 A1 & EP 1306716 A2 & TW 266135 B & KR 10-2003-0029037 A & CN 1410805 A	1-8

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02F1/1343 (2006.01) i, G02F1/1333 (2006.01) i, G02F1/1362 (2006.01) i, H01L27/146 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F1/1343, G02F1/1333, G02F1/1362, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-209563 A (セイコーエプソン株式会社) 2008.09.11, 【0032】、【0033】、【0049】、【0066】、【0076】、【図1】、【図4】、【図5】、 【図6】 (ファミリーなし)	1 - 4、7、 8 5、6
Y		
Y	JP 2003-195356 A (セイコーエプソン株式会社) 2003.07.09, 【0056】、【0057】、【0074】、【図6】、【図7】 (ファミリーなし)	5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 1 2 . 2 0 1 0

国際調査報告の発送日

2 1 . 1 2 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

森江 健蔵

2 L

4 4 6 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 9 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-205084 A (株式会社日立ディスプレイズ) 2009. 09. 10, 【0084】、【0085】、【図 13】 (ファミリーなし)	6
A	JP 2009-139565 A (ソニー株式会社) 2009. 06. 25, 全文、全図 (ファミリーなし)	1 - 8
A	JP 2003-273361 A (シャープ株式会社) 2003. 09. 26, 全文、全図 (ファミリーなし)	1 - 8
A	JP 2003-177427 A (セイコーエプソン株式会社) 2003. 06. 27, 全文、全図 & US 2003/0076459 A1 & EP 1306716 A2 & TW 266135 B & KR 10-2003-0029037 A & CN 1410805 A	1 - 8