

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6110537号
(P6110537)

(45) 発行日 平成29年4月5日(2017.4.5)

(24) 登録日 平成29年3月17日(2017.3.17)

(51) Int.Cl.

F I

G 1 1 C 11/405 (2006.01)
H O 1 L 21/8242 (2006.01)
H O 1 L 27/108 (2006.01)
H O 1 L 29/786 (2006.01)

G 1 1 C 11/34 3 5 2 B
H O 1 L 27/10 3 2 1
H O 1 L 29/78 6 1 8 B
H O 1 L 29/78 6 1 3 B

請求項の数 4 (全 46 頁)

(21) 出願番号 特願2016-53726 (P2016-53726)
(22) 出願日 平成28年3月17日(2016.3.17)
(62) 分割の表示 特願2014-226567 (P2014-226567)
の分割
原出願日 平成23年2月17日(2011.2.17)
(65) 公開番号 特開2016-157507 (P2016-157507A)
(43) 公開日 平成28年9月1日(2016.9.1)
審査請求日 平成28年3月18日(2016.3.18)
(31) 優先権主張番号 特願2010-35385 (P2010-35385)
(32) 優先日 平成22年2月19日(2010.2.19)
(33) 優先権主張国 日本国(JP)
(31) 優先権主張番号 特願2010-64048 (P2010-64048)
(32) 優先日 平成22年3月19日(2010.3.19)
(33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 松崎 隆徳
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 加藤 清
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 井上 広樹
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 長塚 修平
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、
前記第2のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、
前記第2のトランジスタのソース又はドレインの一方は、前記容量素子と電気的に接続され、
前記容量素子の容量値は、前記第1のトランジスタのゲート容量の容量値以上である半導体装置の作製方法であって、

前記第2のトランジスタは、酸化物半導体膜にチャネル形成領域を有し、
前記酸化物半導体膜は、脱水処理又は脱水素化処理を行う第1の工程と、酸素を供給して酸素欠損を補填する第2の工程と、を経て形成されたものであることを特徴とする半導体装置の作製方法。

【請求項2】

第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、
前記第2のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、
前記第2のトランジスタのソース又はドレインの一方は、前記容量素子と電気的に接続され、

前記容量素子を構成する絶縁層による抵抗値は、前記第2のトランジスタがオフ状態で

ある場合のソースとドレインの間の抵抗値以上である半導体装置の作製方法であって、

前記第2のトランジスタは、酸化物半導体膜にチャネル形成領域を有し、

前記酸化物半導体膜は、脱水処理又は脱水素化処理を行う第1の工程と、酸素を供給して酸素欠損を補填する第2の工程と、を経て形成されたものであることを特徴とする半導体装置の作製方法。

【請求項3】

第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、

前記第2のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記容量素子と電氣的に接続され、

前記第1のトランジスタがオン状態の時のゲート絶縁層による抵抗値は、前記第2のトランジスタがオフ状態である場合のソースとドレインの間の抵抗値以上である半導体装置の作製方法であって、

前記第2のトランジスタは、酸化物半導体膜にチャネル形成領域を有し、

前記酸化物半導体膜は、脱水処理又は脱水素化処理を行う第1の工程と、酸素を供給して酸素欠損を補填する第2の工程と、を経て形成されたものであることを特徴とする半導体装置の作製方法。

【請求項4】

第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、

前記第2のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記容量素子と電氣的に接続され、

前記容量素子の容量値は、前記第1のトランジスタのゲート容量の容量値以上であり、

前記容量素子を構成する絶縁層による抵抗値は、前記第2のトランジスタがオフ状態である場合のソースとドレインの間の抵抗値以上であり、

前記第1のトランジスタがオン状態の時のゲート絶縁層による抵抗値は、前記第2のトランジスタがオフ状態である場合のソースとドレインの間の抵抗値以上である半導体装置の作製方法であって、

前記第2のトランジスタは、酸化物半導体膜にチャネル形成領域を有し、

前記酸化物半導体膜は、脱水処理又は脱水素化処理を行う第1の工程と、酸素を供給して酸素欠損を補填する第2の工程と、を経て形成されたものであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその駆動方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情

10

20

30

40

50

報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流（オフ電流）等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

揮発性記憶装置の別の例としてはSRAM（Static Random Access Memory）がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

10

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

20

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【0008】

また、フローティングゲートに電荷を注入させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の注入、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

40

【課題を解決するための手段】

【0011】

開示する発明では、トランジスタのオフ電流を十分に小さくすることができる材料、例えば、ワイドギャップ半導体である酸化物半導体材料を用いて半導体装置を構成する。トランジスタのオフ電流を十分に小さくすることができる半導体材料を用いることで、長期間にわたって情報を保持することが可能である。

【0012】

また、信号線の電位変化のタイミングを、書き込みワード線の電位変化のタイミングより

50

遅らせる。これによって、データの書き込みミスを防ぐことが可能である。

【0013】

本発明の一態様は、書き込みワード線と、読み出しワード線と、ビット線と、ソース線と、信号線と、複数のメモリセルでなるメモリセルアレイと、第1の駆動回路と、第2の駆動回路と、を有し、メモリセルの一は、第1のゲート電極、第1のソース電極、第1のドレイン電極、及び第1のチャンネル形成領域を含む第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極、及び第2のチャンネル形成領域を含む第2のトランジスタと、容量素子と、を有し、第1のチャンネル形成領域は、第2のチャンネル形成領域とは異なる半導体材料を含んで構成され、第1のゲート電極と、第2のドレイン電極と、容量素子の電極の一方と、は電氣的に接続されて電荷が保持されるノードを構成し、第1の駆動回路は、ビット線を介して、第1のドレイン電極と電氣的に接続され、また、信号線を介して、第2のソース電極と電氣的に接続され、第2の駆動回路は、読み出しワード線を介して容量素子の電極の他方と電氣的に接続され、また、書き込みワード線を介して、第2のゲート電極と電氣的に接続され、第2の駆動回路は、書き込みワード線に入力される信号よりも信号線に入力される信号を遅らせる機能を有する半導体装置である。

10

【0014】

また、本発明の一態様は、書き込みワード線と、読み出しワード線と、ビット線と、ソース線と、信号線と、複数のメモリセルでなるメモリセルアレイと、第1の駆動回路と、第2の駆動回路と、遅延回路と、を有し、メモリセルの一は、第1のゲート電極、第1のソース電極、第1のドレイン電極、及び第1のチャンネル形成領域を含む第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極、及び第2のチャンネル形成領域を含む第2のトランジスタと、容量素子と、を有し、第1のチャンネル形成領域は、第2のチャンネル形成領域とは異なる半導体材料を含んで構成され、第1のゲート電極と、第2のドレイン電極と、容量素子の電極の一方と、は電氣的に接続されて電荷が保持されるノードを構成し、第1の駆動回路は、ビット線を介して、第1のドレイン電極と電氣的に接続され、また、信号線を介して、第2のソース電極と電氣的に接続され、第2の駆動回路は、読み出しワード線を介して容量素子の電極の他方と電氣的に接続され、また、書き込みワード線を介して、第2のゲート電極と電氣的に接続され、遅延回路は信号線と電氣的に接続される半導体装置である。

20

【0015】

また、本発明の一態様は、書き込みワード線と、読み出しワード線と、ビット線と、ソース線と、信号線と、複数のメモリセルでなるメモリセルアレイと、第1の駆動回路と、第2の駆動回路と、を有し、メモリセルの一は、第1のゲート電極、第1のソース電極、第1のドレイン電極、及び第1のチャンネル形成領域を含む第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極、及び第2のチャンネル形成領域を含む第2のトランジスタと、容量素子と、を有し、第1のチャンネル形成領域は、第2のチャンネル形成領域とは異なる半導体材料を含んで構成され、第1のゲート電極と、第2のドレイン電極と、容量素子の電極の一方と、は電氣的に接続されて電荷が保持されるノードを構成し、第1の駆動回路は、ビット線を介して、第1のドレイン電極と電氣的に接続され、また、信号線を介して、第2のソース電極と電氣的に接続され、第2の駆動回路は、読み出しワード線を介して容量素子の電極の他方と電氣的に接続され、また、書き込みワード線を介して、第2のゲート電極と電氣的に接続され、信号線には第1のバッファ回路が接続され、書き込みワード線には第2のバッファ回路が接続され、第1のバッファ回路を構成するトランジスタのチャンネル長は、第2のバッファ回路を構成するトランジスタのチャンネル長より大きい半導体装置である。

30

40

【0016】

また、上記の構成において、第2の駆動回路に電源電位より高い電位を出力する電位変換回路を有する構成としてもよい。

【0017】

また、上記の構成において、ビット線とソース線との間に、前記複数のメモリセルが直列

50

に接続される。

【0018】

また、上記の構成において、ビット線と直列に接続された複数のメモリセルとの間に、配線が電氣的に接続される。

【0019】

また、上記の構成において、ビット線および信号線と出力端子との接続を制御するスイッチと、ビット線および信号線と入力端子との接続を制御するスイッチと、配線と、を有し、ビット線と信号線とは電氣的に接続される。

【0020】

また、上記の構成において、第2のトランジスタの第2のチャンネル形成領域は、酸化物半導体を含んで構成される。

10

【0021】

また、上記の構成において、第2の駆動回路は、電位変換回路、および、書き込みワード線または読み出しワード線と電氣的に接続されたレベルシフト回路を有する。

【0022】

なお、上記において、酸化物半導体を用いてトランジスタを構成することがあるが、開示する発明はこれに限定されない。酸化物半導体と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップ E_g が 3 eV より大きい半導体材料）などを適用しても良い。

【0023】

20

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0024】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0025】

30

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0026】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0027】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

40

【発明の効果】

【0028】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

50

【0029】

また、開示する発明に係る半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

【0030】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせて用いることにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0031】

このように、酸化物半導体以外の材料を用いたトランジスタ（より広義には、十分な高速動作が可能なトランジスタ）と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【図面の簡単な説明】

【0032】

【図1】半導体装置の回路図。

【図2】半導体装置の回路図。

【図3】タイミングチャート図。

【図4】半導体装置の回路図。

【図5】半導体装置の回路図。

【図6】半導体装置の回路図。

【図7】半導体装置の回路図。

【図8】半導体装置の回路図。

【図9】半導体装置の断面図および平面図。

【図10】半導体装置の作製工程に係る断面図。

【図11】半導体装置の作製工程に係る断面図。

【図12】半導体装置の作製工程に係る断面図。

【図13】半導体装置の作製工程に係る断面図。

【図14】半導体装置を用いた電子機器を説明するための図。

【図15】酸化物半導体を用いたトランジスタの特性を示す図。

【図16】酸化物半導体を用いたトランジスタの特性評価用回路図。

【図17】酸化物半導体を用いたトランジスタの特性評価用タイミングチャート図。

【図18】酸化物半導体を用いたトランジスタの特性を示す図。

【図19】酸化物半導体を用いたトランジスタの特性を示す図。

【図20】酸化物半導体を用いたトランジスタの特性を示す図。

【図21】メモリウィンドウ幅の調査結果を示す図。

【図22】半導体装置の回路図。

【図23】半導体装置の回路図。

【図24】半導体装置の回路図。

【図25】半導体装置の回路図

【図26】半導体装置の断面図および平面図

【図27】半導体装置の回路図

【発明を実施するための形態】

10

20

30

40

50

【0033】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0034】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0035】

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0036】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の回路構成および動作について、図1乃至図3を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0037】

〈基本回路〉

はじめに、基本的な回路構成およびその動作について、図1を参照して説明する。図1 (A-1) に示す半導体装置において、第1の配線 (1st Line) とトランジスタ160のドレイン電極 (またはソース電極) とは、電氣的に接続され、第2の配線 (2nd Line) とトランジスタ160のソース電極 (またはドレイン電極) とは、電氣的に接続されている。また、第3の配線 (3rd Line) とトランジスタ162のソース電極 (またはドレイン電極) とは、電氣的に接続され、第4の配線 (4th Line) と、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のドレイン電極 (またはソース電極) は、容量素子164の電極の一方と電氣的に接続され、第5の配線 (5th Line) と、容量素子164の電極の他方は電氣的に接続されている。

【0038】

ここで、トランジスタ162には、例えば、酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ160のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

【0039】

なお、トランジスタ160については特に限定されない。情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

【0040】

また、図1 (B) に示すように、容量素子164を設けない構成とすることも可能である。

【0041】

図1 (A-1) に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0042】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。

これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位を与える電荷（以下、低電位を与える電荷を電荷 Q_L 、高電位を与える電荷を電荷 Q_H という）のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される（保持）。

【0043】

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

10

【0044】

次に、情報の読み出しについて説明する。第2の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第1の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極に Q_H が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極に Q_L が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて Q_H が与えられた場合には、第5の配線の電位が V_0 （ $>V_{th_H}$ ）となれば、トランジスタ160は「オン状態」となる。 Q_L が与えられた場合には、第5の配線の電位が V_0 （ $<V_{th_L}$ ）となっても、トランジスタ160は「オフ状態」のままである。このため、第1の配線の電位を見ることで、保持されている情報を読み出すことができる。

20

【0045】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合には、各メモリセル間でトランジスタ160がそれぞれ並列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を与えればよい。また、各メモリセル間でトランジスタ160がそれぞれ直列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

30

【0046】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ160のゲート電極および容量素子164に与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

40

【0047】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実

50

現される。

【0048】

なお、トランジスタ162のドレイン電極（またはソース電極）は、トランジスタ160のゲート電極と電氣的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。以下において、トランジスタ162のドレイン電極（またはソース電極）とトランジスタ160のゲート電極が電氣的に接続される部位をノードFGと呼ぶ場合がある。トランジスタ162がオフの場合、当該ノードFGは絶縁体中に埋設されたと見ることができ、ノードFGには電荷が保持される。酸化物半導体を用いたトランジスタ162のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ162のリークによる、ノードFGに蓄積された電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ162により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

10

【0049】

例えば、トランジスタ162の室温（25℃）でのオフ電流が10 zA（1 zA（zeptoアンペア）は 1×10^{-21} A）以下であり、容量素子164の容量値が10 fF程度である場合には、少なくとも10⁴秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

【0050】

また、開示する発明の半導体装置においては、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜（トンネル絶縁膜）の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧も不要である。

20

【0051】

図1（A-1）に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図1（A-2）のように考えることが可能である。つまり、図1（A-2）では、トランジスタ160および容量素子164が、それぞれ、抵抗および容量を含んで構成され则认为していることになる。R1およびC1は、それぞれ、容量素子164の抵抗値および容量値であり、抵抗値R1は、容量素子164を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ160の抵抗値および容量値であり、抵抗値R2はトランジスタ160がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量（ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャンネル形成領域との間に形成される容量）の容量値に相当する。

30

【0052】

トランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値（実効抵抗とも呼ぶ）をROSとすると、トランジスタ162のゲートリーク電流が十分に小さい条件において、R1およびR2が、 $R1 \geq ROS$ （R1はROS以上）、 $R2 \geq ROS$ （R2はROS以上）を満たす場合には、電荷の保持期間（情報の保持期間ということもできる）は、主としてトランジスタ162のオフ電流によって決定されることになる。

40

【0053】

逆に、当該条件を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162のオフ電流以外のリーク電流（例えば、トランジスタ160におけるソース電極とゲート電極の間において生じるリーク電流等）が大きいためである。このことから、本実施の形態において開示する半導体装置は、 $R1 \geq ROS$ （R1はROS以上）、および $R2 \geq ROS$ （R2はROS以上）の関係を満たすものであることが望ましいといえる。

【0054】

50

一方で、 $C1$ と $C2$ は、 $C1 \geq C2$ ($C1$ は $C2$ 以上) の関係を満たすことが望ましい。 $C1$ を大きくすることで、第5の配線によってノードFGの電位を制御する際に、第5の配線の電位を効率よくノードFGに与えることができるようになり、第5の配線に与える電位間 (例えば、読み出しの電位と、非読み出しの電位) の電位差を低く抑えることができるためである。

【0055】

このように、上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、 $R1$ および $R2$ は、トランジスタ160のゲート絶縁層や容量素子164の絶縁層によって制御される。 $C1$ および $C2$ についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

10

【0056】

本実施の形態で示す半導体装置においては、ノードFGが、フラッシュメモリ等のフローティングゲート型トランジスタのフローティングゲートと同等の作用をするが、本実施の形態のノードFGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有している。

【0057】

フラッシュメモリでは、コントロールゲートに印加される電位が高いため、その電位が、隣接するセルのフローティングゲートに影響を与えないように、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

20

【0058】

一方、本実施の形態に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【0059】

また、高電界が不要であり、大型の周辺回路 (昇圧回路など) が不要である点も、フラッシュメモリに対するアドバンテージである。例えば、本実施の形態に係るメモリセルに印加される電圧 (メモリセルの各端子に同時に印加される電位の最大のものとの最小のものとの差) の最大値は、2段階 (1ビット) の情報を書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下とすることができる。

30

【0060】

さらに、容量素子164を構成する絶縁層の比誘電率 ϵ_{r1} と、トランジスタ160を構成するゲート絶縁層の比誘電率 ϵ_{r2} とを異ならせる場合には、容量素子164の面積 $S1$ と、トランジスタ160におけるゲート容量を持つ領域の面積 $S2$ とが、 $2 \cdot S2 \geq S1$ ($2 \cdot S2$ は $S1$ 以上)、望ましくは $S2 \geq S1$ ($S2$ は $S1$ 以上) を満たしつつ、 $C1 \geq C2$ ($C1$ は $C2$ 以上) を実現することが容易である。具体的には、例えば、容量素子164を構成する絶縁層においては、酸化ハフニウムなどのhigh-k材料でなる膜、または酸化ハフニウムなどのhigh-k材料でなる膜と酸化物半導体でなる膜との積層構造を採用して ϵ_{r1} を10以上、好ましくは15以上とし、トランジスタ160を構成するゲート絶縁層においては、酸化シリコンを採用して、 $3 \leq \epsilon_{r2} \leq 4$ (ϵ_{r2} は3以上4以下) とすることができる。

40

【0061】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

【0062】

なお、半導体装置の記憶容量を大きくするためには、高集積化以外に、多値化の手法を採ることもできる。例えば、メモリセルの一に3段階以上の情報を書き込む構成とすること

50

で、２段階（１ビット）の情報を書き込む場合と比較して記憶容量を増大させることができる。例えば、上述のような、低電位を与える電荷 Q_L 、高電位を与える電荷 Q_H に加え

、他の電位を与える電荷 Q をトランジスタ１６０のゲート電極に与えることで、多値化を実現することができる。この場合、比較的規模の大きい回路構成（例えば、 $15F^2 \sim 50F^2$ など： F は最小加工寸法）を採用しても十分な記憶容量を確保することができる。

【００６３】

〈応用例１〉

次に、図１に示す回路を応用したより具体的な回路構成および動作について、図２および図３を参照して説明する。

10

【００６４】

図２（Ａ）は、 $(m \times n)$ 個のメモリセル１７０を有する半導体装置の回路図の一例である。図２中のメモリセル１７０の構成は、図１（Ａ－１）と同様である。すなわち、図２（Ｂ）に示すように、図１（Ａ－１）における第１の配線が図２（Ｂ）におけるビット線 BL に相当し、図１（Ａ－１）における第２の配線が図２（Ｂ）におけるソース線 SL に相当し、図１（Ａ－１）における第３の配線が図２（Ｂ）における信号線 S に相当し、図１（Ａ－１）における第４の配線が図２（Ｂ）における書き込みワード線 WWL に相当し、図１（Ａ－１）における第５の配線が図２（Ｂ）における読み出しワード線 RWL に相当する。ただし、図２（Ａ）では、第１行目のメモリセル１７０（１，１）～（１， n ）のみがビット線 BL と直接接続し、第 m 行目のメモリセル１７０（ m ，１）～（ m ， n ）のみがソース線 SL と直接接続する。他の行のメモリセル１７０は、同じ列の他のメモリセル１７０を介してビット線 BL およびソース線 SL と電氣的に接続される。

20

【００６５】

図２に示す半導体装置は、 m 本（ m は２以上の整数）の書き込みワード線 WWL と、 m 本の読み出しワード線 RWL と、 n 本（ n は２以上の整数）のソース線 SL と、 n 本のビット線 BL と、 n 本の信号線 S と、メモリセル１７０が縦 m 個（行）×横 n 個（列）のマトリクス状に配置されたメモリセルアレイと、 n 本のビット線 BL および n 本の信号線 S に接続する第１の駆動回路１９０と、 m 本の書き込みワード線 WWL および m 本の読み出しワード線 RWL に接続する第２の駆動回路１９２と、を有する。第１の駆動回路１９０と第２の駆動回路１９２とは、配線 $WRITE$ および配線 $READ$ によって接続されている。

30

【００６６】

その他、第２の駆動回路１９２には、アドレス選択信号線 A が接続されている。アドレス選択信号線 A は、メモリセルの行方向のアドレスを選択する信号を伝達する配線である。

【００６７】

図２（Ａ）に示す第１の駆動回路１９０および第２の駆動回路１９２について、図２３を参照して説明する。第１の駆動回路１９０と第２の駆動回路１９２とは、配線 $WRITE$ および配線 $READ$ によって接続されている。

【００６８】

第１の駆動回路１９０は、読み出し回路２１１と、制御回路２１２と、遅延回路２１３と、バッファ回路２１４とにより構成されている。入力端子 IN は、制御回路２１２、遅延回路２１３、及びバッファ回路２１４を介して信号線 S に接続されている。また、ビット線 BL に接続される読み出し回路２１１は、出力端子 OUT と接続されている。

40

【００６９】

第２の駆動回路１９２は、デコーダ回路２２１と、制御回路２２２と、バッファ回路２２３、バッファ回路２２４とにより構成されている。アドレス選択信号線 A はデコーダ回路２２１と接続されている。また、デコーダ回路２２１は、制御回路２２２と接続されており、制御回路２２２は、バッファ回路２２３を介して書き込みワード線 WWL に接続されている。また、制御回路２２２は、バッファ回路２２４を介して読み出しワード線 RWL に接続されている。

50

【0070】

データの書き込み、保持、および読み出しは、基本的に図1の場合と同様である。つまり、具体的な書き込みの動作は以下のようになる。なお、ここでは一例として、図2(B)および図23を参照し、ノードFGに電位V1(電源電位VDDより低い電位)または基準電位GNDのいずれかを与える場合について説明するが、ノードFGに与える電位の関係はこれに限られない。また、ノードFGに電位V1を与えた場合に保持されるデータをデータ"1"、ノードFGに基準電位GNDを与えた場合に保持されるデータをデータ"0"とする。

【0071】

まず、データの書き込みは、書き込み対象のメモリセル170に接続される読み出しワード線RWLの電位をGNDとし、書き込みワード線WWLの電位をV2(V1より高い電位、例えばVDD)として書き込み対象のメモリセル170を選択する。

10

【0072】

メモリセル170にデータ"0"を書き込む場合には、信号線SにはGNDを与え、メモリセル170にデータ"1"を書き込む場合には、信号線SにはV2を与える。ここでは書き込みワード線WWLの電位をV2としているため、ノードFGにV1を与えることが可能である。

【0073】

データの保持は、読み出しワード線RWLの電位および書き込みワード線WWLの電位を、GNDとすることにより行われる。

20

【0074】

読み出しワード線RWLの電位をGNDに固定すると、ノードFGの電位は書き込み時の電位に固定される。つまり、ノードFGにデータ"1"であるV1が与えられている場合、ノードFGの電位はV1となり、ノードFGにデータ"0"であるGNDが与えられていれば、ノードFGの電位はGNDとなる。

【0075】

書き込みワード線WWLにはGNDが与えられているため、データ"1"とデータ"0"のいずれが書き込まれた場合でも、トランジスタ162はオフ状態となる。トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

30

【0076】

データの読み出しは、読み出し対象のメモリセル170に接続される読み出しワード線RWLの電位および書き込みワード線WWLの電位をGNDとし、また、読み出し対象ではないメモリセル170に接続される読み出しワード線RWLの電位をV2とし、かつ、書き込みワード線WWLの電位をGNDとすることにより行われる。

【0077】

読み出し対象のメモリセル170に接続される読み出しワード線RWLの電位をGNDとすると、読み出し対象のメモリセル170のノードFGにデータ"1"であるV1が与えられている場合、トランジスタ160はオン状態となる。一方で、ノードFGにデータ"0"であるGNDが与えられていれば、トランジスタ160はオフ状態となる。

40

【0078】

また、読み出し対象ではないメモリセル170に接続される読み出しワード線RWLの電位をV2とし、かつ、書き込みワード線WWLの電位をGNDとすると、読み出し対象ではないメモリセル170にデータ"1"が書き込まれている場合、および、データ"0"が書き込まれている場合のいずれにおいても、トランジスタ160はオン状態となる。

【0079】

つまり、上述の読み出し動作により、読み出し対象のメモリセル170にデータ"1"が書き込まれている場合には、トランジスタ160がオン状態となり、ビット線BLの電位が低下する。また、データ"0"が書き込まれている場合には、トランジスタ160がオフ状態となり、読み出し開始時のビット線BLの電位が維持されるか、または上昇する。

50

【0080】

なお、上述の構成を採用する場合には、データの保持動作およびデータの読み出し動作における読み出しワード線RWLの電位および書き込みワード線WWLの電位はGNDである。つまり、対象列における全てのメモリセル170にデータ”1”が書き込まれている場合には、トランジスタ160がオン状態となり、保持、読み出しの如何に関わらず、ソース線SLとビット線BLが導通してしまう。このため、消費電力の増大が問題になることがある。このような状況に起因する消費電力を十分に抑制するためには、メモリセル170と、ソース線SLまたはビット線BLとの間に選択トランジスタを設けると良い。または、読み出し動作以外において、ソース線SLとビット線BLの電位を等しくすればよい。

10

【0081】

図3には、図2(A)に係る半導体装置のより詳細な動作に係るタイミングチャートの例を示す。タイミングチャート中のREAD、A等の名称は、タイミングチャートに示す電位が与えられる配線を示しており、同様の機能を有する配線が複数ある場合には、配線の名称の末尾に__1、__2等を付すことで区別している。なお、ここでは説明を簡単にするため、メモリセル170が2(行)×2(列)に配列された半導体装置を例に説明するが、開示する発明はこれに限られない。

【0082】

図3に示されるタイミングチャートは、全てのメモリセルにデータ”1”を書き込み(書き込み1)、その後、書き込まれた全データを読み出し(読み出し1)、次に、第1行第1列のメモリセルおよび第2行第2列のメモリセルにデータ”1”を書き込むと共に、第1行第2列のメモリセルおよび第2行第1列のメモリセルにデータ”0”を書き込み(書き込み2)、その後、書き込まれた全データを読み出す(読み出し2)場合の各配線の電位の関係を示すものである。

20

【0083】

書き込み1においては、WRITEを高電位、READを低電位としてメモリセルへの書き込みが行える状態にする。第2の駆動回路192は、A__1、A__2の電位に応じた行選択信号をRWLおよびWWLに出力する。ここでは、A__1が高電位の場合には第1行目が選択され、A__2が高電位の場合には第2行目が選択されることとする。また、選択された行のWWLは、高電位となり、RWLは、選択、非選択にかかわらず低電位となる。

30

【0084】

書き込み1においては、全てのメモリセルにデータ”1”を書き込むため、行選択のタイミングに合わせて、S__1およびS__2を高電位とする。なお、S__1およびS__2の信号入力期間は、WWLの信号入力期間より長くなるようにする。または、S__1およびS__2の信号入力を、WWLの信号入力より遅らせる。S__1およびS__2の信号入力期間が短い、またはS__1およびS__2の信号入力が、WWLの信号入力より早い場合には、メモリセルへの書き込みが不十分となる可能性があるためである。当該動作を実現するためには、例えば、S__1やS__2に遅延回路213を接続して、S__1やS__2の信号入力を、WWLの信号入力より遅らせればよい。または、S__1やS__2に接続されるバッファ回路214を構成するトランジスタのサイズ(例えばチャンネル長)を、WWLに接続されるバッファ回路223を構成するトランジスタのサイズ(例えばチャンネル長)より大きくして、駆動能力を落とすことで、S__1およびS__2の信号入力を、WWLの信号入力より遅らせればよい。または、S__1やS__2に接続されるバッファ回路214を構成するトランジスタのサイズ(例えばチャンネル幅)を、WWLに接続されるバッファ回路223を構成するトランジスタのサイズ(例えばチャンネル幅)より小さくして、駆動能力を落とすことで、S__1およびS__2の信号入力を、WWLの信号入力より遅らせればよい。なお、BL__1およびBL__2の電位は、書き込み時には大きな問題とならない(高電位であっても良いし低電位であっても良い)。

40

【0085】

50

読み出し1においては、WRITEを低電位、READを高電位としてメモリセルからの読み出しが行える状態にする。第2の駆動回路192は、A__1、A__2に応じた行選択信号をRWLおよびWWLに出力する。ここでは、A__1が高電位の場合には第1行目が選択され、A__2が高電位の場合には第2行目が選択される。また、選択された行のRWLは低電位となり、選択されていない行のRWLは高電位となり、WWLは、選択、非選択に関わらず低電位となる。

【0086】

上述の動作により、BL__1およびBL__2には、選択された行のメモリセルに保持されているデータに応じた電位が与えられる。なお、S__1およびS__2の電位は、読み出し時には問題とならない。

10

【0087】

書き込み2における各配線の電位の関係は、書き込み1の場合と同様である。ただし、第1行第1列のメモリセルおよび第2行第2列のメモリセルにデータ"1"を書き込むと共に、第1行第2列のメモリセルおよび第2行第1列のメモリセルにデータ"0"を書き込むために、行選択のタイミングに合わせて、S__1およびS__2を低電位または高電位とする。

【0088】

読み出し2における各配線の電位の関係は、読み出し1の場合と同様である。BL__1およびBL__2には、選択された行のメモリセルに保持されているデータに応じた電位が与えられることがわかる。

20

【0089】

なお、上述の書き込み動作において、書き込みワード線WWLに入力される信号よりも信号線Sに入力される信号を遅らせるためには、例えば、図4に示す遅延回路を第1の駆動回路190内に設け、信号線Sと接続するとよい。遅延回路と信号線Sとを接続することで、書き込みワード線WWLの電位の変化より、信号線Sの電位の変化を遅らせることができ、メモリセル170への書き込みミスを抑制することができる。

【0090】

次に、図23に示す第1の駆動回路190に設けられる遅延回路213について、図4(A)、(B)、(C)、(D)および図22を参照して説明する。

【0091】

30

遅延回路213として、図4(A)に示すような偶数個のインバータを直列に接続した回路を用いることができる。また、図4(B)に示すように、直列に接続した偶数個のインバータに容量素子を付加した構成や、図4(C)に示すように、直列に接続した偶数個のインバータに抵抗を付加した構成としてもよい。さらに、図4(D)に示すように、直列に接続した偶数個のインバータ回路に、抵抗および容量素子を付加した構成としてもよい。

【0092】

または、上述の書き込み動作において、書き込みワード線WWLに入力される信号よりも信号線Sに入力される信号を遅らせるために、第1の駆動回路190および第2の駆動回路192に設けられるバッファ回路において、第1の駆動回路190が有するバッファ回路214のトランジスタのサイズ(例えば、チャンネル長)を、第2の駆動回路192が有するバッファ回路223のトランジスタのサイズより大きくしても良い。または、第1の駆動回路190が有するバッファ回路214のトランジスタのサイズ(例えば、チャンネル幅)を、第2の駆動回路192が有するバッファ回路223のトランジスタのサイズ(例えば、チャンネル幅)より小さくしても良い。この場合にも、書き込みワード線WWLの電位の変化より、信号線Sの電位の変化を遅らせることができ、メモリセル170への書き込みミスを抑制することができる。

40

【0093】

次に、図23に示す第2の駆動回路192に設けられる読み出し回路211について、図22を参照して説明する。

50

【0094】

図22(A)に、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

【0095】

読み出し時には、端子Aは読み出しを行うメモリセルが接続されたビット線BLに接続される。また、トランジスタのゲート電極にはバイアス電位Vbiasが印加され、端子Aの電位が制御される。

【0096】

メモリセル170は、格納されるデータに応じて、異なる抵抗値を示す。具体的には、選択したメモリセル170のトランジスタ160がオン状態の場合には低抵抗状態となり、選択したメモリセル170のトランジスタ160がオフ状態の場合には高抵抗状態となる。

10

【0097】

メモリセルが高抵抗状態の場合、端子Aの電位が参照電位Vrefより高くなり、センスアンプ回路は端子Aの電位に対応する電位（データ"0"）を出力する。一方、メモリセルが低抵抗状態の場合、端子Aの電位が参照電位Vrefより低くなり、センスアンプ回路は端子Aの電位に対応する電位（データ"1"）を出力する。

【0098】

このように、読み出し回路を用いることで、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の公知の回路を用いても良い。また、読み出し回路は、プリチャージ回路を有しても良い。参照電位Vrefの代わりに参照用のビット線が接続される構成としても良い。

20

【0099】

図22(B)に、センスアンプ回路の一例である差動型センスアンプを示す。差動型センスアンプは、入力端子Vin(+)とVin(-)と出力端子Voutを有し、Vin(+)とVin(-)の差を増幅する。Vin(+)>Vin(-)であればVoutは、概ねHigh出力、Vin(+)<Vin(-)であればVoutは、概ねLow出力となる。

【0100】

図22(C)に、センスアンプ回路の一例であるラッチ型センスアンプを示す。ラッチ型センスアンプは、入出力端子V1およびV2と、制御用信号Sp、Snの入力端子を有する。まず、信号SpをHigh、信号SnをLowとして、電源電位(Vdd)を遮断する。そして、比較を行う電位をV1とV2に与える。その後、信号SpをLow、信号SnをHighとして、電源電位(Vdd)を供給すると、比較を行う電位V1inとV2inがV1in>V2inの関係にあれば、V1の出力はHigh、V2の出力はLowとなり、V1in<V2inの関係にあれば、V1の出力はLow、V2の出力はHighとなる。このような関係を利用して、V1inとV2inの差を増幅することができる。

30

【0101】

〈応用例2〉

次に、図2に示す回路構成とは異なる回路構成について、図5を参照して説明する。

40

【0102】

図5(A)は、(m×n)個のメモリセル170を有する半導体装置の回路図の一例である。図5(A)中のメモリセル170の構成は、図2(B)と同様であるため、詳細な説明は省略する。

【0103】

図5(A)に示す半導体装置は、m本(mは2以上の整数)の書き込みワード線WWLと、m本の読み出しワード線RWLと、n本(nは2以上の整数)のソース線SLと、n本のビット線BLと、n本の信号線Sと、メモリセル170が縦m個(行)×横n個(列)のマトリクス状に配置されたメモリセルアレイと、電位変換回路180と、n本のビット

50

線BLおよびn本の信号線Sに接続する第1の駆動回路190と、m本の書き込みワード線WWLおよびm本の読み出しワード線RWLに接続する第2の駆動回路192と、を有する。ここで、電位変換回路180は、配線VHLによって第2の駆動回路192と接続され、第2の駆動回路192に電源電位VDDより高い電位（高電位：VH）を出力する。なお、本実施の形態では、配線WRITEおよび配線READをそれぞれ電位変換回路180に接続することで、第1の駆動回路190の出力に合わせて電位を変換する構成としているが、開示する発明はこれに限定されない。電位変換回路180、第1の駆動回路190、および第2の駆動回路192を、配線WRITEおよび配線READによって接続しない構成としても良い。

【0104】

その他、第2の駆動回路192には、アドレス選択信号線Aが接続されている。アドレス選択信号線Aは、メモリセルの行方向のアドレスを選択する信号を伝達する配線である。

【0105】

図5（A）に示す第1の駆動回路190および第2の駆動回路192について、図24を参照して説明する。第1の駆動回路190と第2の駆動回路192とは、配線WRITEおよび配線READによって接続されている。また、配線WRITEおよび配線READはそれぞれ電位変換回路180に接続されている。

【0106】

第1の駆動回路190は、読み出し回路211と、制御回路212と、遅延回路213と、バッファ回路214とにより構成されている。入力端子INは、制御回路212、遅延回路213、及びバッファ回路214を介して信号線Sに接続されている。また、ビット線BLに接続される読み出し回路211は、出力端子OUTと接続される。

【0107】

第2の駆動回路192は、デコーダ回路221と、制御回路222と、バッファ回路223と、バッファ回路224と、レベルシフト回路225とにより構成されている。アドレス選択信号線Aは、デコーダ回路221と接続されている。また、デコーダ回路221は、制御回路222と接続されており、制御回路222はレベルシフト回路225及びバッファ回路223を介して書き込みワード線WWLに接続されている。また、制御回路222は、バッファ回路224を介して読み出しワード線RWLに接続されている。なお、読み出し回路211は、図22を参照すればよく、遅延回路213は、図4を参照すればよい。ここで、書き込みワード線WWLには、GNDまたはVHが出力される。

【0108】

データの書き込み、保持、および読み出しは、図2の場合と同様である。ただし、当該構成においては、書き込みの際に、書き込みワード線WWLの電位を電源電位より高い電位（VH）とすることができる。このため、ノードFGに十分に高い電位を与えることができ、より長期間のデータ保持が可能になる。また、データの識別力が向上する。

【0109】

電位変換回路180の一例として、図6に4段の昇圧を行う昇圧回路の一例を示す。図6において、第1のトランジスタ1300の入力端子（ここでは、ソース端子またはドレイン端子であって、ゲート端子と接続されている端子をいう）には電源電位VDDが供給される。第1のトランジスタ1300の出力端子（ここでは、ソース端子またはドレイン端子であって、ゲート端子と接続されていない端子をいう）には第2のトランジスタ1310の入力端子及び第1の容量素子1350の一方の端子が接続されている。同様に、第2のトランジスタ1310の出力端子には第3のトランジスタ1320の入力端子及び第2の容量素子1360の一方の端子が接続されている。以下、同様であるため詳細な説明は省略するが、第nのトランジスタの出力端子には第nの容量素子の一方の端子が接続されているということもできる（n：自然数）。図6においては、最終段のトランジスタの出力端子には、電源VDDと接続したトランジスタ1390が接続されているが、この構成に限られない。例えば、接地電位GNDと接続した容量をさらに付加した構成としても良い。なお、図6においては、第5のトランジスタ1340の出力が、昇圧回路の出力VH

10

20

30

40

50

となる。

【0110】

さらに、第2の容量素子1360の他方の端子及び第4の容量素子1380の他方の端子には、クロック信号CP_C L Kが入力される。また、第1の容量素子1350の他方の端子及び第3の容量素子1370の他方の端子には、クロック信号CP_C L Kを反転させたクロック信号CP_C L K Bが入力される。すなわち、第2kの容量素子の他方の端子にはクロック信号CP_C L Kが入力され、第2k-1の容量素子の他方の端子にはその反転クロック信号CP_C L K Bが入力されるといえる（k：自然数）。もちろん、クロック信号CP_C L Kと反転クロック信号CP_C L K Bとは、入れ替えて用いることができる。

10

【0111】

クロック信号CP_C L KがLowである場合、つまり反転クロック信号CP_C L K BがHighである場合には、第2の容量素子1360および第4の容量素子1380が充電され、反転クロック信号CP_C L K Bと容量結合するノードN1およびノードN3の電位は、所定の電圧（クロック信号CP_C L KのHighとLowの電位差に相当する電圧）分だけ引き上げられる。一方で、クロック信号CP_C L Kと容量結合するノードN2およびノードN4の電位は、所定の電圧分だけ引き下げられる。

【0112】

これにより、第2のトランジスタ1310、第4のトランジスタ1330を通じて電荷が移動し、ノードN2およびノードN4の電位が所定の値まで引き上げられる。

20

【0113】

次にクロック信号CP_C L KがHighになり、反転クロック信号がLowになると、ノードN2及びノードN4の電位がさらに引き上げられる。一方で、ノードN1、ノードN3の電位は、所定の電圧分だけ引き下げられる。

【0114】

これにより、第1のトランジスタ1300、第3のトランジスタ1320、第5のトランジスタ1340を通じて電荷が移動し、その結果、ノードN1、ノードN3及びノードN5の電位が所定の電位まで引き上げられることになる。このように、それぞれのノードにおける電位が $V_{N5} = V_{N4} (CP_CLK = High) > V_{N3} (CP_CLK = Low) > V_{N2} (CP_CLK = High) > V_{N1} (CP_CLK = Low) > V_{dd}$ となることにより、昇圧が行われる。なお、昇圧回路の構成は、4段の昇圧を行うものに限定されない。昇圧回路の段数は適宜変更することができる。

30

【0115】

なお、昇圧回路に用いるトランジスタとして、オフ電流特性の良好な酸化物半導体を含むトランジスタを用いることにより、各ノードの電圧の保持時間を長くすることができる。

【0116】

次に、第2の駆動回路192に設けられるレベルシフト回路225（レベルシフタ）について説明する。

【0117】

図7及び図8に、昇圧用レベルシフト回路図の例を示す。図7に示すレベルシフタの構成は、以下の通りである。第1のp型トランジスタ1200のソース端子と第3のp型トランジスタ1230のソース端子は、共に電位VHを供給する電源に電氣的に接続している。第1のp型トランジスタ1200のドレイン端子は、第2のp型トランジスタ1210のソース端子と電氣的に接続され、第3のp型トランジスタ1230のドレイン端子は、第4のp型トランジスタ1240のソース端子と電氣的に接続されている。第2のp型トランジスタ1210のドレイン端子は、第1のn型トランジスタ1220のドレイン端子及び第3のp型トランジスタ1230のゲート端子に電氣的に接続され、第4のp型トランジスタ1240のドレイン端子は、第2のn型トランジスタ1250のドレイン端子及び第1のp型トランジスタ1200のゲート端子と電氣的に接続されている。また、第1のn型トランジスタ1220のソース端子と第2のn型トランジスタ1250のソース端

40

50

子には、共にGND (= 0 [V]) が与えられている。

【0118】

図7において、入力信号(I)は、第2のp型トランジスタ1210のゲート端子と、第1のn型トランジスタ1220のゲート端子とに入力され、入力信号の反転信号(IB)は、第4のp型トランジスタ1240のゲート端子と、第2のn型トランジスタ1250のゲート端子とに入力される。出力信号(O)は、第4のp型トランジスタ1240のドレイン端子から取り出される。また、第2のp型トランジスタ1210のドレイン端子から出力信号の反転信号(OB)を取り出すこともできる。

【0119】

図7に示すレベルシフタの基本的な動作を説明する。入力信号(I)にHighが入力されると、第1のn型トランジスタ1220が導通状態となるため、第3のp型トランジスタ1230のゲート端子に電位GNDが入力され、第3のp型トランジスタ1230が導通状態となるとともに、出力信号の反転信号(OB)にはLowが出力され、このときの電位はGNDとなる。一方、反転入力信号(IB)は、このときLowであるから、第4のp型トランジスタ1240は導通状態となり、第2のn型トランジスタ1250は非導通状態となる。ここで、第3のp型トランジスタ1230と第4のp型トランジスタ1240が共に導通状態となるため、出力信号(O)にはHighが出力され、このときの電位はVHとなる。

【0120】

入力信号(I)の電位がLowのときは、図7に示すレベルシフタのトランジスタは上記と逆の動作をし、出力信号(O)からはLowが出力され、このときの電位は、GNDとなる。

【0121】

このようにして、入力した信号に対して振幅を変換した出力信号(O)を得ることができる。すなわち、図7に示すレベルシフタにより、入力信号(I)のHighとLowの電位差を、出力信号(O)のHighとLowの電位差に変換することができる。

【0122】

図8は、図7とは異なる昇圧用レベルシフト回路図の例を示す。図8に示すレベルシフタの構成は、以下の通りである。第1のp型トランジスタ1260のソース端子と第2のp型トランジスタ1280のソース端子は、共に電位VHを供給する電源に電氣的に接続している。第1のn型トランジスタ1270のドレイン端子は、第1のp型トランジスタ1260のドレイン端子及び第2のp型トランジスタ1280のゲート端子に電氣的に接続され、第2のn型トランジスタ1290のドレイン端子は、第2のp型トランジスタ1280のドレイン端子及び第1のp型トランジスタ1260のゲート端子と電氣的に接続されている。また、第1のn型トランジスタ1270のソース端子と第2のn型トランジスタ1290のソース端子には、共にGND (= 0 [V]) が与えられている。

【0123】

図8において、入力信号(I)は、第1のn型トランジスタ1270のゲート端子に入力され、入力信号の反転信号(IB)は、第2のn型トランジスタ1290のゲート端子に入力される。出力信号(O)は、第2のn型トランジスタ1290のドレイン端子から取り出される。また、第1のn型トランジスタ1270のドレイン端子から出力信号の反転信号(OB)を取り出すこともできる。

【0124】

図8に示すレベルシフタの基本的な動作を説明する。入力信号(I)にHighが入力されると、第1のn型トランジスタ1270は導通状態となるため、第2のp型トランジスタ1280のゲート端子に電位GNDが入力され、第2のp型トランジスタ1280が導通状態となるとともに、出力信号の反転信号(OB)にはLowが出力され、このときの電位はGNDとなる。一方、反転入力信号(IB)は、このときLowであるから、第2のn型トランジスタ1290は非導通状態となる。ここで、第2のp型トランジスタ1280が導通状態となるため、出力信号(O)にはHighが出力され、このときの電位は

10

20

30

40

50

VHとなる。

【0125】

入力信号（I）の電位がLowのときは、図8に示すレベルシフタのトランジスタは上記と逆の動作をし、出力信号（O）からはLowが出力され、このときの電位は、GNDとなる。

【0126】

このようにして、入力した信号に対して振幅を変換した出力信号（O）を得ることができる。すなわち、図8に示すレベルシフタにより、入力信号（I）のHighとLowの電位差を、出力信号（O）のHighとLowの電位差に変換することができる。

【0127】

図6に示す電位変換回路180で高電位へ変換された電位は、第2の駆動回路192に含まれる図7及び図8に示す昇圧用レベルシフタを用いて、書き込みワード線WWLから各メモリセル170へと出力される。さらに、電位変換回路180で高電位へ変換された電位を、第1の駆動回路190に含まれる昇圧用レベルシフタを用いて、信号線Sから各メモリセル170へと出力する構成としてもよい。

【0128】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0129】

（実施の形態2）

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図9乃至図13を参照して説明する。

【0130】

〈半導体装置の断面構成および平面構成〉

図9は、半導体装置の構成の一例である。図9（A）には、半導体装置の断面を、図9（B）には、半導体装置の平面を、それぞれ示す。ここで、図9（A）は、図9（B）のA1-A2およびB1-B2における断面に相当する。図9（A）および図9（B）に示される半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有するものである。ここで、第1の半導体材料と第2の半導体材料とは異なる材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0131】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体のようなオフ電流を十分に低減することが可能な半導体材料をトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0132】

図9におけるトランジスタ160は、半導体材料（例えば、シリコンなど）を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書

10

20

30

40

50

において、ソース電極との記載には、ソース領域が含まれる。

【0133】

また、基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように絶縁層128および絶縁層130が設けられている。なお、高集積化を実現するためには、図9に示すようにトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極110の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域120を設けても良い。

【0134】

図9におけるトランジスタ162は、絶縁層130上に設けられたソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bと電氣的に接続されている酸化半導体層144と、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、酸化半導体層144を覆うゲート絶縁層146と、ゲート絶縁層146上に酸化半導体層144と重畳するように設けられたゲート電極148aと、ソース電極またはドレイン電極142aと酸化半導体層144との間の、ゲート電極148aと重畳する領域の絶縁層143aと、ソース電極またはドレイン電極142bと酸化半導体層144との間の、ゲート電極148aと重畳する領域の絶縁層143bと、を有する。なお、ソース電極またはドレイン電極と、ゲート電極との間の容量を低減するためには、絶縁層143aおよび絶縁層143bを設けることが望ましいが、絶縁層143aおよび絶縁層143bを設けない構成とすることも可能である。

【0135】

ここで、酸化半導体層144は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化半導体層144の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化半導体層144中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化半導体層144では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温(25℃)でのオフ電流(ここでは、単位チャネル幅(1μm)あたりの値)は100zA(1zA(zeptoアンペア)は $1 \times 10^{-21} \text{ A}$)以下、望ましくは10zA以下となる。このように、i型化(真性化)または実質的にi型化された酸化半導体を用いることで、極めて優れたオフ電流特性のトランジスタ162を得ることができる。

【0136】

なお、図9のトランジスタ162では、微細化に起因して素子間に生じるリークを抑制するために、島状に加工された酸化半導体層144を用いているが、島状に加工されていない構成を採用しても良い。酸化半導体層を島状に加工しない場合には、加工の際のエッチングによる酸化半導体層144の汚染を防止できる。

【0137】

図9における容量素子164は、ソース電極またはドレイン電極142a、酸化半導体層144、ゲート絶縁層146、および電極148b、で構成される。すなわち、ソース電極またはドレイン電極142aは、容量素子164の一方の電極として機能し、電極148bは、容量素子164の他方の電極として機能することになる。

【0138】

なお、図9の容量素子164では、酸化半導体層144とゲート絶縁層146を積層させることにより、ソース電極またはドレイン電極142aと、電極148bとの間の絶縁

性を十分に確保することができる。もちろん、十分な容量を確保するために、酸化物半導体層 144 を有しない構成の容量素子 164 を採用しても良い。また、絶縁層 143a と同様に形成される絶縁層を有する構成の容量素子 164 を採用しても良い。さらに、容量が不要の場合は、容量素子 164 を設けない構成とすることも可能である。

【0139】

なお、トランジスタ 162 および容量素子 164 において、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b の端部は、テーパ形状であることが好ましい。ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b の端部をテーパ形状とすることにより、酸化物半導体層 144 の被覆性を向上し、段切れを防止することができるためである。ここで、テーパ角は、例えば、30°以上60°以下とする。なお、テーパ角とは、テーパ形状を有する層（例えば、ソース電極またはドレイン電極 142a）を、その断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。

10

【0140】

本実施の形態では、トランジスタ 162 および容量素子 164 が、トランジスタ 160 と重畳するように設けられている。このような、平面レイアウトを採用することにより、高集積化が可能である。例えば、最小加工寸法を F として、メモリセルの占める面積を $15F^2 \sim 25F^2$ とすることが可能である。

【0141】

トランジスタ 162 および容量素子 164 の上には、絶縁層 150 が設けられており、絶縁層 150 上には絶縁層 152 が設けられている。そして、ゲート絶縁層 146、絶縁層 150、絶縁層 152 などに形成された開口には、電極 154 が設けられ、絶縁層 152 上には電極 154 と接続する配線 156 が形成される。なお、図9では電極 154 を用いて、ソース電極またはドレイン電極 142b と、配線 156 とを接続しているが、開示する発明はこれに限定されない。例えば、ソース電極またはドレイン電極 142b を直接、金属化合物領域 124 に接触させても良い。または、配線 156 を直接、ソース電極またはドレイン電極 142b に接触させても良い。

20

【0142】

〈半導体装置の作製方法〉

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ 160 の作製方法について図10および図11を参照して説明し、その後、上部のトランジスタ 162 および容量素子 164 の作製方法について図12および図13を参照して説明する。

30

【0143】

〈下部のトランジスタの作製方法〉

まず、半導体材料を含む基板 100 を用意する（図10（A）参照）。半導体材料を含む基板 100 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。ここでは、半導体材料を含む基板 100 として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI 基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む概念として用いる。つまり、「SOI 基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI 基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

40

【0144】

半導体材料を含む基板 100 として、特に、シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができるため好適である。

【0145】

基板 100 上には、素子分離絶縁層を形成するためのマスクとなる保護層 102 を形成す

50

る（図10（A）参照）。保護層102としては、例えば、酸化シリコンや窒化シリコン、酸窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板100に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0146】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域（露出している領域）の、基板100の一部を除去する。これにより他の半導体領域と分離された半導体領域104が形成される（図10（B）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

10

【0147】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する（図10（C）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP（化学的機械的研磨）などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

20

【0148】

次に、半導体領域104の表面に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0149】

絶縁層は後のゲート絶縁層となるものであり、例えば、半導体領域104表面の熱処理（熱酸化処理や熱窒化処理など）によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、ヘリウム（He）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）などの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタリング法等を用いて絶縁層を形成しても良い。当該絶縁層は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、窒素が添加されたハフニウムシリケート（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、窒素が添加されたハフニウムアルミネート（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等を含む単層構造または積層構造とすることが望ましい。また、絶縁層の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

30

【0150】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

40

【0151】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108、ゲート電極110を形成する（図10（C）参照）。

【0152】

次に、半導体領域104にリン（P）やヒ素（As）などを添加して、チャネル形成領域

50

116および不純物領域120を形成する(図10(D)参照)。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素(B)やアルミニウム(Al)などの不純物元素を添加すればよい。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。

【0153】

なお、ゲート電極110の周囲にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

【0154】

次に、ゲート電極110、不純物領域120等を覆うように金属層122を形成する(図11(A)参照)。当該金属層122は、真空蒸着法やスパッタリング法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

10

【0155】

次に、熱処理を施して、上記金属層122と半導体材料とを反応させる。これにより、不純物領域120に接する金属化合物領域124が形成される(図11(A)参照)。なお、ゲート電極110として多結晶シリコンなどを用いる場合には、ゲート電極110の金属層122と接触する部分にも、金属化合物領域が形成されることになる。

20

【0156】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域124を形成した後には、金属層122は除去する。

【0157】

次に、上述の工程により形成された各構成を覆うように、絶縁層128、絶縁層130を形成する(図11(B)参照)。絶縁層128や絶縁層130は、酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層128や絶縁層130に誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層128や絶縁層130には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層128や絶縁層130は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、絶縁層128と絶縁層130の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。

30

40

【0158】

以上により、半導体材料を含む基板100を用いたトランジスタ160が形成される(図11(B)参照)。このようなトランジスタ160は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【0159】

その後、トランジスタ162および容量素子164の形成前の処理として、絶縁層128や絶縁層130にCMP処理を施して、ゲート電極110の上面を露出させる(図11(C)参照)。ゲート電極110の上面を露出させる処理としては、CMP処理の他にエッ

50

チング処理などを適用することも可能であるが、トランジスタ162の特性を向上させるために、絶縁層128や絶縁層130の表面は可能な限り平坦にしておくことが望ましい。

【0160】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでも良い。例えば、配線の構造として、絶縁層および導電層の積層構造でなる多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0161】

〈上部のトランジスタの作製方法〉

次に、ゲート電極110、絶縁層128、絶縁層130などの上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する（図12（A）参照）。 10

【0162】

導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0163】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bへの加工が容易であるというメリットがある。 20

【0164】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する場合がある）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3 - \text{ZnO}$ ）、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。 30

【0165】

導電層のエッチングは、形成されるソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下であることが好ましい。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート絶縁層146の被覆性を向上し、段切れを防止することができる。 40

【0166】

上部のトランジスタのチャンネル長（L）は、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの下端部の間隔によって決定される。なお、チャンネル長（L）が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm～数10nmと波長の短い超紫外線（Extreme Ultraviolet）を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長（L）を、10nm以上1000nm（1 μm ）以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

【0167】

なお、絶縁層 128 や絶縁層 130 の上には、下地として機能する絶縁層を設けても良い。当該絶縁層は、PVD 法や CVD 法などを用いて形成することができる。

【0168】

次に、ソース電極またはドレイン電極 142a の上に絶縁層 143a を、ソース電極またはドレイン電極 142b の上に絶縁層 143b を、それぞれ形成する（図 12（B）参照）。絶縁層 143a および絶縁層 143b は、ソース電極またはドレイン電極 142a や、ソース電極またはドレイン電極 142b を覆う絶縁層を形成した後、当該絶縁層を選択的にエッチングすることにより形成できる。また、絶縁層 143a および絶縁層 143b は、後に形成されるゲート電極の一部と重畳するように形成する。このような絶縁層を設けることにより、ゲート電極と、ソース電極またはドレイン電極との間の容量を低減する

10

【0169】

絶縁層 143a や絶縁層 143b は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層 143a や絶縁層 143b に誘電率の低い（low-k）材料を用いることで、ゲート電極と、ソース電極またはドレイン電極との間の容量を十分に低減することが可能になるため好ましい。なお、絶縁層 143a や絶縁層 143b には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、ゲート電極と、ソース電極またはドレイン電極との間の容量をさらに低減することが可能である。

20

【0170】

なお、ゲート電極と、ソース電極またはドレイン電極との間の容量を低減させるという点では、絶縁層 143a および絶縁層 143b を形成するのが好適であるが、当該絶縁層を設けない構成とすることも可能である。

【0171】

次に、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b を覆うように酸化物半導体層を形成した後、当該酸化物半導体層を選択的にエッチングして酸化物半導体層 144 を形成する（図 12（C）参照）。

【0172】

酸化物半導体層は、四元系金属酸化物である In-Sn-Ga-Zn-O 系や、三元系金属酸化物である In-Ga-Zn-O 系、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系や、二元系金属酸化物である In-Zn-O 系、 In-Ga-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 Zn-Mg-O 系、 Sn-Mg-O 系、 In-Mg-O 系や、一元系金属酸化物である In-O 系、 Sn-O 系、 Zn-O 系などを用いて形成することができる。

30

【0173】

中でも、 In-Ga-Zn-O 系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0174】

In-Ga-Zn-O 系の酸化物半導体材料の代表例としては、 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$ 、 m ：非自然数) で表記されるものがある。また、Ga に代えて M を使い、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、 m ：非自然数) のように表記される酸化物半導体材料がある。ここで、M は、ガリウム (Ga)、アルミニウム (Al)、鉄 (Fe)、ニッケル (Ni)、マンガン (Mn)、コバルト (Co) などから選ばれた一の金属元素または複数の金属元素を示す。例えば、M としては、Ga、Ga および Al、Ga および Fe、Ga および Ni、Ga および Mn、Ga および Co などを用いることができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

40

【0175】

50

酸化物半導体層をスパッタ法で作製するためのターゲットとしては、 $\text{In}:\text{Ga}:\text{Zn}=1:x:y$ (x は0以上、 y は0.5以上5以下)の組成比を有するものを用いるのが好適である。例えば、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol数比]の組成比を有する金属酸化物ターゲットなどを用いることができる。また、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol数比]の組成比を有する金属酸化物ターゲットや、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [mol数比]の組成比を有する金属酸化物ターゲットや、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:0:2$ [mol数比]の組成比を有する金属酸化物ターゲットを用いることもできる。

【0176】

本実施の形態では、非晶質構造の酸化物半導体層を、 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。

10

【0177】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層を形成することが可能である。

【0178】

酸化物半導体層の形成雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1ppm以下（望ましくは濃度10ppb以下）にまで除去された高純度ガス雰囲気を用いるのが好適である。

20

【0179】

酸化物半導体層の形成の際には、例えば、減圧状態に保持された処理室内に被処理物を保持し、被処理物の温度が100℃以上550℃未満、好ましくは200℃以上400℃以下となるように被処理物を熱する。または、酸化物半導体層の形成の際の被処理物の温度は、室温（25℃±10℃）としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層を形成する。被処理物を熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボ分子ポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層中の不純物濃度を低減できる。

30

【0180】

酸化物半導体層の形成条件としては、例えば、被処理物とターゲットの間との距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気が酸素(酸素100%)雰囲気、またはアルゴン(アルゴン100%)雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層の厚さは、1nm以上50nm以下、好ましくは1nm以上30nm以下、より好ましくは1nm以上10nm以下とする。このような厚さの酸化物半導体層を用いることで、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。

40

【0181】

なお、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面(例えば絶縁層130の表面)の付着物を除去するのが好適である。ここで、逆スパッタとは、通常スパッタにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、処理表面にイオンを衝突させること

50

によってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

【0182】

その後、酸化物半導体層に対して、熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300℃以上550℃未満、または400℃以上500℃以下とする。

10

【0183】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450℃、1時間の条件で行うことができる。この間、酸化物半導体層は大気に触れさせず、水や水素の混入が生じないようにする。

【0184】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、LRTA（Lamp Rapid Thermal Anneal）装置、GRTA（Gas Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

20

【0185】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

30

【0186】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

【0187】

いずれにしても、第1の熱処理によって不純物を低減し、i型（真性半導体）またはi型に限りなく近い酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。

40

【0188】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、酸化物半導体層の形成後やゲート絶縁層の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

【0189】

50

酸化物半導体層のエッチングは、上記熱処理の前、または上記熱処理の後のいずれに行っても良い。また、素子の微細化という観点からはドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。なお、素子におけるリークなどが問題とならない場合には、酸化物半導体層を島状に加工しないで用いても良い。

【0190】

次に、酸化物半導体層144に接するゲート絶縁層146を形成し、その後、ゲート絶縁層146上において酸化物半導体層144と重畳する領域にゲート電極148aを形成し、ソース電極またはドレイン電極142aと重畳する領域に電極148bを形成する(図12(D)参照)。

10

【0191】

ゲート絶縁層146は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、酸化ガリウム、ハフニウムシリケート(HfSi_xO_y ($x>0$, $y>0$))、窒素が添加されたハフニウムシリケート($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$))、窒素が添加されたハフニウムアルミネート($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$))、などを含むように形成するのが好適である。ゲート絶縁層146は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

20

【0192】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x>0$, $y>0$))、窒素が添加されたハフニウムシリケート($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$))、窒素が添加されたハフニウムアルミネート($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$))、などの高誘電率(high-k)材料を用いると良い。high-k材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

30

【0193】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200℃以上450℃以下、好ましくは250℃以上350℃以下である。例えば、窒素雰囲気下で250℃、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型(真性半導体)またはi型に限りなく近い酸化物半導体層144を形成することもできる。

40

【0194】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。

【0195】

上述のように、第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物半導体層144を、その主成分以外の不純物が極力含まれないように高純度化することが

50

できる。

【0196】

ゲート電極148aおよび電極148bは、ゲート絶縁層146上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極148aおよび電極148bとなる導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。詳細は、ソース電極またはドレイン電極142aなどの場合と同様であり、これらの記載を参酌できる。

【0197】

次に、ゲート絶縁層146、ゲート電極148a、および電極148b上に、絶縁層150および絶縁層152を形成する（図13（A）参照）。絶縁層150および絶縁層152は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。

10

【0198】

なお、絶縁層150や絶縁層152には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁層150や絶縁層152の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。

【0199】

なお、本実施の形態では、絶縁層150と絶縁層152の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。また、絶縁層を設けない構成とすることも可能である。

20

【0200】

なお、上記絶縁層152は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように絶縁層152を形成することで、半導体装置を微細化した場合などにおいても、絶縁層152上に、電極や配線などを好適に形成することができるためである。なお、絶縁層152の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

【0201】

次に、ゲート絶縁層146、絶縁層150、絶縁層152に、ソース電極またはドレイン電極142bにまで達する開口を形成する（図13（B）参照）。当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

30

【0202】

その後、上記開口に電極154を形成し、絶縁層152上に電極154に接する配線156を形成する（図13（C）参照）。

【0203】

電極154は、例えば、開口を含む領域にPVD法やCVD法などを用いて導電層を形成した後、エッチング処理やCMPといった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【0204】

より具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここではソース電極またはドレイン電極142b）との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

40

【0205】

なお、上記導電層の一部を除去して電極を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成

50

した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後のCMP処理によって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、電極154を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0206】

配線156は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて導電層を形成した後、当該導電層をパターニングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。詳細は、ソース電極またはドレイン電極142aなどと同様である。

10

【0207】

以上により、高純度化された酸化物半導体層144を用いたトランジスタ162、および容量素子164が完成する（図13（C）参照）。

【0208】

本実施の形態において示すトランジスタ162では、酸化物半導体層144が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化物半導体層144のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度（ $1 \times 10^{14} \text{ /cm}^3$ 程度）と比較して、十分に小さい値（例えば、 $1 \times 10^{12} \text{ /cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} \text{ /cm}^3$ 未満）をとる。そして、トランジスタ162のオフ電流も十分に小さくなる。例えば、トランジスタ162の室温（25℃）でのオフ電流（ここでは、単位チャネル幅（1μm）あたりの値）は100zA（1zA（zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは10zA以下となる。

20

【0209】

このように高純度化され、真性化された酸化物半導体層144を用いることで、トランジスタのオフ電流を十分に低減することが容易になる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

30

【0210】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0211】

（実施の形態3）

本実施の形態では、図2や図5とは異なる構成の半導体装置について、図25乃至図27を参照して説明する。

【0212】

図25（A）は、（m×n）個のメモリセル170を有する半導体装置の回路図の一例である。図25（A）中のメモリセル170の構成は、図2（B）と同様であるため、詳細な説明は省略する。

40

【0213】

図25（A）に示す半導体装置は、図2（A）に示す半導体装置と概ね同様の構成を有する。図2（A）に示す半導体装置と、図25（A）に示す半導体装置の相違は、ビット線BLと電氣的に接続される配線195が設けられているか否かにある。つまり、図25（A）に示す半導体装置は、ビット線BLと電氣的に接続される配線195を有する。当該配線195は、メモリセルに与えられるビット線の電位を、適切な値に保つ機能を有する。開示する発明のように、多数のメモリセルが直列に接続される構成では、メモリセルに

50

おける電圧降下によって情報の読み出しが困難になることがあるからである。

【0214】

例えば、64個のメモリセルを直列に接続した構成をユニットとして、各ユニットに適切な電位が与えられるように、各ユニットに対して配線195を接続する。これにより、多数のメモリセルを有する構成であっても、情報の読み出しを好適に行うことができる。なお、各ユニットが有するメモリセルの数は、64個に限られない。32個、128個など、読み出し動作に影響が出ない範囲で、適宜設定することが可能である。

【0215】

図26は、図25に示す半導体装置の構成の一例である。図26(A)には、半導体装置の断面を、図26(B)には、半導体装置の平面を、それぞれ示す。ここで、図26(A)は、図26(B)のC1-C2およびD1-D2における断面に相当する。図26に示す構成において特徴的な点は、ソース電極またはドレイン電極142aと電氣的に接続される配線156bに加え、配線156aを有する点である。当該配線156aが、図25におけるビット線BLと電氣的に接続される配線195に相当する。なお、図26(B)では明示していないが、配線156aと配線156bは、互いに平行に、図26(B)の縦方向に伸長する形態で存在している。

【0216】

上記半導体装置の動作は、図2(A)の場合と同様である。詳細については、先の実施の形態の、対応する記載を参酌すればよい。

【0217】

なお、図2(A)や図5(A)の構成を採用する場合であっても、信号線Sを上記配線の代わりに用いることで、同様の効果を得ることが可能である。この場合、例えば、図27に示すように、ビット線BLと信号線Sとを電氣的に接続した上で、ビット線BLおよび信号線Sと出力端子OUTとの接続を制御するスイッチ231と、ビット線BLおよび信号線Sと入力端子INとの接続を制御するスイッチ232と、配線SWと、を有する構成を採用することが可能である。この場合、配線SWに供給される信号を用いて、読み出し時にはスイッチ231をオンとし、書き込み時にはスイッチ232をオンとしてやればよい。なお、配線SWに供給される信号は、配線WRITEおよび配線READからの信号を元に、信号生成回路233によって生成される。このような構成を採用する場合には、図25に示す配線195を設ける必要がないため、好適な読み出し動作を維持しつつ、半導体装置の集積度を一層高めることが可能である。

【0218】

なお、図27における、他の構成は図23と同様である。詳細については図23の説明を参酌することができる。

【0219】

なお、本実施の形態に示す構成は、図2(A)に示す半導体装置の変形例であるが、図5(A)に示す半導体装置の変形例としても良い。

【0220】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0221】

(実施の形態4)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図14を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0222】

図14(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、

10

20

30

40

50

表示部 703、キーボード 704 などによって構成されている。筐体 701 と筐体 702 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【0223】

図 14 (B) は、携帯情報端末 (PDA) であり、本体 711 には、表示部 713 と、外部インターフェイス 715 と、操作ボタン 714 等が設けられている。また、携帯情報端末を操作するスタイラス 712 などを備えている。本体 711 内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

10

【0224】

図 14 (C) は、電子ペーパーを実装した電子書籍 720 であり、筐体 721 と筐体 723 の 2 つの筐体で構成されている。筐体 721 および筐体 723 には、それぞれ表示部 725 および表示部 727 が設けられている。筐体 721 と筐体 723 は、軸部 737 により接続されており、該軸部 737 を軸として開閉動作を行うことができる。また、筐体 721 は、電源 731、操作キー 733、スピーカー 735などを備えている。筐体 721、筐体 723 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

20

【0225】

図 14 (D) は、携帯電話機であり、筐体 740 と筐体 741 の 2 つの筐体で構成されている。さらに、筐体 740 と筐体 741 は、スライドし、図 14 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体 741 は、表示パネル 742、スピーカー 743、マイクロフォン 744、操作キー 745、ポインティングデバイス 746、カメラ用レンズ 747、外部接続端子 748などを備えている。また、筐体 740 は、携帯電話機の充電を行う太陽電池セル 749、外部メモリスロット 750などを備えている。また、アンテナは、筐体 741 に内蔵されている。筐体 740 と筐体 741 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

30

【0226】

図 14 (E) は、デジタルカメラであり、本体 761、表示部 767、接眼部 763、操作スイッチ 764、表示部 765、バッテリー 766 などによって構成されている。本体 761 内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

【0227】

図 14 (F) は、テレビジョン装置 770 であり、筐体 771、表示部 773、スタンド 775などで構成されている。テレビジョン装置 770 の操作は、筐体 771 が備えるスイッチや、リモコン操作機 780 により行うことができる。筐体 771 およびリモコン操作機 780 には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

40

【0228】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【実施例 1】

【0229】

本実施例では、高純度化された酸化物半導体を用いたトランジスタのオフ電流を求めた結

50

果について説明する。

【0230】

まず、高純度化された酸化物半導体を用いたトランジスタのオフ電流が十分に小さいことを考慮して、チャンネル幅 W が $1\text{ }\mu\text{m}$ と十分に大きいトランジスタを用意してオフ電流の測定を行った。チャンネル幅 W が $1\text{ }\mu\text{m}$ のトランジスタのオフ電流を測定した結果を図15に示す。図15において、横軸はゲート電圧 V_G 、縦軸はドレイン電流 I_D である。ドレイン電圧 V_D が $+1\text{ V}$ または $+10\text{ V}$ の場合、ゲート電圧 V_G が -5 V から -20 V の範囲では、トランジスタのオフ電流は、検出限界である $1 \times 10^{-12}\text{ A}$ 以下であることがわかった。また、トランジスタのオフ電流（ここでは、単位チャンネル幅（ $1\text{ }\mu\text{m}$ ）あたりの値）は $1\text{ aA}/\mu\text{m}$ （ $1 \times 10^{-18}\text{ A}/\mu\text{m}$ ）以下となることがわかった。

10

【0231】

次に、高純度化された酸化物半導体を用いたトランジスタのオフ電流をさらに正確に求めた結果について説明する。上述したように、高純度化された酸化物半導体を用いたトランジスタのオフ電流は、測定器の検出限界である $1 \times 10^{-12}\text{ A}$ 以下であることがわかった。そこで、特性評価用素子を作製し、より正確なオフ電流の値（上記測定における測定器の検出限界以下の値）を求めた結果について説明する。

【0232】

はじめに、電流測定方法に用いた特性評価用素子について、図16を参照して説明する。

【0233】

図16に示す特性評価用素子は、測定系800が3つ並列に接続されている。測定系800は、容量素子802、トランジスタ804、トランジスタ805、トランジスタ806、トランジスタ808を有する。トランジスタ804、トランジスタ805、トランジスタ806およびトランジスタ808には、高純度化された酸化物半導体を用いたトランジスタを適用した。

20

【0234】

測定系800において、トランジスタ804のソース端子およびドレイン端子の一方と、容量素子802の端子の一方と、トランジスタ805のソース端子およびドレイン端子の一方は、電源（ V_2 を与える電源）に接続されている。また、トランジスタ804のソース端子およびドレイン端子の他方と、トランジスタ808のソース端子およびドレイン端子の一方と、容量素子802の端子の他方と、トランジスタ805のゲート端子とは、接続されている。また、トランジスタ808のソース端子およびドレイン端子の他方と、トランジスタ806のソース端子およびドレイン端子の一方と、トランジスタ806のゲート端子は、電源（ V_1 を与える電源）に接続されている。また、トランジスタ805のソース端子およびドレイン端子の他方と、トランジスタ806のソース端子およびドレイン端子の他方とは、接続され、出力端子となっている。

30

【0235】

なお、トランジスタ804のゲート端子には、トランジスタ804のオン状態と、オフ状態を制御する電位 V_{ext_b2} が供給され、トランジスタ808のゲート端子には、トランジスタ808のオン状態と、オフ状態を制御する電位 V_{ext_b1} が供給される。また、出力端子からは電位 V_{out} が出力される。

40

【0236】

次に、上記の特性評価用素子を用いた電流測定方法について説明する。

【0237】

まず、オフ電流を測定するために電位差を付与する初期化期間の概略について説明する。初期化期間においては、トランジスタ808のゲート端子に、トランジスタ808をオン状態とする電位 V_{ext_b1} を入力する。これにより、トランジスタ804のソース端子またはドレイン端子の他方と接続されるノード（つまり、トランジスタ808のソース端子およびドレイン端子の一方、容量素子802の端子の他方、およびトランジスタ805のゲート端子に接続されるノード）であるノードAに電位 V_1 が与えられる。ここで、電位 V_1 は、例えば高電位とする。また、 V_{ext_b2} にトランジスタ804がオフ状

50

態になる電位を与えて、トランジスタ804はオフ状態としておく。

【0238】

その後、トランジスタ808のゲート端子に、トランジスタ808をオフ状態とする電位 V_{ext_b1} を入力して、トランジスタ808をオフ状態とする。トランジスタ808をオフ状態とした後に、電位 V_1 を低電位とする。ここでも、トランジスタ804はオフ状態としておく。また、電位 V_2 は電位 V_1 と同じ電位とする。以上により、初期化期間が終了する。初期化期間が終了した状態では、ノードAとトランジスタ804のソース端子及びドレイン端子の一方との間に電位差が生じ、また、ノードAとトランジスタ808のソース端子及びドレイン端子の他方との間に電位差が生じることになるため、トランジスタ804およびトランジスタ808には僅かに電荷が流れる。つまり、オフ電流が発生する。

10

【0239】

次に、オフ電流の測定期間の概略について説明する。測定期間においては、トランジスタ804のソース端子またはドレイン端子の一方の端子の電位（つまり V_2 ）、および、トランジスタ808のソース端子またはドレイン端子の他方の端子の電位（つまり V_1 ）は低電位に固定しておく。一方で、測定期間中は、上記ノードAの電位は固定しない（フローティング状態とする）。これにより、トランジスタ804に電荷が流れ、時間の経過と共にノードAに保持される電荷量の変動する。そして、ノードAに保持される電荷量の変動に伴って、ノードAの電位が変動する。つまり、出力端子の出力電位 V_{out} も変動する。

20

【0240】

上記電位差を付与する初期化期間、および、その後の測定期間における各電位の関係の詳細（タイミングチャート）を図17に示す。

【0241】

初期化期間において、まず、電位 V_{ext_b2} を、トランジスタ804がオン状態となるような電位（高電位）とする。これによって、ノードAの電位は V_2 すなわち低電位（ V_{SS} ）となる。なお、ノードAに低電位（ V_{SS} ）を与えるのは必須ではない。その後、電位 V_{ext_b2} を、トランジスタ804がオフ状態となるような電位（低電位）として、トランジスタ804をオフ状態とする。そして、次に、電位 V_{ext_b1} を、トランジスタ808がオン状態となるような電位（高電位）とする。これによって、ノードAの電位は V_1 、すなわち高電位（ V_{DD} ）となる。その後、 V_{ext_b1} を、トランジスタ808がオフ状態となるような電位とする。これによって、ノードAがフローティング状態となり、初期化期間が終了する。

30

【0242】

その後の測定期間においては、電位 V_1 および電位 V_2 を、ノードAに電荷が流れ込み、またはノードAから電荷が流れ出すような電位とする。ここでは、電位 V_1 および電位 V_2 を低電位（ V_{SS} ）とする。ただし、出力電位 V_{out} を測定するタイミングにおいては、出力回路を動作させる必要が生じるため、一時的に V_1 を高電位（ V_{DD} ）とすることがある。なお、 V_1 を高電位（ V_{DD} ）とする期間は、測定に影響を与えない程度の短期間とする。

40

【0243】

上述のようにして電位差を与え、測定期間が開始されると、時間の経過と共にノードAに保持される電荷量の変動し、これに従ってノードAの電位が変動する。これは、トランジスタ805のゲート端子の電位が変動することを意味するから、時間の経過と共に、出力端子の出力電位 V_{out} の電位も変化することとなる。

【0244】

得られた出力電位 V_{out} から、オフ電流を算出する方法について、以下に説明する。

【0245】

オフ電流の算出に先だって、ノードAの電位 V_A と、出力電位 V_{out} との関係を求めておく。これにより、出力電位 V_{out} からノードAの電位 V_A を求めることができる。上

50

述の関係から、ノード A の電位 V_A は、出力電位 V_{out} の関数として次式のように表すことができる。

【0246】

【数1】

$$V_A = F(V_{out})$$

【0247】

また、ノード A の電荷 Q_A は、ノード A の電位 V_A 、ノード A に接続される容量 C_A 、定数 (const) を用いて、次式のように表される。ここで、ノード A に接続される容量 C_A は、容量素子 802 の容量と他の容量の和である。

10

【0248】

【数2】

$$Q_A = C_A V_A + \text{const}$$

【0249】

ノード A の電流 I_A は、ノード A に流れ込む電荷（またはノード A から流れ出る電荷）の時間微分であるから、ノード A の電流 I_A は次式のように表される。

【0250】

【数3】

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

20

【0251】

このように、ノード A に接続される容量 C_A と、出力端子の出力電位 V_{out} から、ノード A の電流 I_A を求めることができる。

【0252】

以上に示す方法により、オフ状態においてトランジスタのソースとドレイン間を流れるリーク電流（オフ電流）を測定することができる。

【0253】

本実施例では、チャンネル長 $L = 10 \mu\text{m}$ 、チャンネル幅 $W = 50 \mu\text{m}$ の、高純度化した酸化物半導体を用いてトランジスタ 804、トランジスタ 805、トランジスタ 806、トランジスタ 808 を作製した。また、並列された各測定系 800 において、容量素子 802 の各容量値を、 100 fF 、 1 pF 、 3 pF とした。

30

【0254】

なお、本実施例に係る測定では、 $V_{DD} = 5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ とした。また、測定期間においては、電位 V_1 を原則として V_{SS} とし、 $10 \sim 300 \text{ sec}$ ごとに、 100 msec の期間だけ V_{DD} として V_{out} を測定した。また、素子に流れる電流 I の算出に用いられる Δt は、約 30000 sec とした。

【0255】

図 18 に、上記電流測定に係る経過時間 $Time$ と、出力電位 V_{out} との関係を示す。

図 18 より、時間の経過にしたがって、電位が変化している様子が確認できる。

40

【0256】

図 19 には、上記電流測定によって算出された室温 (25°C) におけるオフ電流を示す。なお、図 19 は、ソースドレイン電圧 V と、オフ電流 I との関係を表すものである。図 19 から、ソースドレイン電圧が 4 V の条件において、オフ電流は約 $40 \text{ zA}/\mu\text{m}$ であることが分かった。また、ソースドレイン電圧が 3.1 V の条件において、オフ電流は $10 \text{ zA}/\mu\text{m}$ 以下であることが分かった。なお、 1 zA は 10^{-21} A を表す。

【0257】

さらに、上記電流測定によって算出された 85°C の温度環境下におけるオフ電流について図 20 に示す。図 20 は、 85°C の温度環境下におけるソースドレイン電圧 V と、オフ電流 I との関係を表すものである。図 20 から、ソースドレイン電圧が 3.1 V の条件

50

において、オフ電流は $100\text{ zA}/\mu\text{m}$ 以下であることが分かった。

【0258】

以上、本実施例により、高純度化された酸化物半導体を用いたトランジスタでは、オフ電流が十分に小さくなることが確認された。

【実施例2】

【0259】

開示する発明の一態様に係るメモリセルの書き換え可能回数につき調査した。本実施例では、当該調査結果につき、図21を参照して説明する。

【0260】

調査に用いた半導体装置は、図1(A-1)に示す回路構成の半導体装置である。ここで、トランジスタ162に相当するトランジスタには酸化物半導体を用いた。容量素子164に相当する容量素子としては、 0.33 pF の容量値のものをを用いた。

【0261】

調査は、初期のメモリウィンドウ幅と、情報の保持および情報の書き込みを所定回数繰り返した後のメモリウィンドウ幅とを比較することにより行った。メモリセルへの情報の保持および情報の書き込みは、図1(A-1)における第3の配線に相当する配線に 0 V 、または 5 V のいずれかを与え、第4の配線に相当する配線に、 0 V 、または 5 V のいずれかを与えることにより行った。第4の配線に相当する配線の電位が 0 V の場合には、トランジスタ162に相当するトランジスタ（書き込み用トランジスタ）はオフ状態であるから、ノードFGに与えられた電位が保持される。第4の配線に相当する配線の電位が 5 V の場合には、トランジスタ162に相当するトランジスタはオン状態であるから、第3の配線に相当する配線の電位がノードFGに与えられる。

【0262】

メモリウィンドウ幅とは記憶装置の特性を示す指標の一つである。ここでは、異なる記憶状態の間での、第5の配線に相当する配線の電位 V_{cg} と、トランジスタ160に相当するトランジスタ（読み出し用トランジスタ）のドレイン電流 I_d との関係を示す曲線（ $V_{cg}-I_d$ 曲線）の、シフト量 ΔV_{cg} をいうものとする。異なる記憶状態とは、ノードFGに 0 V が与えられた状態（以下、Low状態という）と、ノードFGに 5 V が与えられた状態（以下、High状態という）をいう。つまり、メモリウィンドウ幅は、Low状態とHigh状態において、電位 V_{cg} の掃引を行うことで確認できる。

【0263】

図21(A)に、初期状態におけるメモリウィンドウ幅と、 1×10^9 回の書き込みを行った後のメモリウィンドウ幅の調査結果を示す。なお、図21(A)において、横軸は V_{cg} (V)を示し、縦軸は I_d (A)を示す。

【0264】

図21(A)に示すように、 1×10^9 回もの書き込みを行う前後において、High状態の書き込みの $V_{cg}-I_d$ 曲線、Low状態の書き込みの $V_{cg}-I_d$ 曲線には、ほとんど変化が見られない。また、High状態の書き込みの $V_{cg}-I_d$ 曲線とLow状態の書き込みの $V_{cg}-I_d$ 曲線とのシフト量（ ΔV_{cg} ）についても、 1×10^9 回の書き込みの前後でほとんど変化が見られない。

【0265】

図21(B)に、High状態の書き込みまたはLow状態の書き込みにおいてトランジスタ160をオン状態にするために必要な第5の配線に相当する配線の電位と、書き換え回数の関係を示す。図21(B)において、横軸は書き換え回数を示し、縦軸は第5の配線に相当する配線の電位、すなわちトランジスタ160の見かけのしきい値 V_{th} (V)を示す。

【0266】

なお、しきい値は、一般に接線法により算出することができる。具体的には、横軸をゲート電圧 V_g とし、縦軸をドレイン電流 I_d の平方根の値とした曲線に対し、その曲線の傾きが最大となる点における接線を求める。その接線と、横軸（ゲート電圧 V_g の値）との

切片をしきい値とする。図 2 1 (B) においても接線法により見かけのしきい値 V_{th} を算出した。

【0267】

表 1 に、図 2 1 (B) より算出されるメモリウィンドウ幅を示す。なお、メモリウィンドウ幅は、High 状態の書込みにおけるトランジスタ 160 の見かけのしきい値 V_{th_H} と、Low 状態の書込みにおけるトランジスタ 160 の見かけのしきい値 V_{th_L} との差分を算出して求めた。

【0268】

【表 1】

書き込み回数	1×10^0	1×10^1	1×10^2	1×10^3	1×10^4	1×10^5	1×10^6	1×10^7	1×10^8	1×10^9
メモリウィンドウ幅	6.06	6.00	6.01	6.01	6.04	6.00	5.98	6.01	5.96	5.96

10

【0269】

表 1 より、本実施例のメモリセルは、書き込みを 1×10^9 回行う前後において、メモリウィンドウ幅の変化量が 2 % 以内、具体的には 1.68 % であった。したがって、少なくとも 1×10^9 回の書き込み前後において、半導体装置が劣化しないことが示された。

【0270】

図 2 1 (C) に、書き換え回数と、メモリセルの相互コンダクタンス (gm) の関係を示す。図 2 1 (C) において、横軸は書き換え回数を示し、縦軸は相互コンダクタンス (gm) 値を示す。

20

【0271】

メモリセルの相互コンダクタンス (gm) が低下すると、書き込み状態と消去状態の識別が困難となる等の影響が現れるが、図 2 1 (C) に示すように、本実施例のメモリセルでは 10^9 回書き換えを行った後でも gm 値に殆ど変化が見られないことがわかる。よって、本実施例に係る半導体装置は、 10^9 回書き換え後でも劣化しない、極めて信頼性の高い半導体装置であると言える。

【0272】

以上示したように、開示する発明の一態様に係るメモリセルは、保持および書き込みを 10^9 回もの多数回繰り返しても特性が変化せず、書き換え耐性が極めて高い。つまり、開示する発明の一態様によって、極めて信頼性の高いメモリセル、及びそれを搭載した極めて信頼性の高い半導体装置が実現されるといえる。

30

【符号の説明】

【0273】

- 100 基板
- 102 保護層
- 104 半導体領域
- 106 素子分離絶縁層
- 108 ゲート絶縁層
- 110 ゲート電極
- 116 チャネル形成領域
- 120 不純物領域
- 122 金属層
- 124 金属化合物領域
- 128 絶縁層
- 130 絶縁層
- 142 a ソース電極またはドレイン電極
- 142 b ソース電極またはドレイン電極
- 143 a 絶縁層
- 143 b 絶縁層

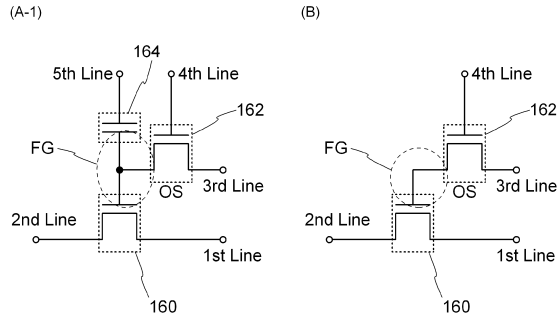
40

50

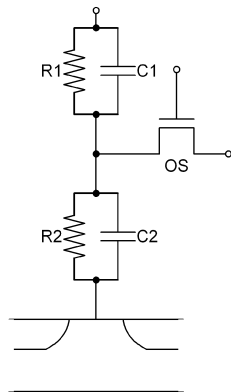
1 4 4	酸化物半導体層	
1 4 6	ゲート絶縁層	
1 4 8 a	ゲート電極	
1 4 8 b	電極	
1 5 0	絶縁層	
1 5 2	絶縁層	
1 5 4	電極	
1 5 6	配線	
1 5 6 a	配線	
1 5 6 b	配線	10
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
1 7 0	メモリセル	
1 8 0	電位変換回路	
1 9 0	第 1 の駆動回路	
1 9 2	第 2 の駆動回路	
1 9 5	配線	
2 1 1	読み出し回路	
2 1 2	制御回路	20
2 1 3	遅延回路	
2 1 4	バッファ回路	
2 2 1	デコーダ回路	
2 2 2	制御回路	
2 2 3	バッファ回路	
2 2 4	バッファ回路	
2 2 5	レベルシフト回路	
2 3 1	スイッチ	
2 3 2	スイッチ	
2 3 3	信号生成回路	30
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	40
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	50

7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクrophon	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	10
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	20
8 0 0	測定系	
8 0 2	容量素子	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 8	トランジスタ	
1 2 0 0	p型トランジスタ	
1 2 1 0	p型トランジスタ	
1 2 2 0	n型トランジスタ	
1 2 3 0	p型トランジスタ	30
1 2 4 0	p型トランジスタ	
1 2 5 0	n型トランジスタ	
1 2 6 0	p型トランジスタ	
1 2 7 0	n型トランジスタ	
1 2 8 0	p型トランジスタ	
1 2 9 0	n型トランジスタ	
1 3 0 0	トランジスタ	
1 3 1 0	トランジスタ	
1 3 2 0	トランジスタ	
1 3 3 0	トランジスタ	40
1 3 4 0	トランジスタ	
1 3 5 0	容量素子	
1 3 6 0	容量素子	
1 3 7 0	容量素子	
1 3 8 0	容量素子	
1 3 9 0	トランジスタ	

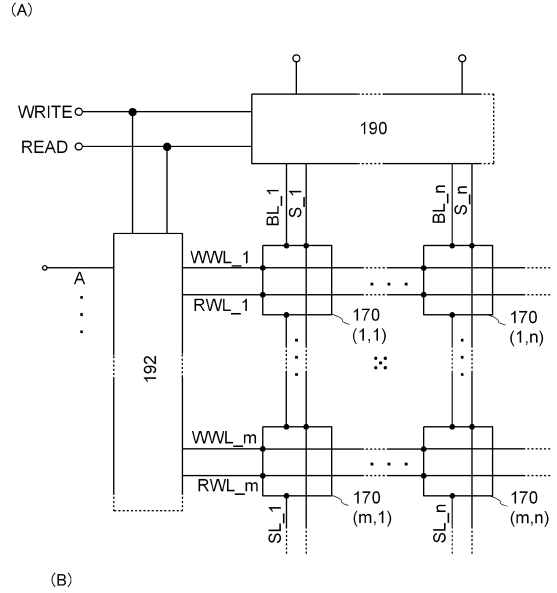
【図 1】



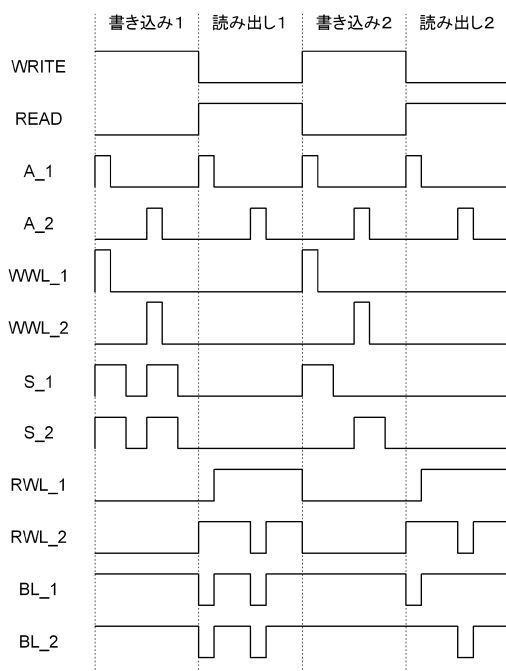
(A-2)



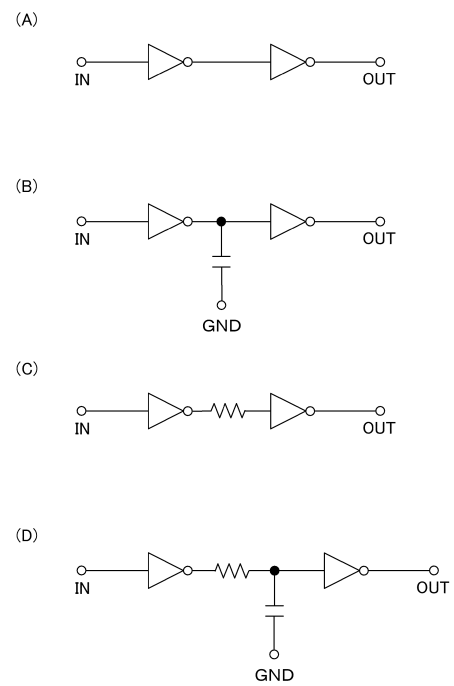
【図 2】



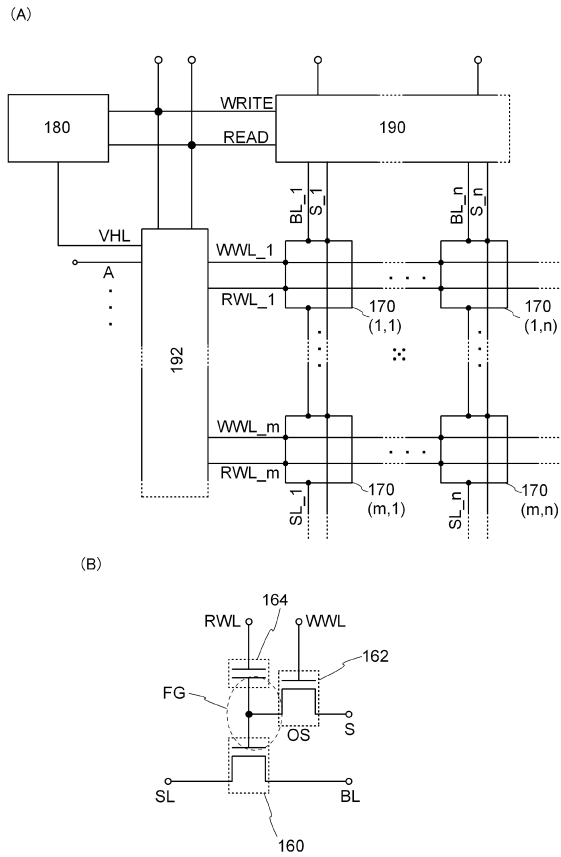
【図 3】



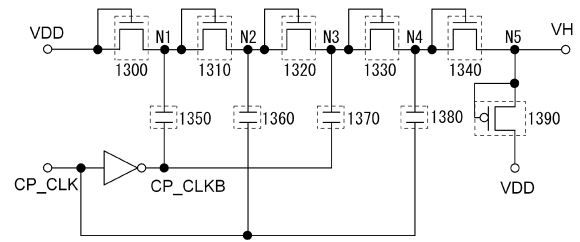
【図 4】



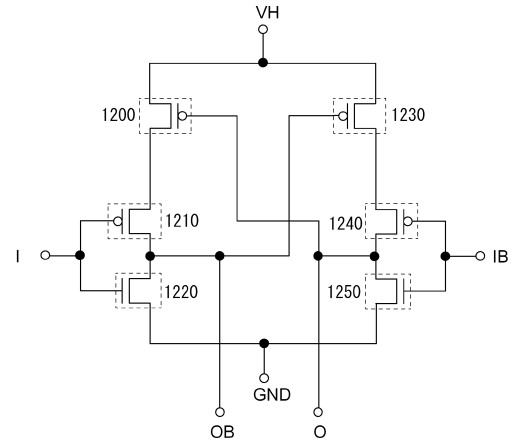
【図 5】



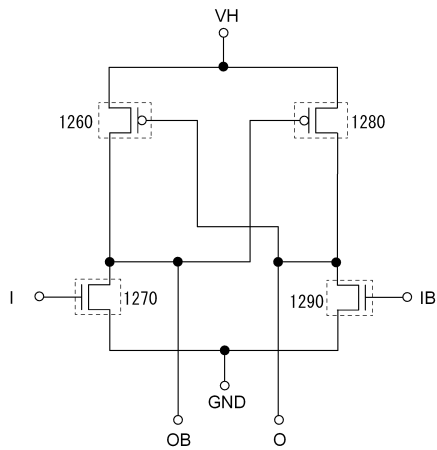
【図 6】



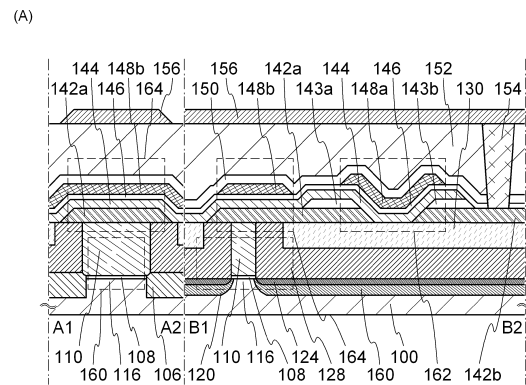
【図 7】



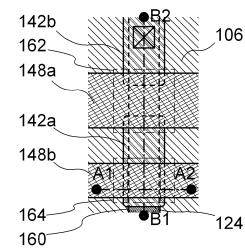
【図 8】



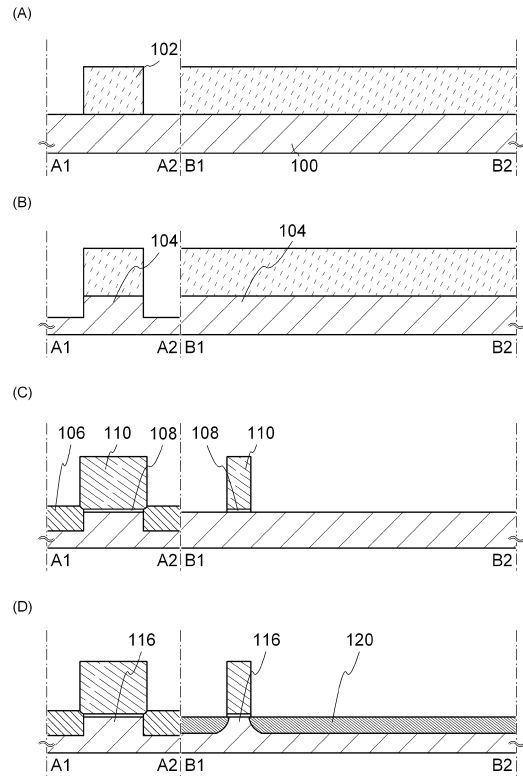
【図 9】



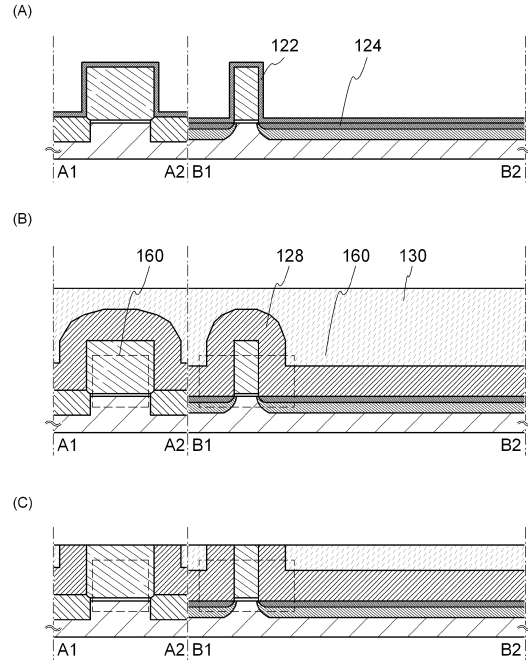
(B)



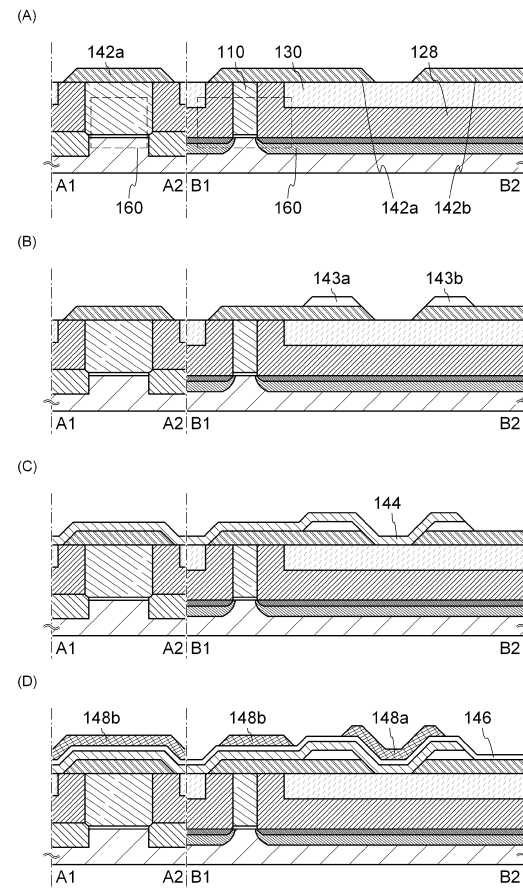
【図 10】



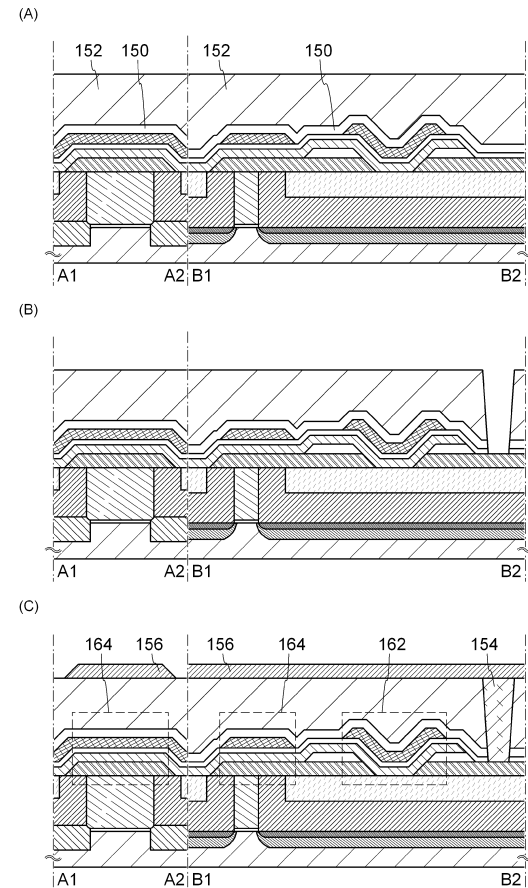
【図 11】



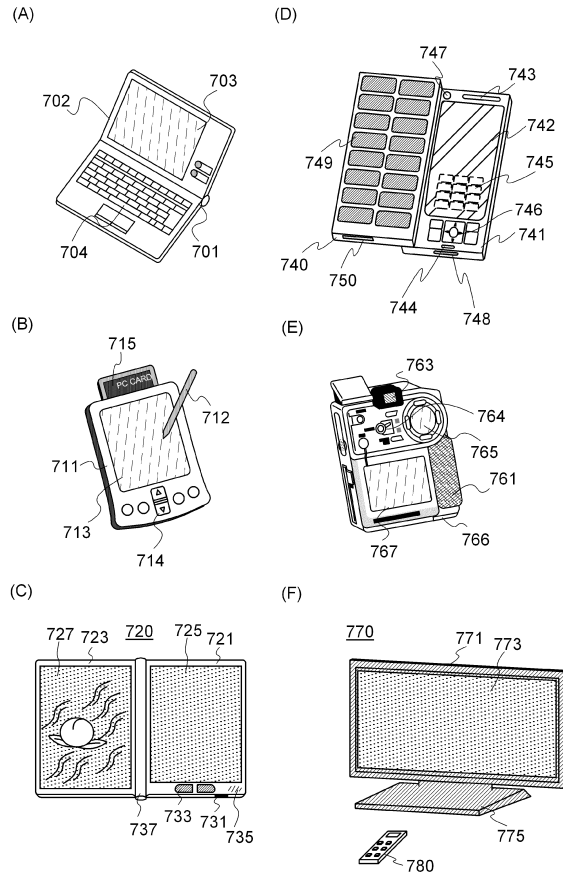
【図 12】



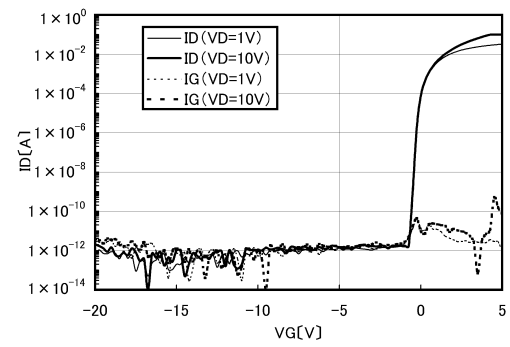
【図 13】



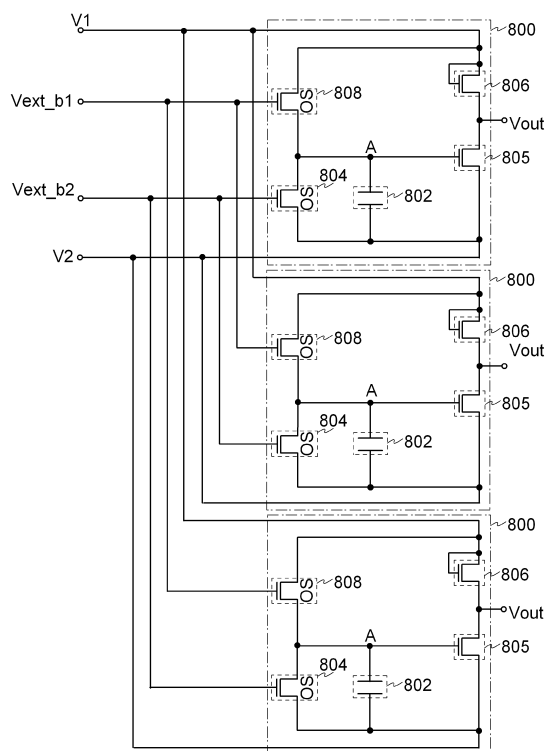
【図 14】



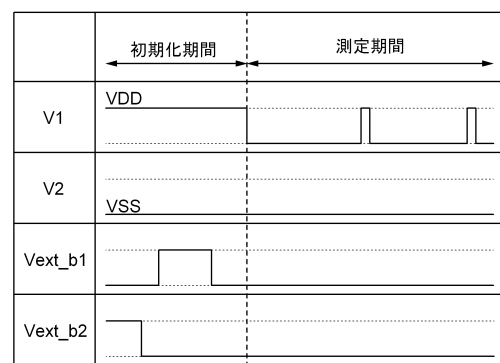
【図 15】



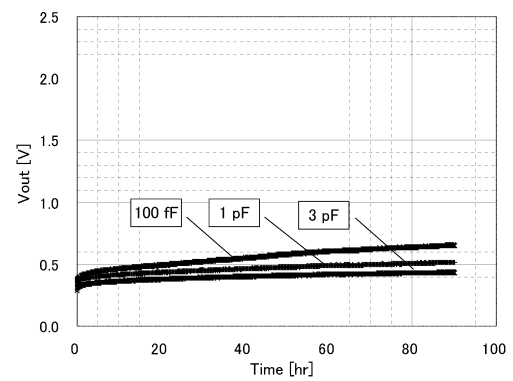
【図 16】



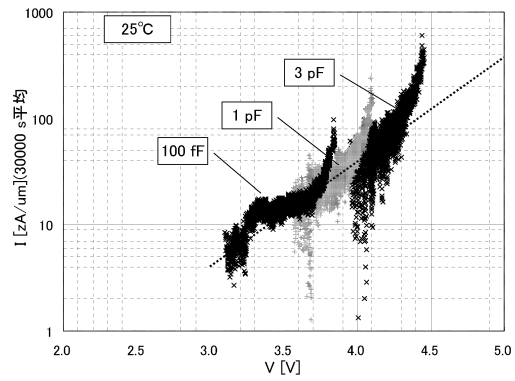
【図 17】



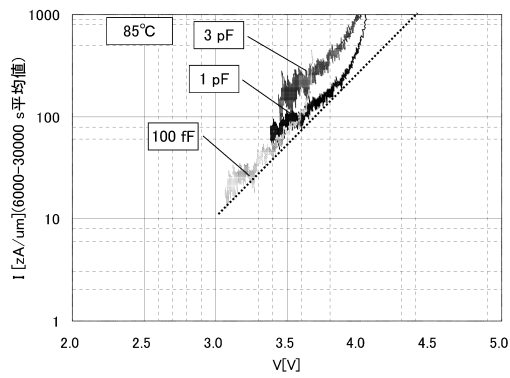
【図 18】



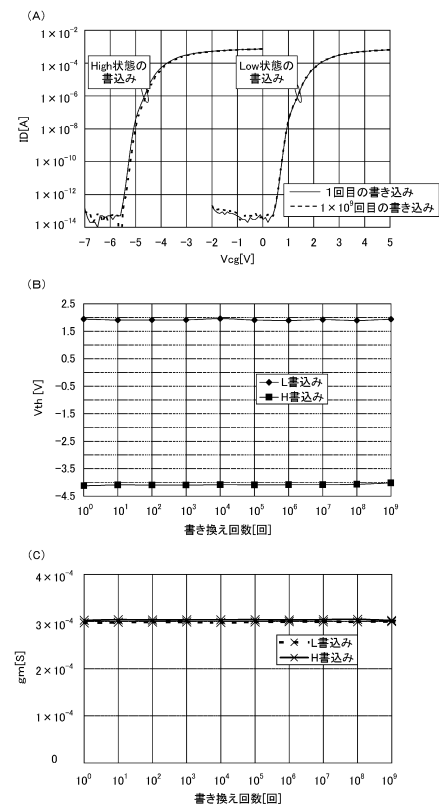
【図 19】



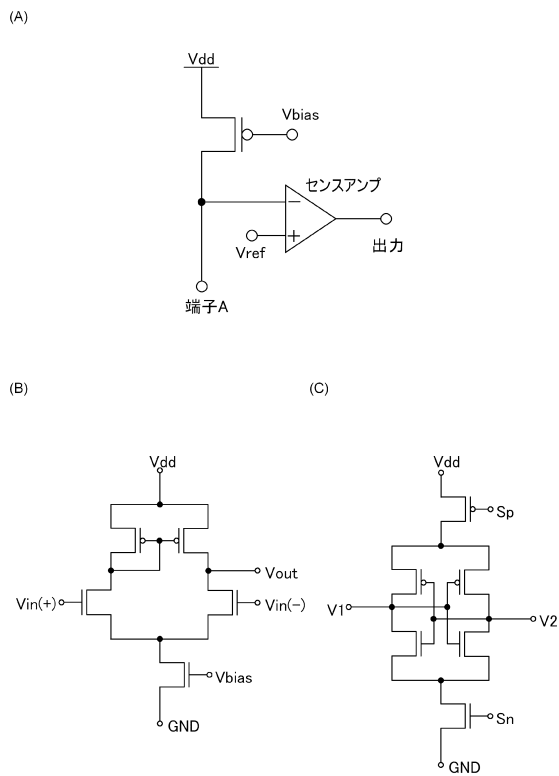
【図 20】



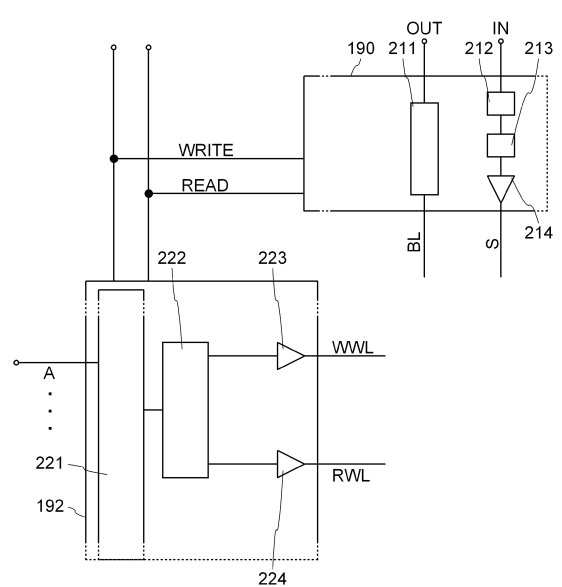
【図 21】



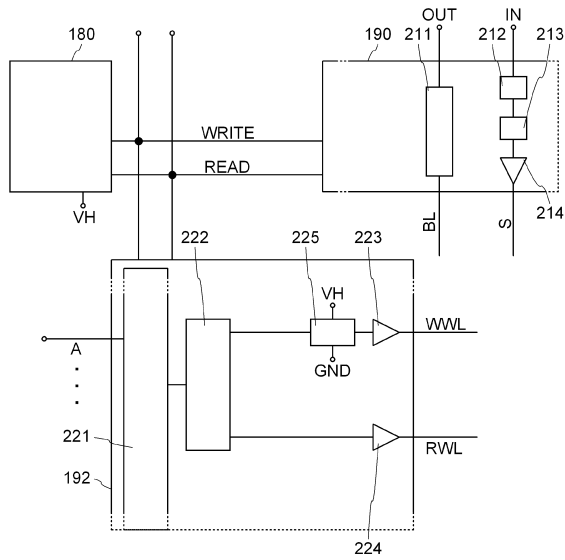
【図 22】



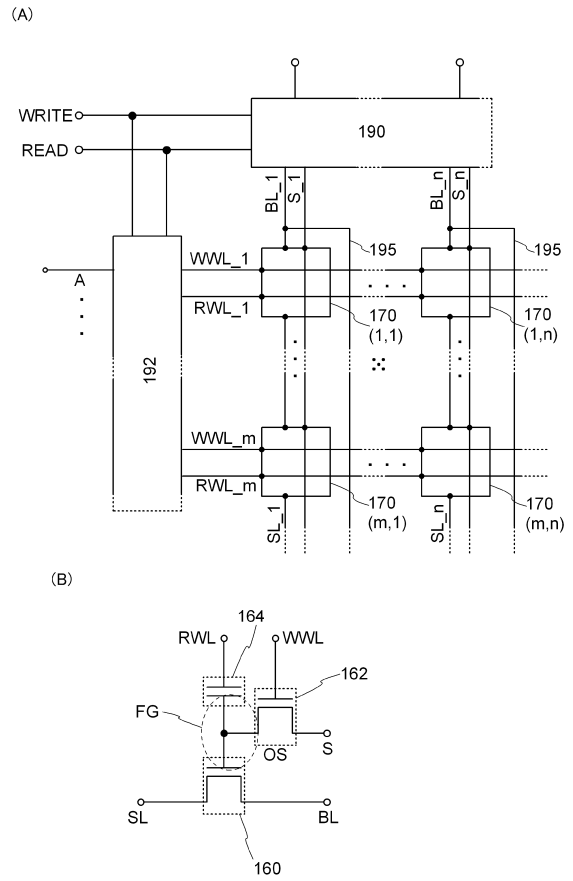
【図 23】



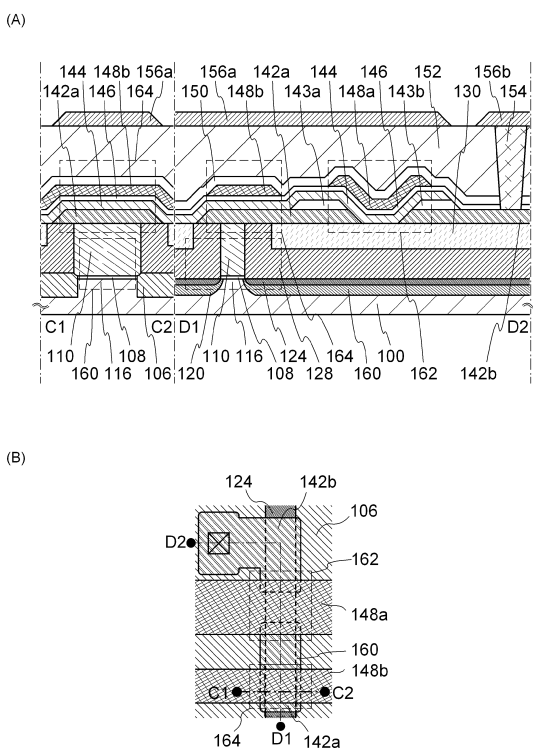
【図 2 4】



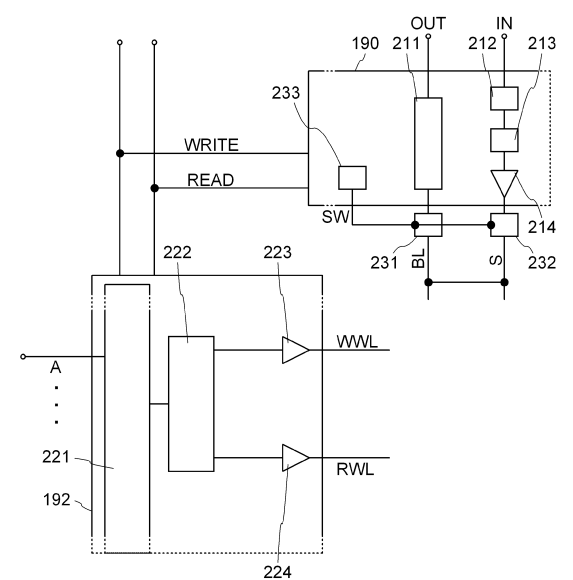
【図 2 5】



【図 2 6】



【図 2 7】



フロントページの続き

審査官 堀田 和義

- (56)参考文献 米国特許出願公開第2005/0073871 (US, A1)
特表2009-534821 (JP, A)
米国特許出願公開第2007/0249115 (US, A1)
特開2006-165529 (JP, A)
特開2009-99847 (JP, A)
特開2008-60419 (JP, A)
特開2011-29626 (JP, A)
特開2011-29627 (JP, A)
特開2011-29628 (JP, A)
特開2011-29629 (JP, A)
国際公開第2011/002046 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G11C	11/405
H01L	21/8242
H01L	27/108
H01L	29/786