



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월05일
 (11) 등록번호 10-0834739
 (24) 등록일자 2008년05월28일

(51) Int. Cl.

H01L 21/8242 (2006.01) *H01L 21/28* (2006.01)

(21) 출원번호 10-2006-0089133

(22) 출원일자 2006년09월14일

심사청구일자 2006년09월14일

(65) 공개번호 10-2008-0024702

(43) 공개일자 2008년03월19일

(56) 선행기술조사문헌

KR1020040081268 A

KR1020060029007 A

KR1020060034930 A

KR1020060108432 A

전체 청구항 수 : 총 20 항

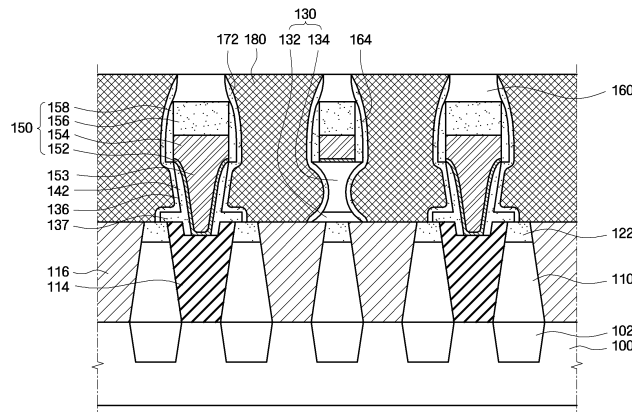
심사관 : 이규재

(54) 반도체 소자 및 그 제조 방법

(57) 요약

반도체 소자 및 그 제조 방법이 제공된다. 반도체 소자는 반도체 기판 상의 제 1 층간 절연막 내에 형성된 콘택 패드, 제 1 층간 절연막 상에 위치하며, 습식 식각율이 다른 절연막이 하나 이상 적층된 제 2 층간 절연막, 제 2 층간 절연막에 형성되어 콘택 패드를 선택적으로 노출시키며, 하부에 콘택 패드 표면을 완전히 노출시키는 돌출부가 형성된 콘택 홀, 돌출부를 채우며 콘택 홀 내벽에 형성된 콘택 스페이서 및 콘택 홀 내에 매립된 콘택 플러그를 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

반도체 기판 상의 제 1 층간 절연막 내에 형성된 콘택 패드;

상기 제 1 층간 절연막 상의 제 2 층간 절연막에 형성되어 상기 콘택 패드를 노출시키며, 하부에 상기 콘택 패드 표면을 완전히 노출시키는 돌출부가 형성된 콘택 홀;

상기 돌출부를 채우며 상기 콘택 홀 내벽에 형성된 콘택 스페이서; 및

내벽에 상기 콘택 스페이서가 형성된 상기 콘택 홀 내에 매립된 콘택 플러그를 포함하는 반도체 소자.

청구항 2

제 1 항에 있어서,

상기 제 2 층간 절연막은 제 1 절연막 및 제 2 절연막이 순차적으로 적층된 반도체 소자.

청구항 3

제 2 항에 있어서,

상기 돌출부는 상기 제 1 절연막에 형성된 반도체 소자.

청구항 4

제 3 항에 있어서,

상기 제 1 절연막은 상기 제 2 절연막보다 작은 두께를 갖는 반도체 소자.

청구항 5

제 2 항에 있어서,

상기 제 1 절연막과 상기 제 2 절연막은 식각율이 서로 다른 막으로 형성된 반도체 소자.

청구항 6

제 5 항에 있어서,

상기 제 1 및 제 2 절연막은 불순물이 도핑된 절연막으로서, 상기 제 1 절연막 내의 불순물 농도가 상기 제 2 절연막 내의 불순물 농도보다 높게 형성된 반도체 소자.

청구항 7

제 6 항에 있어서,

상기 제 1 또는 제 2 절연막은 BSG(BoroSilicate Glass)막, PSG(PhosphoSilicate Glass)막 및 BPSG(BoroPhosphoSilicate Glass)막 중 선택된 어느 하나의 막인 반도체 소자.

청구항 8

제 1 항에 있어서,

상기 콘택 플러그는 금속 배리어막 및 금속막이 적층된 반도체 소자.

청구항 9

제 1 항에 있어서,

상기 콘택 스페이서는 질화막으로 형성된 반도체 소자.

청구항 10

제 1 항에 있어서,

상기 콘택 패드 상부의 외벽을 둘러싸는 외부 스페이서를 더 포함하는 반도체 소자.

청구항 11

반도체 기판 상의 제 1 층간 절연막 내에 콘택 패드를 형성하고,

상기 제 1 층간 절연막 상에 제 2 층간 절연막을 형성하고,

상기 제 2 층간 절연막에 상기 콘택 패드를 노출시키며, 하부에 상기 콘택 패드 표면을 완전히 노출시키는 돌출부가 형성된 콘택 홀을 형성하고,

상기 콘택 홀의 내벽에 상기 돌출부를 채우는 콘택 스페이서를 형성하고,

내벽에 상기 콘택 스페이서가 형성된 상기 콘택 홀 내에 도전 물질을 매립하여 콘택 플러그를 형성하는 것을 포함하는 반도체 소자 제조 방법.

청구항 12

제 11 항에 있어서,

상기 제 2 층간 절연막은 제 1 절연막 및 제 2 절연막을 순차적으로 적층하여 형성하는 반도체 소자 제조 방법.

청구항 13

제 12 항에 있어서,

상기 제 1 절연막과 상기 제 2 절연막은 식각율이 서로 다른 막으로 형성되는 반도체 소자 제조 방법.

청구항 14

제 13 항에 있어서,

상기 제 1 및 제 2 절연막은 불순물이 도핑된 절연막으로 형성하되, 상기 제 1 절연막 내의 불순물 농도가 상기 제 2 절연막 내의 불순물 농도보다 높게 형성하는 반도체 소자 제조 방법.

청구항 15

제 14 항에 있어서,

상기 제 1 또는 제 2 절연막은 BSG(BoroSilicate Glass)막, PSG(PhosphoSilicate Glass)막 및 BPSG(BoroPhosphoSilicate Glass)막 중 선택된 어느 하나의 막으로 형성하는 반도체 소자 제조 방법.

청구항 16

제 12 항에 있어서,

상기 제 1 절연막은 상기 제 2 절연막보다 작은 두께로 형성하는 반도체 소자 제조 방법.

청구항 17

제 16 항에 있어서,

상기 돌출부는 상기 제 1 절연막에 형성하는 반도체 소자 제조 방법.

청구항 18

제 11 항에 있어서,

상기 콘택 스페이서는 질화막으로 형성하는 반도체 소자 제조 방법.

청구항 19

제 11 항에 있어서,

상기 콘택 플러그를 형성하는 것은 금속 배리어막 및 금속막을 적층하여 형성하는 반도체 소자 제조 방법.

청구항 20

제 11 항에 있어서,

상기 콘택 패드를 형성한 후, 상기 콘택 패드 상부의 외벽을 둘러싸는 외부 스페이서를 형성하는 것을 더 포함하는 반도체 소자 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 반도체 소자 제조 방법 및 이에 따라 제조된 반도체 소자에 관한 것으로서, 더욱 상세하게는 콘택의 전기적 불량을 방지할 수 있는 반도체 소자 및 그 제조 방법에 관한 것이다.
- <19> 반도체 소자의 집적도가 증가함에 따라 소자와 소자 또는 층과 층을 연결시키기 위한 콘택 홀의 크기는 감소하는 반면, 층간 절연막의 두께는 증가하고 있다. 따라서, 콘택 홀의 어스펙트 비(aspect ratio)가 증가하여 사진 식각 공정시 콘택 홀의 정렬 마진(alignment margin)이 감소한다
- <20> 이에 따라 스토리지 노드용 콘택 플러그인 매몰 콘택(BC: buried contact)의 사이즈 또한 감소하게 되어, 하부로 갈수록 폭이 점차 작아지거나 콘택 홀이 완전히 형성되지 않는 문제가 발생할 수 있다. 따라서 매몰 콘택의 사이즈를 증가시키기 위해 콘택 홀 형성 후, 콘택 홀에 대해 습식 식각 공정을 수행하여 콘택 홀의 폭을 확장시켰다.
- <21> 한편, 반도체 메모리 소자의 집적도가 증가함에 따라 비트 라인의 사이즈 또한 작아져 확장된 매몰 콘택을 형성하기 위한 습식 식각 공정시 하부에 위치하는 패드의 절연 마진이 부족하여 인접한 패드의 일부를 노출시키게 된다. 이에 따라 식각액이 비트 라인과 하부의 콘택 패드를 연결하는 콘택(DC: Direct Contact)으로 침투하여 도전 물질이 식각될 수 있다.
- <22> 따라서, 후속 공정시 비트 라인 하부의 콘택(DC) 일부에 절연 물질이 채워지거나, 매몰 콘택의 도전 물질로 채워져 원하지 않는 전기적 불량을 발생시킬 수 있다.

발명이 이루고자 하는 기술적 과제

- <23> 본 발명이 이루고자 하는 기술적 과제는 콘택의 전기적 불량을 방지할 수 있는 반도체 소자를 제공하는데 있다.
- <24> 또한, 본 발명이 이루고자 하는 다른 기술적 과제는 이러한 반도체 소자의 제조 방법을 제공하는데 있다.
- <25> 본 발명이 이루고자 하는 기술적 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <26> 상기 기술적 과제를 달성하기 위하여 본 발명의 일 실시예에 따른 반도체 소자는 반도체 기판 상의 제 1 층간 절연막 내에 형성된 콘택 패드, 제 1 층간 절연막 상에 위치하며, 습식 식각율이 다른 절연막이 하나 이상 적층된 제 2 층간 절연막, 제 2 층간 절연막에 형성되어 콘택 패드를 선택적으로 노출시키며, 하부에 콘택 패드 표면을 완전히 노출시키는 돌출부가 형성된 콘택 홀, 돌출부를 채우며 콘택 홀 내벽에 형성된 콘택 스페이서 및 콘택 홀 내에 매립된 콘택 플러그를 포함한다.
- <27> 상기 다른 기술적 과제를 달성하기 위하여 본 발명의 일 실시예에 따른 반도체 소자 제조 방법은 반도체 기판 상의 제 1 층간 절연막 내에 콘택 패드를 형성하고, 제 1 층간 절연막 상에 습식 식각율이 다른 절연막이 하나 이상 적층된 제 2 층간 절연막을 형성하고, 제 2 층간 절연막에 콘택 패드를 선택적으로 노출시키며, 하부에 콘택 패드 표면을 완전히 노출시키는 돌출부가 형성된 콘택 홀을 형성하고, 콘택 홀의 내벽에 돌출부를 채우는 콘택 스페이서를 형성하고, 콘택 홀 내에 도전 물질을 매립하여 콘택 플러그를 형성하는 것을 포함한다.

- <28> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <29> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <30> 이하, 첨부된 도면들을 참조하여 본 발명의 일 실시예를 상세히 설명하기로 한다.
- <31> 먼저, 도 1 및 도 2를 참조하여 본 발명의 일 실시예에 따른 반도체 소자의 구조에 대해 설명하면 다음과 같다.
- <32> 도 1은 본 발명의 실시예들에 따른 반도체 소자의 레이아웃도이며, 도 2는 본 발명의 일 실시예에 따른 단면도로서, 도 1의 II-II'선을 따라 자른 단면도이다.
- <33> 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(100)은 소자 분리막(102)에 의해 활성 영역(104)이 정의되어 있으며, 반도체 기판(100) 상에는 일방향으로 연장된 다수의 게이트 라인(112)이 위치한다. 그리고 게이트 라인(112)들 양측의 활성 영역(104) 내에는 불순물 영역(미도시)이 형성되어 있다.
- <34> 게이트 라인(112)들 상에는 제 1 층간 절연막(110')이 위치하며, 게이트 라인(112)들 사이의 제 1 층간 절연막(110') 내에는 콘택 패드(114, 116)가 형성되어 있다. 콘택 패드(114, 116)는 고농도의 불순물이 도핑된 폴리실리콘과 같은 도전 물질 또는 금속 물질로 형성되어 있다. 콘택 패드(114, 116)는 게이트 라인(112)에 대하여 자기 정렬된 콘택 패드(SAC: Self- Aligned Contact pad)일 수 있다.
- <35> 이와 같은 콘택 패드는 상부의 비트 라인(150)과 전기적으로 연결된 비트 라인용 콘택 패드(114)와 상부의 스토리지 노드(미도시)와 전기적으로 연결되는 스토리지 노드용 콘택 패드(116)로 구분할 수 있다. 그리고 콘택 패드(114, 116) 사이의 제 1 층간 절연막(110') 상부에는 콘택 패드(114, 116) 상부의 외벽을 감싸는 외부 스페이서(122)가 형성되어 있다. 외부 스페이서(122)는 실리콘 질화막(SiN) 또는 실리콘 산질화막(SiON)으로 이루어질 수 있다.
- <36> 콘택 패드(114, 116) 및 외부 스페이서(122) 상에는 제 2 층간 절연막(130)이 위치하고 있으며, 제 2 층간 절연막(130) 내에는 비트 라인용 콘택 패드(114)와 전기적으로 연결되는 비트 라인 콘택 플러그(153)가 형성되어 있다.
- <37> 여기서, 제 2 층간 절연막(130)은 식각율이 서로 다른 절연막이 하나 이상 적층되어 있다. 예를 들어, 제 2 층간 절연막(130)은 제 1 절연막(132) 및 제 2 절연막(134)이 순차적으로 적층된 구조를 갖을 수 있으며, 하부에 위치하는 제 1 절연막(132)의 식각율이 상부에 위치하는 제 2 절연막(134)의 식각율보다 높은 물질로 형성되어 있다. 예를 들어, 제 1 및 제 2 절연막(132, 134)은 동일한 물질로 이루어지되, 각각 불순물의 농도가 다르게 형성됨으로써 식각율의 차이를 갖을 수 있다. 즉, 하부에 위치하는 제 1 절연막(132)의 불순물 농도가 제 2 절연막(134)의 불순물 농도보다 높게 형성되어 있으며, 이에 따라 제 1 절연막(132)의 습식 식각율이 제 2 절연막(132)보다 높게 된다. 또한, 제 2 절연막보다 식각율이 높은 제 1 절연막(132)이 하부에 위치하며, 제 2 절연막(132)보다 작은 두께를 갖는다.
- <38> 이와 같은 제 2 층간 절연막(130)에는 하부의 비트 라인용 콘택 패드(114)를 노출시키는 비트 라인용 콘택 홀(136)이 형성되어 있으며, 비트 라인용 콘택 홀(136)은 인접한 비트 라인(150) 방향으로 돌출된 돌출부(137)를 갖는다. 돌출부(137)는 제 2 층간 절연막(130)의 하부에 위치하는 제 1 절연막(132) 내에 형성되어 비트 라인용 콘택 패드(114)의 표면 전체를 노출시킨다. 이러한 비트 라인용 콘택 홀(136)은 도면에 도시된 바와 같이 하부의 비트 라인용 콘택 패드(114) 내로 소정 깊이 리세스되어 형성될 수도 있다.
- <39> 그리고, 비트 라인용 콘택 홀(136)의 내벽에는 돌출부(137)를 채우는 비트 라인용 콘택 스페이서(142)가 형성되어 있다. 비트 라인용 콘택 스페이서(142)는 질화물로 이루어질 수 있다. 이와 같은 비트 라인용 콘택 스페이서(142)는 저면에 형성된 돌출부(137)에 의해 비트 라인용 콘택 패드(114) 표면의 가장자리를 덮는다.
- <40> 내벽에 비트 라인 콘택 스페이서(142)를 갖는 비트 라인용 콘택 홀(136) 내에는 도전 물질로 이루어진 비트 라인 콘택 플러그(153)가 형성되어 있다. 비트 라인 콘택 플러그(153)가 금속막으로 이루어질 경우 금속막 하부에는 금속 배리어막(152)이 위치할 수 있다.
- <41> 이 때, 금속 배리어막(152)은 하부의 비트 라인용 콘택 패드(114)와 접촉되므로, 금속 배리어막(152)과 비트 라

인용 콘택 패드(114)의 계면에 금속 실리사이드막(미도시)이 형성된다.

- <42> 그리고, 제 2 층간 절연막(130) 상에는 비트 라인 콘택 플러그(153)와 연결되고, 하부의 게이트 라인(112)과 수직 방향으로 연장된 다수의 비트 라인(150)이 형성되어 있다. 비트 라인(150)은 비트 라인용 도전막(154) 및 비트 라인 캡핑막(156)이 적층되어 있으며, 비트 라인용 도전막(154) 및 비트 라인 캡핑막의 측벽에 스페이서(158)가 위치한다. 여기서, 비트 라인용 도전막(132)은 하부의 비트 라인 콘택 플러그(153)와 마찬가지로 금속막일 수 있다.
- <43> 그리고 비트 라인(150) 상에는 제 3 층간 절연막(160)이 위치하며, 제 2 및 제 3 층간 절연막(130, 160)에 걸쳐 하부의 스토리지 노드용 콘택 패드(116)를 노출시키는 스토리지 노드용 확장 콘택 홀(164)이 형성되어 있다. 스토리지 노드용 확장 콘택 홀(164)은 하부의 스토리지 노드용 콘택 패드(116)의 노출 면적을 증가시키도록 형성되어 있다. 즉, 스토리지 노드용 확장 콘택 홀(164)은 제 2 층간 절연막(130) 내에서 비트 라인 콘택 플러그(153)의 비트 라인 콘택 스페이서(142)까지 노출시키도록 형성될 수 있다. 이 때, 스토리지 노드용 콘택 패드(116)와 인접한 비트 라인용 콘택 패드(114)는 돌출부(137)를 갖는 비트 라인 콘택 스페이서(142)와 외부 스페이서(122)에 의해 노출되지 않는다.
- <44> 스토리지 노드용 확장 콘택 홀(164)의 내벽에는 스토리지 노드용 콘택 스페이서(172)가 형성되어 있으며, 스토리지 노드용 확장 콘택 홀(164) 내부에는 도전 물질로 이루어진 스토리지 노드 콘택 플러그(180)가 형성되어 있다. 이와 같이 스토리지 노드용 확장 콘택 홀(164) 내에 스토리지 노드 콘택 플러그(180)가 형성되어 있으므로 스토리지 노드용 콘택 패드(116)와의 접촉 면적이 증가된다. 그리고 스토리지 노드용 콘택 스페이서(172)에 의해 스토리지 노드 콘택 플러그(180)들 간의 브릿지 현상을 방지할 수 있다.
- <45> 이하, 도 1, 도 3 내지 도 12 및 도 2를 참조하여 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법에 대해 상세히 설명한다. 도 3 내지 도 12는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 단계별로 나타낸 단면도들이다.
- <46> 먼저, 도 3에 도시된 바와 같이, LOCOS(Local Oxidation of Silicon) 공정 또는 STI(Shallow Trench Isolation) 공정을 수행하여 활성 영역(104)을 정의하는 소자 분리막(102)을 형성한다.
- <47> 그리고, 활성 영역(104)이 정의된 반도체 기판(100) 상에 활성 영역(104)을 가로지르며 일 방향으로 연장된 다수의 게이트 라인(112)들을 형성한다.
- <48> 이어서, 게이트 라인(112)들이 형성된 반도체 기판(100) 전면에 절연 물질을 증착하고, 화학 기계적 연마(CMP: Chemical Mechanical Polishing) 또는 에치 백(etch back) 공정을 실시하여 상부를 평탄화시킴으로써 제 1 층간 절연막(110)을 형성한다. 제 1 층간 절연막(110)은 실리콘 산화물로 형성할 수 있다.
- <49> 다음으로, 제 1 층간 절연막(110)에 통상의 사진 식각(photo lithography) 공정을 실시하여 반도체 기판(100) 내의 불순물 영역(미도시)을 노출시키는 콘택 홀을 형성한다. 콘택 홀을 형성시, 게이트 라인(112)에 대하여 높은 식각 선택비를 갖는 식각 가스를 이용하여 식각하게 되면, 콘택 홀들이 게이트 라인(112)에 대하여 자기 정렬(self-alignment)되면서 반도체 기판(100) 내의 불순물 영역(미도시)이 노출될 수 있다.
- <50> 다음으로, 콘택 홀이 형성된 제 1 층간 절연막(110) 전면에 고농도의 불순물로 도핑된 폴리실리콘과 같은 도전 물질 또는 금속 물질을 증착하여 콘택 홀을 매립시키는 도전막을 형성한다. 이어서, 제 1 층간 절연막(110)의 상부가 노출될 때까지 도전막을 평탄화시킴으로써 제 1 층간 절연막(110) 내에 자기 정렬된 콘택 패드(114, 116)를 형성한다. 콘택 패드는 후속 공정에 따라 비트 라인용 콘택 패드(114) 또는 스토리지 노드용 콘택 패드(116)로 구분할 수 있다.
- <51> 그리고 나서, 도 4에 도시된 바와 같이, 제 1 층간 절연막(110) 상부를 등방성 식각하여 제 1 층간 절연막(110)을 리세스(recess)시킨다. 이 때, 제 1 층간 절연막(110)은 콘택 패드(114, 116)의 표면으로부터 약 500 ~ 600 Å 정도의 깊이로 리세스되도록 습식 식각한다. 제 1 층간 절연막(110)은 불산 용액(HF) 또는 암모니아(NH₄OH), 과산화수소(H₂O₂), 및 탈이온수의 혼합 용액을 사용하여 식각할 수 있다. 이에 따라, 콘택 패드(114, 116)가 주변의 제 1 층간 절연막(110')보다 상대적으로 돌출되며, 콘택 패드(114, 116) 상부의 외측벽이 일부 노출된다.
- <52> 이 후, 도 5에 도시된 바와 같이, 제 1 층간 절연막(110') 및 콘택 패드(114, 116) 상에 질화막(120)을 소정 두께로 증착한다. 이 때, 질화막(120)은 실리콘 질화막(SiN) 또는 실리콘 산질화막(SiON) 등으로 형성할 수 있다. 그리고 나서, 질화막(120)을 콘택 패드(114, 116)가 노출될 때까지 이방성 식각함으로써, 도 6에 도시된 바와

같이 콘택 패드(114, 116) 사이의 리세스된 제 1 층간 절연막(110')을 덮으며, 제 1 층간 절연막(110')의 상면으로부터 돌출된 콘택 패드(114, 116)의 외측벽을 감싸는 외부 스페이서(122)를 형성한다. 이와 같은 외부 스페이서(122)는 CMP 공정 등을 수행하여 질화막(120)을 평탄화함으로써 형성될 수도 있을 것이다. 이에 따라 외부 스페이서(122)는 후속 공정으로부터 콘택 패드(114, 116) 상부의 외측벽을 보호할 수 있다.

<53> 다음으로, 외부 스페이서(122) 및 콘택 패드(114, 116)의 표면 상에 절연 물질을 증착하여 제 2 층간 절연막(130)을 형성한다. 보다 상세히 설명하면, 제 2 층간 절연막(130)은 식각율이 서로 다른 절연막을 하나 이상 적층하여 형성한다. 즉, 제 2 층간 절연막(130)은 제 1 및 제 2 절연막(132, 134)을 적층하여 형성할 수 있으며, 제 2 층간 절연막(130) 하부에 위치하는 제 1 절연막(132)의 식각율이 제 2 층간 절연막(134)의 식각율보다 높게 형성한다.

<54> 예를 들어, 제 1 및 제 2 절연막(132, 134)은 BSG(BoroSilicate Glass), PSG(PhosphoSilicate Glass), BPSG(BoroPhosphoSilicate Glass), PE-TEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate) 또는 HDP(High Density Plasma) 등과 같이 실리콘 산화막 중 선택된 물질을 증착하여 형성할 수 있다.

<55> 그리고, 제 2 층간 절연막(130)은 제 1 및 제 2 절연막(132, 134) 내 불순물의 농도를 달리하여 식각율의 차이를 갖도록 형성할 수 있다. 즉, 제 1 및 제 2 절연막(132, 134)은 불순물을 포함하는 실리콘 산화막인 BSG, PSG 또는 BPSG 등으로 형성할 수 있다. 그리고 제 1 절연막(132) 내의 불순물 농도가 제 2 절연막(132) 내의 불순물 농도보다 높게 형성함으로써 제 1 절연막(132)의 식각율을 높게 할 수 있다. 이와 같이 제 2 층간 절연막(130)을 형성할 때, 제 1 절연막(132) 및 제 2 절연막(134)은 인-시츄(in-situ)로 형성할 수 있을 것이다.

<56> 또한, 콘택 패드(114, 116) 상에 위치하며 습식 식각율이 높은 제 1 절연막(132)은 상부에 위치하는 제 2 절연막(134)의 두께보다 작게 형성할 수 있다.

<57> 다음으로, 도 7에 도시된 바와 같이, 제 2 층간 절연막(130)에 대해 통상의 사진 식각 공정을 실시하여 하부의 비트 라인용 콘택 패드(114)를 노출시키는 비트 라인용 콘택 홀(136)을 형성한다. 이 때, 제 2 층간 절연막(130)은 식각율이 서로 다른 제 1 제 2 절연막(132, 134)으로 형성되어 있으므로, 제 1 및 제 2 절연막(132, 134)에서의 측벽 프로파일이 다르게 형성된다.

<58> 보다 상세히 설명하면, 제 2 층간 절연막(130)을 건식 식각하여 비트 라인용 콘택 패드(114)의 표면을 노출시키는 콘택 홀을 형성한다. 건식 식각을 통해 형성되는 콘택 홀은 이상적으로 비트 라인용 콘택 패드(114)의 중앙부를 노출시킨다. 그리고 나서, 건식 식각으로 형성된 콘택 홀에 대해 습식 클리닝 공정을 진행한다. 이에 따라 식각율이 높은 제 1 절연막(132)이 빠르게 식각되면서 돌출부(137)가 형성된다. 이와 같은 돌출부(137)는 건식 식각시 노출되지 않았던 비트 라인용 콘택 패드(114) 가장자리의 표면을 완전히 노출시킨다. 여기서 습식 클리닝 용액으로는 불산 용액(HF) 또는 암모니아(NH₄OH), 과산화수소(H₂O₂), 및 탈이온수의 혼합 용액을 사용할 수 있을 것이다.

<59> 이와 같이 돌출부(137)가 형성된 비트 라인용 콘택 홀(136)을 형성하는 것은 제 2 층간 절연막(130)에 대한 이방성 식각만으로도 형성할 수 있을 것이다. 그리고, 비트 라인용 콘택 홀(136)은 건식 식각시 비트 라인용 콘택 패드(114)의 일부까지 식각함으로써 리세스될 수 있다.

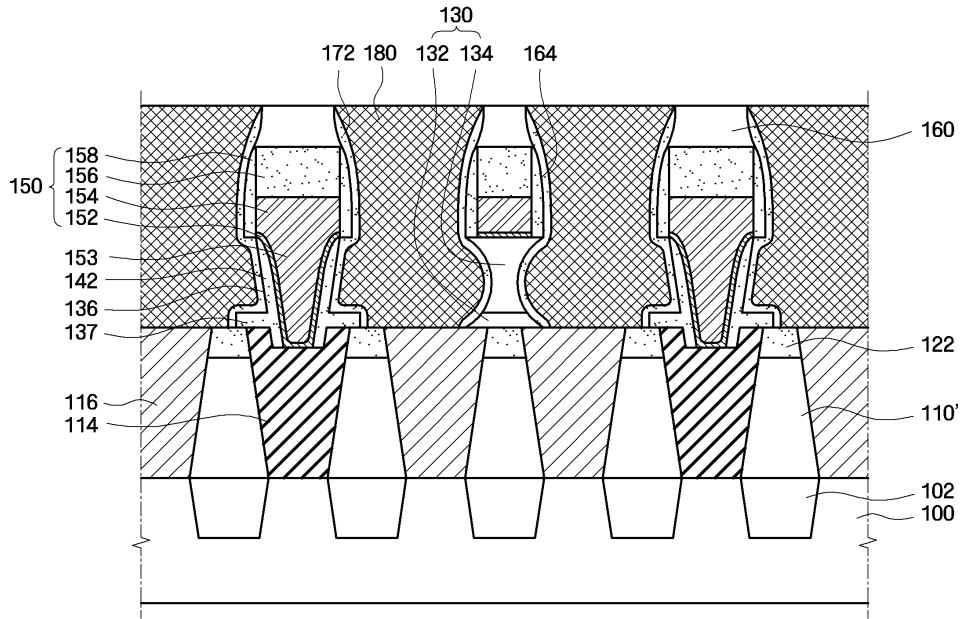
<60> 다음으로, 도 8에 도시된 바와 같이, 비트 라인용 콘택 홀(136)이 형성된 결과물 전면에 스페이서용 질화막을 증착한다. 스페이서용 질화막은 실리콘 질화막을 약 100 ~ 300Å의 두께로 증착하여 형성할 수 있으며, 비트 라인용 콘택 홀(136)의 돌출부(137)를 충전시킨다. 이 후, 스페이서용 절연막에 대해 에치백 공정을 실시함으로써 비트 라인용 콘택 홀(136)의 내벽에 비트 라인용 콘택 스페이서(142)를 형성한다.

<61> 그리고 나서, 도 9에 도시된 바와 같이, 비트 라인용 콘택 홀(136) 내에 도전 물질을 충전시켜 비트 라인용 콘택 플러그(153)를 형성한다. 이 때, 도전 물질을 제 2 층간 절연막(130) 상부까지 충분히 두껍게 형성하고 평탄화하여 비트 라인용 도전막(154)을 동시에 형성할 수 있다.

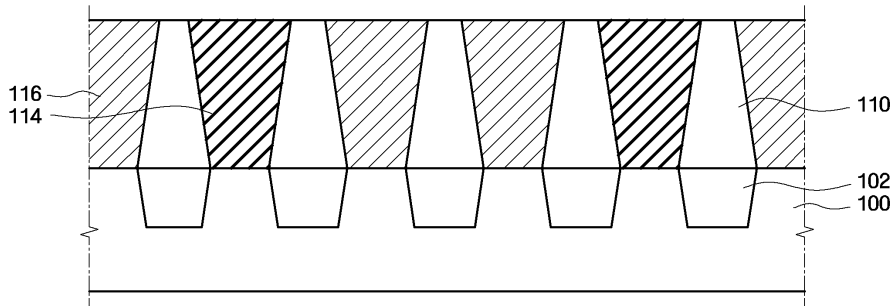
<62> 보다 구체적으로, 비트 라인용 콘택 플러그(153)는 금속막으로 형성할 수 있으며, 금속 물질로는 W, Cu 또는 Al 등이 사용될 수 있다. 그리고, 금속막을 형성하기 전 금속 물질의 확산을 방지하고 콘택 저항을 감소시키기 위한 금속 배리어막(152)을 얇게 형성한다. 금속 배리어막(152)으로는 Ta, TaN, TaSiN, Ti, TiN, TiSiN, W, WN 중 선택된 어느 하나이거나 이들의 조합으로 형성할 수 있다. 이와 같이, 비트 라인용 콘택 플러그(153)를 형성하게 되면 금속 배리어막(152)과 비트 라인용 콘택 패드(114)의 계면에는 금속 실리사이드(미도시)가 형성될 수 있다.

- <63> 비트 라인용 도전막(154)까지 형성한 후에는, 비트 라인용 도전막(154) 상에 질화막을 증착하여 비트 라인용 캡핑막(156)을 형성한다.
 - <64> 다음으로, 도 10에 도시된 바와 같이, 비트 라인용 캡핑막(156) 및 비트 라인용 도전막(154)을 패터닝하여 하부의 게이트 라인(112)들과 수직 방향으로 연장되며, 비트 라인 콘택 플러그(153)와 전기적으로 연결되는 다수의 비트 라인(150)들을 형성한다. 그리고 비트 라인(150)은 패터닝된 비트 라인용 캡핑막(156) 및 비트 라인용 도전막(154) 측벽에 비트 라인용 스페이서(158)를 포함한다. 비트 라인용 스페이서(158)는 비트 라인용 캡핑막(156) 및 비트 라인용 도전막(154)을 패터닝 후 전면에 질화막을 증착하고 에치 백하여 형성할 수 있다.
 - <65> 이 후, 도 11에 도시된 바와 같이, 전면에 비트 라인(150)을 매립시키는 절연 물질을 증착하고 평탄화하여 제 3 층간 절연막(160)을 형성한다. 제 3 층간 절연막(160)은 BPSG(BoroPhosphoSilicate Glass), PE-TEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate) 또는 HDP(High Density Plasma) 등과 같은 실리콘 산화막으로 이루어질 수 있다.
 - <66> 그리고 나서, 제 3 층간 절연막(160) 상에 하부의 스토리지 노드용 콘택 패드(116)를 노출시키기 위한 마스크 패턴(미도시)을 형성한다. 그리고 상기 마스크 패턴을 이용하여 제 2 및 제 3 층간 절연막(130, 160)을 건식 식각함으로써 스토리지 노드용 콘택 패드(116)의 일부를 노출시키는 폭이 좁은 스토리지 노드용 콘택 홀(162)을 형성한다. 이와 같은 형성된 스토리지 노드용 콘택 홀(162)은 종횡비(aspect ratio)가 크기 때문에 하부로 갈수록 폭이 좁아진다.
 - <67> 그러므로, 스토리지 노드용 콘택 패드(116)의 노출 면적을 증가시키기 위해 스토리지 노드용 콘택 홀(163)에 대해 습식 식각을 수행한다. 이 때, 식각액으로는 암모니아(NH₄OH), 과산화수소(H₂O₂), 및 탈이온수의 혼합 용액 또는 불산 용액(HF)을 사용할 수 있을 것이다.
 - <68> 이에 따라 스토리지 노드용 콘택 홀(162)이 비트 라인(150) 방향으로 확장된 스토리지 노드용 확장 콘택 홀(164)이 형성된다. 이 때, 제 2 층간 절연막(130) 내에 위치하는 비트 라인 콘택 플러그(153)는 비트 라인 스페이서(142)에 의해 식각액에 의한 손상이 방지된다. 그리고 비트 라인용 콘택 패드(114)는 상부가 비트 라인용 콘택 플러그(153)와 접하는 부분을 제외하고는 외부 스페이서(122) 및 돌출부(137)를 갖는 비트 라인용 콘택 스페이서(142)에 의해 둘러싸여 있으므로, 식각액이 비트 라인용 콘택 패드(114)로 침투하는 것을 방지할 수 있다.
 - <69> 즉, 외부 스페이서(122) 및 돌출부(137)를 갖는 비트 라인 콘택 스페이서(142)는 스토리지 노드 콘택 플러그(도 2의 180 참조) 형성을 위한 습식 식각으로부터 비트 라인 콘택 플러그(153) 및 비트 라인용 콘택 패드(114)를 보호한다.
 - <70> 이와 같이 스토리지 노드용 확장 콘택 홀(164)을 형성한 후에는, 스토리지 노드용 확장 콘택 홀(164) 내벽에 스토리지 노드용 콘택 스페이서(172)를 형성한다. 보다 상세히 설명하면, 스토리지 노드용 확장 콘택 홀(164)이 형성된 결과물 전면에 키포말하게 스페이서용 절연막을 형성한다. 스페이서용 절연막은 실리콘 질화막(SiN)을 약 100 ~ 300Å의 두께로 증착하여 형성할 수 있다. 이 후, 키포말하게 증착된 스페이서용 절연막에 대해 에치 백 공정을 실시하여 확장 콘택 홀의 내벽에 콘택 스페이서(172)를 형성한다.
 - <71> 이 후, 도 2에 도시된 바와 같이, 스토리지 노드용 확장 콘택 홀(164) 내부를 도전 물질 또는 금속 물질로 충전시키고 평탄화하여 스토리지 노드 콘택 플러그(180)를 완성한다. 즉, 비트 라인 콘택 플러그(153)의 손상을 방지하면서 하부의 스토리지 노드용 콘택 패드(116)와의 접촉 면적이 증가된 스토리지 노드용 콘택 플러그(180)를 형성할 수 있다.
 - <72> 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.
- 발명의 효과**
- <73> 상기한 바와 같이 본 발명의 반도체 소자 및 그 제조 방법에 따르면 비트 라인용 콘택 홀의 내벽에 돌출부를 갖는 비트 라인 콘택 스페이서를 형성함으로써, 콘택 스페이서의 돌출부가 비트 라인용 콘택 플러그와 접하는 이외의 비트 라인용 콘택 패드 표면을 보호할 수 있다.

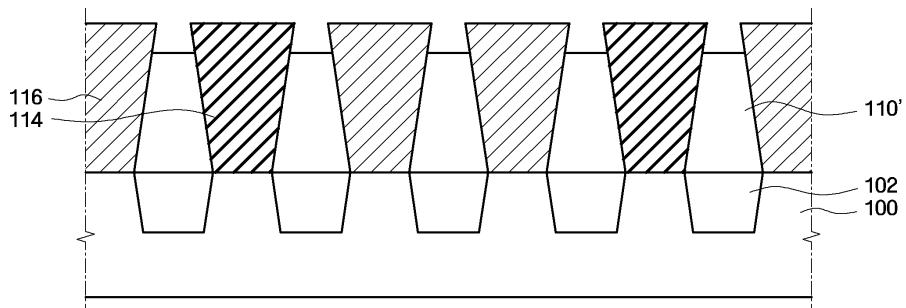
도면2



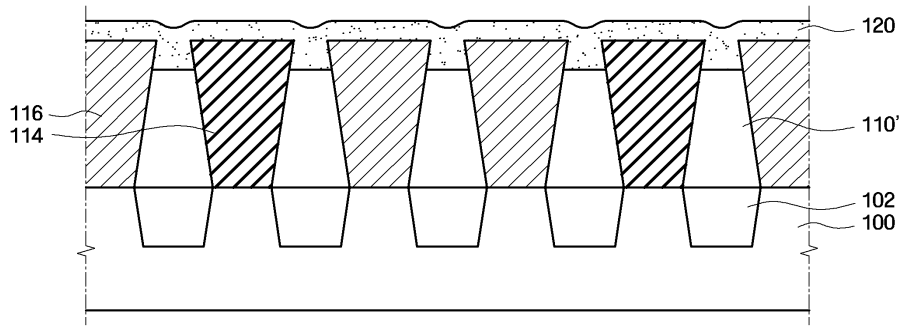
도면3



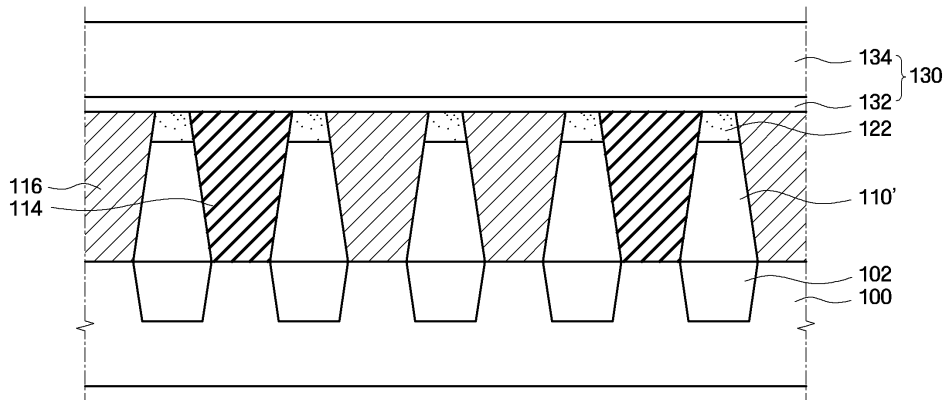
도면4



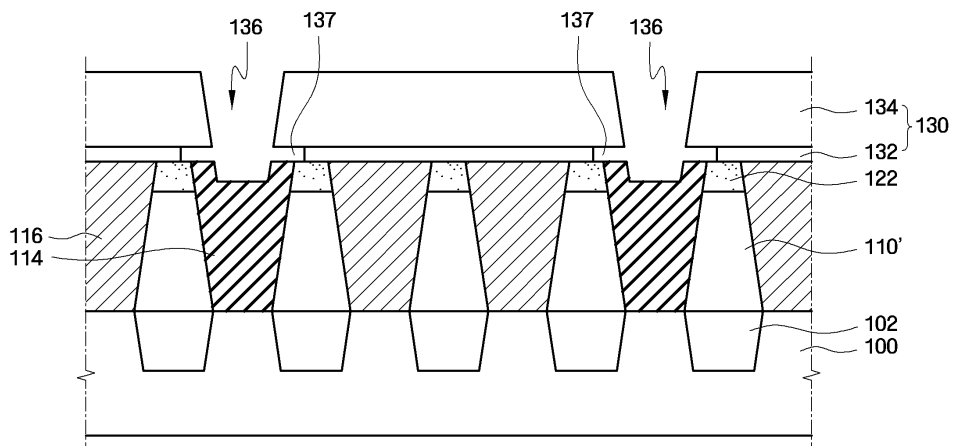
도면5



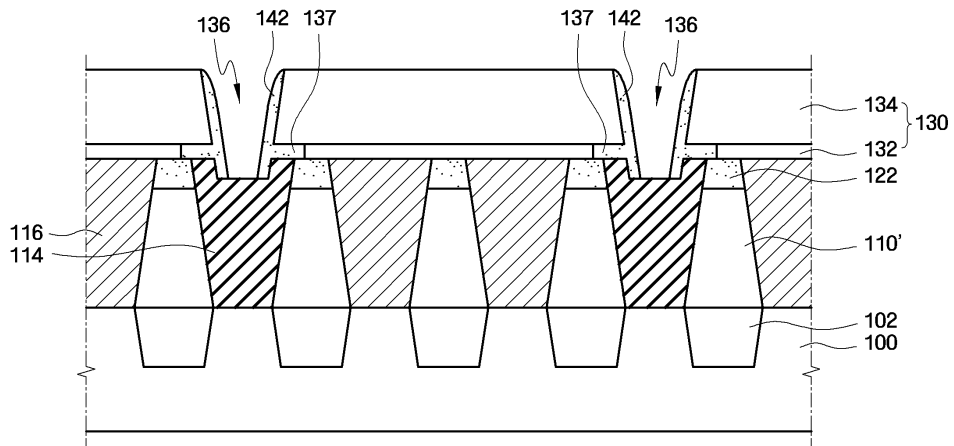
도면6



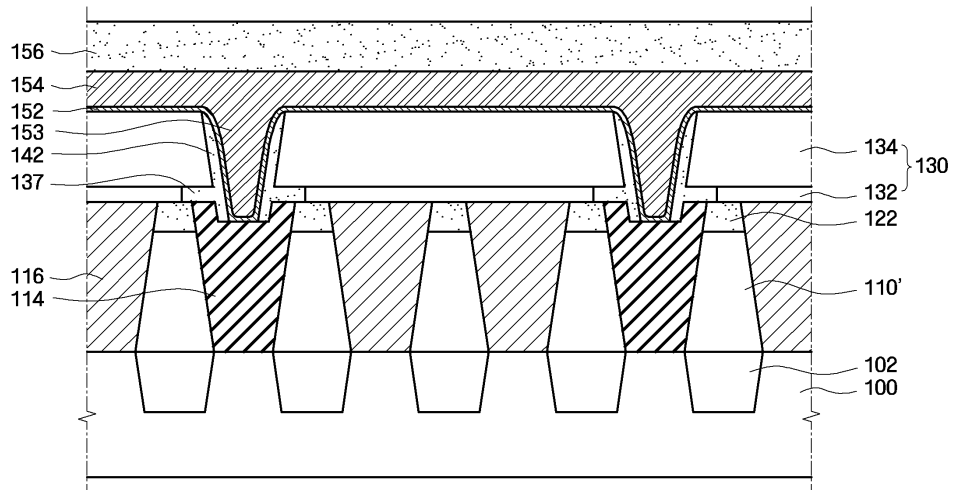
도면7



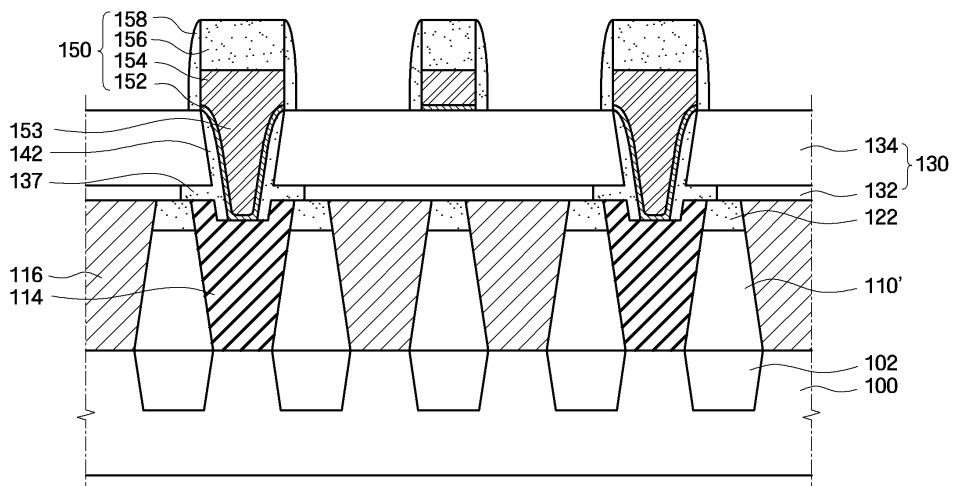
도면8



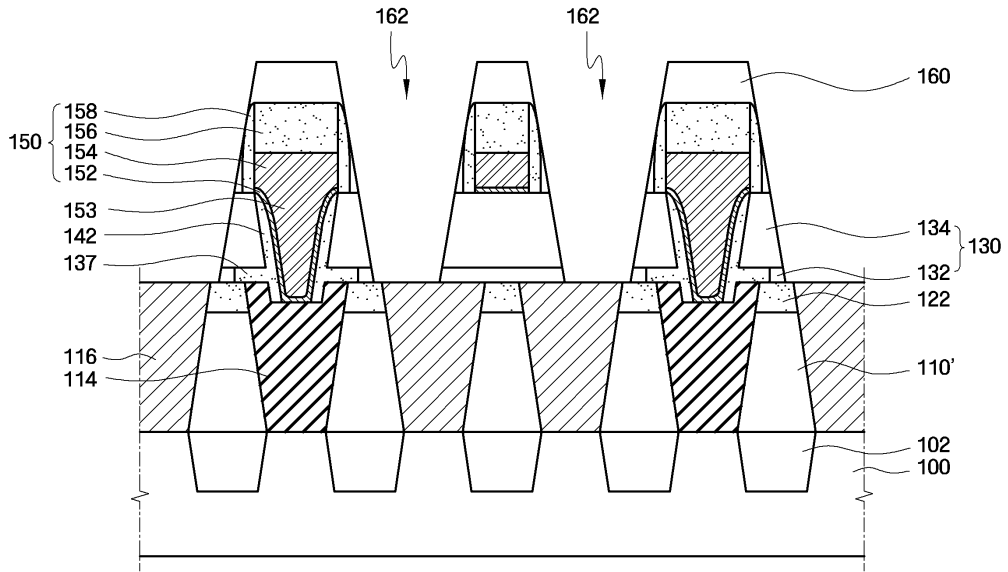
도면9



도면10



도면11



도면12

