

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016年12月15日 (15.12.2016)



(10) 国际公布号
WO 2016/197600 A1

- (51) 国际专利分类号:
G06F 13/16 (2006.01)
- (21) 国际申请号: PCT/CN2016/070062
- (22) 国际申请日: 2016年1月4日 (04.01.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510308517.1 2015年6月6日 (06.06.2015) CN
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 李延松 (LI, Yansong); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR,

CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

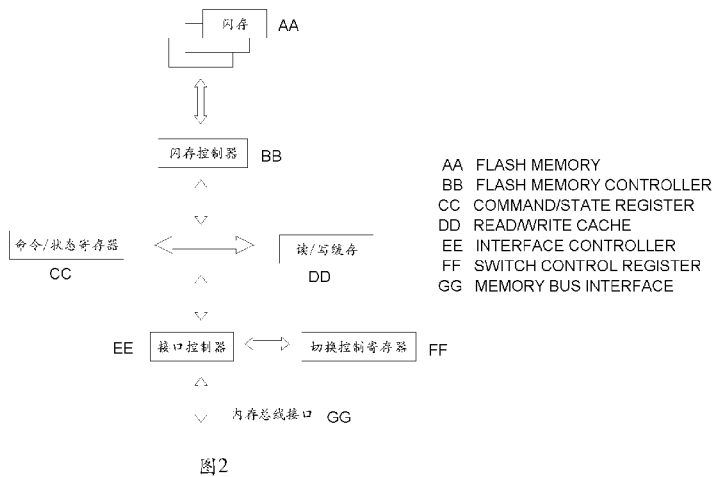
— 关于申请人有权申请并被授予专利(细则 4.17(ii))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: STORAGE APPARATUS ACCESSED VIA MEMORY BUS

(54) 发明名称: 一种通过内存总线访问的存储装置



(57) Abstract: Disclosed is a storage apparatus accessed via a memory bus. The apparatus comprises an interface controller, a storage module, a storage controller, a command register, a state register and a cache, wherein the interface controller can be electrically connected to a memory bank interface of a computer system, the interface controller receives an access command for accessing the storage module sent by a cpu, the interface controller writes the access command into the command register, and records a current access state or result via the state register, and the storage controller sets a state of the state register according to the access command in the command register, and executes a corresponding read/write operation on the storage module. The present solution can be electrically connected to a memory bank interface of a computer system and has a relatively small size, thereby saving space and improving the mounting density and storage capacity of a storage apparatus. By providing a command register and a state register additionally, data access space of the storage apparatus is no longer limited by addressing space provided by a cpu.

(57) 摘要:

[见续页]



WO 2016/197600 A1



公开了一种通过内存总线访问的存储装置。该装置包括接口控制器、存储模块、存储控制器、命令寄存器、状态寄存器、缓存；且接口控制器能够与计算机系统的内存条接口电气连接；接口控制器接收 cpu 发送的访问存储模块的访问命令；接口控制器将访问命令写入命令寄存器并通过状态寄存器记录当前的访问状态或结果；存储控制器根据命令寄存器中的访问命令，对状态寄存器进行状态置位，并对存储模块执行相应的读写操作。本方案能够与计算机系统的内存条接口电气连接，尺寸较小，节省空间，提高了存储装置的安装密度和存储容量，通过设置增加命令寄存器和状态寄存器，使得存储装置的数据访问空间不再受到 cpu 提供的寻址空间的限制。

一种通过内存总线访问的存储装置

技术领域

本发明涉及通信技术领域，尤其涉及一种通过内存总线访问的存储装置。

背景技术

随着信息技术的发展，特别是互联网的普及，各种类型的数据量迅速增长，其中视频数据占主要部分，迫切需要大容量、高性能的存储系统来有效保存和快速访问这些数据。

传统的机械硬盘虽然技术成熟、成本低、容量大，但是性能存在瓶颈，而且功耗较大，已经逐渐让位于固态硬盘。固态硬盘使用半导体非易失存储器来保存数据，目前使用的是闪存等非易失性存储器，在性能、功耗、可靠性方面具有优势，但是成本较高，通常作为机械硬盘的缓存使用，随着半导体工艺的不断改进，闪存的成本在持续下降，迟早会取代机械硬盘。

固态硬盘（SSD，Solid State Drive）常见的一种形态与机械硬盘类似，例如都采用SATA（Serial Advanced Technology Attachment）或SAS（Serial Attached Small Computer System Interface）接口，尺寸为2.5或3.5寸，可以通过SATA或SAS电缆与计算机系统相连，也可以直接插入服务器上的硬盘插槽。

固态硬盘通常包含控制器、缓存和闪存，控制器通过SAS/SATA接口与计算机系统相连。缓存用来暂时保存待写入闪存的数据或者从闪存读出的数据，也可以作为控制器的内存保存它运行所需的代码和数据（控制器里面有cpu）。闪存作为存储介质用来保存固态硬盘的所有数据，能够接受控制器的读写访问。这种形态的固态硬盘体积较大，而且SAS/SATA接口的带宽一般不超过6Gbps，性能较低。

另一种常见的固态硬盘采用PCIe（Peripheral Component Interconnect express）插卡的形态，与上述SATA或SAS接口的固态硬盘的区别主要是与计算机系统的

接口不同，而内部结构基本相同。由于PCIe接口的信号速率可达8Gbps，位宽可选16位，因此带宽可达128Gbps，而且延时低。这种形态的固态硬盘体积仍然较大，而且计算机系统的PCIe插槽较少，限制了安装密度和容量的提升。

现有技术中，为了解决安装密度和容量小的问题，还采取了一种内存条式的固态硬盘，以实现在相同体积的服务器内，能装入更多的固态硬盘，进而增大存储容量。

现有技术采用了内存条式的闪存条来解决固态硬盘安装密度和容量的问题，由于直接安装在内存条插槽上，因此安装简便，而且节省空间，存储密度高。但是现有技术都是cpu直接访问闪存，即cpu在一个访问周期内，把要访问的目标地址、命令等通过信号线直接送出，存储控制器把这个信号转发给存储模块，存储模块接收这个信号并执行相应操作。这种访问方式把存储装置上的存储模块直接映射到cpu的寻址空间，因此会受限于cpu的寻址空间范围。例如300GB的闪存如果应用在寻址范围只有4GB的cpu上，那么300G闪存的实际使用不会超过4GB；再如若cpu的寻址范围是1TB，那么固态硬盘的总容量就不能超过1TB。这种访问方式使得设备中的存储容量受限。

发明内容

有鉴于此，本发明实施例提供了一种通过内存总线访问的存储装置，本发明中所提到的存储装置除了包括闪存之外，还可以包括相变存储器、可变电阻式存储器等非易失性存储介质。通过设置增加命令寄存器和状态寄存器，采用寄存器这样的间接访问方式，使得存储数据访问空间不再受到cpu提供的寻址空间的限制。

根据本发明实施例的第一方面，提供了一种通过内存总线访问的存储装置，上述装置包括接口控制器、存储模块、存储控制器，其特征在于，所述装置包括接口控制器、存储模块、存储控制器，其特征在于，所述装置还包括命令寄存器、状态寄存器；且所述接口控制器能够与计算机系统的内存条接口电气连接；所述

接口控制器用于接收cpu发送的访问所述存储模块的访问命令；所述接口控制器用于将所述访问命令写入所述命令寄存器；所述存储控制器用于根据所述命令寄存器中的访问命令，对所述存储模块执行相应的读写操作。

结合第一方面，在第一方面的第一种可能的实现方式中，所述装置还包括切换控制寄存器、读缓存、写缓存；其中所述读缓存用于保存从所述存储模块中已读出的数据；所述写缓存用于保存待写入所述存储模块的数据；所述切换控制寄存器用于根据所述cpu发送的模式寄存器设置MRS命令，在所述对所述存储模块执行相应的读写操作过程中：在所述命令寄存器和所述读缓存中切换使所述命令寄存器和所述读缓存中的一个电气连接到所述计算机系统的内存条接口上，或者在所述命令寄存器和所述写缓存中切换使所述命令寄存器和所述写缓存中的一个电气连接到所述计算机系统的内存条接口上。

结合第一方面，或者结合第一方面的第一种可能的实现方式，在第一方面的第二种可能的实现方式中，所述切换控制寄存器将所述读缓存、所述写缓存和所述命令寄存器分时连接到所述计算机系统的内存条接口上。

结合第一方面，或者结合第一方面的上述任何一种可能的实现方式，在第一方面的第三种可能的实现方式中，上述读缓存、上述写缓存、上述命令寄存器在上述cpu的寻址空间内的起始地址相同。

结合第一方面，或者结合第一方面的上述任何一种可能的实现方式，在第一方面的第四种可能的实现方式中，上述访问命令中包含上述cpu将要访问上述存储模块的逻辑块地址LBA地址、数据长度和读写命令。

结合第一方面，或者结合第一方面的上述任何一种可能的实现方式，在第一方面的第五种可能的实现方式中，所述存储装置还包括状态寄存器，所述状态寄存器用于指示所述存储模块当前的工作状态是空闲还是忙碌；其中所述空闲表示所述存储模块当前没有进行读写操作，所述忙碌表示所述存储模块当前正在进行读写操作。

结合第一方面，或者结合第一方面的上述任何一种可能的实现方式，在第一方面的第六种可能的实现方式中，所述存储装置安装在所述计算机系统的内存条插槽内，所述接口控制器通过的所述存储装置与所述cpu提供的内存条接口电气连接。

结合第一方面，或者结合第一方面的上述任何一种可能的实现方式，在第一方面的第七种可能的实现方式中，当所述计算机系统还包括专用控制器时，所述存储装置安装在所述计算机系统的内存条插槽内，所述接口控制器与所述计算机系统的专用控制器提供的内存条接口电气连接。

结合第一方面，或者结合第一方面的上述任何一种可能的实现方式，在第一方面的第八种可能的实现方式中，所述接口控制器连接在所述专用控制器上，所述专用控制器通过周边元件互联PCI快速通道与所述cpu连接。

结合第一方面，或者结合第一方面的上述任何一种可能的实现方式，在第一方面的第九种可能的实现方式中，所述装置中还包含可电擦除、可编程的只读存储器EEPROM，所述EEPROM中含有所述存储装置的类型标识，使得在计算机系统启动时，所述cpu能够通过所述类型标识识别出所述cpu正在访问的存储装置的存储类型。

结合第一方面，或者结合第一方面的上述任何一种可能的实现方式，在第一方面的第十种可能的实现方式中，所述接口控制器还用于在所述存储装置的读写操作完成后，通过中断信号上报所述cpu读写操作完成；所述中断信号是用户根据预设规则在所述内存条接口对应的电气信号中选择出来的。

结合第一方面，或者结合第一方面的上述任何一种可能的实现方式，在第一方面的第十一种可能的实现方式中，上述计算机系统的内存条接口包括DDR、DDR2、DDR3或DDR4接口。

根据本发明实施例的第二方面，提供了一种计算机系统，上述系统包括第一方面中提到的任意一种可能的存储装置的实现方式。

根据本发明实施例提供的技术方案，存储装置能够与计算机系统的内存条接口电气连接，尺寸较小，节省空间，在计算机系统内可以安装的数量更多，提高

了存储装置的安装密度和存储容量；通过内存条接口直接访问，带宽高且cpu读写数据延时更小；通过设置增加命令寄存器和状态寄存器，使得存储数据访问空间不再受到cpu提供的寻址空间的限制。

附图说明

图1为本发明实施例中一种结合具体硬件的闪存模块应用框图示意图；

图2为本发明实施例中一种闪存模块的逻辑结构示意图；

图3为本发明实施例中一种cpu为单个闪存模块分配地址的示意图；

图4为本发明实施例中一种cpu为两个闪存模块分配地址的示意图；

图5为本发明实施例中一种模式寄存器的格式示意图；

图6为本发明实施例中一种闪存模块的地址重叠分配的示意图；

图7为本发明实施例中另一种闪存模块的应用框图示意图。

具体实施方式

本发明实施例提供了一种通过内存总线访问的存储装置与系统。

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分优选实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

本发明中所提到的存储装置包括闪存、相变存储器PCRAM、可变电阻式存储器ReRAM等非易失性存储器；由于这几种存储器在计算机系统中的读写操作原理相通，在具体实现的过程中多为原理的等同和替换，因此为了避免冗余的篇幅，下文中仅用闪存模块来举例。

如图1所示，图1为本发明实施例中一种结合具体硬件的闪存模块应用框图示意图。常见的计算机系统结构中包括：cpu、内存、桥片、网卡、BIOS、闪存模块等，它们共同协作完成计算机的数据处理。

目前常见的cpu都集成了内存控制器,例如x86处理器,可以直接连接内存条。为了提高性能和内存容量,通常支持多个内存通道,每个内存通道又可以支持多个内存条。例如某款x86处理器支持4个内存通道,每个通道最多支持3个内存条,这样总共可以支持12个内存条。如果每个内存条的容量是16GB,那么总容量是192GB。

内存条的接口经过多年的发展和更新换代,目前主流的是双倍速率DDR3 (Double Data Rate 3) 接口,速率可达1.6GT/s,数据线宽度64位,总带宽为 $(64*1.6)/8=12.8\text{GB/s}$,而DDR4接口也正在普及中。下面以DDR3接口的内存条为例进行说明。

DDR3接口包括以下18组信号(DDR3内存条共有240个管脚,即信号触点):

- 1、地址信号A[0:15],用来提供内存芯片的地址,例如行地址和列地址;
- 2、BA[2:0], bank地址,用来选择内存芯片内部的逻辑bank; bank在某种程度上可以理解为内存芯片的子单元;
- 3、CK0, CK0#, 差分时钟,提供内存芯片访问的时序同步功能;
- 4、CKE[0:1], 时钟使能信号;
- 5、ODT[0:1], 信号端接使能信号;
- 6、Par_In, 地址信号、写信号WE#、行选通信号RAS#、列选通信号CAS#的校验位;
- 7、RAS#、CAS#、WE#, 分别是行选通信号、列选通信号和写信号,用来组合成各种操作命令字;
- 8、RESET#, 复位信号;
- 9、CS[3:0]#, 片选信号;
- 10、SA[2:0]: 用来配置内存条上的可电擦除、可编程的只读存储器EEPROM (Electrically Erasable and Programmable Read Only Memory) 和温度传感器的I2C地址;
- 11、SCL, SDA, I2C总线信号,连接内存条上的EEPROM和温度传感器;
- 12、CB[7:0], 数据校验信号;

- 13、 DQ[63:0],数据信号;
- 14、 DQS[8:0], DQS[8:0]#, 数据选通信号;
- 15、 DM[8:0], 数据屏蔽信号;
- 16、 Err_Out#, 低电平表示地址和命令信号校验出错;
- 17、 EVENT#, 低电平表示内存条的温度超出了门限;
- 18、 电源和地, 电源信号包括内存芯片的1.5V核心电压, 0.75V的参考电压、0.75V的端接电压和3.3V的EEPROM、温度传感器工作电压。

本发明的闪存模块采用了内存条的外形和接口信号,可以直接插到现有的内存条插座上,计算机系统的硬件不需要任何修改,仅修改软件即可,下面具体说明。

闪存模块采用类似于内存条的双列直插的存储模块DIMM (Dual Inline Memory Module) 外形,可以插入现有的内存条插槽中。对于DDR3内存条插槽来说,一共有240个信号触点,但是闪存模块只需要实现部分必备的信号,例如地址信号A[0:15]、BA[2:0],数据信号DQ[63:0],控制信号CS[3:0]#、RAS#、CAS#、WE#以及电源信号和时钟信号等,而有的信号是可选的,例如校验信号CB[7:0]、Par_In; 对于信号触点可以连接、可以悬空、也可以连接但不使用。

内存条上有一个I2C总线接口,包括SCL、SDA和地址信号SA[2:0],用来连接内存条上的EEPROM和温度传感器,前者保存着内存条的一些参数,例如存储器类型、内存条规格、存储容量、数据总线宽度、时序参数、缓存容量参数等,后者用来检测内存条的温度,当温度超出门限后可以上报告警。本发明的闪存模块上面也有一个EEPROM,保存的信息基本相同,但是由于模块类型不同于内存条,所以可以在EEPROM的第三个字节(DRAM Device Type) 定义一个数值,例如DDR3的类型标识是0x0B,闪存的类型标识可以定义为0x10,表示闪存;在具体实现过程中EEPROM的字节位置与数值定义都是可以灵活设置的。当计算机系统启动时, BIOS对处理器、外围设备进行初始化,cpu可以从闪存模块的EEPROM中读取上述数值,从而识别它是普通的DDR3内存条,还是闪存模块,并进行不同的处理,下面会有说明。

如图2所示，图2为本发明实施例中一种闪存模块的逻辑结构。闪存模块的逻辑结构中包括：接口控制器，命令寄存器、状态寄存器，读/写缓存，切换控制寄存器，闪存控制器，以及闪存等。其中，接口控制器、切换控制寄存器、命令/状态寄存器和闪存控制器可以集成在同一个芯片里面。各模块功能如下。

接口控制器，与内存总线相连，cpu按内存条接口时序下发各种读写命令，接口控制器对命令进行译码，识别出读命令、写命令或模式寄存器设置命令，结合地址、数据信号完成对应的读写操作。

命令/状态寄存器，一般情况下这是两种寄存器，状态寄存器是只读的，命令寄存器是只写的，它们可以共用一个地址，命令寄存器和状态寄存器可以进行切换访问；状态寄存器和命令寄存器可以通过读写命令来区分，因此不用额外占用地址。状态寄存器的内容是闪存模块上的闪存控制器设置的。命令寄存器有两个，都是64位，第一个命令寄存器的内容包括48位的起始逻辑块地址LBA (logical block address) 地址（用于给软件提供一个接口，相当于一个起始地址）、16位的读写长度（表示能够读写多少数据量），第二个命令寄存器的内容是操作命令，可以选择与ATA命令集一致，例如Read Sector是0x20，Read Multiple是0xC4，Write Sector是0x30，Write Multiple是0xC5等。状态寄存器，包括至少两个bit，用来保存闪存模块的工作状态，例如忙或空闲，数据是否出错等。

读/写缓存，读缓存和写缓存可以在物理上位于同一个存储芯片中，也可以分别位于两个不同的存储芯片中，两种情况都是分时使用；可以属于同一个缓存地址空间，这个缓存空间可以分时读写；存在多个缓存空间也是可以的。读/写缓存用来保存即将写入闪存的数据，或者从闪存读出的数据。读写缓存有多种实现方式，例如可以用两个独立的芯片分别作为读缓存和写缓存，还可以用同一个芯片，将该芯片划分为两个区域，分别作为读缓存和写缓存，此时cpu在访问的时候还要发送一个相应的读写信号。另外缓存空间在cpu的寻址空间之内，由切换控制寄存器根据cpu写入的命令来切换读/写缓存和命令寄存器，并且执行地址转换(将cpu送来的读写地址转换为读写缓存的对应地址)。

作为可选的，本发明的装置中还可以包括切换控制寄存器，这是本发明中新

增的一个寄存器，用来控制命令/状态寄存器与读/写缓存之间的切换。切换控制寄存器通过cpu下发的MRS命令，进而控制多路复用器，在任一时刻，使得读缓存、写缓存、命令寄存器和状态寄存器中的唯一一个连接到计算机系统的内存条接口上；具体实现过程中表现为在这些缓存和寄存器彼此之间进行分时切换。其中，读写缓存一般为同一个地址空间，命令寄存器和状态寄存器也具有相同的地址空间或部分重叠的地址空间。

闪存控制器，根据命令寄存器的内容对闪存执行对应的操作，对于读操作，将闪存的数据读出并保存在读缓存里；对于写操作，将写缓存的内容写入闪存。操作完成后，设置状态寄存器的状态位，当cpu查询状态寄存器时可以获知操作是否完成或是否出错。闪存控制器还需要完成LBA到闪存物理地址的映射，以及闪存的磨损平衡、坏块管理等功能，保证可靠性。

闪存，用来保存数据。

为了不受cpu寻址空间的限制，本发明的技术方案中是由cpu提供地址、数据长度和命令给命令/状态寄存器，通过命令/状态寄存器间接访问闪存。例如命令寄存器有2个64位的寄存器，状态寄存器有1个64位的寄存器，一共是3个64位寄存器。但是因为状态寄存器和命令寄存器的地址是共用的，所以地址上只有 $2*8=16$ 个字节地址。此外读写缓存也要占用一部分寻址空间。由于访问长度是16位，相当于最大访问范围是64K，而闪存的最小寻址单位是一个扇区(4KB)，因此至少需要的读或写缓存容量是 $64K*4KB=256MB$ ，读写缓存的总容量至少是512MB，如果将一次访问分为多次访问，限制每次读写的的数据量，那么缓存容量可以更小一些。由于命令/状态寄存器和读/写缓存的地址空间是由cpu独立分配的，为了避免地址冲突，它们的地址应该错开，例如最前面的16个字节分配给命令/状态寄存器，后面的512MB分配给读/写缓存，如图3所示，图3为本发明实施例中一种cpu为单个闪存模块分配地址的情形。如果读写缓存的地址复用，那么只需要256MB的地址空间。

但是通常服务器的闪存容量需求很大，所以同一个服务器上会需要很多个闪存模块，如果同时有多个闪存模块安装在内存总线上，多个闪存模块的地址连续

排列；然而闪存模块的连续使用使得多个闪存模块中的读/写缓存的地址不连续，被命令/状态寄存器间隔开了，因为地址不连续，当cpu需要同时访问多个闪存模块时，不能在一次访问中完成，只能分多次完成，影响了数据的读写性能。如图4所示，图4为本发明实施例中一种cpu为两个闪存模块分配地址的示意图。

这种地址分配方式使得多个闪存模块的读/写缓存地址空间不连续，cpu访问它们的缓存时必须跳过命令/状态寄存器所在的地址空间，增加了程序设计的复杂度，还会影响访问性能。

因此可以考虑将命令/状态寄存器与读/写缓存的地址重叠，针对多个闪存模块同时使用的情形，本发明的方案中可以通过一个切换控制寄存器进行分时访问控制，例如某一时刻cpu访问的是命令寄存器或状态寄存器，而另一时刻通过同一个地址访问的却是读缓存或者写缓存。而这个切换控制寄存器最好不占用地址空间，以免出现上面提到的读/写缓存地址不连续的类似问题。

对于内存条接口来说，它支持一个特殊的命令叫“模式寄存器设置”(Mode Register Set, MRS)，用来对内存条上的内存芯片进行初始化配置，例如配置它们的突发访问顺序和长度，延时参数等。当内存条接口信号出现“CS#为低电平、RAS#为低电平、CAS#为低电平、WE#为低电平”的组合时就会产生这个命令，将地址总线上的地址信号作为数据写入内存芯片的模式寄存器。模式寄存器一共有4个，分别是MR0、MR1、MR2和MR3，分别用来配置不同的参数（突发访问的方式，突发长度的选择，DLL的使能控制），每个寄存器都有17位，从bit16到bit0分别对应于BA2（备用）、BA1、BA0、A13、A12...A0，通过BA1和BA0的组合来选择不同的模式寄存器，例如BA1、BA0=00选择的是MR0，BA1、BA0=01选择的是MR1，而A13到A0一一对应于模式寄存器的bit13到bit0，将这些地址线上的信号分别写入模式寄存器的对应位。由此可见，模式寄存器是不需要地址的，而是通过控制信号的组合来寻址，并且将地址线上的信号当作数据来写入，因此符合我们对切换控制寄存器的要求，可以借用现有的“模式寄存器设置”命令(MRS)来设置其内容。

使用切换控制寄存器来实现切换的另一个好处是速度快，因为它是通过内存

条接口来访问的，时钟频率可达800MHz以上。如果用内存条接口的I2C总线来完成此操作就太慢了，它的时钟频率只有400KHz。模式寄存器的内容如图5所示，图5为本发明实施例中一种模式寄存器的格式示意图。

本发明只需要使用一个模式寄存器即可，该模式寄存器作为切换控制寄存器。以MR0为例，例如将MR0的bit0设置为0时表示将内存条接口与命令/状态寄存器接通，将MR0的bit0设置为1时表示接通读/写缓存。

根据以上描述，命令/状态寄存器与读/写缓存的地址分配如图6所示，图6为本发明实施例中一种闪存模块的地址重叠分配的示意图。图6中，切换控制寄存器用虚线框表示，是为了说明它不占用地址空间。

对于闪存来说，最终要实现的功能就是cpu能够对其进行读写数据操作；下面分别详细介绍读操作和写操作的通信流程。

在对闪存模块进行读操作时，按以下步骤执行：

- (1)cpu通过MRS命令设置切换控制寄存器，使bit0=0，将内存条接口切换到命令/状态寄存器；
- (2)cpu将待读取的闪存模块的起始LBA地址、扇区长度和操作命令写入命令寄存器，如cpu分配给闪存条上寄存器的地址为0到15；
- (3)闪存控制器接收并根据（2）中命令寄存器的命令和地址，先将状态寄存器中的标志位设置为“忙”，然后开始从闪存中读取数据并保存到读缓存中，起始地址一般为0，但不限于0；
- (4)闪存控制器完成数据的读取和保存到读缓存后，将状态寄存器的标志位设置为“空闲”；
- (5)由于cpu在发出读命令后会不断地读取状态寄存器的状态位，因此当cpu检测到状态从忙变为空闲后(例如0表示空闲，1表示忙)，通过MRS命令设置切换控制寄存器，使bit0=1，将内存条接口切换到读/写缓存；

- (6)cpu从读缓存中将数据取走，保存到自己的内存里，可以进行后续处理；
- (7)cpu通过MRS命令设置切换控制寄存器，使bit0=0，将内存条接口切换到命令/状态寄存器，准备执行下一次读操作。

在对闪存模块进行写操作时，按以下步骤执行：

- (1)cpu通过MRS命令设置切换控制寄存器，使bit0=1，将内存条接口切换到读/写缓存；
- (2)cpu将待写入闪存模块的数据送到写缓存中，起始地址为0，但不限于0；
- (3)cpu通过MRS命令设置切换控制寄存器，使bit0=0，将内存条接口切换到命令/状态寄存器；
- (4)cpu将待写入的闪存模块的起始LBA地址、扇区长度和操作命令写入命令寄存器，如cpu分配给闪存条上寄存器的地址为0到15；
- (5)闪存控制器接收并根据（4）中写入命令寄存器的命令和地址，先将状态寄存器中的标志位设置为“忙”，然后开始从写缓存中读取数据并写入到闪存中，起始地址是0，但不限于0；
- (6)闪存控制器完成数据搬移后，将状态寄存器的标志位设置为“空闲”；
- (7)cpu在发出写命令后会不断地读取状态寄存器的状态位，因此当cpu检测到状态从忙变为空闲后，准备执行下一次写操作。

在以上的读写操作过程中，模式寄存器的选择、模式寄存器中位的选择、模式寄存器中位的特征值的设置与状态寄存器中标识“忙”与“空闲”的特征值设置都是可以根据用户的需求以及使用的计算机的特性进行灵活选择和设置的。

其中，cpu判断闪存控制器是否完成读写操作的方法，既可以通过上述提到的不断地读取状态寄存器的状态位的查询方式，也可以采用中断方式，这样有利于节省cpu的时间。在具体实现过程中，中断信号可以根据用户使用信号的具体情况以及自己的需求来决定。例如内存条接口上有一个EVENT#信号，本用于指

示内存条的温度，超出门限后变为低电平，本发明可以将它作为中断信号。当闪存控制器完成读写操作后，一方面设置状态寄存器的标志位为空闲，另一方面将EVENT#驱动为低电平，向cpu发出中断。cpu响应中断后读取闪存模块的状态寄存器(不同的中断原因对应于不同的比特位)，可以识别出中断原因是温度超出门限还是闪存控制器已完成读写操作。

如果cpu的某个内存通道上安装了多个闪存模块，BIOS启动时从闪存模块上的EEPROM读取模块类型，检测到类型为闪存模块后则不会将它作为内存上报给操作系统。因为每个闪存模块的命令/状态寄存器的地址与读/写缓存是重叠的，不会占用额外的地址空间，所以多个闪存模块的读/写缓存地址是连续的，如果第一个闪存模块的读/写缓存容量是512MB，第二个的容量是1GB，那么第一个闪存模块的读/写缓存地址范围是0到512MB-1，第二个的地址范围是512MB到1.5GB-1。对于命令/状态寄存器，第一个闪存模块的地址范围是0到15，第二个的地址范围是512MB到512MB+15。BIOS可以通过各个闪存模块的数量和EEPROM里面保存的缓存容量参数，推算出各自的读/写缓存地址范围和命令/状态寄存器的地址范围，以便在访问闪存模块的数据时进行寻址。

在访问不同的闪存模块时，可以是不同的闪存模块在不同的内存条接口或通道上，且各对应于一个内存控制器；也可以是同一个内存控制器通过同一个内存条接口的多个片选信号CS#来选择对应的闪存模块(例如CS0#选择第一个闪存模块，CS1#选择第二个闪存模块)，与内存条的访问方式相同。每个闪存模块的组成结构都是相同的，都具有图2的结构，cpu处理每一个闪存模块时都是采用同样的数据处理方式，只是cpu首先通过不同的片选信号来对不同的闪存模块来执行上述读写操作的步骤。

除了安装在与cpu直接连接的内存条插槽上之外，闪存模块还可以连接在一个专用控制器上，本发明的另一个实施例实现中，如图7所示，图7为本发明实施例中另一种闪存模块的应用框图示意图。计算机系统专用控制器通过PCIe接口连接到cpu上，然后通过内存条接口与闪存模块相连。如果PCIe接口符合PCIe 3.0规范，那么速率是8GT/s，当位宽为16位时带宽为16GB/s，比64位宽度、等效

速率为1.6GT/s的DDR3接口带宽还高，因此不会成为性能瓶颈。cpu访问闪存模块时，先要通过PCIe接口将LBA地址、扇区长度和读写命令发送给专用控制器，后者再通过内存条接口转发给闪存模块，后面的操作与前面的描述相同。

本发明中所采用的闪存模块采用了内存条的外形结构，尺寸较小，节省空间，在计算机系统内可以安装的数量更多，因此提高了闪存的安装密度和存储容量；通过内存条接口直接访问，带宽更大，cpu读写数据延时更小；该结构的闪存模块能够直接插入内存条插槽中，也不需要其他的硬件，只需要修改相应的软件即可；通过设置增加命令寄存器和状态寄存器，使得闪存的数据访问空间不再受到cpu提供的寻址空间的限制，cpu只需要提供少数的寄存器的寻址空间和少许的读/写缓存的寻址空间，如提供地址、数据长度和读写命令给命令/状态寄存器，就可以通过命令/状态寄存器间接访问闪存；此外，通过“模式寄存器设置”命令能够分时切换命令/状态寄存器与读/写缓存，同时由于切换控制寄存器本身不占用cpu的寻址空间，使得多个闪存模块安装在内存总线上时，不会出现读/写缓存地址不连续的状况，减少了程序设计的复杂度，改善了闪存的访问性能。

本领域普通技术人员可知，上述方法中的全部或部分步骤可以通过程序指令相关的硬件完成，该程序可以存储于一计算机可读存储介质中。通过以上的实施方式的描述，所属领域的技术人员可以清楚地了解到本发明可以用硬件实现，或固件实现，或它们的组合方式来实现。

以上实施例仅为本发明技术方案的较佳实施例而已，并非用于限定本发明的保护范围。凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围。

权 利 要 求 书

1. 一种通过内存总线访问的存储装置，所述装置包括接口控制器、存储模块、存储控制器，其特征在于，所述装置还包括命令寄存器、状态寄存器；且所述接口控制器能够与计算机系统的内存条接口电气连接；
所述接口控制器用于接收cpu发送的访问所述存储模块的访问命令；
所述接口控制器用于将所述访问命令写入所述命令寄存器；
所述存储控制器用于根据所述命令寄存器中的访问命令，对所述存储模块执行相应的读写操作。
2. 如权利要求1所述装置，其特征在于，所述装置还包括切换控制寄存器、读缓存、写缓存；其中所述读缓存用于保存从所述存储模块中已读出的数据；所述写缓存用于保存待写入所述存储模块的数据；
所述切换控制寄存器用于根据所述cpu发送的模式寄存器设置MRS命令，
在所述命令寄存器和所述读缓存中切换，使所述命令寄存器和所述读缓存先后电气连接到所述计算机系统的内存条接口上，或者
在所述命令寄存器和所述写缓存中切换，使所述写缓存和所述命令寄存器先后电气连接到所述计算机系统的内存条接口上。
3. 如权利要求2所述装置，其特征在于，所述切换控制寄存器用于控制所述读缓存、所述写缓存和所述命令寄存器的切换，使所述读缓存、或所述写缓存、或所述命令寄存器连接到所述计算机系统的内存条接口上。
4. 如权利要求2或3所述装置，其特征在于，所述读缓存、所述写缓存、所述命令寄存器在所述cpu的寻址空间内的起始地址相同。
5. 如权利要求1-4任一项所述装置，其特征在于，所述存储装置还包括状态寄存

器,所述状态寄存器用于指示所述存储模块当前的工作状态是空闲还是忙碌;其中所述空闲表示所述存储模块当前没有进行读写操作,所述忙碌表示所述存储模块当前正在进行读写操作。

6. 如权利要求1-5任一项所述装置,其特征在于,所述存储装置安装在所述计算机系统的内存条插槽内,所述接口控制器通过的所述存储装置与所述cpu提供的内存条接口电气连接。

7. 如权利要求1-6任一项所述装置,其特征在于,所述计算机系统还包括专用控制器,所述存储装置安装在所述计算机系统的内存条插槽内,所述接口控制器与所述计算机系统的专用控制器提供的内存条接口电气连接。

8. 如权利要求7所述装置,其特征在于,所述接口控制器连接在所述专用控制器上,所述专用控制器通过周边元件互联PCI快速通道与所述cpu连接。

9. 如权利要求1-8任一项所述装置,其特征在于,所述装置中还包含可电擦除、可编程的只读存储器EEPROM,所述EEPROM中含有所述存储装置的类型标识,以在计算机系统启动时,使所述cpu能够根据所述类型标识识别出所述cpu正在访问的存储装置的存储类型。

10. 如权利要求1-9任一项所述装置,其特征在于,所述接口控制器还用于在所述存储装置的读写操作完成后,通过中断信号上报所述cpu读写操作完成;所述中断信号是用户根据预设规则在所述内存条接口对应的电气信号中选择出来的。

11. 如权利要求1-10任一项所述装置,其特征在于,所述计算机系统的内存条接口包括DDR、DDR2、DDR3或DDR4接口。

12. 一种计算机系统,其特征在于,所述计算机系统中包括如权利要求1-11中任意一项所述的存储装置。

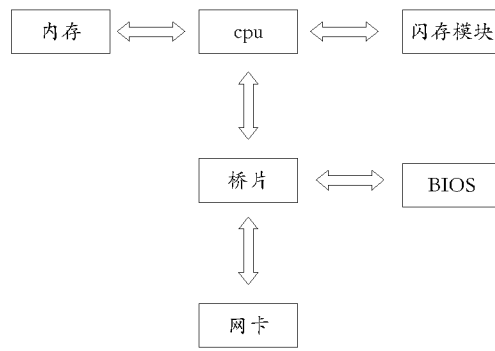


图1

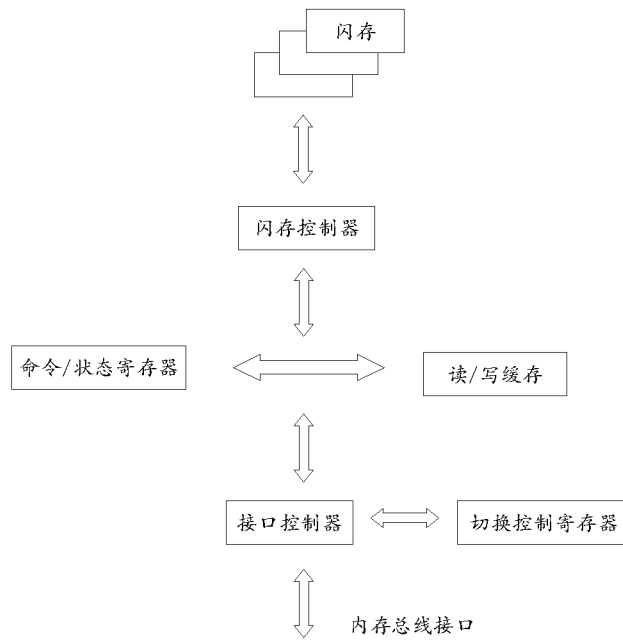


图2

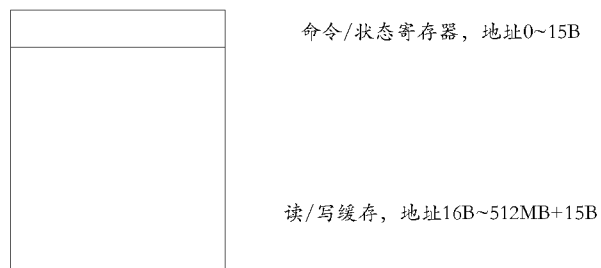


图3

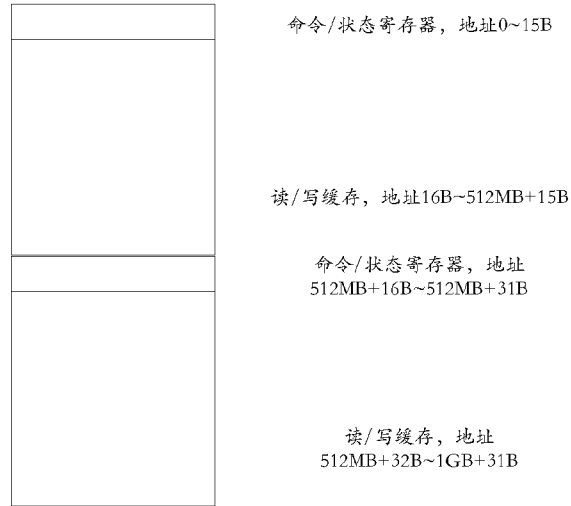


图4

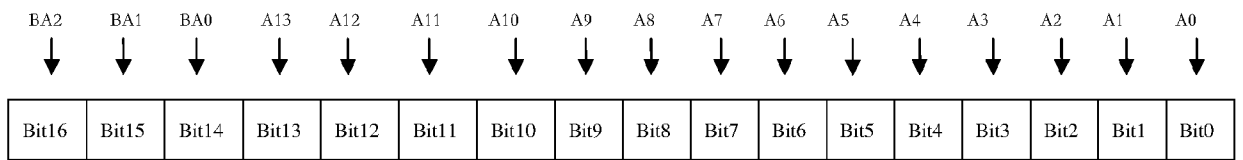


图5

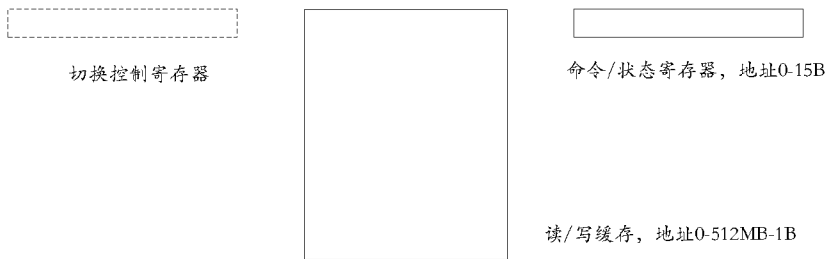


图6

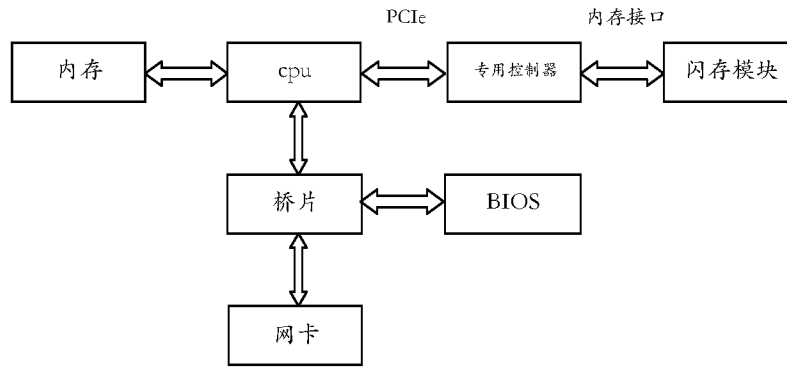


图7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/070062

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/16 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F13/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI; CPRSABS; CNTXT; VEN; DWPI: storage, access, bus, memory, interface, controller, status, command, register, read, write, switch

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101620581 A (XIAN KEYWAY MEASUREMENT&CONTROL TECHNO) 06 January 2010 (06.01.2010) claims 1-5, and figure 1	1, 5, 9-12
Y	CN 103348331 A (ENMOTUS INC.) 09 October 2013 (09.10.2013) description, paragraph [0043], and figure 1	1, 5, 9-12
P, X	CN104951412A(HUAWEI TECHNOLOGIES CO., LTD.) 30 September 2015(30.09.2015) claims 1-12	1-12
A	US 8006045 B2 (ATMEL ROUSSET SAS) 23 August 2011 (23.08.2011) the whole document	1-12

Further documents are listed in the continuation of Box C. See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&”document member of the same patent family</p>
---	--

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">02 March 2016</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">17 March 2016</p>
<p>Name and mailing address of the ISA</p> <p>State Intellectual Property Office of the P. R. China</p> <p>No. 6, Xitucheng Road, Jimenqiao</p> <p>Haidian District, Beijing 100088, China</p> <p>Facsimile No. (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">FU, Yao</p> <p>Telephone No. (86-10) 62411887</p>

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/070062

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101620581 A	06 January 2010	None	
CN 103348331 A	09 October 2013	JP 2014500542 A	09 January 2014
		WO 2012058482 A1	03 May 2012
		EP 2633415 A1	04 September 2013
		US 2012110259 A1	03 May 2012
		HK 1188839 A0	16 May 2014
		TW 201443647 A	16 November 2014
CN 104951412 A	30 September 2015	None	
US 8006045 B2	23 August 2011	US 2010223434 A1	02 September 2010

国际检索报告

国际申请号

PCT/CN2016/070062

<p>A. 主题的分类</p> <p>G06F 13/16(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G06F13/-</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNKI; CPRSABS; CNTXT; VEN; DWPI; 内存, 总线, 访问, 存储, 控制器, 接口控制器, 命令, 状态, 寄存器, 读, 写, 切换, storage, access, bus, memory, interface, controller, status, command, register, read, write, switch</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 101620581 A (西安奇维测控科技有限公司) 2010年 1月 6日 (2010 - 01 - 06) 权利要求1-5, 附图1</td> <td>1、5、9-12</td> </tr> <tr> <td>Y</td> <td>CN 103348331 A (尹摩特斯公司) 2013年 10月 9日 (2013 - 10 - 09) 说明书第0043段, 附图1</td> <td>1、5、9-12</td> </tr> <tr> <td>PX</td> <td>CN 104951412 A (华为技术有限公司) 2015年 9月 30日 (2015 - 09 - 30) 权利要求1-12</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>US 8006045 B2 (爱特梅尔卢梭公司) 2011年 8月 23日 (2011 - 08 - 23) 全文</td> <td>1-12</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 101620581 A (西安奇维测控科技有限公司) 2010年 1月 6日 (2010 - 01 - 06) 权利要求1-5, 附图1	1、5、9-12	Y	CN 103348331 A (尹摩特斯公司) 2013年 10月 9日 (2013 - 10 - 09) 说明书第0043段, 附图1	1、5、9-12	PX	CN 104951412 A (华为技术有限公司) 2015年 9月 30日 (2015 - 09 - 30) 权利要求1-12	1-12	A	US 8006045 B2 (爱特梅尔卢梭公司) 2011年 8月 23日 (2011 - 08 - 23) 全文	1-12
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
Y	CN 101620581 A (西安奇维测控科技有限公司) 2010年 1月 6日 (2010 - 01 - 06) 权利要求1-5, 附图1	1、5、9-12															
Y	CN 103348331 A (尹摩特斯公司) 2013年 10月 9日 (2013 - 10 - 09) 说明书第0043段, 附图1	1、5、9-12															
PX	CN 104951412 A (华为技术有限公司) 2015年 9月 30日 (2015 - 09 - 30) 权利要求1-12	1-12															
A	US 8006045 B2 (爱特梅尔卢梭公司) 2011年 8月 23日 (2011 - 08 - 23) 全文	1-12															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2016年 3月 2日</p>		<p>国际检索报告邮寄日期</p> <p>2016年 3月 17日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>富瑶</p> <p>电话号码 (86-10)62411887</p>															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/070062

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101620581	A	2010年 1月 6日	无			
CN	103348331	A	2013年 10月 9日	JP	2014500542	A	2014年 1月 9日
				WO	2012058482	A1	2012年 5月 3日
				EP	2633415	A1	2013年 9月 4日
				US	2012110259	A1	2012年 5月 3日
				HK	1188839	A0	2014年 5月 16日
				TW	201443647	A	2014年 11月 16日
CN	104951412	A	2015年 9月 30日	无			
US	8006045	B2	2011年 8月 23日	US	2010223434	A1	2010年 9月 2日

表 PCT/ISA/210 (同族专利附件) (2009年7月)