世界知的所有権機関
国際事務局

PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 **G09G 3/30, 3/36, H03K 17/30**	**A1**	(11) 国際公開番号	**WO99/48078**
		(43) 国際公開日	1999年9月23日(23.09.99)

(21) 国際出願番号 PCT/JP99/01342

(22) 国際出願日 1999年3月17日(17.03.99)

(30) 優先権データ
特願平10/69147 1998年3月18日(18.03.98) JP

(71) 出願人（米国を除くすべての指定国について）
セイコーエプソン株式会社
(SEIKO EPSON CORPORATION)[JP/JP]
〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)
(72) 発明者；および
(75) 発明者／出願人（米国についてのみ）
木村 睦(KIMURA, Mutsumi)[JP/JP]
松枝洋二郎(MATSUEDA, Yojiro)[JP/JP]
小澤徳郎(OZAWA, Tokuroh)[JP/JP]
〒392-8502 長野県諏訪市大和三丁目3番5号
セイコーエプソン株式会社内 Nagano, (JP)
マイケル クイン(MICHAEL, Quinn)[GB/GB]
E14 8LS ロンドン ウェストフェリ ロード10
フランクリン ビルディング279 London, (GB)

(74) 代理人
弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.)
〒392-8502 長野県諏訪市大和三丁目3番5号
セイコーエプソン株式会社 知的財産部内 Nagano, (JP)

(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)

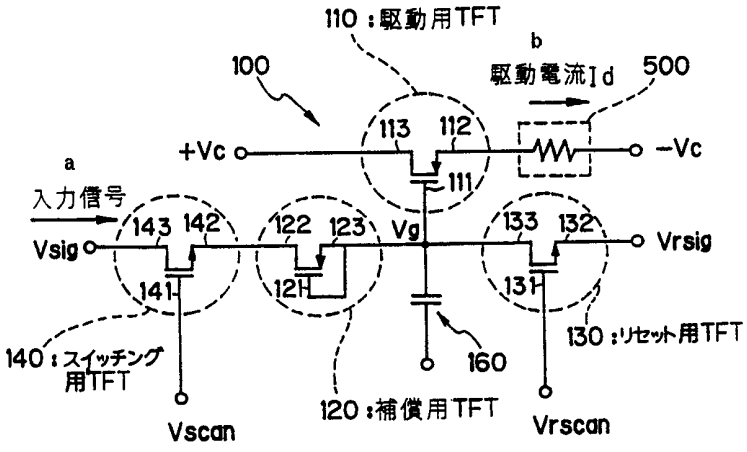
添付公開書類
国際調査報告書

(54)Title: TRANSISTOR CIRCUIT, DISPLAY PANEL AND ELECTRONIC APPARATUS

(54)発明の名称 トランジスタ回路、表示パネル及び電子機器

(57) Abstract

A transistor circuit (100) comprising a driving transistor (110) the conductance of which between the source and drain is controlled in accordance with the input voltage, and a compensating transistor (120) the gate of which is connected to either the source or drain so that the input signal is supplied to the gate of the driving transistor through the source and drain. The transistor circuit is controllable by the input signal having a relatively low voltage, and the variation of the threshold characteristic of the driving transistor is compensated. A current-controlled element (500) is connected to the source or drain of the driving transistor (100). Hence a display panel for displaying an image whose unevenness of brightness is reduced is realized.



110 ... DRIVING TFT
120 ... COMPENSATING TFT
130 ... RESETTING TFT
140 ... SWITCHING TFT
a ... INPUT SIGNAL
b ... DRIVING CURRENT

(57)要約

入力電圧に応じてソース及びドレイン間のコンダクタンスが制御される駆動用トランジスタ（１１０）と、ゲートがソース及びドレインの一方に接続されており、該ソース及びドレインを介して入力信号が駆動用トランジスタのゲートに供給されるように接続された補償用トランジスタ（１２０）とを備えるトランジスタ回路（１００）。比較的低電圧の入力信号により制御可能であり、且つ駆動用トランジスタのしきい値特性のばらつきが補償される。このトランジスタ回路において、駆動用トランジスタ（１１０）のソース又はドレインに電流制御型素子（５００）が接続され、明るさむらが低減された画像表示がなされる表示パネルが実現される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦
AL アルバニア
AM アルメニア
AT オーストリア
AU オーストラリア
AZ アゼルバイジャン
BA ボズニア・ヘルツェゴビナ
BB バルバドス
BE ベルギー
BF ブルギナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
BY ベラルーシ
CA カナダ
CF 中央アフリカ
CG コンゴー
CH スイス
CI コートジボアール
CM カメルーン
CN 中国
CR コスタ・リカ
CU キューバ
CY キプロス
CZ チェッコ
DE ドイツ
DK デンマーク
DM ドミニカ
EE エストニア
ES スペイン
FI フィンランド
FR フランス
GA ガボン
GB 英国
GD グレナダ
GE グルジア
GH ガーナ
GM ガンビア
GN ギニア
GW ギニア・ビサオ
GR ギリシャ
HR クロアチア
HU ハンガリー
ID インドネシア
IE アイルランド
IL イスラエル
IN インド
IS アイスランド
IT イタリア
JP 日本
KE ケニア
KG キルギスタン
KP 北朝鮮
KR 韓国
KZ カザフスタン
LC セントルシア
LI リヒテンシュタイン
LK スリ・ランカ
LR リベリア
LS レソト
LT リトアニア
LU ルクセンブルグ
LV ラトヴィア
MC モナコ
MD モルドヴァ
MG マダガスカル
MK マケドニア旧ユーゴスラヴィア共和国
ML マリ
MN モンゴル
MR モーリタニア
MW マラウイ
MX メキシコ
NE ニジェール
NL オランダ
NO ノールウェー
NZ ニュー・ジーランド
PL ポーランド
PT ポルトガル
RO ルーマニア
RU ロシア
SD スーダン
SE スウェーデン
SG シンガポール
SI スロヴェニア
SK スロヴァキア
SL シエラ・レオネ
SN セネガル
SZ スワジランド
TD チャード
TG トーゴー
TJ タジキスタン
TZ タンザニア
TM トルクメニスタン
TR トルコ
TT トリニダッド・トバゴ
UA ウクライナ
UG ウガンダ
US 米国
UZ ウズベキスタン
VN ヴィェトナム
YU ユーゴースラビア
ZA 南アフリカ共和国
ZW ジンバブエ

明　細　書

トランジスタ回路、表示パネル及び電子機器

技術分野

本発明は、薄膜トランジスタ（以下ＴＦＴと称す）、電界効果型トランジスタ、バイポーラトランジスタなどのトランジスタを複数備えて構成されるトランジスタ回路の技術分野に属し、特にゲートに供給される電圧に応じてソース及びドレイン間のコンダクタンスを制御することにより、該ソース及びドレインを介して電流制御型（電流駆動型）素子等の被駆動素子に供給される駆動電流を制御する駆動用トランジスタを備えて構成されるトランジスタ回路の技術分野に属する。

背景技術

一般に、トランジスタには、半導体膜の膜質、膜厚、不純物濃度や拡散領域、ゲート絶縁膜等の膜質、膜厚、動作温度などの各種条件に応じて、その電圧電流特性やしきい値には大なり小なりばらつきが生じる。クリスタルシリコンを用いたバイポーラトランジスタの場合には、このようなしきい値のばらつきは比較的小さいが、ＴＦＴの場合には、このようなばらつきは大きいのが通常である。特に、液晶パネル、ＥＬパネル等の表示パネルなどにおいてＴＦＴアレイ基板上で広範囲に亘って多数形成されるＴＦＴの場合には、このような電流電圧特性やしきい値のばらつきが非常に大きくなることが多い。例えば、この種のＴＦＴのしきい値を２Ｖ（ボルト）程度（Ｎチャネルで＋２Ｖ、Ｐチャネルで－２Ｖ）となるように製造しても、そのばらつきは±数Ｖ程度になったりする。

ここで、所謂ＴＦＴ液晶パネル等の場合のように液晶等からなる画素部を電圧制御する電圧制御（電圧駆動）方式の場合には、各画素部に設けられた駆動用ＴＦＴにおける電圧電流特性やしきい値のばらつきが問題となることは比較的少ない。即ちこの場合には、たとえＴＦＴの電流電圧特性やしきい値に多少のばらつきがあったとしても、十分なスイッチング時間さえ与えれば、外部からＴＦＴを介して各画素部に供給する電圧の精度を高めることにより、各画素部における表

示濃度や明るさを精度良く制御できるからである。従って、各画素部での表示濃度や明るさのむらが重要視される表示用のＴＦＴ液晶パネル等においても、電流電圧特性やしきい値のばらつきが比較的大きいＴＦＴを用いて、高品位の画像表示等を行える。

他方で近年、電流供給量に応じて明るさが変化するように自発光する有機ＥＬ等の電流制御型発光素子を画素部に備えた表示パネルが開発されており、バックライトや反射光を利用せずに画像表示が可能であり、消費電力が低く、しかも視野角依存性が少なく、また時には可曲性を実現する表示パネルとして注目されている。このＥＬパネルの場合にも、アクティブマトリクス駆動を行うためには、各画素部において駆動用ＴＦＴが用いられる。例えば、駆動用ＴＦＴのドレインが正孔注入用電極を介してＥＬ素子に接続され、ゲートに印加されるデータ信号の電圧に応じて、ソースに接続された電源配線からＥＬ素子に供給される駆動電流を制御する（変化させる）ように構成されている。このように駆動用ＴＦＴを用いれば、入力信号の電圧変化に応じてソース及びドレイン間のコンダクタンスを制御することによりＥＬ素子を流れる駆動電流を制御して、各画素部での明るさ（輝度）を変化させることが可能となり、画像表示等を行うことが可能となる。

しかしながら、特に上述したＥＬパネル等のように電流制御型素子の場合には、各画素部に設けられた駆動用ＴＦＴにおける電圧電流特性やしきい値のばらつきが問題となる。即ち、この場合には、外部から駆動用ＴＦＴに供給されるデータ信号の電圧精度を幾ら高めたとしても、駆動用ＴＦＴにおける電圧電流特性やしきい値のばらつきがデータ信号に対する駆動電流のばらつきとしてそのまま現われるため、駆動電流の精度が低下してしまう。この結果、各画素部における明るさも駆動用ＴＦＴのしきい値のばらつきに従ってばらついてしまうのである。そして、特に現在の低温ポリシリコンＴＦＴの製造技術ではこのような電圧電流特性やしきい値のばらつきは、かなりの度合いで発生するため、この問題は実用上非常に大きい。

この問題に対して、電圧電流特性やしきい値のばらつきを低減するように各ＴＦＴを製造しようとすれば、歩留まりの低下を招き、特に表示パネルのように多数のＴＦＴを用いて構成する装置においては極端な歩留まりの低下を招いてしま

い、低コスト化という一般的要請に反する。或いは、そのようなばらつきを低減するようなＴＦＴを製造することは不可能に近い。また、各ＴＦＴにおける電流電圧特性やしきい値のばらつきを補償する回路を別途設けようとしても、やはり装置の複雑化や大型化更には消費電力の増加を招き、特に多数のＴＦＴが高密度で配列された表示パネルにおいては、再び歩留まりの低下を招き、或いは近時の低消費電力化や装置の小型軽量化という要請に答えることが困難になることが予想される。

発明の開示

本発明は上述した問題点に鑑みなされたものであり、入力信号の電圧に応じて駆動用トランジスタにおけるコンダクタンス制御を行うトランジスタ回路であって、比較的低電圧の入力信号により当該コンダクタンス制御が可能であり、しかも駆動用トランジスタの電流電圧特性やしきい値特性のばらつきを、比較的少ない数のトランジスタを用いて比較的小さな電力消費により補償することが可能なトランジスタ回路、並びにこれを用いた表示パネル及び電子機器を提供することを課題とする。

本発明によれば、下記の第１乃至第１０のトランジスタ回路が提供される。

まず、本発明の第１のトランジスタ回路は、第１ゲート、第１ソース及び第１ドレインを有し、該第１ゲートに供給される入力信号の電圧に応じて該第１ソース及び第１ドレイン間のコンダクタンスが制御される駆動用トランジスタと、第２ゲート、第２ソース及び第２ドレインを有し、該第２ゲートが該第２ソース及び第２ドレインの一方に接続されており、該第２ソース及び第２ドレインを介して前記入力信号が前記第１ゲートに供給されるように且つ前記第１ゲートに対し前記コンダクタンスを低める方向の電荷移動を可能とする向きで前記第１ゲートに接続された補償用トランジスタとを備えたことを特徴とする。

上記のトランジスタ回路によれば、補償用トランジスタの第２ソース及び第２ドレインの一方が駆動用トランジスタの第１ゲートに接続されており、これらの第２ソース及び第２ドレインを介して、駆動用トランジスタの第１ゲートには入力信号が供給される。そして、駆動用トランジスタにおいて、この第１ゲートに

供給される入力信号の電圧に応じて、第１ソース及び第１ドレイン間のコンダクタンスが制御される。ここで、補償用トランジスタは、第２ゲートが第２ドレイン又は第２ソースに接続されており、第１ゲートに対し第１ソース及び第１ドレイン間のコンダクタンスを低める方向の電荷移動を可能とする向きで第１ゲートに接続されている。即ち、補償用トランジスタは、ダイオード特性を有しており、例えば、駆動用トランジスタがＮチャネル型であれば、その第１ゲートから入力信号源への向きにのみ通電可能である。或いは、駆動用トランジスタがＰチャネル型であれば、入力信号源から第１ゲートへの向きに通電可能である。

このため、当該トランジスタ回路に入力信号を供給した際には、補償用トランジスタに入力される時点における入力信号の電圧と比較して、第１ゲートのゲート電圧は、補償用トランジスタのしきい値の分だけ駆動用トランジスタのコンダクタンスが高められる側に昇圧されることになる。従って、駆動用トランジスタにおいて所望のコンダクタンスを得るためには、当該コンダクタンスに対応するゲート電圧よりも補償用トランジスタのしきい値（電圧）の分だけ低い電圧の入力信号を補償用トランジスタを介して供給すればよいことになる。このように、補償用トランジスタのしきい値（電圧）の分だけ入力信号に対するゲート電圧を昇圧できるので、補償用トランジスタがない場合と比較して、より低い入力信号の電圧により同等のコンダクタンス制御を行うことが可能となる。

一般に、この入力信号は他の信号に比較して高周波数であることが多く、より低い入力信号でよいとなれば、かなりの低消費電力化が期待できる。

更に、このように補償用トランジスタにより入力信号の電圧を昇圧して第１ゲートにおけるゲート電圧とすることは、トランジスタ回路全体として見た場合、駆動用トランジスタにおいてコンダクタンス制御されるソース及びドレインを介して流れる駆動電流に対する入力信号のしきい値は、駆動用トランジスタのしきい値電圧から、入力電圧からゲート電圧への昇圧分である補償用トランジスタのしきい値電圧だけ低くなっている。即ち、駆動電流に対する入力電圧のしきい値中では、補償用トランジスタのしきい値と駆動用トランジスタのしきい値とは、相殺された形となっている。従って、両者のしきい値特性や電圧電流特性を近付けることにより、駆動電流に対する入力信号のしきい値を零に近付けることが可

能となる。

更にまた、このように駆動用トランジスタのしきい値と補償用トランジスタのしきい値とを当該トランジスタ回路全体の中で相殺させることにより、駆動用トランジスタのしきい値の大小によらずにトランジスタ回路全体としての入力信号のしきい値を一定の値（ゼロ）に近付けることができる。即ち、複数のしきい値の相異なる駆動用トランジスタを用いて当該トランジスタ回路を複数作成した場合に、各トランジスタ回路部分における駆動用トランジスタと補償用トランジスタのしきい値を夫々相互に近付ければ（理想的には両者を一致させれば）、各トランジスタ回路間におけるしきい値の差は、各駆動用トランジスタのしきい値の差よりも小さくなっている（理想的には差が殆どなくなっている）。従って、当該トランジスタ回路を複数作成する際に、複数のしきい値の異なる複数の駆動用トランジスタを用いたとしても、しきい値のばらつきが殆ど又は全くない複数のトランジスタ回路を得ることが可能となる。

本発明の第２のトランジスタ回路は、上述した第１のトランジスタ回路において、前記第１ゲートに対し前記入力信号に応じて制御される前記コンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号を前記入力信号の供給前に供給するリセット手段を備えたことを特徴とする。

上記第２のトランジスタ回路によれば、駆動用トランジスタの第１ゲートに入力信号が供給される以前に（或いは、一の入力信号が供給された後に、次の入力信号が供給される以前に）、リセット手段によりこの第１ゲートに、入力信号に応じて制御される駆動用トランジスタのコンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号が供給される。この結果、入力信号の電圧値の大小によらずに駆動用トランジスタのゲート電圧をリセット手段により一定値とすることができ、しかも、リセット後に、コンダクタンスを低める方向の電荷移動を可能とする向きで第１ゲートに接続された補償用トランジスタを介して入力信号を第１ゲートに供給することが可能となる。

本発明の第３のトランジスタ回路は、上述した第２のトランジスタ回路において、前記リセット信号が、前記入力信号の最大電圧よりも前記補償用トランジスタのしきい値電圧分以上大きい電圧に設定されていることを特徴とする。

上記第３のトランジスタ回路によれば、リセット手段により駆動用トランジスタの第１ゲートに、入力信号よりも大きい電圧のリセット信号が供給される。しかも、このリセット信号の電圧は、入力信号の最大電圧よりも補償用トランジスタのしきい値電圧分以上大きく設定されているので、リセット後に入力信号が入力されると、入力信号の電圧の大小や駆動用トランジスタのしきい値の大小によらずに常に、その入力信号の電圧よりも駆動用トランジスタのしきい値電圧分だけ高い電圧を、補償用トランジスタを介して駆動用トランジスタの第１ゲートに供給することが出来る。

本発明の第４のトランジスタ回路は、上述した第２又は第３のトランジスタ回路において、前記リセット手段は、第３ゲート、第３ソース及び第３ドレインを有し、該第３ソース及び第３ドレインの一方が前記第１ゲートに接続されており、該第３ゲートにリセットタイミング信号が前記入力信号の供給前に供給された時に、該第３ソース及び第３ドレインを介して前記リセット信号を前記第１ゲートに供給するリセット用トランジスタを備えたことを特徴とする。

上記第４のトランジスタ回路によれば、リセット用トランジスタの第３ゲートにリセットタイミング信号が供給されると、該リセット用トランジスタにより、その第３ソース及び第３ドレインを介して、リセット信号が駆動用トランジスタの第１ゲートに供給される。この結果、駆動用トランジスタのゲート電圧をリセットタイミング信号の供給タイミングで一定値にリセットすることができる。従って、第２又は第３のトランジスタ回路に対して説明した動作が可能となる。

本発明の第５のトランジスタ回路は、上述した第１乃至第４のいずれかのトランジスタ回路において、前記駆動用トランジスタと前記補償用トランジスタとは、同一導電型のトランジスタであることを特徴とする。

上記第５のトランジスタ回路では、駆動用トランジスタと補償用トランジスタとは、同一導電型のトランジスタであるが、ここで「同一導電型」とは、トランジスタの導電の型が同一であり、例えば駆動用トランジスタがＮチャネル型であれば、補償用トランジスタもＮチャネル型であり、駆動用トランジスタがＰチャネル型であれば、補償用トランジスタもＰチャネル型であるといった場合である。従って、補償用トランジスタのしきい値と駆動用トランジスタのしきい値とは相

互にほぼ等しくなるため、当該トランジスタ回路内において、これえらのしきい値は相殺しあい、この結果、駆動電流に対する入力信号のしきい値をほぼ零としてコンダクタンス制御を行うことも可能となる。更に、複数のトランジスタ回路を、しきい値のばらついた複数の駆動用トランジスタを用いて形成した場合にも、しきい値のばらつきを補償することも可能となる。

また、トランジスタのチャネル幅、チャネル長を始めとする設計値、デバイス構造、プロセス条件等も、駆動用トランジスタと補償用トランジスタとで等しくすることにより、より完全な補償が可能となる。

本発明の第６のトランジスタ回路は、上述した第１乃至第５のいずれかのトランジスタ回路において、第４ゲート、第４ソース及び第４ドレインを有し、該第４ゲートにスイッチングタイミング信号が供給された時に前記入力信号を該第４ソース及び第４ドレインを介して前記補償用トランジスタに供給するように接続されたスイッチング用トランジスタを更に備えたことを特徴とする。

上記第６のトランジスタ回路によれば、スイッチングタイミング信号がスイッチング用トランジスタの第４ゲートに供給されると、入力信号が、該スイッチング用トランジスタの第４ソース及び第４ドレインを介して補償用トランジスタに供給される。この結果、スイッチングタイミング信号の供給タイミングで入力信号を駆動用トランジスタに供給することができる。

本発明の第７のトランジスタ回路によれば、上述した第１乃至第６のいずれかのトランジスタ回路において、前記第１ゲートに接続された保持容量を更に備えたことを特徴とする。

上記第７のトランジスタ回路によれば、第１ゲートに入力信号が供給されるとその電圧は、該１ゲートに接続された保持容量により保持される。従って、入力信号を一定期間だけ供給した場合にも、それよりも長い期間に亘って第１ゲートにかかる電圧を保持することが可能となる。

また、補償用トランジスタを通じて、スイッチング用トランジスタにリーク電流がある場合でも、第１ゲートに印加される電位の変化を低減することが可能となる。

本発明の第８のトランジスタ回路は、上述した第１乃至第７のいずれかのトラ

ンジスタ回路において、当該トランジスタ回路が、同一基板上に形成された薄膜トランジスタから構成されていることを特徴とする。

上記第８のトランジスタ回路によれば、同一基板上に形成された駆動用薄膜トランジスタにおける電流電圧特性やしきい値特性が駆動電流に及ぼす影響を補償用薄膜トランジスタにより補償することが出来る。特に、両薄膜トランジスタを同一基板上に同一薄膜形成工程で形成すれば、両トランジスタ間の特性はより類似するため、電流電圧特性やしきい値特性のばらつきが少ない複数のトランジスタ回路を同一基板上で得ることが可能となる。

本発明の第９のトランジスタ回路は、上述した第１乃至第７のいずれかのトランジスタ回路において、前記トランジスタは夫々、前記ゲート、ソース及びドレインが、ベース、コレクタ及びエミッタに夫々対応するバイポーラトランジスタから構成されている。

上記第９のトランジスタ回路によれば、駆動用バイポーラトランジスタにおける電流電圧特性やしきい値特性が駆動電流に及ぼす影響を補償用バイポーラトランジスタにより補償することが出来る。特に、両バイポーラトランジスタを同一製造工程で製造すれば、両トランジスタ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが少ない複数のトランジスタ回路を得ることが可能となる。

本発明の第１０のトランジスタ回路は、上述した第１乃至第９のいずれかのトランジスタ回路において、前記入力信号は、入力信号源により電圧が制御される電圧信号であり、前記駆動用トランジスタは、前記第１ソース及び第１ドレインの一方が電流制御型素子に接続されており、前記コンダクタンスを制御することにより該電流制御型素子に流れる電流を制御することを特徴とする。

上記第１０のトランジスタ回路によれば、入力信号源により電圧が制御される電圧信号が、入力信号として補償用トランジスタを介して供給されると、駆動用トランジスタにおいて、この電圧信号の電圧変化に応じて第１ソース及び第１ドレイン間のコンダクタンスが制御される。これにより、第１ソース及び第１ドレインの一方に接続された電流制御型素子は、電流制御される。従って、電流制御型素子を比較的低電圧の入力信号で電流駆動することが可能となり、しかも、複

数の駆動用トランジスタ間における電流電圧特性やしきい値特性のばらつきによらずに、複数の電流駆動型素子を電圧信号の電圧に応じて精度良く電流制御することも可能となる。

本発明によれば、上述した第１０のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備え、前記電流制御型素子が該複数の画素部に夫々設けられたことを特徴とする表示パネルが提供される。

かかる表示パネルによれば、各画素部において、入力信号が補償用トランジスタを介して供給されると、駆動用トランジスタによりこの入力信号の電圧に応じて電流制御型発光素子は電流制御されるので、駆動用トランジスタ間における電流電圧特性やしきい値特性のばらつきによらずに、電流制御型発光素子の明るさ（輝度）を精度良く制御することが出来、表示パネルの画面表示領域の全面に亘って明るさのむらを低減できる。更に、駆動用トランジスタのゲート電圧を補償用トランジスタにより昇圧することにより比較的低電圧の入力信号により電流制御型発光素子の制御を行うことも可能となる。

本発明によれば、上述した表示パネルを備えた電子機器が提供される。

かかる電子機器によれば、上述した表示パネルを備えるので、表示パネルの全面に亘って明るさのむらが少なく且つ比較的低電圧で駆動することも可能な電子機器を実現できる。

図面の簡単な説明

第１図は、本発明のトランジスタ回路の一実施の形態における回路図である。

第２図は、トランジスタ回路における各種信号のタイミングチャート（第２図（Ａ））、及び第１図のトランジスタ回路における各種信号のタイミングチャート（第２図（Ｂ））である。

第３図は、駆動用ＴＦＴを備えた比較例におけるしきい値特性を示す特性図(第３図（Ａ））、及び補償用ＴＦＴと駆動用ＴＦＴとを備えた本実施の形態におけるしきい値特性を示す特性図（第３図（Ｂ））である。

第４図は、しきい値のばらつきΔV_{th}に対する駆動電流Ｉｄの変化を各種の場合について示す特性図である。

第５図は、本実施の形態においてリセット信号Ｖ rsig を５Ｖにした場合の補償用ＴＦＴによる降圧作用を示すタイミングチャート（第５図（Ａ））、及びリセット信号Ｖ rsig を０Ｖにした場合の補償用ＴＦＴによる降圧作用を示すタイミングチャート（第５図（Ｂ））である。

第６図は、トランジスタ回路の他の実施の形態における回路図である。

第７図は、表示パネルの実施の形態の全体構成を示す平面図である。

第８図は、第７図の表示パネルの一画素部の平面図である。

第９図は、第８図のＡ－Ａ’断面図（第９図（Ａ））、Ｂ－Ｂ’断面図（第９図（Ｂ））及びＣ－Ｃ’断面図（第９図（ｃ））である。

第１０図は、第７図の表示パネルにおける相隣接する４つの画素部の回路図である。

第１１図は、本発明による電子機器の実施の形態の概略構成を示すブロック図である。

第１２図は、電子機器の一例としてのパーソナルコンピュータを示す模式図である。

第１３図は、電子機器の他の例としてのＴＣＰを用いた液晶装置を示す斜視図である。

発明を実施するための最良の形態

本発明の作用及び他の利得は次に説明する実施の形態から明らかにされよう。

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

（トランジスタ回路）

先ず、本発明のトランジスタ回路の実施の形態について第１図及び第２図を参照して説明する。第１図は、本実施の形態におけるトランジスタ回路の回路図であり、第２図（Ａ）及び（Ｂ）は夫々、該トランジスタ回路における各種信号のタイミング及び電圧を示したタイミングチャートである。

第１図において、トランジスタ回路１００は、駆動用ＴＦＴ１１０（Ｐチャネル型）、補償用ＴＦＴ１２０（Ｐチャネル型）、リセット用ＴＦＴ１３０（Ｎチャネル型）及びスイッチング用ＴＦＴ１４０（Ｎチャネル型）を備えて構成され

ている。以下各トランジスタの構成について順に説明する。

先ず、駆動用トランジスタの一例を構成する駆動用ＴＦＴ１１０は、スイッチング用ＴＦＴ１４０及び補償用ＴＦＴ１２０を介して供給される入力信号に基づいてゲート１１１に印加されるゲート電圧Ｖｇに応じて、ソース１１２及びドレイン１１３間のコンダクタンスが制御されるように構成されている。

補償用トランジスタの一例を構成する補償用ＴＦＴ１２０は、ゲート１２１がソース１２２及びドレイン１２３の一方（第１図では、ドレイン１２３）に接続されている。即ち、補償用ＴＦＴ１２０は所謂ダイオード接続されている。そして、補償用トランジスタ１２０は、ソース１２２及びドレイン１２３を介して、入力信号がゲート１１１に供給されるように且つゲート１１１に対しコンダクタンスを低める方向の電荷移動を可能とする向きで（第１図では、ドレイン１２３の側が）ゲート１１１に接続されている。

リセット手段の一例を構成するリセット用ＴＦＴ１３０は、ソース１３２及びドレイン１３３の一方（第１図では、ドレイン１３３）がゲート１１１に接続されており、ゲート１３１にリセットタイミング信号の一例としての電圧Ｖ rscan のリセット走査信号（以下、リセット走査信号Ｖ rscan と称す）が入力信号Ｖ sig の供給前に供給された時に、ソース１３２及びドレイン１３３を介して電圧Ｖ rsig のリセット信号（以下、リセット信号Ｖ rsig と称す）をゲート１１１に供給するように構成されている。

また、スイッチングトランジスタの一例を構成するスイッチング用ＴＦＴ１４０は、ゲート１４１にスイッチングタイミング信号の一例としての電圧Ｖ scan の走査信号（以下、走査信号Ｖ scan と称す）が供給された時に、電圧Ｖ sig の入力信号（以下、入力信号Ｖ sig と称す）をソース１４２及びドレイン１４３を介して補償用ＴＦＴ１２０に供給するように入力信号源及び補償用ＴＦＴ１２０の間に接続されている。

そして、駆動用トランジスタ１１０のソース１１２には、ＥＬ素子等の電流制御型（電流駆動型）素子５００の一端が接続されており、この電流制御型素子５００の他端には、所定電位の負電源－Ｖｃが接続されている。また、駆動用トランジスタ１１０のドレイン１１３には、所定電位の正電源＋Ｖｃが接続されてい

る。従って、駆動用トランジスタ１１０においてソース１１２及びドレイン１１３間のコンダクタンス制御が行われると、電流制御型素子５００を流れる駆動電流Ｉｄが制御される（即ち、コンダクタンス変化に応じて駆動電流Ｉｄが変化する）。

更に、駆動用トランジスタ１１０のゲート１１１には、保持容量１６０が接続されている。このため、一旦印加されたゲート電圧Ｖｇは、保持容量１６０により保持される。

次に、以上のように構成されたトランジスタ回路１００の動作について第１図と共に第２図及び第３図を参照して説明する。

第２図（Ａ）に示すように（同図は駆動用ＴＦＴ１１０及び補償用ＴＦＴ１２０として共にＰチャネル型ＴＦＴを用いた場合を示す）、リセット走査信号Ｖrscanがリセット用ＴＦＴ１３０に入力されると、リセット用ＴＦＴ１３０が導通状態とされて、駆動用ＴＦＴ１１０のゲート１１１には、リセット信号Ｖrsigが供給されて、ゲート１１１のゲート電圧Ｖｇは、このリセット信号Ｖrsigの電圧Ｖrsigにほぼ等しいレベルとされる。この結果、入力信号Ｖsigの電圧Ｖsigの大小によらずに駆動用ＴＦＴ１１０のゲート電圧Ｖｇをリセット走査信号Ｖrsigの供給タイミングで一定電圧（即ち、電圧Ｖrsig）にリセットすることができる。

そして、このリセット期間が終わり、走査信号Ｖscanがスイッチング用ＴＦＴ１４０に供給されると、スイッチング用ＴＦＴ１４０が導通状態とされて、駆動用ＴＦＴ１１０のゲート１１１には、補償用ＴＦＴ１２０を介してデータ信号Ｖsigが供給される。ここで、本実施の形態では特に補償用ＴＦＴ１２０においてゲート１２１がドレイン１２３に接続されているため（即ち、ダイオード接続されているため）、負電圧をゲート１１１に印加することで道通状態とされるＰチャネル型ＴＦＴである駆動用ＴＦＴ１１０におけるゲート電圧Ｖｇは、データ信号Ｖsigの電圧Ｖsigよりも補償用ＴＦＴ１２０のしきい値電圧Ｖth2だけ負電圧側に降圧される。そして、このように降圧されたゲート電圧Ｖｇは、走査信号Ｖscanや入力信号Ｖsigの供給停止後も、保持容量１６０により駆動期間中保持される。

尚、リセット期間としては、ゲート電圧Ｖｇがリセット信号Ｖrsigの電圧

Ｖrsigとなる時間だけとれば十分である。このため、駆動期間をリセット期間よりも遥かに長く設定することができ、これにより、リセット期間中に駆動用ＴＦＴ１１０がリセット信号Ｖrsigにより導通状態とされても、この間に駆動用ＴＦＴ１１０のソース１１２及びドレイン１１３を介して流れる電流の駆動電流Ｉｄに対する影響を、無視できる程度に小さくできる。

以上のように本実施の形態によれば、補償用ＴＦＴ１２０のしきい値電圧Ｖth2の分だけ入力信号Ｖsigに対するゲート電圧Ｖｇを降圧できるので、補償用ＴＦＴ１２０がない場合と比較して、より低い入力信号Ｖsigの電圧Ｖsigを用いて同等のコンダクタンス制御を駆動用ＴＦＴ１１０において行うことが可能となる。

尚、第２図（Ｂ）は、駆動用ＴＦＴ１１０及び補償用ＴＦＴ１２０として共にＮチャネル型ＴＦＴを用いた場合のタイミングチャートであり、この場合には、正電圧をゲート１１１に印加することで導通状態とされるＮチャネル型ＴＦＴである駆動用ＴＦＴ１１０におけるゲート電圧Ｖｇは、リセット時にリセット信号Ｖrsigの電圧Ｖrsigとされた後、入力信号Ｖsigの電圧Ｖsigよりも補償用ＴＦＴ１２０のしきい値電圧Ｖth2だけ正電圧側に昇圧される。

ここで、補償用ＴＦＴ１２０を介することなく駆動用ＴＦＴ１１０に入力信号Ｖsigを直接入力したとすると、即ち入力信号Ｖsigの電圧Ｖsigとゲート電圧Ｖｇとが一致する場合には、第３図（Ａ）（これは駆動用ＴＦＴ１１０がＮチャネル型ＴＦＴの場合である）に示すように、駆動電流Ｉｄは、駆動用ＴＦＴ１１０のしきい値電圧Ｖth1から立ち上がる特性を持つ。例えば、このしきい値電圧Ｖth1の設計基準値を２Ｖとすればしきい値のばらつきは±数Ｖ程度となる。そして、駆動用ＴＦＴ１１０におけるしきい値電圧Ｖth1のばらつきがそのまま駆動電流Ｉｄのばらつきとして現われる。

これに対し、本実施の形態では、補償用ＴＦＴ１２０を介して駆動用ＴＦＴ１１０に入力信号Ｖsigを入力するため、即ち入力信号Ｖsigの電圧Ｖsigを補償用ＴＦＴ１２０のしきい値電圧Ｖth2の分だけ昇圧してゲート電圧Ｖｇとする場合には、第３図（Ｂ）（これは駆動用ＴＦＴ１１０及び補償用ＴＦＴ１２０が共にＮチャネル型ＴＦＴの場合である）に示すように、補償用ＴＦＴ１２０のしきい

値電圧Ｖ th2 と駆動用ＴＦＴ１１０のしきい値電圧Ｖ th1 とが相殺されて、トランジスタ回路１００全体に対する入力信号Ｖ sig のしきい値電圧Ｖ th は零に近付くのである。そして、特に両しきい値電圧Ｖ th1 とＶ th2 とがほぼ一致する場合には、このしきい値電圧Ｖ th は、ほぼ零となる。このように、しきい値電圧Ｖ th1 とＶ th2 とを一致させることは、例えば同一半導体基板上の近接位置に駆動用ＴＦＴ１１０と補償用ＴＦＴ１２０とを同じ導電型ＴＦＴから構成することにより比較的簡単にできる。

このように構成すれば、両方のＴＦＴにおける、薄膜形成されるゲート絶縁膜、半導体膜等の膜厚や、チャネル長等の各構成要素の平面形状や、チャネル形成用領域、ソース領域、ドレイン領域における不純物濃度や、動作時の温度状態などを容易に一致させることができるので、結局、両方のＴＦＴのしきい値電圧Ｖ th1 とＶ th2 とを完全に又はほぼ完全に一致させることが出来るのである。尚、しきい値特性を近似させる上では、チャネル長さは同じにする方が良いが、チャネル幅は同じでなくても良い。

このように本実施の形態によれば、駆動用ＴＦＴ１１０と補償用ＴＦＴ１２０のしきい値特性や電圧電流特性を近付けることにより（理想的には一致させることにより）、駆動電流Ｉｄに対する入力信号Ｖ sig のしきい値電圧Ｖ th を零に近付ける（理想的には零に一致させる）ことが可能となる。

更に、第３図（Ａ）及び第３図（Ｂ）から判るように、複数のトランジスタ回路１００を製造する場合に、各駆動用ＴＦＴ１１０におけるしきい値電圧Ｖ th1 が相互にばらついたとしても、このしきい値電圧Ｖ th1 の大小によらずに、各補償用ＴＦＴ１２０の作用により各トランジスタ回路１００のしきい値電圧Ｖ thは、零に近い値とされる。即ち、しきい値電圧Ｖ th が一定の多数のトランジスタ回路１００を製造できることになる。これは、後述のように多数のトランジスタ回路１００間におけるしきい値電圧Ｖ thのばらつきが問題となるような表示パネル用等の用途には特に役立つ。そして、各トランジスタ回路１００において、相互に近接配置される一対の駆動用ＴＦＴ１１０のしきい値電圧Ｖ th1 と補償用ＴＦＴ１２０のしきい値電圧Ｖ th2 とを一致させることは、距離を隔てて別個に配置される二つの駆動用ＴＦＴ１１０のしきい値電圧Ｖ th1 を一致させることよりも前

述のように遥かに容易であるため、このように補償用ＴＦＴ１２０により各トランジスタ回路１００におけるしきい値電圧Ｖ th1 を補償する構成は、複数のトランジスタ回路１００相互間のしきい値電圧Ｖthのばらつきを低減させるためには極めて効果的であると言える。

以上のように本実施の形態によれば、トランジスタ回路１００を複数作成する際に、しきい値電圧Ｖ th1 の相異なる複数の駆動用ＴＦＴ１１０、即ち設計基準値としてのしきい値電圧（例えば、２．５Ｖ）から大きくばらついたしきい値電圧Ｖ th1 を夫々持つ複数の駆動用ＴＦＴ１１０を用いたとしても、しきい値電圧Ｖthのばらつきが殆ど又は全くない複数のトランジスタ回路１００を得ることが可能となる。このため、電流電圧特性についてＴＦＴに要求される条件が緩くなり、歩留まりの向上及び製造コストの低減を図ることができる。

尚、第３図（Ａ）及び第３図（Ｂ）から判るように、しきい値電圧Ｖ th1 及びＶ th2 を一致させることにより、各駆動用ＴＦＴ１１０におけるコンダクタンス制御を入力信号Ｖ sig の電圧Ｖ sig よりも高いゲート電圧Ｖｇを用いて行えるという第１の効果、及び複数のトランジスタ回路１００間におけるしきい値電圧Ｖ thのばらつきを低減するという第２の効果は顕著に発現するが、各トランジスタ回路１００において駆動用ＴＦＴ１１０のしきい値電圧Ｖ th1 と補償用ＴＦＴ１２０のしきい値電圧Ｖ th2 とを完全に一致させなくとも、両しきい値電圧は相殺しあう性質をもつので、両しきい値電圧の類似性に応じた程度でこれらの第１及び第２の効果が得られる。

本実施の形態では、特にゲート１１１に対し入力信号Ｖ sig に応じて制御されるコンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号Ｖ rsig を供給するように構成されている。従って、入力信号Ｖ sig の電圧値Ｖ sig の大小によらずにリセット後に、このコンダクタンスを低める方向の電荷移動を可能とする向きでゲート１１１に接続された補償用ＴＦＴ１２０を介して入力信号Ｖ sig をゲート１１１に供給することが可能となる。しかも本実施の形態では、リセット信号Ｖ rsig は、入力信号Ｖ sig の最大電圧よりも補償用ＴＦＴ１２０のしきい値電圧Ｖ th2 分以上大きい電圧に設定されている。従って、リセット後に入力信号Ｖ sig が入力されると、入力信号Ｖ sig の電圧Ｖ sig

の大小や補償用ＴＦＴ１２０のしきい値電圧Ｖ th2 の大小によらずに常に、その入力信号Ｖ sig の電圧Ｖ sig よりも補償用ＴＦＴ１２０のしきい値電圧Ｖ th2 分だけ高い電圧を、ゲート１１１に供給することが出来るのである。

尚、従来の液晶表示素子で良く用いられている、入力信号Ｖ sig の反転が行われる場合には、反転した入力信号も含めた全ての入力信号Ｖ sig に対しても、上記のリセット信号Ｖ sig の関係が成り立つことが望ましい。

このリセット信号Ｖ rsig の電圧設定による効果について第４図及び第５図を参照して検討を加える。ここで、第４図は、しきい値の設計基準値を例えば－２．５Ｖとしてその基準値からのしきい値電圧のばらつきΔＶ th に対する駆動電流Ｉｄの変化を、（１）補償用ＴＦＴ１２０無しで駆動用ＴＦＴ１１０に直接入力信号Ｖ sig を供給した場合（特性曲線Ｃ１）、（２）リセット信号Ｖ rsig を５Ｖとして補償用ＴＦＴ１２０を介して駆動用ＴＦＴ１１０に入力信号Ｖ sig を供給した場合（特性曲線Ｃ２）、及び（３）リセット信号Ｖ rsig を０Ｖとして補償用ＴＦＴ１２０を介して駆動用ＴＦＴ１１０に入力信号Ｖ sig を供給した場合（特性曲線Ｃ３）について夫々示したものである。また、第５図（Ａ）は、特性曲線Ｃ２に対するゲート電圧Ｖｇの変動範囲を示し、第５図（Ｂ）は、特性曲線Ｃ３に対応するゲート電圧Ｖｇの変動範囲を示す。なお、ここで、Ｖ sig＝７．５Ｖ、＋Ｖｃ＝１０Ｖ、－Ｖｃ＝５Ｖとしている。

第４図において、特性曲線Ｃ１で示したように、補償用ＴＦＴ１２０無しの場合には、しきい値電圧のばらつきΔＶ th が、そのまま駆動電流Ｉｄのばらつきとして顕著に現われている。

特性曲線Ｃ２で示したように、リセット信号Ｖ rsig を５Ｖとして補償用ＴＦＴを用いた場合には、しきい値電圧のばらつきΔＶ th が、プラス側ではかなり補償されているが、マイナス側では、駆動電流Ｉｄのばらつきとして現われている。これは、第５図（Ａ）に示すようにマイナス側では、リセット後に入力信号Ｖ sig が入力されたとき、ゲート電圧Ｖｇを、入力信号Ｖ sig よりも、しきい値電圧Ｖ th2 の分だけ負電圧側に降圧する（補償する）ことができないためである。何故なら、ダイオードである補償用ＴＦＴ１２０は、ゲート電圧Ｖｇをリセット信号Ｖ rsig から入力信号Ｖ sig へ近付けることは出来ても遠ざけることは出来ない

からである。

また、特性曲線Ｃ３で示したように、リセット信号Ｖ rsig を０Ｖとして補償用ＴＦＴを用いた場合には、しきい値電圧のばらつきΔＶ th が、駆動電流Ｉｄのばらつきとして殆ど現われていない。これは、第５図（Ｂ）に示すように、リセット後に入力信号Ｖ sig が入力されたとき、ゲート電圧Ｖｇを、入力信号Ｖ sig よりも、しきい値電圧Ｖ th の分だけ負電圧側に降圧する（補償する）ことができるためである。なお、ここで与えたＶ sig＝７．５Ｖは、入力信号Ｖ sig の最小電位だと考えれば、全てのＶ sig に対して補償できるかということに対して、上記考察が成り立つ。

以上のように本実施の形態では、入力電圧Ｖ sig の大小や補償用ＴＦＴ１１０のしきい値電圧Ｖ th2 の大小によらずに常に、その入力信号Ｖ sig の電圧よりも補償用ＴＦＴ１２０のしきい値電圧Ｖ th2 分だけ低い電圧Ｖｇを、駆動用ＴＦＴ１１０のゲート１１１に印加することが出来るのである。

尚、第２図（Ａ）及び第２図（Ｂ）において、ゲート電圧Ｖｇは駆動期間中、保持容量１６０により保持される。このため、保持容量１６０により、複数のトランジスタ回路１００間におけるゲート電圧Ｖｇの保持特性のばらつきをも低減（補償）することができる。

以上、第１図から第５図を参照して説明したように、本実施の形態のトランジスタ回路１００によれば、ＥＬ素子等の電流制御型素子５００を比較的低電圧の入力信号Ｖ sig で電流駆動することが可能となり、しかも、複数の駆動用ＴＦＴ１１０間における電流電圧特性やしきい値特性のばらつきによらずに、複数の電流制御型素子５００を入力信号Ｖ sig の電圧に応じて精度良く電流制御するができる。

尚、第１図に示した例では、ＰチャネルＴＦＴとＮチャネルＴＦＴとの両方を用いているが、全てのＴＦＴをＮチャネルＴＦＴから構成してもよいし、或いは、全てのＴＦＴをＰチャネルＴＦＴから構成してもよい。但し、駆動用ＴＦＴ１１０の電流電圧特性やしきい値特性を補償用ＴＦＴ１２０で補償する観点からは、これらの駆動用ＴＦＴ１１０及び補償用ＴＦＴ１２０を同一工程により同一導電型のＴＦＴとして構成した方が有利である。特に、両ＴＦＴを同一薄

膜形成工程で形成すれば、両ＴＦＴ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが全く又は殆どないトランジスタ回路１００を同
一基板上で得ることが可能となる。他方、リセット用ＴＦＴ１３０やスイッチング用ＴＦＴ１４０は、駆動用ＴＦＴ１１０がＰチャネル型であるかＮチャネル型であるかによらず、Ｐチャネル型でもＮチャネル型でも構わない。但し、全てのＴＦＴを同じ導電型のＴＦＴとした方が製造上有利であることも多い。

また、本実施の形態における各種のＴＦＴ１１０～１４０を、接合型、並列・直列接続等のいずれの種類の電界効果トランジスタ（ＦＥＴ）から構成してもよい。

更に、第６図に示すように、上述の如きトランジスタ回路をバイポーラトランジスタから構成してもよい。この場合、上述のゲート、ソース及びドレインをベース、エミッタ及びコレクタに夫々対応させて、バイポーラトランジスタから駆動用トランジスタ１１０’を構成すると共にバイポーラトランジスタから補償用トランジスタ１２０’を構成して、トランジスタ回路１００’とすればよい。一般にバイポーラトランジスタの場合には、しきい値電圧は、例えば０．７Ｖを中心として、そのばらつきはＴＦＴと比較すると小さいが、このように構成しても、駆動用トランジスタ１１０’における電流電圧特性やしきい値特性のばらつきが駆動電流Ｉｄに及ぼす影響を補償用トランジスタ１２０’により補償することが出来る。更に、比較的低電圧で駆動用トランジスタ１１０’による駆動を行うことが出来る。特に、駆動用トランジスタ１１０’と補償用トランジスタ１２０’とを同一製造工程で製造すれば、これら両トランジスタ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが殆ど無い又は低減された多数のトランジスタ回路１００’を得ることが可能となる。

以上の実施の形態における電流制御型素子５００としては、有機ＥＬ素子、無機ＥＬ素子等の電流制御型発光素子、電流制御型の熱転写素子など各種の素子が挙げられる。

（表示パネル）

本発明の表示パネルの実施の形態について第７図から第１０図を参照して説明

する。第７図は、表示パネルの全体構成を示すブロック図であり、第８図は、表示パネルにおける一つの画素部の平面図であり、第９図（Ａ）、第９図（Ｂ）及び第９図（Ｃ）は夫々、そのＡ－Ａ’断面図、Ｂ－Ｂ’断面図及びＣ－Ｃ’断面図であり、第１０図は、相隣接する４つの画素部の回路図である。

本実施の形態における表示パネルは、上述した本発明のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備えており、該複数の画素部には、電流制御型発光素子の一例としてＥＬ素子５０が夫々設けられて構成されている。

第７図に示すように、表示パネル２００は、ＴＦＴアレイ基板１を有し、該ＴＦＴアレイ基板１上において複数の画素部２がマトリクス状に配置された画面表示領域には、Ｙ方向に夫々伸びておりＸ方向に配列された複数のデータ線１１と、Ｘ方向に夫々伸びておりＹ方向に配列された複数の走査線１２と、複数のデータ線１１と平行に並べられた複数の共通給電線１３とを備えている。表示パネル１は更に、画面表示領域の周囲に、各データ線１１にデータ信号を供給するデータ線駆動回路２１と、各走査線１２に走査信号を供給する一対の走査線駆動回路２２と、各画素部２における道通不良、絶縁不良、素子の欠陥等を検査するための検査回路２３とを備えて構成されている。なお、本実施の形態では、各駆動回路は、ＴＦＴアレイ基板１上に画素部２と共通の工程で形成されているが、ＴＦＴアレイ基板１上にない回路とされてもよいし、又は画素部２と別の工程で形成さてもよい。

第８図に示すように、各画素部２には、第１図から第６図を用いて説明した駆動用ＴＦＴ１１０、補償用ＴＦＴ１２０、リセット用ＴＦＴ１３０、スイッチング用ＴＦＴ１４０及び保持容量１６０が設けられている。そして、前段の走査線１２ｂが第１図におけるリセット走査信号Ｖ rscan 用の配線となり、当段の走査線１２ａが図１における走査信号Ｖ scan用の配線及びリセット信号Ｖ rsig用の配線となり、当段のデータ線１１ａが第１図における入力信号Ｖ sig（データ信号）用の配線となっている。更に、共通給電線１３が正電源＋Ｖに接続されており、ＥＬ素子５０が駆動用ＴＦＴ１１０と後述の対向電極との間に接続されており、該対向電極が負電源－Ｖに接続されている。

第９図（Ａ）に示すように、スイッチング用ＴＦＴ１４０、補償用ＴＦＴ１２０及び保持容量１６０は、第８図のＡ－Ａ’断面に沿って、ＴＦＴアレイ基板上１に半導体膜（ポリシリコン膜）４、酸化シリコン膜や窒化シリコン膜からなるゲート絶縁膜５、Ｔａ（タンタル）膜６、酸化シリコン膜や窒化シリコン膜からなる第１層間絶縁膜７及びＡｌ膜８から構成されている。尚、ゲート電極形成用のＴａ膜６の代わりに、低抵抗ポリシリコン膜を成膜してもよい。

より具体的には、スイッチング用ＴＦＴ１４０は、ポリシリコン膜６からなるゲート１４１を持つトップゲート型のＴＦＴであり、ゲート絶縁膜５を介してゲート１４１に対向する半導体層４部分をチャネル形成用領域として、その両側にｎ型に高濃度ドープされたソース１４２及びドレイン１４３を備えたＮチャネル型のＴＦＴとして構成されている。そして、ソース１４２は、ゲート絶縁膜５及び第１層間絶縁膜７に開孔されたコンタクトホールを介してＡｌ膜８からなるデータ線１１ａに接続されている。また、ドレイン１４３は、ゲート絶縁膜５及び第１層間絶縁膜７に開孔されたコンタクトホール及びＡｌ膜８を中継して、補償用ＴＦＴ１２０に接続されている。

補償用ＴＦＴ１２０は、Ｔａ膜６からなるゲート１２１を持つトップゲート型のＴＦＴであり、ゲート絶縁膜５を介してゲート１２１に対向する半導体膜４部分をチャネル形成用領域として、その両側にｐ型に高濃度ドープされたソース１２２及びドレイン１２３を備えたＰチャネル型のＴＦＴとして構成されている。そして、ゲート絶縁膜５及び第１層間絶縁膜７に開孔されたコンタクトホール及びＡｌ膜８を中継してスイッチング用ＴＦＴ１４０及び保持容量１６０並びに駆動用ＴＦＴ１１０のゲート１１１に接続されている。

また、保持容量１６０は、２重のコンデンサ構成を有するように、半導体膜４、Ｔａ膜６及びＡｌ膜８が、ゲート絶縁膜５及び第１層間絶縁膜７を介して対向配置されて構成されている。そして保持容量を構成する半導体膜４部分は、ゲート絶縁膜５及び第１層間絶縁膜７に開孔されたコンタクトホールを介してＡｌ膜８に接続されており、保持容量を構成するＴａ膜６部分は、第１層間絶縁膜７に開孔されたコンタクトホールを介してＡｌ膜８に接続されている。

第９図（Ｂ）に示すように、リセット用ＴＦＴ１３０は、第８図のＢ－Ｂ’断

面に沿って、ＴＦＴアレイ基板上１に半導体膜４、ゲート絶縁膜５、Ｔａ膜６、第１層間絶縁膜７及びＡｌ膜８から構成されている。

より具体的には、リセット用ＴＦＴ１３０は、Ｔａ膜６からなるゲート１３１を持つトップゲート型のＴＦＴであり、ゲート絶縁膜５を介してゲート１３１に対向する半導体層４部分をチャネル形成用領域として、その両側にｎ型に高濃度ドープされたソース１３２及びドレイン１３３を備えたＮチャネル型のＴＦＴとして構成されている。そしてソース１３２及びドレイン１３３は、ゲート絶縁膜５及び第１層間絶縁膜７に開孔されたコンタクトホール及びＡｌ膜８を中継して、Ｔａ膜６からなる当段の走査線１２ａ及び駆動用ＴＦＴ１１０のゲート１１１に夫々接続されている。

また、第９図（Ｃ）に示すように、駆動用ＴＦＴ１１０は、第８図のＣ－Ｃ’断面に沿って、ＴＦＴアレイ基板上１に半導体膜４、ゲート絶縁膜５、Ｔａ膜６、第１層間絶縁膜７及びＡｌ膜８から構成されている。そして、第２層間絶縁膜９上には、駆動用ＴＦＴ１１０のドレイン１１３にコンタクトホール及びＡｌ膜８を中継して接続されたＩＴＯ膜５１が形成され、その上にＥＬ素子５０が形成されている。他方、駆動用ＴＦＴ１１０のソース１１２は、コンタクトホールを介してＡｌ膜８からなる共通給電線１３に接続されている。また、相隣接する画素部２におけるＥＬ素子５０は、電気絶縁性のバンク５２により相隔てられている。好ましくは、バンク５２は遮光性を持つものがよい。バンク５２は、例えば、遮光性のレジストからなり、当該表示パネル２００の画面表示領域の周囲を覆う周辺見切り領域にもバンク５２を設けるようにしてもよい。そして、ＥＬ素子５０上には、Ａｌ等の低抵抗金属或いはＩＴＯ等からなる対向電極（上電極）５６が設けられている。

第１０図に示すように、表示パネル２００においては特に、共通給電線１３によりＸ方向に相隣接した画素部２の双方に対して正電源＋Ｖが供給される構成を採り、正電源＋Ｖ供給用の電源配線を単純に画素部２の列毎に設ける場合と比較して、電源配線の数を約１／２にしている。また、リセット用ＴＦＴ１３０のゲート１３１に入力されるリセット走査信号Ｖ rscan を前段の走査線１２ｂにより供給し、リセット用ＴＦＴ１３０に入力されるリセット信号Ｖ rsig を当段の走査

線１２ｂにより供給する構成を採ることにより、リセット走査信号Ｖ rscan 専用の配線やリセット信号Ｖ rsig 専用の配線を設ける場合と比較して信号配線の数を減らしている。このように電源配線数や信号配線数を増やさないようにすることにより、従来の表示パネルには設けられていない補償用ＴＦＴ１２０やリセット用ＴＦＴ１３０を設けるスペースを確保することができる。勿論、本実施の形態と違って、各画素毎に共通給電線を設けて、各画素毎にパターンを同じにしたものや、リセット走査信号Ｖ rscan 専用の配線や、リセット信号Ｖ rsig 専用の配線を設けたものに対しても、本発明の技術思想は適用できる。

尚、本実施の形態のように電流駆動型発光素子であるＥＬ素子５０を用いた表示パネル２００の場合には、例えば、液晶パネルのように画素の開口領域を増やさなくても、発光素子に供給する電流量を増加させればこれに応じて自発光するが故に、画像表示に必要な明るさを得ることができる。従って、本実施の形態のように、配線の占める領域を節約して各種のＴＦＴを画素部２に形成するスペースを確保してもよいし、各ＥＬ素子５０の大きさを小さくすることにより各種のＴＦＴを画素部２に形成するスペースを確保してもよい。

次に、本実施の形態の表示パネル２００の動作について第７図及び第１０図を参照して説明する。

走査線駆動回路２２から前段の走査線１２ｂに走査信号Ｖ scan が供給されると、これが当段のリセット走査信号Ｖ rscan として、当段のリセット用ＴＦＴ１３０のゲート１３１に入力される。これと並行して、走査線駆動回路２２から当段の走査線１２ａにリセット信号Ｖ rsig が供給されて、当段の駆動用ＴＦＴ１１０のゲート電圧Ｖｇは、リセット信号Ｖ rsig の電位とされる（第２図（Ａ）参照）。このとき、リセット信号Ｖ rsig は、走査信号Ｖ scan のオフ電位と同一でもかまわない。続いて、走査線駆動回路２２から当段の走査線１２ａに走査信号Ｖ scan が供給されると、これが当段のスイッチング用ＴＦＴ１４０のゲート１４１に入力される。これと並行して、データ線駆動回路２１から当段のデータ線１１ａに入力信号Ｖ sig（データ信号）が供給されて、スイッチング用ＴＦＴ１４０及び補償用ＴＦＴ１２０を介して、この電圧Ｖ sig が補償用ＴＦＴ１２０のしきい値電圧Ｖ th2 分だけ降圧されて、当段の駆動用ＴＦＴ１１０のゲート１１１に、ゲート

電圧Ｖｇとして供給される（第２図（Ａ）参照）。この結果、この降圧されたゲート電圧Ｖｇに応じて、駆動用ＴＦＴ１１０のソース１１２及びドレイン１１３間のコンダクタンスが制御されて、正電源＋Ｖ及び負電源－Ｖの間で、ＥＬ素子５０を流れる駆動電流Ｉｄが制御される。

従って、各画素部２に設けられた駆動用ＴＦＴ１１０におけるしきい値電圧Ｖ th1 のばらつきが補償用ＴＦＴ１２０のしきい値Ｖ th2 により補償されて、複数の画素部２間における駆動電流Ｉｄに対するデータ信号Ｖ sig のしきい値のばらつきが殆どなくなり、表示パネル２００の画面表示領域全体にわたって均一の明るさでむらのない画像表示が可能とされる。また、補償用ＴＦＴ１２０による降圧作用により比較的小さい電圧のデータ信号Ｖ sig を用いて駆動電流Ｉｄを制御することも可能とされる。

以上の実施の形態では、リセット用ＴＦＴ１３０によりゲート電圧Ｖｇを入力信号Ｖ sig の供給前にリセットしているが、例えば、静止画を表示する期間には、同じ入力信号Ｖ sig により複数フレームに亘って駆動電流Ｉｄの制御を行えばよいので、係るリセット動作を各走査毎に行う必要はない。また、このように電気的なリセット信号Ｖ rsig の代わりに光照射によりゲート電圧Ｖｇをリセットする（所定のリセット電圧にする）ように構成してもよい。更にまた、リセット用ＴＦＴ１３０の代わりにスイッチング用ＴＦＴ１４０や補償用ＴＦＴ１２０を介してリセット信号Ｖ rsig を供給するように構成してもよい。他方、アクティブマトリクス駆動の如くスイッチングを行わない用途であれば、スイッチング用ＴＦＴ１４０やスイッチング動作が不要なことは言うまでもない。

（電子機器）

次に、以上詳細に説明した表示パネル２００を備えた電子機器の実施の形態について第１１図から第１３図を参照して説明する。

先ず第１１図に、このように表示パネル２００を備えた電子機器の概略構成を示す。

第１１図において、電子機器は、表示情報出力源１０００、表示情報処理回路１００２、駆動回路１００４、表示パネル１００６、クロック発生回路１００８並びに電源回路１０１０を備えて構成されている。

前述した実施の形態における表示パネル２００は、本実施の形態における表示パネル１００６及び駆動回路１００４に相当する。従って、表示パネル１００６を構成するＴＦＴアレイ基板の上に、駆動回路１００４を搭載してもよく、更に表示情報処理回路１００２等を搭載してもよい。或いは、表示パネル１００６を搭載するＴＦＴアレイ基板に対し駆動回路１００４を外付けして構成してもよい。

表示情報出力源１０００は、ＲＯＭ（Read Only Memory）、ＲＡＭ（Random Access Memory）、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含み、クロック発生回路１００８からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路１００２に出力する。表示情報処理回路１００２は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号ＣＬＫと共に駆動回路１００４に出力する。駆動回路１００４は、表示パネル２００を駆動する。電源回路１０１０は、上述の各回路に所定電源を供給する。

次に第１２図から第１３図に、このように構成された電子機器の具体例を夫々示す。

第１２図において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ（ＰＣ）１２００は、上述した表示パネル２００がトップカバーケース１２０６内に備えられており、更にＣＰＵ、メモリ、モデム等を収容すると共にキーボード１２０２が組み込まれた本体１２０４を備えている。

また第１３図に示すように、駆動回路１００４や表示情報処理回路１００２を搭載しない表示パネル１３０４の場合には、駆動回路１００４や表示情報処理回路１００２を含むＩＣ１３２４がポリイミドテープ１３２２上に実装されたＴＣＰ（Tape Carrier Package）１３２０に、ＴＦＴアレイ基板１の周辺部に設けられた異方性導電フィルムを介して物理的且つ電気的に接続して、表示パネルとして、生産、販売、使用等することも可能である。

以上説明したように、本実施の形態によれば、表示パネルの全面に渡って明る

さのむらが少なく且つ比較的低電圧で駆動することも可能な各種の電子機器を実現できる。

本発明のトランジスタ回路によれば、補償用トランジスタのしきい値電圧の分だけ入力信号の電圧に対してゲート電圧を降圧もしくは昇圧できるので、低い入力信号の電圧により駆動用トランジスタにおけるコンダクタンス制御を行うことができる。更に、補償用トランジスタと駆動用トランジスタとのしきい値特性や電圧電流特性を近付けることにより、駆動電流に対する入力信号のしきい値電圧を零に近付けることも可能となる。更にまた、複数のしきい値特性の相異なる駆動用トランジスタを用いて当該トランジスタ回路を複数作成した場合に、複数のしきい値電圧の異なる複数の駆動用トランジスタ、即ち設計基準値から大きくばらついたしきい値電圧を夫々持つ複数の駆動用トランジスタを用いたとしても、複数のトランジスタ回路におけるしきい値電圧のばらつきが殆ど又は全くない複数のトランジスタ回路を得ることも可能となる。

本発明の表示パネルによれば、明るさむらが低減された画像表示を低電圧の入力信号を用いて実現できる。

産業上の利用可能性

本発明のトランジスタ回路を用いて明るさむらが低減された画像表示がなされる表示パネルが得られる。かかる表示パネルは、高品位の画像表示が要求されるラップトップ型のパーソナルコンピューター（ＰＣ）、テレビ、ビューファインダー型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサー、エンジニアリング・ワークステーション（ＥＷＳ）、携帯電話、テレビ電話、ＰＯＳ端末、ページャ、タッチパネルを備えた装置等の電子機器に好適に利用可能である。

請　求　の　範　囲

（1）第1ゲート、第1ソース及び第1ドレインを有し、該第1ゲートに供給される入力信号の電圧に応じて該第1ソース及び第1ドレイン間のコンダクタンスガ制御される駆動用トランジスタと、第2ゲート、第2ソース及び第2ドレインを有し、該第2ゲートが該第2ソース及び第2ドレインの一方に接続されており、該第2ソース及び第2ドレインを介して前記入力信号が前記第1ゲートに供給されるように且つ前記第1ゲートに対し前記コンダクタンスを低める方向の電荷移動を可能とする向きで前記第1ゲートに接続された補償用トランジスタとを備えたことを特徴とするトランジスタ回路。

（2）前記第1ゲートに対し前記入力信号に応じて制御される前記コンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号を前記入力信号の供給前に供給するリセット手段を備えたことを特徴とする請求の範囲第1項に記載のトランジスタ回路。

（3）前記リセット信号は、前記入力信号の最大電圧よりも前記補償用トランジスタのしきい値電圧分以上大きい電圧に設定されていることを特徴とする請求の範囲第2項に記載のトランジスタ回路。

（4）前記リセット手段は、第3ゲート、第3ソース及び第3ドレインを有し、該第3ソース及び第3ドレインの一方が前記第1ゲートに接続されており、該第3ゲートにリセットタイミング信号が前記入力信号の供給前に供給された時に、該第3ソース及び第3ドレインを介して前記リセット信号を前記第1ゲートに供給するリセット用トランジスタを備えたことを特徴とする請求の範囲第2項又は第3項に記載のトランジスタ回路。

（5）前記駆動用トランジスタと前記補償用トランジスタとは、同一導電型のトランジスタであることを特徴とする請求の範囲第1項乃至第4項のいずれかに記載のトランジスタ回路。

（6）第4ゲート、第4ソース及び第4ドレインを有し、該第4ゲートにスイッチングタイミング信号が供給された時に前記入力信号を該第4ソース及び第4ドレインを介して前記補償用トランジスタに供給するように接続されたスイッチン

グ用トランジスタを更に備えたことを特徴とする請求の範囲第１項乃至第５項のいずれかに記載のトランジスタ回路。

（７）前記第１ゲートに接続された保持容量を更に備えたことを特徴とする請求の範囲第１項乃至第６項のいずれかに記載のトランジスタ回路。

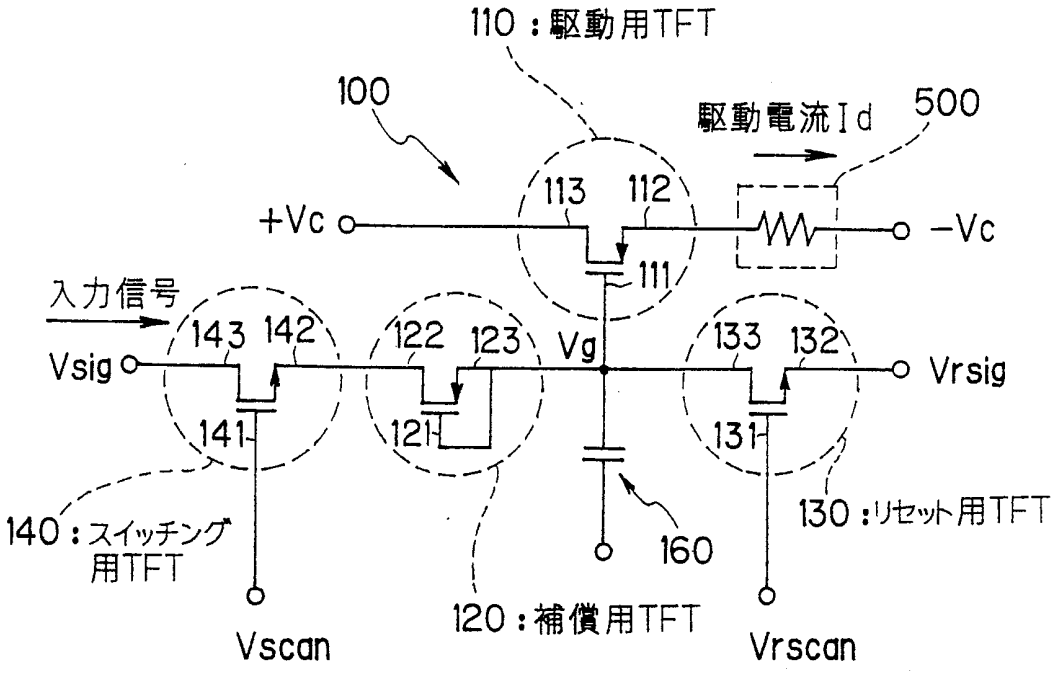
（８）同一基板上に形成された薄膜トランジスタから構成されていることを特徴とする請求の範囲第１項乃至第７項のいずれかに記載のトランジスタ回路。

（９）前記トランジスタは夫々、前記ゲート、ソース及びドレインが、ベース、エミッタ及びコレクタに夫々対応するバイポーラトランジスタから構成されていることを特徴とする請求の範囲第１項乃至第７項のいずれかに記載のトランジスタ回路。

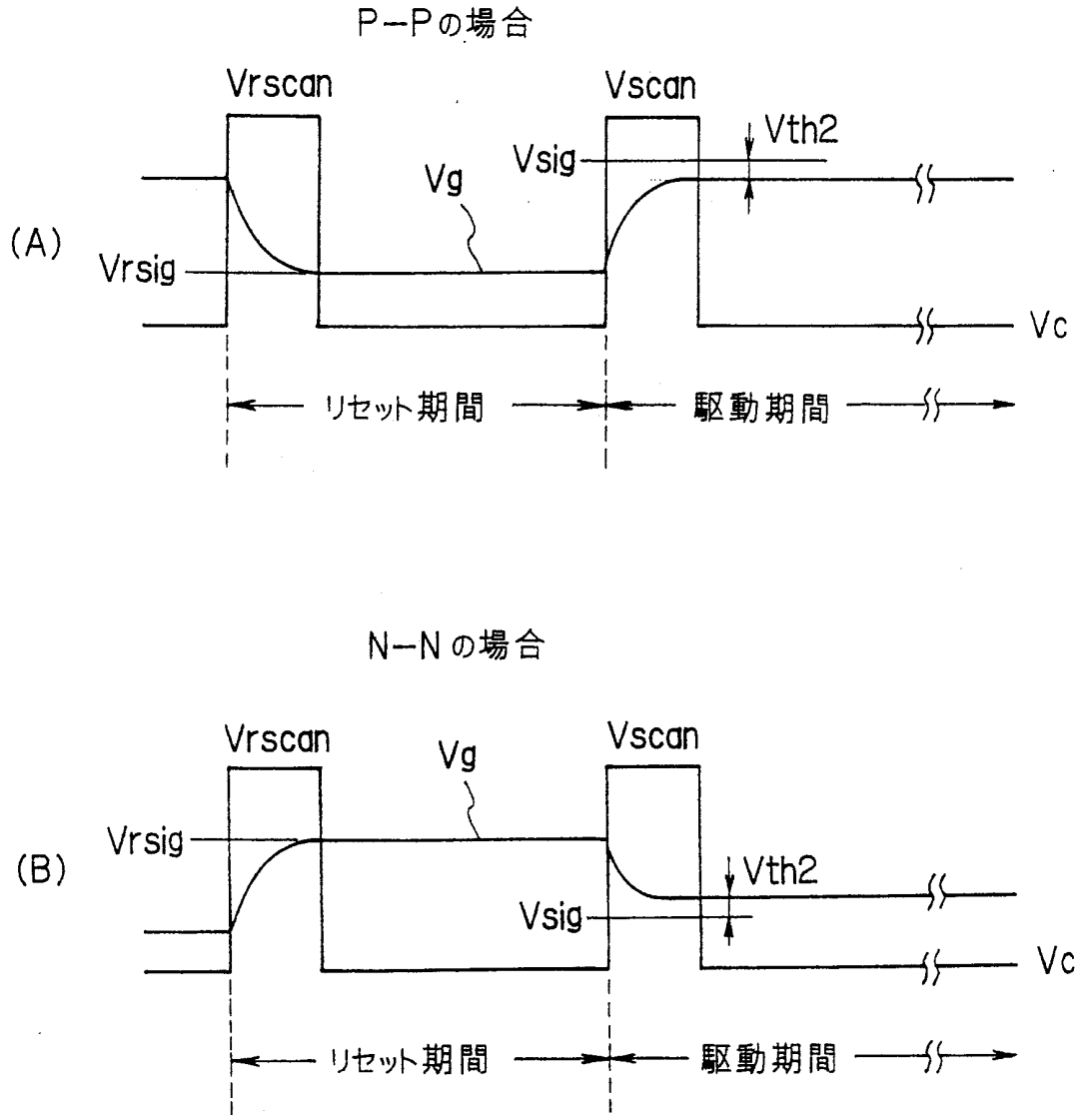
（１０）前記入力信号は、入力信号源により電圧が制御される電圧信号であり、前記駆動用トランジスタは、前記第１ソース及び第１ドレインの一方が電流制御型素子に接続されており、前記コンダクタンスを制御することにより該電流制御型素子に流れる電流を制御することを特徴とする請求の範囲第１項乃至第９項のいずれかに記載のトランジスタ回路。

（１１）請求の範囲第１０項に記載のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備え、電流制御型発光素子が該複数の画素部に夫々設けられたことを特徴とする表示パネル。

（１２）請求の範囲第１１項に記載の表示パネルを備えたことを特徴とする電子機器。

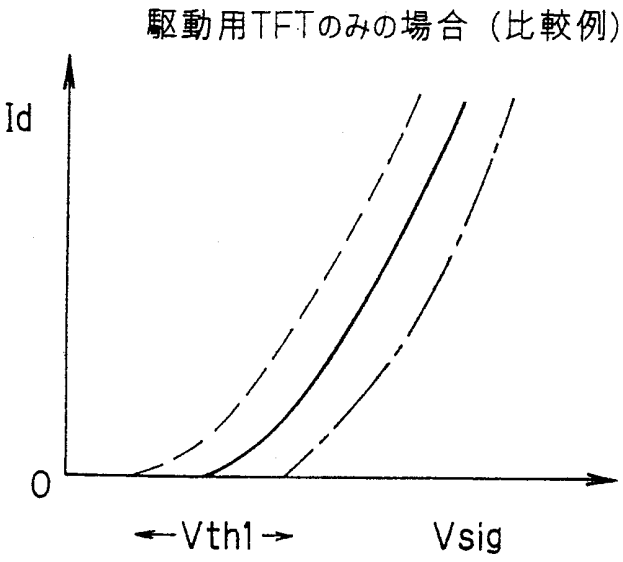

110：駆動用TFT
100
駆動電流Id
500
113
112
+Vc
−Vc
111
入力信号
143
142
122
123
Vg
133
132
Vsig
Vrsig
141
121
131
140：スイッチング用TFT
160
130：リセット用TFT
120：補償用TFT
Vscan
Vrscan

第 1 図

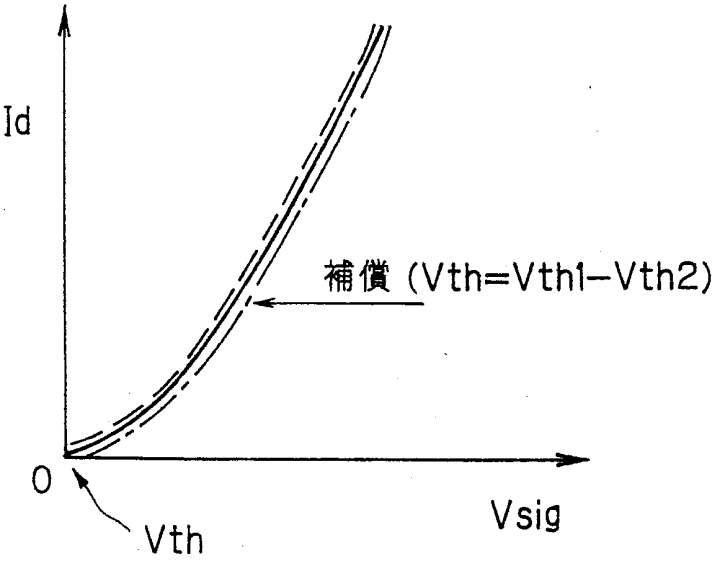

P−Pの場合
Vrscan
Vscan
Vth2
Vsig
Vg
(A)
Vrsig
Vc
リセット期間
駆動期間
N−Nの場合
Vrscan
Vg
Vscan
Vrsig
(B)
Vth2
Vsig
Vc
リセット期間
駆動期間

第 2 図

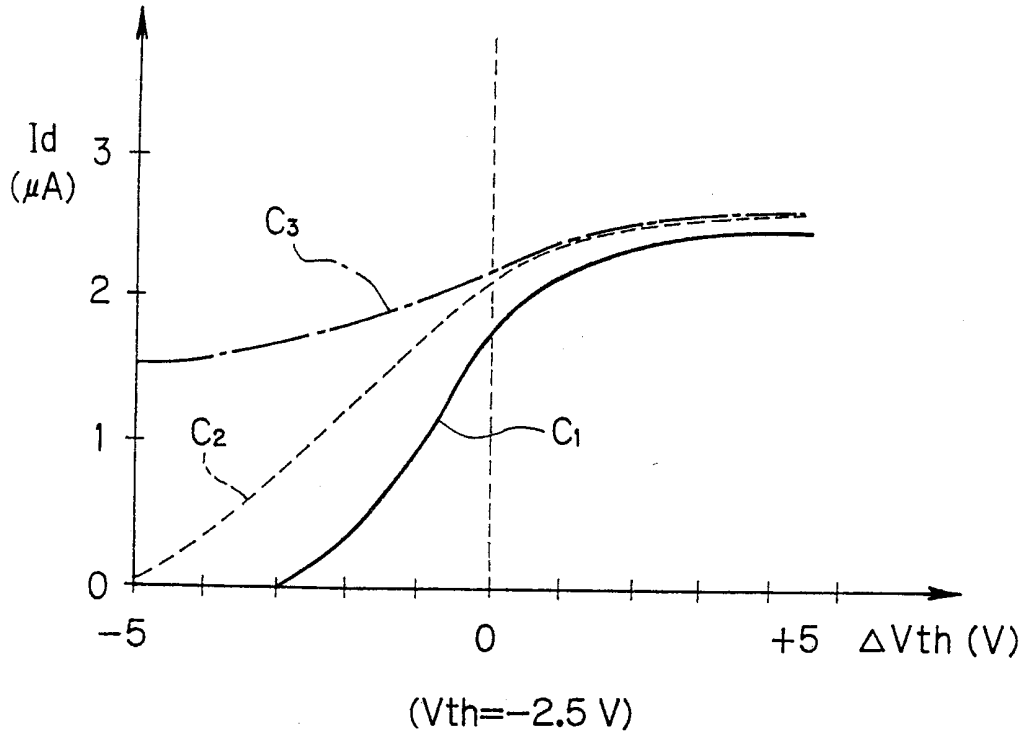
(A)


駆動用TFTのみの場合（比較例）
Id
0
←Vth1→
Vsig

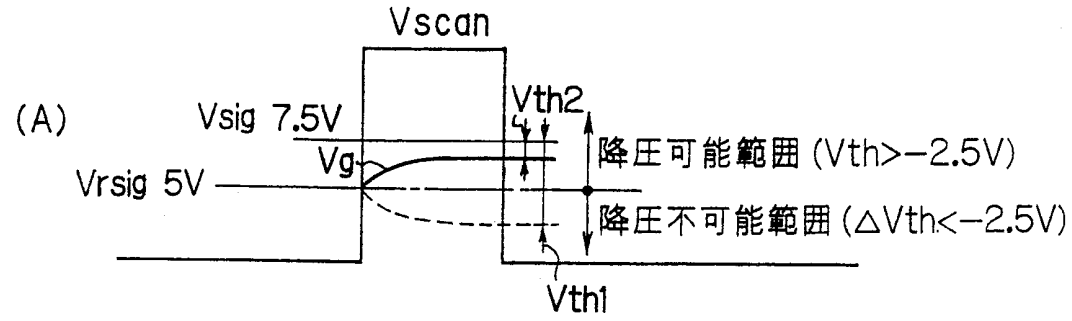
(B)

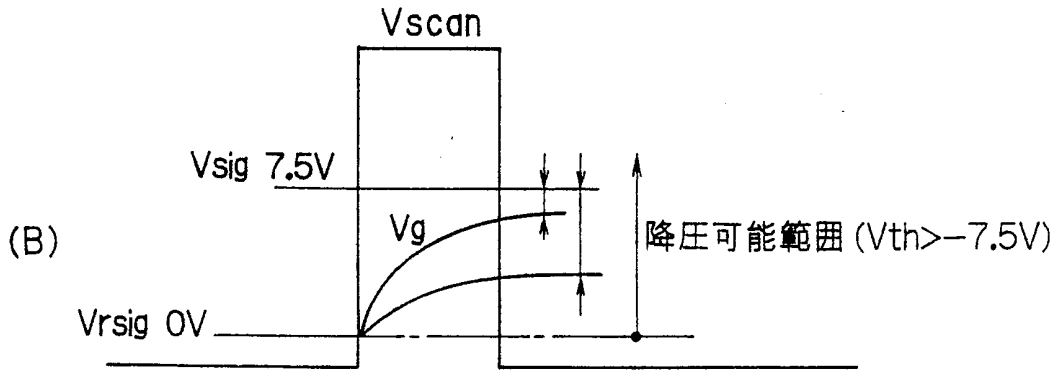

駆動用TFT+補償用TFTの場合（本実施の形態）
Id
補償（Vth=Vth1−Vth2）
0
Vth
Vsig

第 3 図

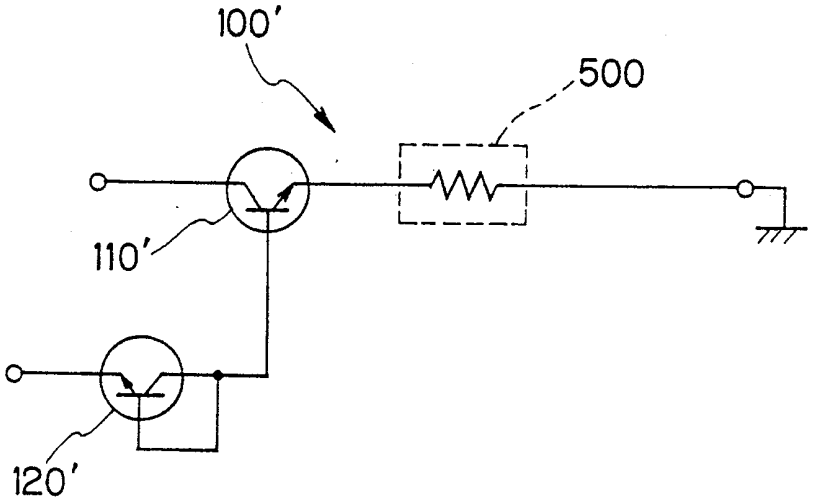


第 4 図

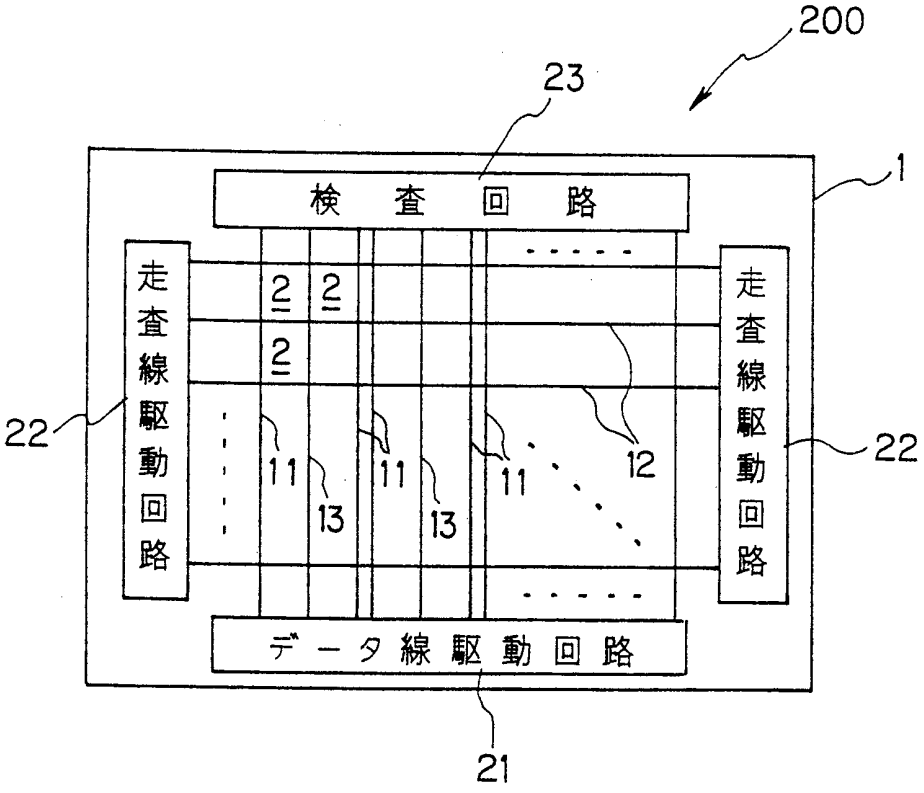

(A)
Vscan
Vsig 7.5V
Vth2
Vg
Vrsig 5V
降圧可能範囲 (Vth>−2.5V)
降圧不可能範囲 (△Vth<−2.5V)
Vth1


(B)
Vscan
Vsig 7.5V
Vg
降圧可能範囲 (Vth>−7.5V)
Vrsig 0V

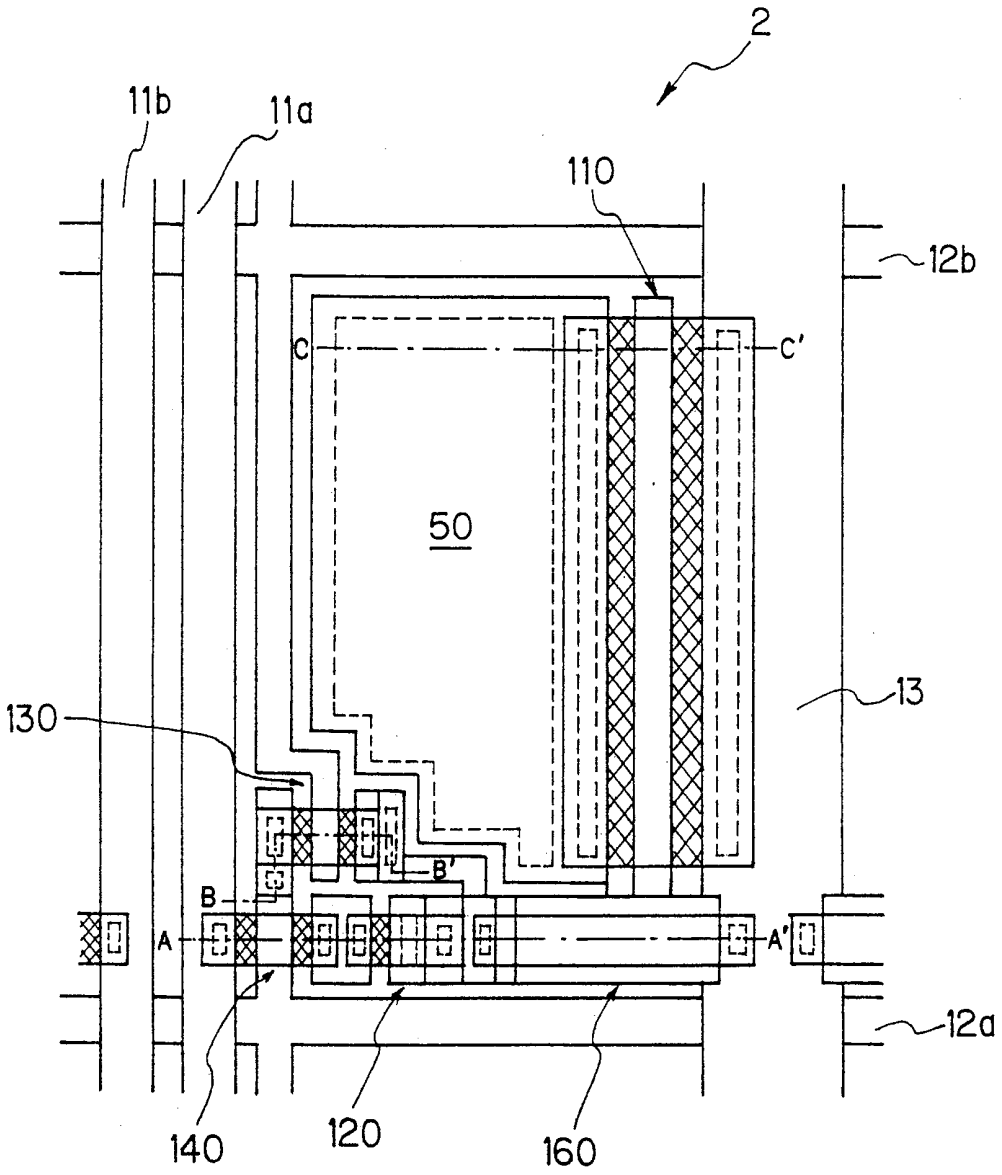
第 5 図


100'
500
110'
120'

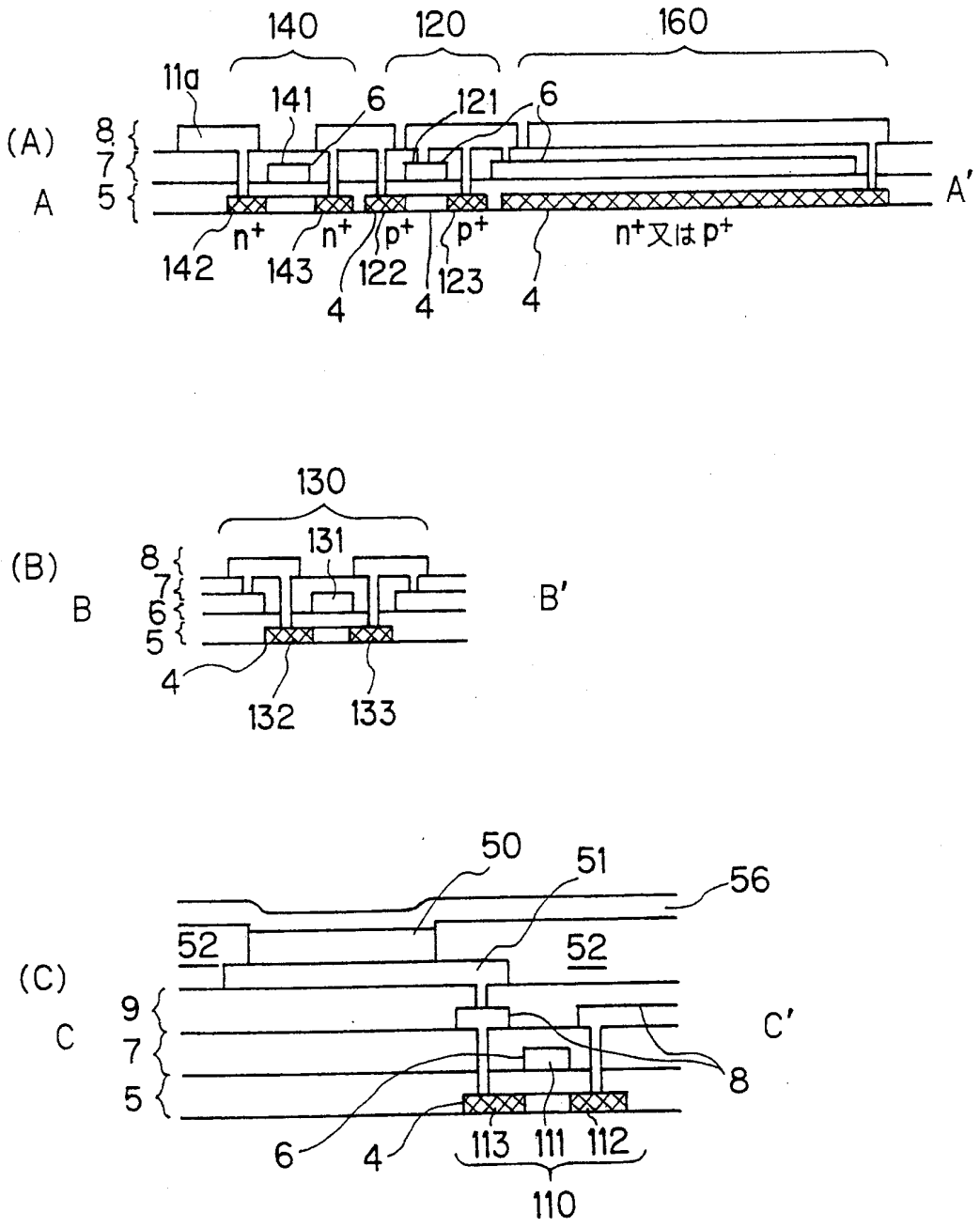
第 6 図


200
23
1
検 査 回 路
走査線駆動回路
走査線駆動回路
22
22
12
11
13
データ線駆動回路
21

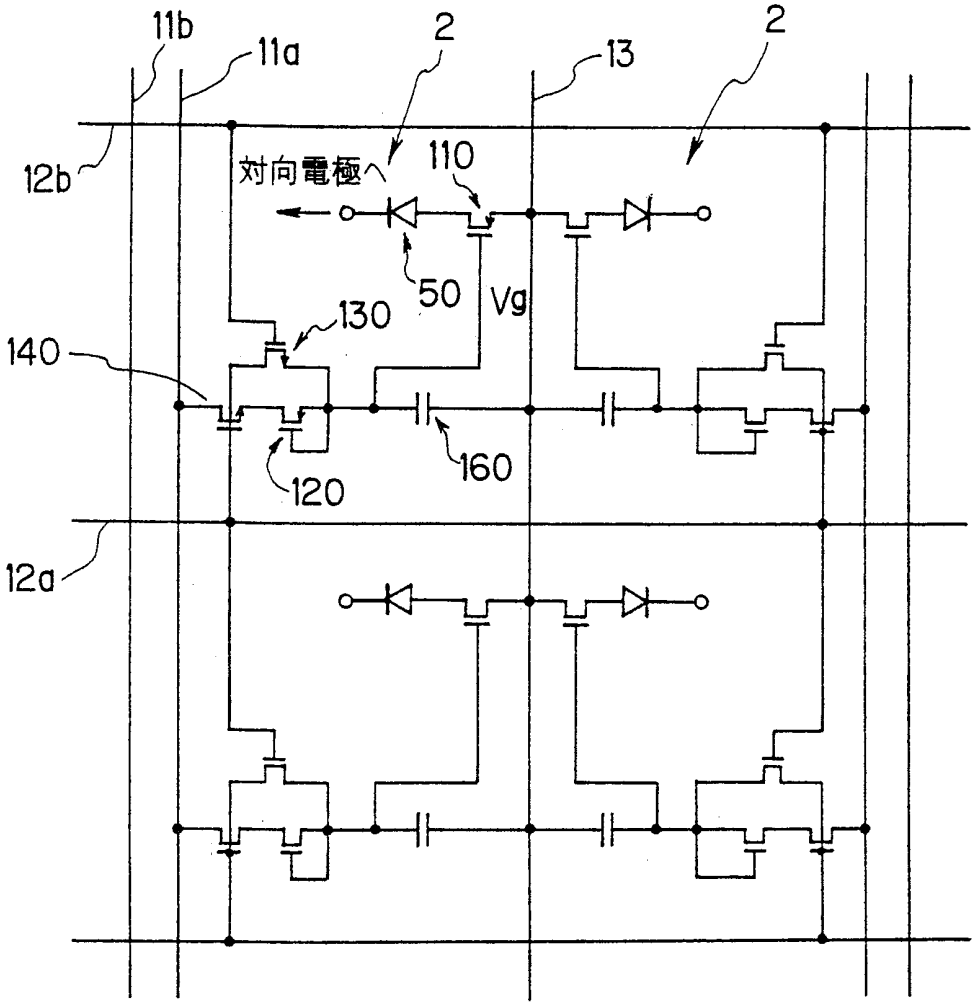
第 7 図



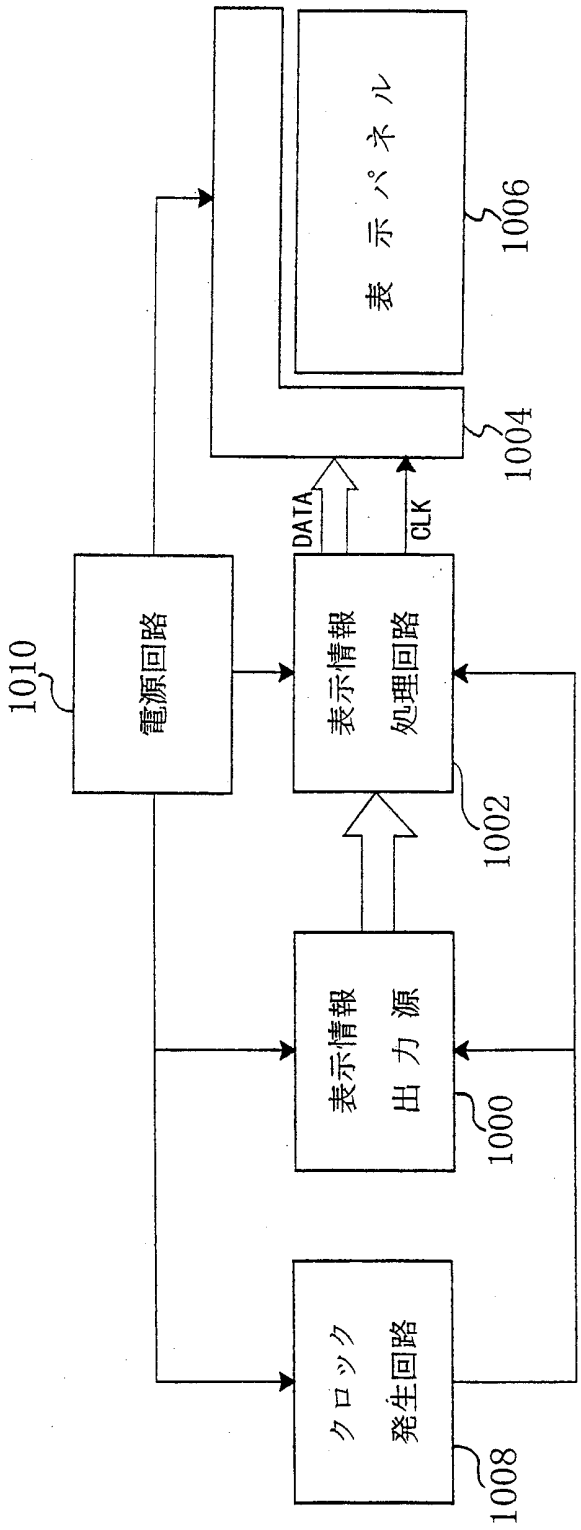
第 8 図


(A)
A
A'
8
7
5
140
120
160
11a
141
6
121
6
n+
n+
p+
p+
n+又はp+
142
143
122
123
4
4
4
(B)
B
B'
130
131
8
7
6
5
4
132
133
(C)
C
C'
50
51
56
52
52
9
7
5
8
6
4
113
111
112
110

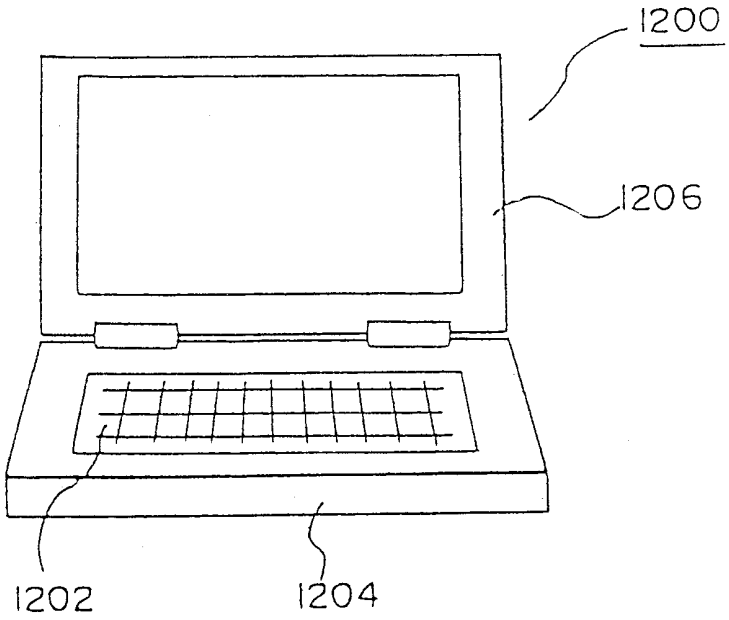
第 9 図



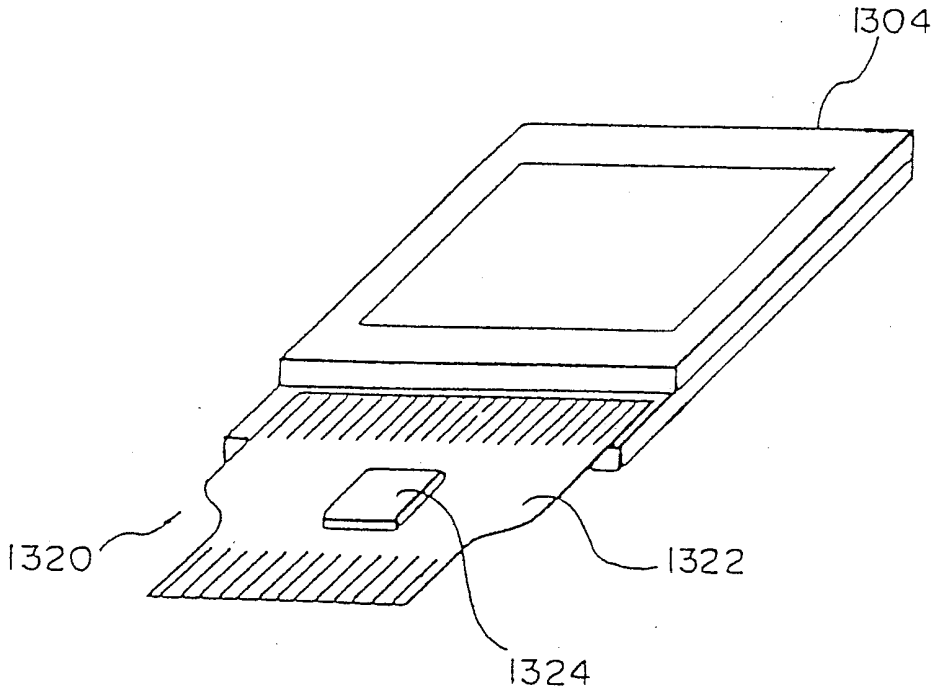
第 10 図


表示パネル
1006
1004
DATA
CLK
電源回路
1010
表示情報
処理回路
1002
表示情報
出力源
1000
クロック
発生回路
1008

第１１図



第 1 2 図



第 13 図

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP99/01342

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[6] G09G3/30, 3/36, H03K17/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[6] G09G3/30, 3/36, H03K17/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 61-201315, A (Hitachi,Ltd.), 6 September, 1986 (06. 09. 86), Full text ; Fig. 1	1, 5, 8, 10
Y	Full text ; Fig. 1	11, 12
A	Full text ; Fig. 1 & US, 4642552, A	2-4, 6-7, 9
A	JP, 64-39757, A (NEC Corp.), 10 February, 1989 (10. 02. 89), Full text ; Figs. 1 to 4 (Family: none)	1-12
A	JP, 2-32615, A (Toshiba Corp.), 2 February, 1990 (02. 02. 90), Full text ; Fig. 1 & EP, 351874, A	1-12
A	JP, 5-343924, A (Sanyo Electric Co., Ltd.), 24 December, 1993 (24. 12. 93), Full text ; Figs. 1 to 3 (Family: none)	1-12

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 May, 1999 (14. 05. 99)	22 June, 1999 (22. 06. 99)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP99/01342

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 5-94150, A (Fuji Xerox Co., Ltd.), 16 April, 1993 (16. 04. 93), Full text ; Figs. 1 to 8 (Family: none)	11-12
A	JP, 9-222930, A (NEC Corp.), 26 August, 1997 (26. 08. 97), Full text ; Figs. 1 to 22 (Family: none)	1-12

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ９９／０１３４２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ[6]　　Ｇ０９Ｇ３／３０，３／３６　　Ｈ０３Ｋ１７／３０

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ[6]　　Ｇ０９Ｇ３／３０，３／３６　　Ｈ０３Ｋ１７／３０

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　　１９２２－１９９６年
日本国公開実用新案公報　　１９７１－１９９９年
日本国登録実用新案公報　　１９９４－１９９９年
日本国実用新案登録公報　　１９９６－１９９９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	ＪＰ，６１－２０１３１５，Ａ（株式会社日立製作所） ６．９月．１９８６（０６．０９．８６） 全文，第１図	１，５，８，１０
Y	全文，第１図	１１，１２
A	全文，第１図 ＆　ＵＳ，４６４２５５２，Ａ	２－４，６－７，９
A	ＪＰ，６４－３９７５７，Ａ（日本電気株式会社） １０．２月．１９８９（１０．０２．８９） 全文，第１－４図（ファミリーなし）	１－１２

☒ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１４．０５．９９	22.06.99

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）		
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	西島　篤宏	２Ｇ	９３０８
	電話番号　０３－３５８１－１１０１　内線　３２２５		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ，２－３２６１５，Ａ（株式会社東芝） ２．２月．１９９０（０２．０２．９０） 全文，第１図 ＆　ＥＰ，３５１８７４，Ａ	１－１２
Ａ	ＪＰ，５－３４３９２４，Ａ（三洋電機株式会社） ２４．１２月．１９９３（２４．１２．９３） 全文，第１図－３図（ファミリーなし）	１－１２
Ｙ	ＪＰ，５－９４１５０，Ａ（富士ゼロックス株式会社） １６．４月．１９９３（１６．０４．９３） 全文，第１－８図（ファミリーなし）	１１－１２
Ａ	ＪＰ，９－２２２９３０，Ａ（日本電気株式会社） ２６．８月．１９９７（２６．０８．９７） 全文，第１－２２図（ファミリーなし）	１－１２