

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年7月14日(2005.7.14)

【公開番号】特開2003-168782(P2003-168782A)

【公開日】平成15年6月13日(2003.6.13)

【出願番号】特願2001-366820(P2001-366820)

【国際特許分類第7版】

H 01 L 27/10

G 11 C 11/409

G 11 C 11/416

H 01 L 21/20

H 01 L 21/268

H 01 L 21/336

H 01 L 21/8242

H 01 L 27/108

H 01 L 29/786

【F I】

H 01 L 27/10 4 8 1

H 01 L 21/20

H 01 L 21/268 J

G 11 C 11/34 3 3 1

H 01 L 27/10 6 8 1 G

H 01 L 29/78 6 1 4

H 01 L 29/78 6 1 3 B

H 01 L 29/78 6 1 2 B

H 01 L 29/78 6 2 7 G

G 11 C 11/34 3 5 3 A

【手続補正書】

【提出日】平成16年11月10日(2004.11.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】センスアンプ及びセンスアンプが組み込まれた電子機器

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1及び第2のPMOSトランジスタと、第1及び第2のNMOSトランジスタと、スイッチと、第1の入力端子と、第2の入力端子と、出力端子と、を有し、

前記第1のPMOSトランジスタは、ゲートが当該第1のPMOSトランジスタのドレイン、前記第2のPMOSトランジスタのゲート、及び前記第1のNMOSトランジスタのドレインに接続され、

前記第2のPMOSトランジスタは、ドレインが前記第2のNMOSトランジスタのド

レイン及び前記出力端子に接続され、

前記第1及び第2のPMOSトランジスタのソースは、それぞれ第1の電位に固定され、

前記第1及び第2のNMOSトランジスタのソースは、それぞれ前記スイッチを介して第2の電位に固定され、

前記第1のNMOSトランジスタのゲートとソース間の電圧を当該第1のNMOSトランジスタのしきい値に相当する電圧にする第1の手段と、

前記第2のNMOSトランジスタのゲートとソース間の電圧を当該第2のNMOSトランジスタのしきい値に相当する電圧にする第2の手段と、を有し、

前記第1の入力端子に入力された信号は、前記第1のNMOSトランジスタのゲートに伝達され、

前記第2の入力端子に入力された信号は、前記第2のNMOSトランジスタのゲートに伝達されることを特徴とするセンスアンプ。

【請求項2】

第1及び第2のPMOSトランジスタと、第1乃至第3のNMOSトランジスタと、第1の入力端子と、第2の入力端子と、出力端子と、を有し、

前記第1のPMOSトランジスタは、ゲートが当該第1のPMOSトランジスタのドレイン、前記第2のPMOSトランジスタのゲート、及び前記第1のNMOSトランジスタのドレインに接続され、

前記第2のPMOSトランジスタは、ドレインが前記第2のNMOSトランジスタのドレイン及び前記出力端子に接続され、

前記第1及び第2のPMOSトランジスタのソースは、それぞれ第1の電位に固定され、

前記第1及び第2のNMOSトランジスタのソースは、それぞれ前記第3のNMOSトランジスタを介して第2の電位に固定され、

前記第1のNMOSトランジスタのゲートとソース間の電圧を当該第1のNMOSトランジスタのしきい値に相当する電圧にする第1の手段と、

前記第2のNMOSトランジスタのゲートとソース間の電圧を当該第2のNMOSトランジスタのしきい値に相当する電圧にする第2の手段と、を有し、

前記第1の入力端子に入力された信号は、前記第1のNMOSトランジスタのゲートに伝達され、

前記第2の入力端子に入力された信号は、前記第2のNMOSトランジスタのゲートに伝達されることを特徴とするセンスアンプ。

【請求項3】

請求項2において、前記第3のNMOSトランジスタは、ゲートがバイアス電源に接続されていることを特徴とするセンスアンプ。

【請求項4】

請求項1乃至3のいずれか一において、前記第1の手段は、前記第1のNMOSトランジスタのゲートとドレイン間の導通・非導通を制御する第1のスイッチング手段と、前記第1のNMOSトランジスタのドレインに電荷の流入あるいは放出を制御する第2のスイッチング手段と、を有し、

前記第2の手段は、前記第2のNMOSトランジスタのゲートとドレイン間の導通・非導通を制御する第3のスイッチング手段と、前記第2のNMOSトランジスタのドレインに電荷の流入あるいは放出を制御する第4のスイッチング手段と、を有することを特徴とするセンスアンプ。

【請求項5】

請求項1乃至4のいずれか一において、前記第1の入力端子と前記第1のNMOSトランジスタのゲートとの間に第1の容量素子を介することにより、前記第1の入力端子に入力された信号が前記第1のNMOSトランジスタのゲートに伝達され、

前記第2の入力端子と前記第2のNMOSトランジスタのゲートとの間に第2の容量素

子を介することにより、前記第2の入力端子に入力された信号が前記第2のN MOSトランジスタのゲートに伝達されることを特徴とするセンスアンプ。

【請求項6】

第1及び第2のPMOSトランジスタと、第1及び第2のN MOSトランジスタと、第1の入力端子と、第2の入力端子と、出力端子と、第1乃至第4の容量素子と、第1乃至第9のスイッチと、を有し、

前記第1のPMOSトランジスタは、ゲートが当該第1のPMOSトランジスタのドレン、前記第2のPMOSトランジスタのゲート、及び前記第1のスイッチの一方の端子に接続され、

前記第2のPMOSトランジスタは、ドレンが前記第2のスイッチの一方の端子及び前記出力端子に接続され、

前記第1のN MOSトランジスタは、ソースが前記第9のスイッチの一方の端子及び前記第3の容量素子の一方の端子に接続され、ゲートが前記第1の容量素子の一方の端子、前記第3の容量素子の他方の端子、及び前記第3のスイッチの一方の端子に接続され、ドレンが前記第1のスイッチの他方の端子及び前記第3のスイッチの他方の端子に接続され、

前記第2のN MOSトランジスタは、ソースが前記第9のスイッチの一方の端子及び前記第4の容量素子の一方の端子に接続され、ゲートが前記第2の容量素子の一方の端子、前記第4の容量素子の他方の端子、及び前記第4のスイッチの一方の端子に接続され、ドレンが前記第2のスイッチの他方の端子及び前記第4のスイッチの他方の端子に接続され、

前記第1の容量素子の他方の端子は、前記第5のスイッチの一方の端子及び前記第7のスイッチの一方の端子に接続され、

前記第5のスイッチの他方の端子は、前記第1の入力端子に接続され、

前記第2の容量素子の他方の端子は、前記第6のスイッチの一方の端子及び前記第8のスイッチの一方の端子に接続され、

前記第6のスイッチの他方の端子は、前記第2の入力端子に接続され、

前記第1及び第2のPMOSトランジスタのソースは、それぞれ第1の電位に固定され、

前記第7乃至第9のスイッチの他方の端子は、それぞれ第2の電位に固定されていることを特徴とするセンスアンプ。

【請求項7】

請求項6において、前記第1乃至第9のスイッチは、それぞれN MOSトランジスタが用いられていることを特徴とするセンスアンプ。

【請求項8】

第1及び第2のPMOSトランジスタと、第1及び第2のN MOSトランジスタと、第1の入力端子と、第2の入力端子と、出力端子と、第1乃至第4の容量素子と、第1乃至第5のスイッチと、を有し、

前記第1のPMOSトランジスタは、ゲートが当該第1のPMOSトランジスタのドレン、前記第2のPMOSトランジスタのゲート、及び前記第1のスイッチの一方の端子に接続され、

前記第2のPMOSトランジスタは、ドレンが前記第2のスイッチの一方の端子及び前記出力端子に接続され、

前記第1のN MOSトランジスタは、ソースが前記第5のスイッチの一方の端子及び前記第3の容量素子の一方の端子に接続され、ゲートが前記第1の容量素子の一方の端子、前記第3の容量素子の他方の端子、及び前記第3のスイッチの一方の端子に接続され、ドレンが前記第1のスイッチの他方の端子及び前記第3のスイッチの他方の端子に接続され、

前記第2のN MOSトランジスタは、ソースが前記第5のスイッチの一方の端子及び前記第4の容量素子の一方の端子に接続され、ゲートが前記第2の容量素子の一方の端子、

前記第4の容量素子の他方の端子、及び前記第4のスイッチの一方の端子に接続され、ドレインが前記第2のスイッチの他方の端子及び前記第4のスイッチの他方の端子に接続され、

前記第1の容量素子の他方の端子は、前記第1の入力端子に接続され、

前記第2の容量素子の他方の端子は、前記第2の入力端子に接続され、

前記第1及び第2のPMOSトランジスタのソースは、それぞれ第1の電位に固定され、

前記第5のスイッチの他方の端子は、第2の電位に固定されていることを特徴とするセンスアンプ。

【請求項9】

第1及び第2の抵抗素子と、第1及び第2のNMOSトランジスタと、第1の入力端子と、第2の入力端子と、出力端子と、第1乃至第4の容量素子と、第1乃至第9のスイッチと、を有し、

前記第1の抵抗素子は、一方が第1の電位に固定され、他方が前記第1のスイッチの一方の端子に接続され、

前記第2の抵抗素子は、一方が前記第1の電位に固定され、他方が前記第2のスイッチの一方の端子及び前記出力端子に接続され、

前記第1のNMOSトランジスタは、ソースが前記第9のスイッチの一方の端子及び前記第3の容量素子の一方の端子に接続され、ゲートが前記第1の容量素子の一方の端子、前記第3の容量素子の他方の端子、及び前記第3のスイッチの一方の端子に接続され、ドレインが前記第1のスイッチの他方の端子及び前記第3のスイッチの他方の端子に接続され、

前記第2のNMOSトランジスタは、ソースが前記第9のスイッチの一方の端子及び前記第4の容量素子の一方の端子に接続され、ゲートが前記第2の容量素子の一方の端子、前記第4の容量素子の他方の端子、及び前記第4のスイッチの一方の端子に接続され、ドレインが前記第2のスイッチの他方の端子及び前記第4のスイッチの他方の端子に接続され、

前記第1の容量素子の他方の端子は、前記第5のスイッチの一方の端子及び前記第7のスイッチの一方の端子に接続され、

前記第5のスイッチの他方の端子は、前記第1の入力端子に接続され、

前記第2の容量素子の他方の端子は、前記第6のスイッチの一方の端子及び前記第8のスイッチの一方の端子に接続され、

前記第6のスイッチの他方の端子は、前記第2の入力端子に接続され、

前記第7乃至第9のスイッチの他方の端子は、それぞれ第2の電位に固定されていることを特徴とするセンスアンプ。

【請求項10】

第1及び第2の抵抗素子と、第1及び第2のNMOSトランジスタと、第1の入力端子と、第2の入力端子と、出力端子と、第1乃至第4の容量素子と、第1乃至第5のスイッチと、を有し、

前記第1の抵抗素子は、一方が第1の電位に固定され、他方が前記第1のスイッチの一方の端子に接続され、

前記第2の抵抗素子は、一方が前記第1の電位に固定され、他方が前記第2のスイッチの一方の端子及び前記出力端子に接続され、

前記第1のNMOSトランジスタは、ソースが前記第5のスイッチの一方の端子及び前記第3の容量素子の一方の端子に接続され、ゲートが前記第1の容量素子の一方の端子、前記第3の容量素子の他方の端子、及び前記第3のスイッチの一方の端子に接続され、ドレインが前記第1のスイッチの他方の端子及び前記第3のスイッチの他方の端子に接続され、

前記第2のNMOSトランジスタは、ソースが前記第5のスイッチの一方の端子及び前記第4の容量素子の一方の端子に接続され、ゲートが前記第2の容量素子の一方の端子、

前記第4の容量素子の他方の端子、及び前記第4のスイッチの一方の端子に接続され、ドレインが前記第2のスイッチの他方の端子及び前記第4のスイッチの他方の端子に接続され、

前記第1の容量素子の他方の端子は、前記第1の入力端子に接続され、

前記第2の容量素子の他方の端子は、前記第2の入力端子に接続され、

前記第5のスイッチの他方の端子は、第2の電位に固定されていることを特徴とするセンスアンプ。

【請求項11】

第1及び第2のNMOStランジスタと、第1の入力端子と、第2の入力端子と、出力端子と、第1乃至第4の容量素子と、第1乃至第9のスイッチと、を有し、

前記第1及び第2のスイッチは、一方の端子が第1の電位に固定され、

前記第1のNMOStランジスタは、ソースが前記第9のスイッチの一方の端子及び前記第3の容量素子の一方の端子に接続され、ゲートが前記第1の容量素子の一方の端子、前記第3の容量素子の他方の端子、及び前記第3のスイッチの一方の端子に接続され、ドレインが前記第1のスイッチの他方の端子及び前記第3のスイッチの他方の端子に接続され、

前記第2のNMOStランジスタは、ソースが前記第9のスイッチの一方の端子及び前記第4の容量素子の一方の端子に接続され、ゲートが前記第2の容量素子の一方の端子、前記第4の容量素子の他方の端子、及び前記第4のスイッチの一方の端子に接続され、ドレインが前記第2のスイッチの他方の端子、前記第4のスイッチの他方の端子、及び前記出力端子に接続され、

前記第1の容量素子の他方の端子は、前記第5のスイッチの一方の端子及び前記第7のスイッチの一方の端子に接続され、

前記第5のスイッチの他方の端子は、前記第1の入力端子に接続され、

前記第2の容量素子の他方の端子は、前記第6のスイッチの一方の端子及び前記第8のスイッチの一方の端子に接続され、

前記第6のスイッチの他方の端子は、前記第2の入力端子に接続され、

前記第7乃至第9のスイッチの他方の端子は、それぞれ第2の電位に固定されていることを特徴とするセンスアンプ。

【請求項12】

第1及び第2のNMOStランジスタと、第1の入力端子と、第2の入力端子と、出力端子と、第1乃至第4の容量素子と、第1乃至第5のスイッチと、を有し、

前記第1及び第2のスイッチは、一方の端子が第1の電位に固定され、

前記第1のNMOStランジスタは、ソースが前記第5のスイッチの一方の端子及び前記第3の容量素子の一方の端子に接続され、ゲートが前記第1の容量素子の一方の端子、前記第3の容量素子の他方の端子、及び前記第3のスイッチの一方の端子に接続され、ドレインが前記第1のスイッチの他方の端子及び前記第3のスイッチの他方の端子に接続され、

前記第2のNMOStランジスタは、ソースが前記第5のスイッチの一方の端子及び前記第4の容量素子の一方の端子に接続され、ゲートが前記第2の容量素子の一方の端子、前記第4の容量素子の他方の端子、及び前記第4のスイッチの一方の端子に接続され、ドレインが前記第2のスイッチの他方の端子、前記第4のスイッチの他方の端子、及び前記出力端子に接続され、

前記第1の容量素子の他方の端子は、前記第1の入力端子に接続され、

前記第2の容量素子の他方の端子は、前記第2の入力端子に接続され、

前記第5のスイッチの他方の端子は、第2の電位に固定されていることを特徴とするセンスアンプ。

【請求項13】

請求項1乃至12のいずれか一に記載のトランジスタは、薄膜トランジスタであることを特徴とするセンスアンプ。

【請求項 1 4】

請求項 1 乃至 1 3 のいずれか一に記載のセンスアンプが、画素部が設けられた絶縁表面を有する基板上に設けられていることを特徴とする画像表示装置。

【請求項 1 5】

請求項 1 乃至 1 3 のいずれか一に記載のセンスアンプが用いられたことを特徴とする D R A M。

【請求項 1 6】

請求項 1 乃至 1 3 のいずれか一に記載のセンスアンプが用いられたことを特徴とする S R A M。

【請求項 1 7】

請求項 1 乃至 1 3 のいずれか一に記載のセンスアンプが組み込まれたことを特徴とする半導体記憶装置。

【請求項 1 8】

請求項 1 乃至 1 3 のいずれか一に記載のセンスアンプが組み込まれたことを特徴とする電子機器。

【請求項 1 9】

請求項 1 8 において、前記電子機器は、電子手帳、モバイルコンピュータ、携帯電話、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ、フロント型プロジェクター、リア型プロジェクターのいずれか一であることを特徴とする電子機器。