

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3739552号
(P3739552)

(45) 発行日 平成18年1月25日(2006.1.25)

(24) 登録日 平成17年11月11日(2005.11.11)

(51) Int. Cl.		F I		
HO3M	1/10	(2006.01)	HO3M	1/10
HO3B	28/00	(2006.01)	HO3B	28/00
HO3M	1/66	(2006.01)	HO3M	1/66

請求項の数 10 (全 14 頁)

<p>(21) 出願番号 特願平9-362263 (22) 出願日 平成9年12月11日(1997.12.11) (65) 公開番号 特開平11-177425 (43) 公開日 平成11年7月2日(1999.7.2) 審査請求日 平成15年4月9日(2003.4.9)</p>	<p>(73) 特許権者 000100746 アイコム株式会社 大阪府大阪市平野区加美鞍作1丁目6番1 9号 (74) 代理人 100089129 弁理士 森山 哲夫 (72) 発明者 桜井 紀佳 大阪府大阪市平野区加美鞍作1丁目6番1 9号 アイコム株式会社内 審査官 柳下 勝幸</p>
--	--

最終頁に続く

(54) 【発明の名称】 D/A変換装置

(57) 【特許請求の範囲】

【請求項1】

デジタル信号をアナログ信号に変換するD/A変換器と、前記デジタル信号の補正が必要となり得る各桁毎にビット信号が存在するときに各桁毎の補正信号を出力し得る補正回路と、前記補正信号と前記アナログ信号を加算または減算して補正アナログ信号を出力する加減算手段と、この補正アナログ信号を検波する検波手段と、その検波出力から前記補正アナログ信号に含まれる歪み成分に応じた信号を抽出するフィルタ手段と、抽出された前記歪み成分に応じた信号から歪みレベルを検出するレベル検出手段と、この歪みレベルに応じて前記補正回路を制御するコントローラと、を備え、前記コントローラは前記補正が必要となり得る各桁毎に前記補正信号を前記歪みレベルが小さくなるように調整制御するように構成したことを特徴とするD/A変換装置。

10

【請求項2】

請求項1記載のD/A変換装置において、前記コントローラは、前記補正回路の各桁毎の前記補正信号を、上位の桁から下位の桁に順次に調整制御するように構成したことを特徴とするD/A変換装置。

【請求項3】

請求項1記載のD/A変換装置において、前記D/A変換器は零を中心として正と負に振動する正弦波のアナログ信号を出力し、前記デジタル信号の第1ビットは前記正弦波の正または負を決定するものであって、前記補正回路は前記デジタル信号の第2ビット以下の各桁毎にビット信号が存在するときに各桁毎の前記補正信号を出力するようにし、前記

20

コントローラは第2ビット以下の各桁毎に前記補正信号を前記歪みレベルが小さくなるように調整制御するように構成したことを特徴とするD/A変換装置。

【請求項4】

請求項1記載のD/A変換装置において、前記コントローラは、前記歪みレベルが所定の基準レベル以上の場合に、前記補正回路の各桁毎の前記補正信号を調整制御をするように構成したことを特徴とするD/A変換装置。

【請求項5】

請求項1記載のD/A変換装置において、前記コントローラは、複数の基準レベルを設けるとともに補正が必要となり得る桁を複数に区分し、前記歪みレベルが前記複数の基準レベルのうち最も小さな基準レベル以上の場合に、前記補正回路の各桁毎の前記補正信号を、前記歪みレベルの大きさに応じて選定された1つの前記区分の上位の桁から下位に順次に調整制御するように構成したことを特徴とするD/A変換装置。

10

【請求項6】

請求項1記載のD/A変換装置において、前記コントローラは、前記補正回路の各桁毎の前記補正信号を増加または減少させて調整し、前記歪みレベルが増加すれば前記補正信号の調整方向を反転し、前記歪みレベルが減少から増加に転じたときに、増加に転じる補正前の補正信号を当該桁における最適値として維持するように構成したことを特徴とするD/A変換装置。

【請求項7】

請求項1記載のD/A変換装置において、前記加減算手段は、加算または減算のいずれか一方の作用をなし、前記コントローラは、前記補正回路の各桁毎の前記補正信号を零と正と負とに調整制御するように構成したことを特徴とするD/A変換装置。

20

【請求項8】

請求項4または5記載のD/A変換装置において、前記コントローラは、前記補正回路の各桁毎の前記補正信号の調整制御が完了する毎に、前記歪みレベルが前記基準レベルまたは前記複数の基準レベルのうち最も小さい基準レベル以上か否かを判別し、歪みレベルが小さくなれば調整制御を終了して各桁毎の前記補正信号を維持するように構成したことを特徴とするD/A変換装置。

【請求項9】

請求項7記載のD/A変換装置において、前記コントローラは、前記補正回路の各桁毎の前記補正信号を不連続な段階的に切り換えて調整制御するように構成したことを特徴とするD/A変換装置。

30

【請求項10】

請求項9記載のD/A変換装置において、前記コントローラは、前記補正回路の各桁毎の前記補正信号を上位の桁ほど不連続な段階的に切り換えられる幅を大きく設定して調整制御するように構成したことを特徴とするD/A変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、DDS(Direct Digital Synthesizer)回路を用いた、歪みの少ない高純度な正弦波を出力できるデジタル-アナログ変換装置(D/A変換装置)に関するものである。

40

【0002】

【従来の技術】

無線通信機の局部発振信号に含まれる歪みは、混信およびスプリアスなどの発生要因となることから、局部発振信号は歪みを含まない高純度の正弦波であることが要求されている。そこで、近年、マイクロ波帯などの高い周波数帯域用の無線通信機の局部発振器として、比較的到高純度な正弦波を出力するDDS回路が用いられる傾向にある。このDDS回路は、理論的にはクロック周波数をできるだけ高くすることで、より高純度の正弦波が得られる。しかるに、クロック周波数を高くすると、クロック周波数自体の周期の均一性

50

が失われ易く、必ずしも所望の性能を得ることができない。

【0003】

そこで、特公平4-31608号公報において、DDS回路の出力部にDDS回路の出力周波数にトラッキングされる狭帯域の同調回路を設けることで、クロック周波数をさほど高くしなくても、同調回路から歪みが除去された高純度な正弦波を出力させる技術が提案されている。

【0004】

【発明が解決しようとする課題】

ところで、DDS回路に用いられるD/A変換器は、一般的には抵抗素子のネットワークにより構成されている。そこで、入力側のデジタル信号が正確であり、またクロック周波数がその周期が均一であっても、ネットワークを構成する抵抗素子自体の精度が悪ければ、デジタル信号が変換されて出力されるアナログ信号は正弦波に歪みを含むこととなる。

10

【0005】

また、上記特公平4-31608号公報で提案された技術にあっては、同調回路を狭帯域とするほど歪みが除去されて、出力される正弦波は高純度なものとなるが、トラッキングエラーという重要な別な問題が生じ易い。そして、このトラッキングエラーを少なくすべく同調回路の帯域幅を広げれば、出力される正弦波の高純度が失われ易いという問題が生ずる。

【0006】

本発明は、上述のごとき従来技術の問題点に鑑みてなされたもので、D/A変換器から出力されるアナログ信号に補正信号を加算するなどし、補正された補正アナログ信号に含まれる歪み成分を少なくして、出力として高純度の正弦波が得られるようにしたD/A変換装置を提供することを目的とする。

20

【0007】

【課題を解決するための手段】

かかる目的を達成するために、本発明のD/A変換装置は、デジタル信号をアナログ信号に変換するD/A変換器と、前記デジタル信号の補正が必要となり得る各桁毎にビット信号が存在するときに各桁毎の補正信号を出力し得る補正回路と、前記補正信号と前記アナログ信号を加算または減算して補正アナログ信号を出力する加減算手段と、この補正アナログ信号を検波する検波手段と、その検波出力から前記補正アナログ信号に含まれる歪み成分に応じた信号を抽出するフィルタ手段と、抽出された前記歪み成分に応じた信号から歪みレベルを検出するレベル検出手段と、この歪みレベルに応じて前記補正回路を制御するコントローラと、を備え、前記コントローラは前記補正が必要となり得る各桁毎に前記補正信号を前記歪みレベルが小さくなるように調整制御するように構成されている。

30

【0008】

そして、前記コントローラは、前記補正回路の各桁毎の前記補正信号を、上位の桁から下位の桁に順次に調整制御するように構成しても良い。

【0009】

また、前記D/A変換器は零を中心として正と負に振動する正弦波のアナログ信号を出力し、前記デジタル信号の第1ビットは前記正弦波の正または負を決定するものであって、前記補正回路は前記デジタル信号の第2ビット以下の各桁毎にビット信号が存在するときに各桁毎の前記補正信号を出力するようにし、前記コントローラは第2ビット以下の各桁毎に前記補正信号を前記歪みレベルが小さくなるように調整制御するように構成しても良い。

40

【0010】

また、前記コントローラは、前記歪みレベルが所定の基準レベル以上の場合に、前記補正回路の各桁毎の前記補正信号を調整制御をするように構成することもできる。

【0011】

また、前記コントローラは、複数の基準レベルを設けるとともに補正が必要となり得る

50

桁を複数に区分し、前記歪みレベルが前記複数の基準レベルのうち最も小さな基準レベル以上の場合に、前記補正回路の各桁毎の前記補正信号を、前記歪みレベルの大きさに応じて選定された1つの前記区分の上位の桁から下位に順次に調整制御するように構成することもできる。

【0012】

また、前記コントローラは、前記補正回路の各桁毎の前記補正信号を増加または減少させて調整し、前記歪みレベルが増加すれば前記補正信号の調整方向を反転し、前記歪みレベルが減少から増加に転じたときに、増加に転じる補正前の補正信号を当該桁における最適値として維持するように構成することもできる。

【0013】

また、前記加減算手段は、加算または減算のいずれか一方の作用をなし、前記コントローラは、前記補正回路の各桁毎の前記補正信号を零と正と負とに調整制御するように構成することもできる。

【0014】

さらに、前記コントローラは、前記補正回路の各桁毎の前記補正信号の調整制御が完了する毎に、前記歪みレベルが前記基準レベルまたは前記複数の基準レベルのうち最も小さい基準レベル以上か否かを判別し、歪みレベルが小さくなれば調整制御を終了して各桁毎の前記補正信号を維持するように構成することも可能である。

【0015】

さらにまた、前記コントローラは、前記補正回路の各桁毎の前記補正信号を不連続な段階的に切り換えて調整制御するように構成することも可能である。

【0016】

さらにそして、前記コントローラは、前記補正回路の各桁毎の前記補正信号を上位の桁ほど不連続な段階的に切り換えられる幅を大きく設定して調整制御するように構成することも可能である。

【0017】

【発明の実施の形態】

以下、本発明の一実施例を図1ないし図4を参照して説明する。図1は、本発明のD/A変換装置の一実施例のブロック回路図である。図2は、図1におけるコントローラの動作を説明するフローチャートである。図3は、図2における補正処理の動作を説明するフローチャートの一部である。図4は、図2における補正処理の動作を説明するフローチャートの残部である。

【0018】

まず、図1を参照して本発明のD/A変換装置の構成につき説明する。抵抗素子のネットワークなどから形成されるD/A変換器10に、MSBからLSBまでのn桁のデジタル信号が入力として与えられ、その変換出力として零を中心として正と負に振動する正弦波のアナログ信号が出力される。ここで、第1ビットのMSBはアナログ信号の正または負を決定し、第2ビット以下の桁によるビット信号により信号の大きさが決定される。そして、このアナログ信号が加減算手段12に与えられ、補正回路14からの補正信号と加算または減算され、その加減算信号が歪みを補正された補正アナログ信号として出力される。この補正アナログ信号は、その一部が検波手段16に与えられて検波され、その検波出力がフィルタ手段18に与えられる。このフィルタ手段18は、後述するごとく、検波出力から補正アナログ信号に含まれる歪み成分 f_a に応じた信号を抽出するものである。さらに、フィルタ手段18の出力がレベル検出手段20に与えられ、歪み成分 f_a に応じた信号から歪みレベル x が検出されて、コントローラ22に与えられる。

【0019】

このコントローラ22は、マイクロコンピュータなどからなり、レベル検出手段20で検出された歪みレベル x に応じて、補正回路14を歪みレベル x が最も小さくなるように調整制御するものである。そして、補正回路14は、デジタル信号の第2ビット以下の各桁毎にビット補正部14-2、14-3...14-(n-1)、14-nが設けられている

10

20

30

40

50

。さらに、これらのビット補正部 14 - 2、14 - 3... 14 - (n - 1)、14 - n に、デジタル信号の第 2 桁以下の各桁のビット信号が与えられ、ビット信号が存在するときに対応しているビット補正部が動作状態とされる。また、これらのビット補正部 14 - 2、14 - 3... 14 - (n - 1)、14 - n は、コントローラ 22 からの補正制御データ s により、各桁毎の補正信号が零と正と負に切り換えられるとともに、その大きさが不連続な段階的に切り換えられる。しかも、上位桁ほど段階的な切り換え幅が大きく設定されている。

【0020】

例えば、デジタル信号が 6 桁であり、各桁毎の補正信号の切り換えが零と、正および負がそれぞれ 2 段階に切り換えられて、計 5 段階で調整されるとすれば、その各桁毎の補正 10
信号の一例は表 1 のごときものである。

【表 1】

補正制御 データ s	ビット 補正部 14-2	ビット 補正部 14-3	ビット 補正部 14-4	ビット 補正部 14-5	ビット 補正部 14-6
s = 1	-3.2V	-1.6V	-0.8V	-0.4V	-0.2V
s = 2	-1.6V	-0.8V	-0.4V	-0.2V	-0.1V
s = 3	0V	0V	0V	0V	0V
s = 4	+1.6V	+0.8V	+0.4V	+0.2V	+0.1V
s = 5	+3.2V	+1.6V	+0.8V	+0.4V	+0.2V

上記表 1 において、s はコントローラ 22 から補正回路 14 の各ビット補正部 14 - 2、14 - 3、14 - 4、14 - 5、14 - 6 に与えられる補正制御データであり、補正制御データ s が 3 では該当桁の補正信号が零であって該当桁では補正がなされない状態であり、補正制御データ s が 3 以外であれば該当桁で段階的に切り換えられた所定の大きさの正または負の補正信号が出力されて補正がなされる。

【0021】

次に、検波手段 16 およびフィルタ手段 18 により、補正アナログ信号に含まれる歪み成分 f a に応じた信号が抽出できることを説明をする。まず、D / A 変換器 10 から本来 40
出力されるべき歪みを含まないアナログ信号 f c は数 1 と示され、補正アナログ信号に含まれる歪み成分 f a は数 2 と示される。すると、実際に出力される補正アナログ信号 f d s は数 3 と示される。

【数 1】

$$f_c = I_c \cdot \sin \omega t$$

【数 2】

$$f_a = I_s \cdot \cos p t$$

【数 3】

10

20

30

40

50

$$\begin{aligned} f_{dds} &= I_c (1 + m \cdot \cos pt) \sin \omega t \\ &= I_c \cdot \sin \omega t + I_s \cdot \cos pt \cdot \sin \omega t \end{aligned}$$

ここで、 I_c はアナログ信号 f_c の大きさを示し、 ω はアナログ信号 f_c の角速度であり、 I_s は歪み成分 f_a の大きさを示し、 p は歪み成分 f_a の角速度を示し、 m は I_s / I_c であって歪み成分による変調度である。

【0022】

そして、この補正アナログ信号 f_{dds} が検波手段 16 で検波された検波信号は、いわゆるダイオード検波であるならば、 $f_{dds} \cdot f_c$ と示される。

10

この $f_{dds} \cdot f_c$ は、数 4 と示される。

【数 4】

$$\begin{aligned} f_{dds} \cdot f_c &= (I_c \cdot \sin \omega t + I_s \cdot \cos pt \cdot \sin \omega t) I_c \cdot \sin \omega t \\ &= I_c^2 \cdot \sin^2 \omega t + I_c \cdot I_s \cdot \cos pt \cdot \sin^2 \omega t \end{aligned}$$

そして、これをさらに書き直せば、数 5 のごとくに示される。

【数 5】

$$\begin{aligned} f_{dds} \cdot f_c &= (1/2) I_c^2 - (1/2) I_c^2 \cdot \cos 2\omega t \\ &\quad - (1/4) I_c \cdot I_s \cdot \cos (2\omega + p) t \\ &\quad - (1/4) I_c \cdot I_s \cdot \cos (2\omega - p) t \\ &\quad + (1/2) I_c \cdot I_s \cdot \cos pt \end{aligned}$$

20

この数 5 で示される信号から、フィルタ手段 18 により、右辺の第 1 項の直流成分と、第 2 項と第 3 項および第 4 項の角速度 ω が含まれる高周波成分を除去することで、第 5 項の歪み成分 f_a の角速度 p の周波数を有する歪み成分 f_a に応じた信号が抽出される。そこで、この右辺の第 5 項に示される信号が零となるように補正回路 14 を制御することで、補正アナログ信号 f_{dds} は高純度の正弦波として出力されることとなる。

30

【0023】

さらに、補正アナログ信号 f_{dds} に含まれる歪み成分 f_a が小さくなるように補正回路 14 をコントローラ 22 で調整制御する動作につき、図 2 ないし図 4 を参照して説明する。

【0024】

図 2 に示すごとく、まず本発明の D/A 変換装置が動作状態となると、補正回路 14 のビット補正部 14-2、14-3...14-(n-1)、14-n を制御する補正制御データ s が既に保存されていなければ、コントローラ 22 はまずビット補正部 14-2、14-3...14-(n-1)、14-n の各桁毎の補正信号が零となるように補正制御データ s を設定する（デジタル信号が前述のごとく 6 桁であれば、補正制御データ s は 3 に設定される）。そして、D/A 変換器 10 から出力されるアナログ信号が加減算手段 12 で何ら補正されることなしにそのまま通過して出力される。すると、このアナログ信号に含まれる歪み成分 f_a に応じた歪みレベル x が、レベル検出手段 20 から出力されてコントローラ 22 に与えられる（ステップ 1）。コントローラ 22 は、予め設定された基準レベル r と与えられた歪みレベル x を比較し（ステップ 2）、歪みレベル x が基準レベル r よりも大きければ、後述するごとく補正処理を行なって、補正回路 14 のそれぞれのビット補正部 14-2、14-3...14-(n-1)、14-n を適宜に調整制御し（ステップ 3）、再びステップ 1 に戻る。コントローラ 22 は先の補正処理により調整制御された補正回路 14 のそれぞれのビット補正部 14-2、14-3...14-(n-1)、14-n の

40

50

各桁毎の補正信号を維持して、さらに歪み成分 f_a を読みとるとともに歪み成分 f_a に応じた歪みレベル x を検出し (ステップ 1)、そして再び検出された歪みレベル x と基準レベル r を比較し、歪みレベル x が基準レベル r よりも小さくなるまで、ステップ 1 からステップ 3 のルーチンが繰り返される。そして、歪みレベル x が基準レベル r よりも小さくなれば、補正処理を行うステップ 3 を経ることなしに、ステップ 2 からステップ 1 に戻り、何らかの原因で歪みレベル x が基準レベル r よりも大きくなるまでこのステップ 1 とステップ 2 のルーチンが繰り返される。さらに、何らかの原因により、歪み成分 f_a の歪みレベル x が増加して基準レベル r よりも大きくなると、ステップ 2 からステップ 3 に至り、ステップ 1 からステップ 3 のルーチンが繰り返されて歪み成分 f_a が小さくなるように調整制御される。

10

【0025】

また、ステップ 3 の補正処理により、基準レベル r より歪み成分 f_a を小さくすることができず補正不可と判断されると、当該 D/A 変換装置は所望の性能を維持できず、ユーザーなどに対して補正不可の表示を行い (ステップ 4)、さらにこの装置が組み込まれた無線通信機などの機器の使用制限が行い (ステップ 5)、一連の動作が終了される。

【0026】

続いて、図 3 および図 4 を参照して、補正処理の動作につき説明する。補正処理が開始されると、まず歪みレベル x を検出し、これと基準レベル r を比較する (ステップ 11)。歪みレベル x が基準レベル r よりも小さくなければ、第 2 ビット補正完了しているか否かが判別される (ステップ 12)。このビット補正完了しているか否かは、後述のごとく、各桁毎にビット補正部の調整制御が終了されると設定されるいわゆるフラッグの有無を判別するものである。そして、第 2 ビット補正完了していなければ、検出された歪みレベル x と記憶手段に既に記憶されている歪みレベル y とを比較し (ステップ 13)、歪みレベル x が歪みレベル y より小さくなければ増減データ a を 1 と設定し (ステップ 14)、さらにこの増減データ a が 0 から 1 に変更されたか否かを判別し (ステップ 15)、0 から 1 に変更されていない場合は、検出された歪みレベル x と補正前の補正制御データ s を記憶手段に記憶する (ステップ 16)。ステップ 13 で歪みレベル x が歪みレベル y より小さければ増減データ a を 0 と設定し (ステップ 17)、ステップ 16 に至る。なお、ステップ 13 で、記憶手段に歪みレベル y が未だ記憶されておらずに比較できない場合は、歪みレベル x が歪みレベル y より小さくない場合と判別する。また、ステップ 16 で歪みレベル x が記憶手段に記憶されて歪みレベル y として、補正制御データ s が変更されて新たに検出される歪みレベル x に対して、ステップ 13 における比較対象とされる。

20

30

【0027】

そしてさらに、記憶された補正制御データ s が、ビット補正部の補正信号が零に設定される補正制御データ s_m と比較され (ステップ 18)、補正制御データ s が補正制御データ s_m より大きければステップ 19 へ、小さくまたは等しければステップ 20 に至る。ステップ 19 において増減データ a が 1 でなければ、補正制御データ s を 1 だけ加算増加させるステップ 21 が選択され、増減データ a が 1 であれば、補正制御データ s を 1 だけ減算減少させるステップ 22 が選択される。また、ステップ 20 において増減データ a が 1 でなければ、補正制御データ s を 1 だけ減算減少させるステップ 22 が選択され、増減データ a が 1 であれば、補正制御データ s を 1 だけ加算増加させるステップ 21 が選択される。そして、ステップ 21 または 22 で加減算されて変更された補正制御データ s が出力されて (ステップ 23)、ビット補正部 14 - 2 が制御され、この補正信号が加算されて補正された補正アナログ信号が加減算手段 12 から出力される。

40

【0028】

さらにそして、この補正アナログ信号から再び歪みレベル x を検出するステップ 13 に戻り、記憶されている補正前の歪みレベル y と比較される。そして、ステップ 15 で増減データ a が 0 から 1 に変更されたか判別されるまで、ステップ 13 からステップ 23 のルーチンが繰り返される。また、ステップ 15 にて、増減データ a が 0 から 1 に変更された

50

と判別された場合は、切り換えられた補正信号による補正により歪みレベル x が減少から増加に反転する場合であり、反転前である補正前の補正制御データ s による補正信号が最適値であると判断でき、その補正制御データ s を出力する(ステップ24)。そして、第2ビット補正完了のフラグを設定し(ステップ25)、さらに記憶手段から歪みレベル y の記憶をクリアして(ステップ26)、ステップ11に戻る。

【0029】

このようにして、まず第2ビットにおける補正が完了しても未だ歪みレベル x が基準レベル r より大きい場合は、ステップ12を経て、第3ビット補正完了したか否かが判別される(ステップ27)。そして、第3ビット補正完了していなければ、第3ビットのビット補正部14-3が、第2ビットにおけるステップ13からステップ26と同じ手順で調整制御される。この第3ビットにおける補正が完了しても未だ歪みレベル x が基準レベル r よりも大きい場合は、第4ビット、第5ビットと順次に下位の桁におけるビット補正部14-4、14-5...14-nが調整制御される。

【0030】

さらに、最下位桁であるLSBの第 n ビットにおける補正が完了して第 n ビット補正完了のフラグが設定されると(ステップ28)、再びステップ11に戻る。そして、このステップ11で歪みレベル x が基準レベルより小さくなっていないと判断されると、ステップ12とステップ27と各桁におけるビット補正完了しているか否かを判別するステップを経て第 n ビット補正完了しているか否かを判別するステップ29に再び至る。このステップ29において第 n ビット補正完了しているならば、第2ビットから第 n ビットに至る補正が適切になされなかったと判断できる。そこで、各ビット補正完了のフラグをリセットし(ステップ30)、このリセット回数をカウントし(ステップ31)、このカウント値が所定回数(実施例では5回)に達したか否かが判別される(ステップ32)。そして、未だ達していなければステップ11に戻り、ステップ32で所定回数に達したと判断されるまで、第2ビットからの補正のやり直しを繰り返す。さらに、ステップ32で所定回数に達したと判断されると、第2ビットからの補正のやり直しを繰り返しても適切な補正ができない補正不可と判別される。そこで、図2のステップ4に至る。

【0031】

なお、各ビットにおいて、補正完了してステップ11に戻り、歪みレベル x が基準レベル r より小さくなっていれば、補正完了したビット以下の桁について補正することなく、各ビット補正完了のフラグをリセットし(ステップ33)、さらにステップ31におけるカウント値をクリアし(ステップ34)、図2のステップ1に戻る。

【0032】

補正処理の動作は、以上の通りであるが、より理解し易くすべく、デジタル信号の桁数を6桁とし、表1に示したごとく、ビット補正部14-2~14-6の各桁毎の補正信号が零の補正制御データ s_m を3として、以下具体的に動作の説明をする。ここで、仮に第2ビットの補正制御データ s が3に設定されていて第2ビットでは歪みが生じておらず、第3ビット以下で歪みが生じているものとする。歪みレベル x が基準レベル r より大きく補正処理が開始されると、最初は歪みレベル y が記憶されておらず、ステップ13を経てステップ14で増減データ a が1に設定される。そして、補正制御データ s が3であるので、ステップ18と20を経てステップ21に至り、補正制御データ s は1が加算されて4とされる。すると、歪み成分 f_a が増加するので歪みレベル x が増加し、ステップ13で歪みレベル x と記憶されている歪みレベル y が比較されて、再びステップ14が選択され、ステップ18では補正制御データ s が4であるのでステップ19を経てステップ22に至り、補正制御データ s は今度は1が減算されて再び3に戻る。すると、歪みレベル x が減少し、ステップ13でステップ17が選択されて増減データ a は0に反転され、ステップ18と20を経てステップ22に至り、補正制御データ s は1が減算されて2とされる。すると、歪みレベル x が増加し、ステップ13でステップ14が選択されて増減データ a が再び1に反転される。そこで、ステップ15でステップ24が選択され、1つ補正前の補正制御データ s である3が出力されて、第2ビットの補正が完了される。

【 0 0 3 3 】

そして、この第2ビットの補正が完了しても、上記の条件では歪みレベル x は基準レベル r より小さくならないので、ステップ11、12、27を経て第3ビットの補正が開始される。この第3ビットの補正は、第2ビットの補正と同様にしてなされ、第3ビットの補正が完了すると、再びステップ11で歪みレベル x と基準レベル r が比較される。このようにして、歪みレベル x が基準レベル r より小さくなるまで順次に下位の桁毎に補正がなされ、アナログ信号の補正処理が行われる。

【 0 0 3 4 】

また、仮に第2ビットの補正制御データ s が3に設定されていて、この第2ビットで歪みが生じており、補正制御データ s が4に変更されたときのビット補正部14-2の補正信号により歪みレベル x が最も小さくなるものとして、別の条件による例を説明する。まず、補正処理が開始されると、最初は歪みレベルが記憶されておらず、ステップ13を経てステップ14で増減データ a が1に設定され、補正制御データ s が3であるので、ステップ18と20を経てステップ21に至り、補正制御データ s は1が加算されて4とされる。すると、歪みレベル x が減少し、ステップ13でステップ17が選択されて増減データ a は0と反転される。そして、ステップ18と19を経てステップ21に至り、補正制御データ s はさらに1が加算されて5とされてステップ13に戻る。すると、歪みレベル x が増加し、ステップ13でステップ14が選択されて増減データ a は再び1に反転される。そこで、ステップ15でステップ24が選択され、1つ補正前の補正制御データ s である4が出力されて、第2ビットの補正が完了される。同様にして、第3ビット以下の桁 10
20

【 0 0 3 5 】

なお、具体的な説明にあつては、説明を簡単にすべくデジタル信号を6桁とし、補正制御データ s が切り換えられる各桁毎の補正信号の段階も5段階であるが、現実的にはデジタル信号の桁数はこれ以上であり、また補正制御データ s を切り換える段階もより多段に適宜に設定することは勿論である。さらに、上記説明では、表1に示すごとく、いずれの桁においても補正制御データ s を切り換える段階の数を同じとし、上位桁ほどその切り換え幅を大きなものとしているが、これに限られず、切り換え幅はいずれの桁でも同じであるが、上位桁ほどその切り換え得る段階の数を多く設定することもできる。かかる場合にあつては、上位桁では小さな切り換え幅で多くの段階のいずれか1つを適宜に選択できるので、より適正な補正信号を出力することが可能である。 30

【 0 0 3 6 】

次に、図5を参照して、補正処理の他の動作を説明する。図5は、図2における補正処理の他の動作を説明するフローチャートの要部である。図5において、図3および図4に示された各ステップと同じステップについては図示が省略され、また省略されずに図示された同じステップには同じステップ番号が付けられている。

【 0 0 3 7 】

図5において、補正処理が開始されると、まず図3のステップ11に代えて、歪みレベル x が第1と第2基準レベル r_1 、 r_2 、と比較される(ステップ41)。ここで、第1基準レベル r_1 は、第2基準レベル r_2 よりも大きく設定されている。そして、歪みレベル x が第1基準レベル r_1 よりも大きければ、ステップ12が選択されて第2ビットから補正がなされる。また、歪みレベル x が第1基準レベル r_1 と第2基準レベル r_2 の間であれば、第2ビットより下位で最下位ビットより上位の途中にある所定の桁(例えば第 q ビット、ここで q は2より大きく n より小さい数である。)から補正がなされる(ステップ42)。 40

【 0 0 3 8 】

この図5に示す補正処理にあつては、歪みレベル x の大きさに応じて補正が開始される桁が適宜に選択されるので、小さな歪みレベル x であるにも係わらず第2ビットから補正が開始されるようなことがない。そこで、小さな歪みレベル x であれば、補正処理の時間が短縮される。さらに、ステップ41による歪みレベル x の大きさの判別は、基準レベル 50

の数を多くすることでより適切な桁から補正を開始することが可能となり、それだけ補正処理の時間を短縮することも可能である。

【0039】

なお、上記実施例において、検波手段16は、ダイオード検波だけでなく包絡線検波や自乗検波などのいずれであっても良い。また、フィルタ手段18は、検波方法に応じて歪み成分 f_a が有する周波数の整数倍の比較的低い周波数を有する信号を抽出できれば良く、ローパスフィルタと直流阻止用コンデンサなどで簡単に構成することができる。自乗検波であれば、フィルタ手段18で歪み成分 f_a が有する周波数の2倍の周波数を有する信号を抽出できれば良い。さらに、ビット補正部14-2~14-nから出力される各桁毎の補正信号が零と正および負に制御されるならば、上記説明のごとく加減算手段12は加算または減算のいずれか一方のみで足りる。しかし、零と正の補正信号のみを出力させるならば、負の補正信号を出力する際に、補正回路14から補正信号が出力されるとともにコントローラ22からは加減算手段12を減算に切り換える制御信号が出力されるようにしても良い。そして、D/A変換器10のアナログ信号の出力が、上記で説明した零を中心として正と負に振動する正弦波と異なり、直流成分に正弦波が重畳されて常に正または負の信号であるならば、デジタル信号の第1ビットは出力の正または負を決定するものでなくて信号の大きさを決定するものである。かかる場合には、第1ビットによっても歪みが生ずる虞があって補正が必要となり得る。そこで、補正回路は第1ビットに対してもビット補正部を備え、コントロールは歪みレベルが大きければ第1ビットから補正信号を調整制御するようにすれば良い。そしてまた、図3および図4に示す補正処理と、図5に示す補正処理とを適宜に選択できるようにしても良いことは勿論である。そしてさらに、図5に示す他の補正処理において、基準レベルを3以上設けても良い。かかる場合には、補正が必要となり得る桁を基準レベルと同じ数の複数に区分し、歪みレベルが複数の基準レベルのうちの最も小さい基準レベル以上の場合に、歪みレベルの大きさに応じて選定される1つの区分の上位の桁から下位に順次に補正信号を調整制御すれば良い。

10

20

【0040】

【発明の効果】

以上の説明から明らかなように、本発明のD/A変換装置は上述のごとく構成されているので、以下のごとき格別な効果を奏する。

【0041】

請求項1記載のD/A変換装置にあっては、D/A変換器から出力されるアナログ信号に補正回路から出力される各桁毎の補正信号を加減算して補正アナログ信号を出力し、この補正アナログ信号に含まれる歪み成分が小さくなるようにコントローラにより補正回路を調整制御するので、D/A変換器自体の例えば抵抗素子のネットワークなどに起因する歪み成分のみならず、デジタル信号のクロック周波数の周期の不均一による歪み成分をも除去することができる。

30

【0042】

そして、請求項2記載のD/A変換装置にあっては、補正回路の各桁毎の補正信号を上位の桁から下位の桁に順次に調整制御するので、D/A変換器から出力されるアナログ信号により大きく影響する上位の桁の補正が先になされ、最初は粗く順次に細かく歪みを補正することができる。

40

【0043】

また、請求項3記載のD/A変換装置にあっては、デジタル信号の第1ビットはアナログ信号の正または負を決定するものであり、信号の大きさを決定する第2ビット以下の各桁毎の補正信号を調整制御するので、第1ビットに対する不必要な補正動作がなされない。しかも、補正回路は第1ビットに対するビット補正部が不要であり、それだけ構成が簡単となる。

【0044】

また、請求項4記載のD/A変換装置にあっては、歪みレベルが所定の基準レベルより大きい場合に補正処理を行うので、不具合を生じない小さな歪みレベルでは補正処理が行

50

われず、不必要な補正動作がなされない。

【0045】

また、請求項5記載のD/A変換装置にあっては、歪みレベルの大きさに応じて、補正処理が開始される桁が適宜に選択されるので、小さな歪みレベルに対して不必要に上位の桁から補正を行うような不経済なことがなく、小さな歪みレベルではその補正処理時間を短かくすることができる。

【0046】

また、請求項6記載のD/A変換装置にあっては、各桁毎の補正信号を調整して歪みレベルが減少から増加に反転すると、増加に反転する補正前の補正信号をその桁の最適な補正信号としてこれを維持するようにしたので、コントローラは補正信号を適宜に増加または減少させながら歪みレベルの大小を比較することで容易にその桁の最適値を選定することができる。

10

【0047】

また、請求項7記載のD/A変換装置にあっては、コントローラで補正回路の各桁毎の補正信号を零と正と負とに調整制御するので、加減算手段は加算または減算のいずれか一方の作用をなせば良く、その構成が簡単である。

【0048】

さらに、請求項8記載のD/A変換装置にあっては、コントローラは補正回路の各桁毎の補正信号の調整制御が完了する毎に、歪みレベルが基準レベルまたは複数の基準レベルのうち最も小さい基準レベル以上か否かを判別し、歪みレベルが所定の基準レベルより大きい場合に補正処理を行うので、歪みレベルが小さくなれば補正処理が終了される。

20

【0049】

さらにまた、請求項9記載のD/A変換装置にあっては、コントローラは補正回路の各桁毎の補正信号を不連続な段階的に切り換え調整制御するので、デジタル的な処理が容易である。

【0050】

さらにそして、請求項10記載のD/A変換装置にあっては、コントローラは補正回路の各桁毎の補正信号を上位の桁ほど不連続な段階的に切り換えられる幅を大きく設定して調整制御するので、D/A変換器から出力されるアナログ信号により大きく影響する上位桁でより粗く歪みが補正され、そして桁が下位になるほど細かく補正することができる。

30

【図面の簡単な説明】

【図1】 本発明のD/A変換装置の一実施例のブロック回路図である。

【図2】 図1におけるコントローラの動作を説明するフローチャートである。

【図3】 図2における補正処理の動作を説明するフローチャートの一部である。

【図4】 図2における補正処理の動作を説明するフローチャートの残部である。

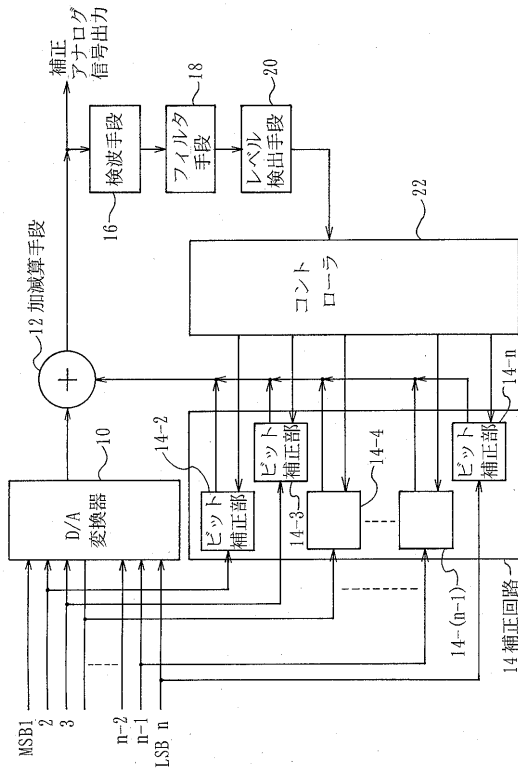
【図5】 図2における補正処理の他の動作を説明するフローチャートの要部である。

【符号の説明】

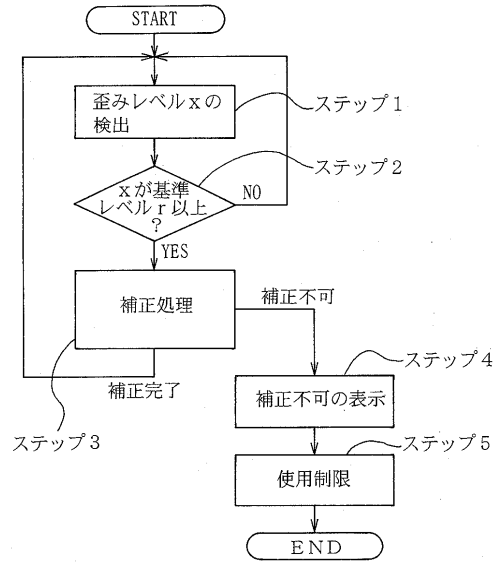
- 10 D/A変換器
- 12 加減算手段
- 14 補正回路
- 14-2 ~ 14-n ビット補正部
- 16 検波手段
- 18 フィルタ手段
- 20 レベル検出手段
- 22 コントローラ

40

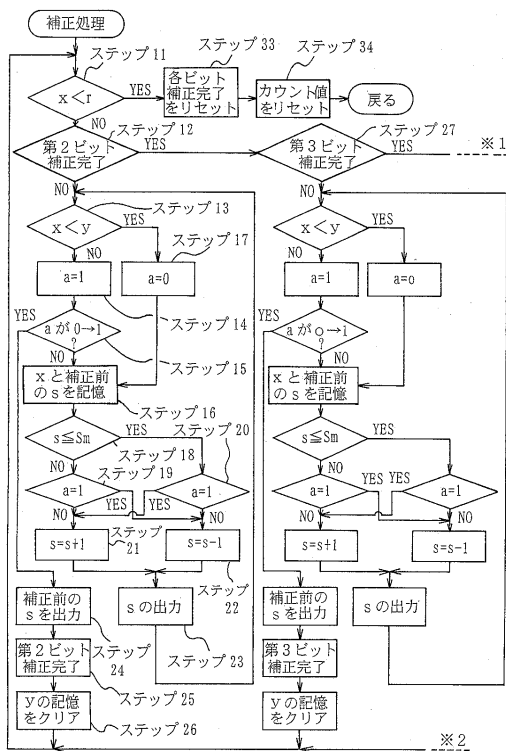
【図1】



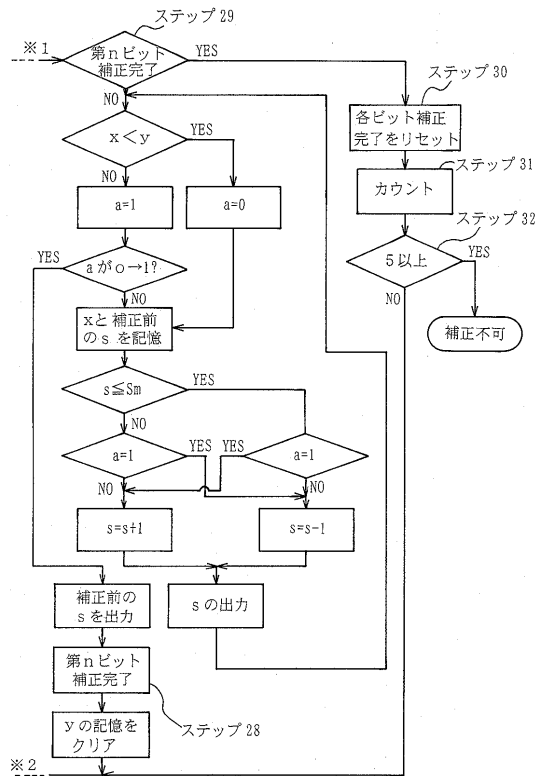
【図2】



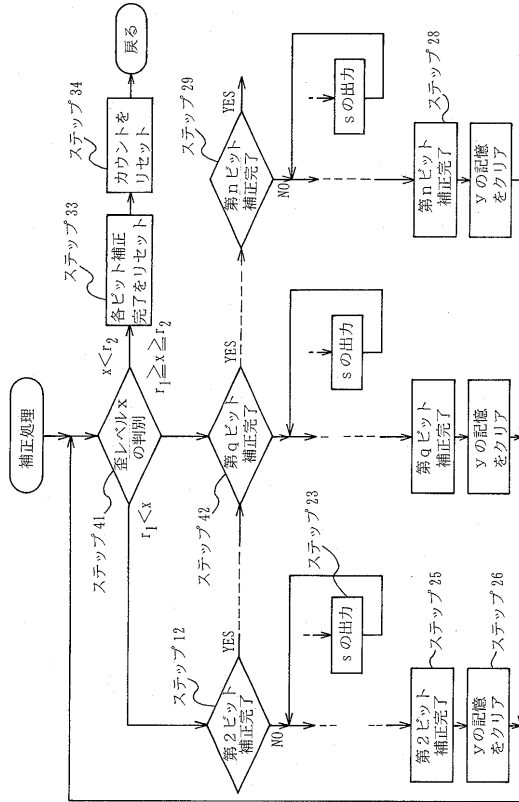
【図3】



【図4】



【 図 5 】



フロントページの続き

- (56)参考文献 特開昭60-212030(JP,A)
特表平08-505026(JP,A)
特開平07-022849(JP,A)
特開平07-058693(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03M1/00-1/88