

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3645463号
(P3645463)

(45) 発行日 平成17年5月11日(2005.5.11)

(24) 登録日 平成17年2月10日(2005.2.10)

(51) Int.C1.⁷

F 1

H01L 21/8234	H01L 27/08	102D
H01L 21/768	H01L 27/10	671Z
H01L 21/8242	H01L 29/78	301X
H01L 27/088	H01L 21/90	C
H01L 27/108		

請求項の数 6 (全 25 頁) 最終頁に続く

(21) 出願番号	特願2000-13476 (P2000-13476)
(22) 出願日	平成12年1月21日 (2000.1.21)
(65) 公開番号	特開2001-203337 (P2001-203337A)
(43) 公開日	平成13年7月27日 (2001.7.27)
審査請求日	平成16年2月26日 (2004.2.26)

(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(74) 代理人	100080001 弁理士 筒井 大和
(72) 発明者	山田 悟 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
(72) 発明者	大湯 静憲 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
(72) 発明者	徳永 尚文 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

最終頁に続く

(54) 【発明の名称】半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に形成されたMISFETと、前記MISFETのソース、ドレイン領域上に形成されたコンタクトホールと、前記コンタクトホールの内部に形成され、前記ソース、ドレイン領域と電気的に接続された導電体と、前記導電体の周囲に形成された第1および第2の絶縁膜とを有する半導体集積回路装置であって、前記第1の絶縁膜は、前記コンタクトホールの底部では、前記導電体の周囲を囲むように形成され、前記コンタクトホールの上部では、少なくとも一部が除去されて前記導電体の高さより低く形成されており、前記第2の絶縁膜は、前記コンタクトホールを内側にして前記第1の絶縁膜を挟むように形成され、前記導電体の高さとほぼ同じで、その膜厚が前記第1の絶縁膜の膜厚より薄く形成されていることを特徴とする半導体集積回路装置。

【請求項 2】

請求項1記載の半導体集積回路装置において、前記第1の絶縁膜は、その高さが低くなっている部分では、前記導電体に覆われていることを特徴とする半導体集積回路装置。

【請求項 3】

請求項1記載の半導体集積回路装置において、前記MISFETのゲート電極上にキャップ絶縁膜が形成されており、前記第1の絶縁膜の低くなっている部分の高さは、前記ゲート電極の上端部よりも高く、前記キャップ絶縁膜の上端部よりも低いことを特徴とする半導体集積回路装置。

【請求項 4】

10

20

請求項 3 記載の半導体集積回路装置において、前記第 1 の絶縁膜の比誘電率は、前記キヤップ絶縁膜の比誘電率よりも小さいことを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 記載の半導体集積回路装置において、前記第 1 の絶縁膜は、酸化シリコンを主成分とし、前記第 2 の絶縁膜は、窒化シリコンを主成分とすることを特徴とする半導体集積回路装置。

【請求項 6】

請求項 1 記載の半導体集積回路装置において、前記第 1 の絶縁膜の比誘電率は、前記第 2 の絶縁膜の比誘電率よりも小さいことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、DRAM (Dynamic Random Access Memory) を有する半導体集積回路装置の製造に適用して有効な技術に関する。

【0002】

20

【従来の技術】

近年のDRAMは、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量の減少を補うために、情報蓄積用容量素子をメモリセル選択用MISFETの上方に配置する、いわゆるスタックド・キャパシタ構造を採用している。このスタックド・キャパシタ構造を採用するDRAMには、大別してビット線の下方に情報蓄積用容量素子を配置するキャパシタ・アンダー・ビットライン (Capacitor Under Bitline; CUB) 構造（例えば特開平7-192723号公報、特開平8-204144号公報など）と、ビット線の上方に情報蓄積用容量素子を配置するキャパシタ・オーバー・ビットライン (Capacitor Over Bitline; COB) 構造（例えば特開平7-122654号公報、特開平7-106437号公報など）とがある。

【0003】

30

上記した2種のスタックド・キャパシタ構造のうち、ビット線の上方に情報蓄積用容量素子を配置するCOB構造は、CUB構造に比べてメモリセルの微細化に適している。これは、微細化された情報蓄積用容量素子の蓄積電荷量を増やそうとすると、その構造を立体化して表面積を増やす必要があるため、情報蓄積用容量素子の上部にビット線を配置するCUB構造では、ビット線とメモリセル選択用MISFETとを接続するコンタクトホールのアスペクト比が極端に大きくなってしまい、その開孔が困難になるからである。

【0004】

40

また、64メガビット(Mbit)あるいは256メガビットといった最近の大容量DRAMは、微細化されたメモリセル選択用MISFETのゲート電極のスペースにビット線や情報蓄積用容量素子と基板とを接続するためのコンタクトホールを形成する際に、ゲート電極の上部と側壁とを窒化シリコン膜で覆い、酸化シリコン膜と窒化シリコン膜とのエッチングレート差を利用してコンタクトホールをゲート電極のスペースに対して自己整合的に開孔するセルフアライン・コンタクト (Self Align Contact; SAC) 技術（例えば特開平9-252098号公報）を採用したり、ゲート電極の低抵抗化を推進するために、ゲート電極をW(タンクステン)などの高融点金属材料を主体として構成するポリメタルゲート構造（特開平7-94716号公報）を採用したりしている。

【0005】

【発明が解決しようとする課題】

本発明者は、256メガビット(Mbit)DRAMおよび1ギガビット(Gbit)DRAMの開発を進めるなかで、リフレッシュ時間間隔を長くするための一対策として、ビット線容量の低減を図ることを検討している。

【0006】

ビット線容量の成分は、対隣接ビット線、対基板、対蓄積電極、対ワード線および対プレ

50

ート電極に分けられるが、ビット線の上方に情報蓄積用容量素子を配置するC O B構造の場合には、対ワード線容量成分が主要な成分となる。従って、ビット線容量を低減するためには、まず対ワード線容量を低減することが最優先課題となる。

【0007】

前述したように、セルファーライン・コンタクト(S A C)技術を採用する従来の製造プロセスでは、ゲート電極の上部と側壁とを酸化シリコン膜に対するエッチング選択比が大きい窒化シリコン膜で覆っている。しかし、窒化シリコン膜の比誘電率は、酸化シリコン膜のそれよりも約2倍程度大きいため、ゲート電極の上部と側壁とを窒化シリコン膜で覆うと、ビット線の対ワード線容量が大きくなってしまう。

【0008】

本発明の目的は、メモリセルサイズが微細化されたD R A Mにおいて、ビット線容量を低減することのできる技術を提供することにある。

【0009】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

(1) 本発明の半導体集積回路装置は、半導体基板上に形成されたM I S F E Tと、前記M I S F E Tのソース、ドレイン領域上に形成されたコンタクトホールと、前記コンタクトホールの内部に形成され、前記ソース、ドレイン領域と電気的に接続された導電体と、前記導電体の周囲に形成された第1の絶縁膜とを有し、前記第1の絶縁膜は、前記コンタクトホールの底部では、前記導電体の周囲を囲むように形成されており、前記コンタクトホールの上部では、少なくとも一部が除去されており、前記導電体の周囲を取り囲むようには形成されていない。

(2) 本発明の半導体集積回路装置は、半導体基板上に形成されたM I S F E Tと、前記M I S F E Tのソース、ドレイン領域上に形成されたコンタクトホールと、前記コンタクトホールの内部に形成され、前記ソース、ドレイン領域と電気的に接続された導電体と、前記導電体の周囲を囲むように形成された第1の側壁絶縁膜と、前記第1の側壁絶縁膜の周囲を囲むように形成された第2の側壁絶縁膜とを有し、前記第1の側壁絶縁膜は、前記第2の側壁絶縁膜に比べて部分的にまたは全体の高さが低くなっている。

(3) 本発明の半導体集積回路装置は、半導体基板上に形成された第1および第2のワード線と、前記第1および第2のワード線上にそれぞれ形成された第1および第2の絶縁膜と、前記第1および第2のワード線の間に形成されたコンタクトホールと、前記コンタクトホールの内部に形成された導電体とを有し、前記第1および第2のワード線の間には、前記コンタクトホールの側壁を構成する第3および第4の絶縁膜が形成されており、前記導電体の周囲には第5の絶縁膜が形成されており、前記第5の絶縁膜の高さは、部分的にまたは全体が前記第3および第4の絶縁膜の上端部よりも低い。

(4) 本発明の半導体集積回路装置の製造方法は、以下の工程を有している。

(a) 半導体基板上に第1の導電体膜を形成した後、前記第1の導電体膜の上部に第1の絶縁膜を形成する工程、

(b) 前記第1の導電体膜および第1の絶縁膜をエッチングすることにより、第1および第2のワード線と、前記第1および第2のワード線の上部を覆う第1および第2のキャップ絶縁膜とを形成する工程、

(c) 前記第1のワード線の一部をゲート電極とする第1のM I S F E Tおよび前記第2のワード線の一部をゲート電極とする第2のM I S F E Tを形成する工程、

(d) 前記第1および第2のワード線の間を含む前記半導体基板上に第2の絶縁膜を形成した後、前記第2の絶縁膜上にスリット状の開孔部を有するマスクパターンを形成する工程、

10

20

30

40

50

(e) 前記スリット状の開孔部を有するマスクパターンと、前記第 1 および第 2 のキャップ絶縁膜とをマスクに用いて前記第 2 の絶縁膜をエッチングすることにより、前記第 1 および第 2 の M I S F E T のソース、ドレイン領域の一方の上部に第 1 の開孔部を形成し、前記ソース、ドレイン領域の他方の上部に第 2 の開孔部を形成する工程、

(f) 前記第 1 および第 2 の開孔の内部に第 2 導体膜を形成する工程、

(g) 前記第 1 の開孔を通して前記ソース、ドレイン領域の一方と電気的に接続されるビット線を形成し、前記第 2 の開孔を通して前記ソース、ドレイン領域の他方と電気的に接続される容量素子を形成する工程。

(5) 本発明の半導体集積回路装置の製造方法は、以下の工程を有している。

(a) 半導体基板上に第 1 の導電体膜を形成した後、前記第 1 の導電体膜の上部に第 1 の絶縁膜を形成する工程、 10

(b) 前記第 1 の導電体膜および第 1 の絶縁膜をエッチングすることにより、第 1 および第 2 の配線と、前記第 1 および第 2 の配線の上部を覆う第 1 および第 2 のキャップ絶縁膜とを形成する工程、

(c) 前記第 1 および第 2 の配線の間を含む前記半導体基板上に第 2 の絶縁膜を形成した後、前記第 2 の絶縁膜上に開孔部を有する第 1 の膜を形成する工程、

(d) 前記第 1 の膜をマスクとし、前記第 1 および第 2 のキャップ絶縁膜をエッチングストップとして前記第 2 の絶縁膜をエッチングすることにより、前記第 2 の絶縁膜に開孔部を形成する工程、

(e) 前記開孔部の内部に側壁絶縁膜を形成する工程、

20

(f) 前記側壁絶縁膜の一部を除去する工程、

(g) 前記側壁絶縁膜が形成された前記開孔部の内部にプラグを形成する工程。

(6) 本発明の半導体集積回路装置の製造方法は、以下の工程を有している。

(a) 半導体基板上に第 1 の導電体膜を形成した後、前記第 1 の導電体膜の上部に第 1 の絶縁膜を形成する工程、

(b) 前記第 1 の絶縁膜上に第 2 の絶縁膜を形成した後、前記第 2 の絶縁膜上にフォトレジスト膜を形成する工程、

(c) 前記フォトレジスト膜をマスクとして、前記第 1 および第 2 の絶縁膜をエッチングする工程、

(d) 前記第 1 の絶縁膜をマスクとして前記第 1 の導電体膜をエッチングすることにより、第 1 および第 2 の配線を形成する工程、 30

(e) 前記第 1 および第 2 の配線の間を含む前記半導体基板の主面上に第 3 の絶縁膜を形成した後、前記第 3 の絶縁膜上に第 1 の膜を形成する工程、

(f) 前記第 1 の膜および前記第 1 の絶縁膜に対するエッチング速度が前記第 2 の絶縁膜に対するエッチング速度よりも遅い方法で、前記第 2 の絶縁膜をエッチングすることにより、前記第 1 および第 2 の配線の間に開孔部を形成する工程。

【 0 0 1 1 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

40

【 0 0 1 2 】

(実施の形態 1)

図 1 は、本実施形態の D R A M (Dynamic Random Access Memory) を形成した半導体チップ 1 A の全体平面図である。

【 0 0 1 3 】

長方形の半導体チップ 1 A の正面には、例えば 2 5 6 Mbit(メガビット)の記憶容量を有する D R A M が形成されている。この D R A M は、複数のメモリアレイ (M A R Y) からなる記憶部とそれらの周囲に配置された周辺回路部 P C とを有している。また、半導体チップ 1 A の中央部には、ワイヤやバンプ電極などが接続される複数のボンディングパッド

50

B P が 1 列に配置されている。

【 0 0 1 4 】

図 2 は、上記記憶部の一端部を示す半導体基板（以下、基板という）の断面図である。

【 0 0 1 5 】

例えば p 型の単結晶シリコンからなる基板 1 の主面には p 型ウエル 2 が形成されており、 p 型ウエル 2 には素子分離溝 4 が形成されている。この素子分離溝 4 によって周囲を規定された p 型ウエル 2 のアクティブ領域には複数のメモリセルが形成されている。メモリセルのそれぞれは、 n チャネル型 M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) によって構成された一個のメモリセル選択用 M I S F E T Q t とその上部に形成された一個の情報蓄積用容量素子 C によって構成されている。メモリセル選択用 M I S F E T Q t は、主としてゲート絶縁膜 6 、アクティブ領域以外の領域においてワード線 W L を構成するゲート電極 7 および一対の n 型半導体領域（ソース、ドレイン領域） 8 によって構成されている。ゲート電極 7 （ワード線 W L ）は、例えば P (リン) がドープされた n 型多結晶シリコン膜、 W N (窒化タンゲステン) 膜および W (タングステン) 膜を積層した 3 層の導電体膜によって構成されている。

10

【 0 0 1 6 】

図には示さない周辺回路部（ P C ）の基板 1 には p 型ウエルおよび n 型ウエルが形成されている。 p 型ウエルのアクティブ領域には n チャネル型 M I S F E T が形成され、 n 型ウエルのアクティブ領域には p チャネル型 M I S F E T が形成されている。 n チャネル型 M I S F E T は、主としてゲート絶縁膜、ゲート電極および一対の n 型半導体領域（ソース、ドレイン領域）によって構成され、 p チャネル型 M I S F E T は、主としてゲート絶縁膜、ゲート電極および一対の p 型半導体領域（ソース、ドレイン領域）によって構成されている。すなわち、周辺回路部（ P C ）は、 n チャネル型 M I S F E T と p チャネル型 M I S F E T とを組み合わせた相補型 M I S F E T によって構成されている。

20

【 0 0 1 7 】

図 2 に示すように、メモリセル選択用 M I S F E T Q t のゲート電極 7 （ワード線 W L ）の側壁には、 2 層の側壁絶縁膜 1 0 、 1 1 が形成されている。これらの側壁絶縁膜 1 0 、 1 1 のうち、外側の第 1 の側壁絶縁膜 1 1 は、例えば 3 0 n m 程度の膜厚を有する酸化シリコン膜によって構成され、内側の第 2 の側壁絶縁膜 1 0 は、第 1 の側壁絶縁膜 1 1 よりも薄い膜厚（例えば 1 0 n m ~ 1 5 n m 程度）の窒化シリコン膜によって構成されている。酸化シリコン膜によって構成された側壁絶縁膜 1 1 の高さは、ゲート電極 7 （ワード線 W L ）の上面よりも高く、かつゲート電極 7 （ワード線 W L ）の上部を覆っているキャップ絶縁膜 9 の上端部よりも低くなっている。

30

【 0 0 1 8 】

ゲート電極 7 のスペースには、上記 2 層の側壁絶縁膜 1 0 、 1 1 によって周囲を囲まれたコンタクトホール（開孔部） 1 2 、 1 3 が形成されており、コンタクトホール 1 2 、 1 3 の内部には、例えば P (リン) がドープされた n 型多結晶シリコン膜によって構成されるプラグ 1 4 が埋め込まれている。

【 0 0 1 9 】

メモリセル選択用 M I S F E T Q t の上部には酸化シリコン膜 3 1 が形成されており、酸化シリコン膜 3 1 の上部にはメモリセルのデータを読み出すビット線 B L が形成されている。ビット線 B L は、例えば T i N (窒化チタン) 膜の上部に W (タングステン) 膜を積層した導電体膜によって構成されている。ビット線 B L は、酸化シリコン膜 3 1 に形成されたスルーホール 3 2 およびその下部の前記コンタクトホール 1 2 を通じてメモリセル選択用 M I S F E T Q t の n 型半導体領域（ソース、ドレイン） 8 の一方と電気的に接続されている。スルーホール 3 2 の内部には、例えば T i N 膜の上部に W 膜を積層した導電体膜によって構成されるプラグ 3 3 が埋め込まれている。

40

【 0 0 2 0 】

ビット線 B L の上部には酸化シリコン膜 3 4 および窒化シリコン膜 3 5 が形成されており、窒化シリコン膜 3 5 の上部には情報蓄積用容量素子 C が形成されている。情報蓄積用容

50

量素子Cは、窒化シリコン膜35の上部の厚い膜厚の酸化シリコン膜39をエッティングして形成した深い溝40の内部に形成され、下部電極41、容量絶縁膜42および上部電極43によって構成されている。

【0021】

情報蓄積用容量素子Cの下部電極41は、例えばRu(ルテニウム)膜によって構成され、スルーホール36およびその下部のコンタクトホール13を通じてメモリセル選択用MISFETQ_tのn型半導体領域(ソース、ドレイン)8の他方と電気的に接続されている。容量絶縁膜42は、例えばBST(Ba_x Sr_{1-x} Ti O₃; Barium Strontium Titanate)膜によって構成され、上部電極43は例えばRu膜によって構成されている。

【0022】

次に、上記のように構成された本実施形態のDRAMの製造方法を図3～図41を用いて工程順に説明する。

【0023】

まず、図3(記憶部の一端部を示す平面図)、図4(図3のA-A線に沿った断面図)および図5(図3のB-B線に沿った断面図)に示すように、基板1の正面の素子分離領域に素子分離溝4を形成する。素子分離溝4は、基板1の正面をエッティングして深さ300～400nm程度の溝を形成し、続いてこの溝の内部を含む基板1上にCVD法で膜厚600nm程度酸化シリコン膜5を堆積した後、溝の外部の酸化シリコン膜5を化学機械研磨(Chemical Mechanical Polishing; CMP)法で研磨、除去することにより形成する。図3に示すように、この素子分離溝4を形成することにより、周囲が素子分離溝4で囲まれた細長い島状のパターンを有する多数のアクティブ領域Lが同時に形成される。

【0024】

次に、図6および図7に示すように、基板1にP(リン)をイオン打ち込みした後、基板1を熱処理してこの不純物を基板1内に拡散させることにより、p型ウエル2を形成する。

【0025】

次に、図8に示すように、基板1を熱酸化してp型ウエル2の表面に膜厚6nm～7nm程度の酸化シリコンからなるゲート絶縁膜6を形成し、続いてゲート絶縁膜6の上部にゲート電極材料である第1の導電体膜7Aを形成した後、導電体膜7Aの上部にキャップ絶縁膜材料である第1の絶縁膜9Aを形成する。

【0026】

上記導電体膜7Aを形成するには、例えばP(リン)をドープした膜厚70nm程度のn型多結晶シリコン膜をゲート絶縁膜6上にCVD法で堆積し、続いてその上部に膜厚5nm程度のWN(窒化タンゲステン)膜および膜厚60nm程度のW(タンゲステン)膜をスパッタリング法で堆積する。また、絶縁膜9Aを形成するには、従来のセルファーライン・コンタクト(SAC)技術で行われているように、導電体膜9A上にCVD法で窒化シリコン膜を堆積してもよいが、本実施形態では、例えば膜厚50nm程度の酸化シリコン膜、膜厚70nm程度の窒化シリコン膜および膜厚80nm程度の酸化シリコン膜をCVD法で堆積する。すなわち、絶縁膜9Aは、2層の酸化シリコン膜の間に窒化シリコン膜を設けた3層の絶縁膜によって構成される。

【0027】

次に、図9に示すように、フォトレジスト膜20をマスクにして絶縁膜9Aをドライエッティングすることにより、ゲート電極を形成する領域の導電体膜7A上に前述した3層の絶縁膜(絶縁膜9A)によって構成されるキャップ絶縁膜9を形成する。

【0028】

通常、酸化シリコンは、フォトレジストに対するエッティング選択比(対レジスト選択比)が窒化シリコンよりも大きい(窒化シリコンが約1.3であるのに対し、酸化シリコンは約1.6)。そのため、キャップ絶縁膜材料(絶縁膜9A)を2層の酸化シリコン膜と1層の窒化シリコン膜とで構成した場合は、キャップ絶縁膜材料を1層の窒化シリコン膜だけで構成した場合に比べて対レジスト選択比が大きくなり、その分、フォトレジスト膜2

10

20

30

40

50

0の膜減りが少なくなるために、キャップ絶縁膜9の加工寸法精度が向上する。

【0029】

次に、フォトレジスト膜20を除去した後、図10に示すように、キャップ絶縁膜9をマスクにして導電体膜7Aをドライエッチングすることにより、多結晶シリコン膜、WN膜およびW膜によって構成されるゲート電極7(ワード線WL)を形成する。W膜と多結晶シリコン膜とを主体として構成される、いわゆるポリメタル構造のゲート電極7(ワード線WL)は、多結晶シリコン膜やポリサイド膜(高融点金属シリサイド膜と多結晶シリコン膜との積層膜)で構成されたゲート電極に比べて電気抵抗が低いので、ワード線の信号遅延を低減することができる。なお、W膜と多結晶シリコン膜との間に設けられたWN膜は、高温熱処理時にW膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層には、WN膜の他、例えばTiN(窒化チタン)膜などを使用することもできる。10

【0030】

図11に示すように、ゲート電極7(ワード線WL)は、アクティブ領域Lの長辺と交差する方向に延在し、そのゲート長は、例えば0.13μm~1.4μm程度、隣接するゲート電極7(ワード線WL)とのスペースは、例えば0.12μm程度である。

【0031】

通常、ゲート電極材料(導電体膜7A)の一部を構成するW膜は、酸化シリコンに対するエッチング選択比(対酸化シリコン選択比9が窒化シリコン膜に対する選択比(対窒化シリコン選択比)よりも大きい(対窒化シリコン選択比が約1.0であるのに対し、対酸化シリコン選択比は約1.2である))。そのため、キャップ絶縁膜9の最上部を酸化シリコン膜で構成した場合は、最上部を窒化シリコン膜で構成した場合に比べてW膜の選択比を大きく取ることができる。これにより、キャップ絶縁膜9の膜減りが少ない状態でゲート電極7を加工することができ、その分、キャップ絶縁膜9の加工寸法精度およびゲート電極7の加工寸法精度を向上させることができるので、キャップ絶縁膜9を1層の窒化シリコン膜だけで構成した場合に比べて、微細なゲート長を有するゲート電極7を高い寸法精度で形成することができる。なお、窒化シリコン膜を挟む2層の酸化シリコン膜のうちのいずれか一方を省略することもできる。20

【0032】

次に、図12に示すように、p型ウエル2にAs(ヒ素)をイオン打ち込みしてゲート電極7の両側のp型ウエル2にn型半導体領域(ソース、ドレイン領域)8を形成する。ここまで工程により、メモリセル選択用MISFETQtが略完成する。続いて、基板1上にCVD法で膜厚10nm~15nm程度の薄い窒化シリコン膜10Aを堆積する。窒化シリコン膜10Aは、後の工程でゲート電極7のスペースにコンタクトホール(開孔部)を形成するためのドライエッチングを行う際、素子分離溝4の内部の酸化シリコン膜5が削られるのを防ぐエッチングストップとして使用される。従って、酸化シリコン膜5の削れ量が問題とならないような場合は、窒化シリコン膜10Aを形成しなくともよい。30

【0033】

次に、図13に示すように、基板1上にCVD法で膜厚70nm程度の酸化シリコン膜21を堆積することにより、ゲート電極7(ワード線WL)のスペースに酸化シリコン膜21を埋め込む。酸化シリコン膜21は、周辺回路部のMISFET(nチャネル型MISFETおよびpチャネル型MISFET)をLDD(lightly Doped Drain)構造にするために使用される。すなわち、図示は省略するが、上記酸化シリコン膜21を堆積した後、記憶部の基板1上をフォトレジスト膜で覆い、周辺回路部の酸化シリコン膜21を異方的にエッチングすることにより、周辺回路部のゲート電極の側壁に側壁絶縁膜を形成する。その後、周辺回路部のp型ウエルにAsまたはPをイオン打込みして高不純物濃度のn⁺型半導体領域(ソース、ドレイン)を形成し、n型ウエルにBをイオン打込みして高不純物濃度のp⁺型半導体領域(ソース、ドレイン)を形成する。ここまで工程により、周辺回路部のnチャネル型MISFETおよびpチャネル型MISFETが略完成する。40

【0034】

次に、図14に示すように、基板1上にCVD法で膜厚600nm程度の厚い酸化シリコン膜22を堆積した後、この酸化シリコン膜22を化学機械研磨法で研磨、平坦化することにより、酸化シリコン膜22の表面の高さを記憶部と図示しない周辺回路部とで均一にする。このとき、キャップ絶縁膜9の一部を構成する窒化シリコン膜を研磨のストップに用い、酸化シリコン膜22の表面の高さをキャップ絶縁膜9の上面まで後退させてもよい。

【0035】

次に、図15および図16に示すように、酸化シリコン膜22の上部にCVD法で膜厚10nm程度の薄い酸化シリコン膜23を堆積し、続いて酸化シリコン膜23の上部にCVD法で膜厚70nm程度の多結晶シリコン膜24Aを堆積した後、多結晶シリコン膜24Aの上部に膜厚60nm程度の反射防止膜25および膜厚400nm程度のフォトレジスト膜26をスピニ塗布する。酸化シリコン膜23は、化学機械研磨法で研磨されたときに生じた下層の酸化シリコン膜22の表面の微細な傷を補修するために堆積する。

【0036】

次に、図17および図18に示すように、フォトレジスト膜26をマスクにして反射防止膜25および多結晶シリコン膜24Aのそれぞれの一部をドライエッチングすることにより、耐エッチングマスク24を形成する。図19は、多結晶シリコン膜24Aによって構成された上記耐エッチングマスク24のパターン（グレイの着色を施した部分）を示す平面図である。図示のように、耐エッチングマスク24は、記憶部を横切ってアクティブ領域Lの長辺方向に延在する細長いスリット状または溝状の開孔部27を有している。ゲート電極7のスペースにコンタクトホール（開孔部）12、13を形成するための耐エッチングマスク24にこのようなスリット状（溝状）の開孔部27を設けた理由については後述する。

【0037】

次に、フォトレジスト膜26および反射防止膜25を除去した後、図20および図21に示すように、耐エッチングマスク24をマスクにして開孔部27内の酸化シリコン膜21、22、23をドライエッチングすることにより、n型半導体領域（ソース、ドレイン領域）8の上部、すなわちゲート電極7のスペースにコンタクトホール（開孔部）12、13を形成する。コンタクトホール12、13の一方（コンタクトホール12）は、n型半導体領域（ソース、ドレイン領域）8の一方とビット線BLとを接続するために使用され、他方（コンタクトホール13）は、n型半導体領域（ソース、ドレイン領域）8の他方と情報蓄積用容量素子Cの下部電極41とを接続するために使用される。

【0038】

上記酸化シリコン膜21、22、23のドライエッチングは、窒化シリコン膜10Aおよびキャップ絶縁膜9の一部を構成する窒化シリコン膜をエッチングストップにして行う。これにより、酸化シリコン膜21、22、23をドライエッチングする際に素子分離溝4の内部の酸化シリコン膜5が削られる不具合を防止することができると共に、キャップ絶縁膜9が削られてゲート電極7（ワード線WL）の上面が露出する不具合を防止することができる。また、ここまで工程により、ゲート電極7（ワード線WL）の側壁に窒化シリコン膜10Aによって構成される側壁絶縁膜10が形成される。

【0039】

次に、図22および図23に示すように、基板1上にCVD法で膜厚30nm程度の酸化シリコン膜11Aを堆積した後、図24に示すように、酸化シリコン膜11Aを異方的にエッチングすることにより、ゲート電極7（ワード線WL）の側壁に膜厚30nm程度の酸化シリコン膜11Aによって構成される側壁絶縁膜11を形成する。このとき、図25に示すように、スリット状（溝状）の開孔部27の延在方向に沿った酸化シリコン膜22、21の側壁にも、酸化シリコン膜11Aによって構成される側壁絶縁膜11が形成される。

【0040】

上記酸化シリコン膜11Aの異方性エッチングは、前述した酸化シリコン膜21、22、

10

20

30

40

50

23のドライエッチングと同様、窒化シリコン膜10Åおよびキャップ絶縁膜9の一部である窒化シリコン膜をエッチングストップにして行う。これにより、ゲート電極7の側壁に形成される側壁絶縁膜11の高さがキャップ絶縁膜9の上面よりも低くなる(図24)。このとき側壁絶縁膜11に対して施される異方性エッチングのエッチング量は、後にキャップ絶縁膜9の窒化シリコン膜をストップにして行われる化学機械研磨によるキャップ絶縁膜9の膜減りを考慮しても、側壁絶縁膜11の上端がキャップ絶縁膜9の上面よりも確実に低くなるように、側壁絶縁膜11の上端とキャップ絶縁膜9の上面との高さの差を確保しておくことが望ましい。一方、酸化シリコン膜22、21の側壁に形成される側壁絶縁膜11は、ゲート電極7の側壁に形成される側壁絶縁膜11よりも上端部の位置が高くなる(図25)。

10

【0041】

ここまで工程により、ゲート電極7の側壁には、薄い膜厚の窒化シリコン膜(10Å)とそれよりも厚い膜厚の酸化シリコン膜(11Å)とによって構成される2層の側壁絶縁膜10、11が形成される。また、酸化シリコン膜(11Å)によって構成される側壁絶縁膜11は、ゲート電極7の側壁における高さがキャップ絶縁膜9の上面よりも低いため、ゲート電極7のスペースに形成されたコンタクトホール12、13のゲート長方向に沿った断面は、図24に示すように、上部の径(a)が底部の径(b)よりも大きくなる($a > b$)。

【0042】

次に、図26および図27に示すように、コンタクトホール12、13の底部に残った薄い膜厚の窒化シリコン膜10Åをドライエッチングで除去してn型半導体領域(ソース、ドレイン領域)8の表面を露出させた後、このドライエッチングでダメージを受けたn型半導体領域(ソース、ドレイン領域)8の表面を薄くドライエッチングする。

20

【0043】

次に、図28および図29に示すように、例えばPをドープした膜厚100nm程度のn型多結晶シリコン膜14ÅをCVD法で堆積することにより、コンタクトホール12、13の内部にn型多結晶シリコン膜14Åを埋め込む。なお、図示しない周辺回路領域にコンタクトホール12、13よりも径の大きいコンタクトホールがある場合は、コンタクトホール内部のn型多結晶シリコン膜14Åの膜厚が不足し、次の工程でn型多結晶シリコン膜14Åを研磨したときに周辺回路領域のコンタクトホールの底部の基板1が削れる虞れがあるので、n型多結晶シリコン膜14Åの上部に例えばCVD法で膜厚200nm程度の酸化シリコン膜をさらに堆積しておいてもよい。

30

【0044】

次に、図30および図31に示すように、n型多結晶シリコン膜14Å、多結晶シリコンからなる耐エッチングマスク24およびその下層の酸化シリコン膜21、22、23を化学機械研磨法で研磨することにより、コンタクトホール12、13の外部のn型多結晶シリコン膜14Åを除去し、コンタクトホール12、13の内部にn型多結晶シリコン膜14Åによって構成されるプラグ14を形成する。この化学機械研磨は、キャップ絶縁膜9の一部である窒化シリコン膜をストップにして行う。

【0045】

40

このように、本実施形態では、まずアクティブ領域Lの長辺方向に延在するスリット状(溝状)の開孔部27を有する耐エッチングマスク24を使って酸化シリコン膜21、22、23をドライエッチングすることにより、ゲート電極7のスペースにコンタクトホール(開孔部)12、13を形成する。次に、コンタクトホール12、13の壁面を構成するゲート電極7の側壁および酸化シリコン膜22、21の側壁に酸化シリコン膜11Åによって構成される側壁絶縁膜11を形成した後、コンタクトホール12、13の内部にプラグ14を形成する。

【0046】

また、本実施形態では、キャップ絶縁膜9の一部を窒化シリコン膜で構成する積層構造とすることにより、前記n型多結晶シリコン膜14Åに化学機械研磨を施す際に前記窒化シ

50

リコン膜をストッパとして使用することができ、キャップ絶縁膜9の膜厚の制御が容易になる。

【0047】

さらに、本実施形態のキャップ絶縁膜9は、前記化学機械研磨の際にストッパとして使用される窒化シリコン膜の下層に酸化シリコン膜を設けた積層構造となっているので、前記ゲート電極7の加工の際にレジスト選択比や対タンゲステン選択比の観点からは好ましくない窒化シリコン膜の膜厚を抑えつつ、化学機械研磨終了時点でのキャップ絶縁膜9の膜厚を確保することができる。

【0048】

図32(a)は、上記したスリット状(溝状)の開孔部27を有する耐エッチングマスク24を使って形成したコンタクトホール12の概略平面図である。このコンタクトホール12の側壁には酸化シリコン膜によって構成される側壁絶縁膜11が形成されるので、この側壁絶縁膜11の内側の領域(グレイの着色を施した領域)がコンタクトホール12の底部に露出したn型半導体領域8とプラグ14とが接触する領域になる。

10

【0049】

一方、図32(b)は、コンタクトホール開孔領域に穴状の開孔部30を有する耐エッチングマスクを使って形成したコンタクトホール12の概略平面図である。この場合もコンタクトホール12の側壁に側壁絶縁膜11が形成されるので、この側壁絶縁膜11の内側の領域(グレイの着色を施した領域)がコンタクトホール12の底部に露出したn型半導体領域8とプラグ14とが接触する領域になる。ところが、このような穴状の開孔部30を有する耐エッチングマスクを使って形成したコンタクトホール12は、フォトマスクの合わせずれによって開孔部30の位置がアクティブ領域Lの長辺方向にずれた場合、図32(c)に示すように、n型半導体領域8とプラグ14とが接触する領域が小さくなる。これに対し、アクティブ領域Lの長辺方向に延在するスリット状(溝状)の開孔部27を有する耐エッチングマスクを使って形成したコンタクトホール12の場合は、フォトマスクの合わせずれによって開孔部27の位置がアクティブ領域Lの長辺方向にずれた場合でも、n型半導体領域8とプラグ14とが接触する領域が小さくなることはない。すなわち、スリット状(溝状)の開孔部27を有する耐エッチングマスクを使ってコンタクトホール12を形成する本実施形態によれば、コンタクトホール12に埋め込んだプラグ14とn型半導体領域8との接触面積を最大限に確保することができるので、プラグ14とn型半導体領域8との間の接触抵抗の増大を抑制することができる。

20

【0050】

耐エッチングマスクに形成された開孔部の形状によるプラグ14とn型半導体領域8とのコンタクト面積の差は、従来のセルフアライン・コンタクト(SAC)技術で行われているように、ゲート電極の側壁に側壁絶縁膜を形成した後、ゲート電極のスペースにコンタクトホールを形成する場合と、本実施形態のように、ゲート電極のスペースにコンタクトホールを形成した後、ゲート電極の側壁に側壁絶縁膜を形成する場合とで異なってくる。

30

【0051】

図33(a)は、ゲート電極の側壁に側壁絶縁膜を形成した後、ゲート電極のスペースにコンタクトホールを形成した場合における、スリット状(溝状)の開孔部27の幅および穴状の開孔部30の径と上記コンタクト面積との関係を示すグラフである。図示のように、この場合は、開孔部の形状による接触面積の差は小さい。一方、図33(b)は、ゲート電極のスペースにコンタクトホールを形成した後、ゲート電極の側壁に側壁絶縁膜を形成した場合における、スリット状(溝状)の開孔部27の幅および穴状の開孔部30の径と上記接触面積との関係を示すグラフである。図示のように、この場合は、開孔部の形状による接触面積の差が顕在化し、しかも加工寸法の微細化が進むほど接触面積の差が大きくなる。

40

【0052】

次に、図34～図36に示すように、基板1上にCVD法で膜厚300nm程度の酸化シリコン膜31を堆積した後、フォトレジスト膜(図示せず)をマスクにしてコンタクトホ

50

ール 1 2 の上部の酸化シリコン膜 3 1 をドライエッチングすることにより、後に形成されるビット線 B L とコンタクトホール 1 2 とを接続するためのスルーホール 3 2 を形成する。このとき、図示しない周辺回路領域にも、第 1 層目の配線と素子とを接続するためのコンタクトホールを形成する。なお、コンタクトホール 1 2 の上部の酸化シリコン膜 3 1 をドライエッチングする際にコンタクトホール 1 2 に埋め込んだプラグ 1 4 が削られるのを防ぐ対策として、酸化シリコン膜 3 1 の下層に膜厚 1 0 nm 程度の窒化シリコン膜（図示せず）を堆積し、この窒化シリコン膜をエッティングストップにして酸化シリコン膜 3 1 をドライエッチングした後、窒化シリコン膜をエッティングしてもよい。

【 0 0 5 3 】

次に、スルーホール 3 2 の内部にプラグ 3 3 を形成する。プラグ 3 3 を形成するには、例 10 えば C V D 法で酸化シリコン膜 3 1 の上部に TiN などからなるバリアメタル膜を堆積し、続いてバリアメタル膜の上部に C V D 法で W 膜を堆積することによってスルーホール 3 2 の内部にこれらの膜を埋め込んだ後、スルーホール 3 2 の外部のこれらの膜を化学機械研磨法で除去する。このとき、図示しない周辺回路領域のコンタクトホールの内部にもプラグ 3 3 を形成する。

【 0 0 5 4 】

次に、図 3 7 ~ 図 3 9 に示すように、酸化シリコン膜 3 1 の上部にビット線 B L を形成する。ビット線 B L を形成するには、例えば酸化シリコン膜 3 1 の上部にスパッタリング法で膜厚 1 0 nm 程度の TiN 膜（または WN 膜）および膜厚 5 0 nm 程度の W 膜を堆積した後、フォトレジスト膜をマスクにしてこれらの膜をドライエッチングする。ビット線 B 20 L は、スルーホール 3 2 の内部に埋め込まれたプラグ 3 3 およびコンタクトホール 1 2 の内部に埋め込まれたプラグ 1 4 を介してメモリセル選択用 M I S F E T Q t の n 型半導体領域（ソース、ドレイン領域）8 の一方と電気的に接続される。なお、ビット線 B L は、例えば特願平 1 1 - 1 1 5 8 7 1 号に記載されているようなダマシン (Damascene) 法によって形成することもできる。

【 0 0 5 5 】

このように、本実施形態の D R A M は、メモリセル選択用 M I S F E T Q t のゲート電極 7 の側壁に窒化シリコン膜によって構成される側壁絶縁膜 1 0 と酸化シリコン膜によって構成される側壁絶縁膜 1 1 とを形成し、これらの側壁絶縁膜 1 0 、 1 1 によって周囲を囲まれたゲート電極 7 のスペース（コンタクトホール 1 2 、 1 3 ）にプラグ 1 4 を埋め込む。これにより、酸化シリコン膜よりも比誘電率が大きい窒化シリコン膜だけで側壁絶縁膜を構成する従来のセルフアライン・コンタクト（S A C）技術に比べて側壁絶縁膜の実効的な比誘電率を小さくすることができるため、ビット線容量の主要な成分である対ワード線容量成分を小さくすることができる。

【 0 0 5 6 】

また、本実施形態の D R A M は、ゲート電極 7 の上部のキャップ絶縁膜 9 を酸化シリコン膜と窒化シリコン膜との積層膜で構成する。これにより、酸化シリコン膜よりも比誘電率が大きい窒化シリコン膜だけでキャップ絶縁膜を構成する従来のセルフアライン・コンタクト（S A C）技術に比べてキャップ絶縁膜の実効的な比誘電率を小さくすることができるため、対ワード線容量成分をさらに小さくすることができる。

【 0 0 5 7 】

次に、図 4 0 に示すように、ビット線 B L の上部に C V D 法で膜厚 3 0 0 nm 程度の酸化シリコン膜 3 4 を堆積した後、その表面を化学機械研磨法で平坦化する。次に、酸化シリコン膜 3 4 の上部に C V D 法で膜厚 5 0 nm 程度の窒化シリコン膜 3 5 を堆積した後、窒化シリコン膜 3 5 および酸化シリコン膜 3 5 、 3 1 をドライエッチングすることによって、前記プラグ 1 4 が埋め込まれたコンタクトホール 1 3 の上部にスルーホール 3 6 を形成する。

【 0 0 5 8 】

次に、スルーホール 3 6 の内部にプラグ 3 7 を形成し、さらにプラグ 3 7 の表面にバリアメタル膜 3 8 を形成する。プラグ 3 7 およびバリアメタル膜 3 8 を形成するには、例え 50

窒化シリコン膜35の上部にPをドープしたn型多結晶シリコン膜をCVD法で堆積することによってスルーホール36の内部にn型多結晶シリコン膜を埋め込んだ後、スルーホール36の外部のn型多結晶シリコン膜をドライエッティングで除去する。このとき、スルーホール36の内部のn型多結晶シリコン膜をオーバーエッティングし、プラグ37の表面を窒化シリコン膜35の表面よりも下方に後退させることによって、プラグ37の上部にバリアメタル膜38を埋め込むためのスペースを確保する。次に、窒化シリコン膜35の上部にスパッタリング法でTiN膜を堆積することにより、スルーホール36内のプラグ37の上部にTaN(窒化タンタル)膜を埋め込んだ後、スルーホール36の外部のTaN膜を化学機械研磨法で除去する。

【0059】

10

後の工程でスルーホール36の上部に形成する情報蓄積用容量素子Cの下部電極とプラグ37との間に介在する上記バリアメタル膜38は、情報蓄積容量素子Cの容量絶縁膜形成工程で行われる高温熱処理の際に、下部電極を構成するRu膜とプラグ37を構成する多結晶シリコン膜との界面で所望しない反応が生じるのを抑制するために形成する。

【0060】

前述したように、ゲート電極7の側壁に形成された2層の側壁絶縁膜10、11のうち、外側の側壁絶縁膜11は、ゲート電極7の側壁における高さがキャップ絶縁膜9の上面よりも低いため、ゲート長方向に沿ったコンタクトホール12、13の断面は、上部の径が底部の径よりも大きい(図24参照)。すなわち、コンタクトホール12、13の内部に埋め込まれたプラグ14の径は、コンタクトホール12、13の底部よりも上部の方が大きい。

20

【0061】

これにより、コンタクトホール13の上部にスルーホール36を形成した際、フォトマスクの合わせずれなどによってスルーホール36の中心がコンタクトホール13の中心からずれたとしても、コンタクトホール13の表面積が大きいために、両者の接触面積を十分に確保することができる。

【0062】

その後、スルーホール36の上部に下部電極41、容量絶縁膜42および上部電極43によって構成される情報蓄積用容量素子Cを形成し、スルーホール36の内部に埋め込まれたプラグ37およびコンタクトホール13の内部に埋め込まれたプラグ14を介して情報蓄積用容量素子Cの下部電極41とメモリセル選択用MISFETQ_tのn型半導体領域(ソース、ドレイン領域)8の他方とを電気的に接続することにより、前記図2に示すDRAMのメモリセルが完成する。

30

【0063】

情報蓄積用容量素子Cを形成するには、例えば図41に示すように、窒化シリコン膜35の上部にCVD法で膜厚1μm程度の厚い酸化シリコン膜39を堆積し、続いてフォトレジスト膜をマスクにして酸化シリコン膜39ドライエッティングすることにより、スルーホール36の上部に溝40を形成する。酸化シリコン膜39のエッティングは、窒化シリコン膜35をエッティングストップにして行い、下層の酸化シリコン膜34が削られないようにする。

40

【0064】

次に、フォトレジスト膜を除去した後、溝40の内部を含む酸化シリコン膜39の上部にCVD法で膜厚70nm~80nm程度のRu膜を堆積する。次に、溝40の内部のRu膜が除去されるのを防ぐために溝40の内部にフォトレジスト膜を埋め込んだ後、このフォトレジスト膜で覆われていない溝40の外部のRu膜をドライエッティングによって除去し、溝40の内部に埋め込んだフォトレジスト膜をアッシングで除去することにより、溝40の側壁および底面にRu膜によって構成される下部電極41を形成する。

【0065】

次に、下部電極41が形成された溝40の内部を含む酸化シリコン膜39上に容量絶縁膜42を形成する。容量絶縁膜42は、例えばCVD法で堆積した膜厚は20nm程度のB

50

S T 膜によって構成する。容量絶縁膜 4 2 は、B S T 膜の他、例えば BaTiO₃ (チタン酸バリウム)、PbTiO₃ (チタン酸鉛)、P Z T、P L T、P L Z Tなどのペロブスカイト型金属酸化物からなる高(強)誘電体膜によって構成することもできる。次に、容量絶縁膜 4 2 の上部に上部電極 4 3 を形成する。上部電極 4 3 は、例えば C V D 法またはスパッタリング法で堆積した膜厚 200 nm 程度の R u 膜によって構成する。ここまで 10 の工程により、R u 膜によって構成される下部電極 4 1、B S T 膜によって構成される容量絶縁膜 4 2 および R u 膜によって構成される上部電極 4 3 からなる情報蓄積用容量素子 C が完成する。その後、情報蓄積用容量素子 C の上部に層間絶縁膜を挟んで 2 層程度の A 1 配線を形成し、最上層の A 1 配線の上部にパッシベーション膜を形成するがそれらの図示は省略する。

【0066】

(実施の形態 2)

本実施形態のD R A M の製造方法を図 4 2 ~ 図 4 5 を用いて工程順に説明する。まず、図 4 2 に示すように、前記実施の形態 1 と同様の方法でメモリセル選択用M I S F E T Q t を形成し、続いてその上部に酸化シリコン膜 2 1 ~ 2 3 を形成した後、酸化シリコン膜 2 3 の上部に耐エッティングマスク 2 4 を形成する。ここまで 20 の工程は、前記実施の形態 1 の図 3 ~ 図 1 8 に示した工程と同じである。

【0067】

次に、図 4 3 に示すように、耐エッティングマスク 2 4 をマスクにして酸化シリコン膜 2 1 、2 2 、2 3 をドライエッティングすることにより、ゲート電極 7 のスペースにコンタクトホール(開孔部) 1 2 、1 3 を形成する。このとき、本実施形態では、n 型半導体領域(ソース、ドレイン領域) 8 の上部を覆っている窒化シリコン膜 1 0 A もエッティングし、コンタクトホール(開孔部) 1 2 、1 3 の底部に n 型半導体領域(ソース、ドレイン領域) 8 の表面を露出させる。前記実施の形態 1 と同様、ここまで 20 の工程により、ゲート電極 7 (ワード線 W L) の側壁に窒化シリコン膜 1 0 A によって構成される側壁絶縁膜 1 0 が形成される。

【0068】

次に、上記ドライエッティングでダメージを受けた n 型半導体領域(ソース、ドレイン領域) 8 の表面を薄くドライエッティングした後、図 4 4 に示すように、基板 1 上に C V D 法で膜厚 30 nm 程度の酸化シリコン膜 1 1 A を堆積し、続いて図 4 5 に示すように、酸化シリコン膜 1 1 A を異方的にエッティングすることにより、ゲート電極 7 (ワード線 W L) の側壁に膜厚 30 nm 程度の酸化シリコン膜 1 1 A によって構成される側壁絶縁膜 1 1 を形成する。その後の工程は、前記実施の形態 1 と同じである。 30

【0069】

このように、本実施形態の製造方法は、コンタクトホール 1 2 、1 3 の底部の窒化シリコン膜 1 0 A を除去した後、ゲート電極 7 (ワード線 W L) の側壁に側壁絶縁膜 1 1 を形成するので、側壁絶縁膜 1 1 の底部には窒化シリコン膜 1 0 A が残らない(図 4 5)。

【0070】

一方、ゲート電極 7 (ワード線 W L) の側壁に側壁絶縁膜 1 1 を形成した後にコンタクトホール 1 2 、1 3 の底部の窒化シリコン膜 1 0 A を除去する前記実施の形態 1 の製造方法では、側壁絶縁膜 1 1 の底部に窒化シリコン膜 1 0 A が残る(図 2 6)。このように、ゲート電極 7 (ワード線 W L) の側壁端部に窒化シリコン膜 1 0 A が残ると、この窒化シリコン膜 1 0 A とその下層のゲート絶縁膜 6 との界面が帯電し、メモリセルのリーク電流を変動させる要因となる。 40

【0071】

従って、ゲート電極 7 (ワード線 W L) の側壁端部に窒化シリコン膜 1 0 A を残さない本実施形態の製造方法によれば、上記した不具合を防止してメモリセルの特性変動を抑制することができる。

【0072】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、 50

本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0073】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0074】

本発明によれば、ビット線の容量を低減することができる。これにより、情報蓄積用容量素子に蓄積された電荷（情報）を読み出すときの信号電圧を大きくすることができるので、信号のノイズマージンが大きくなり、リフレッシュサイクルを延ばし、消費電力を低減することができる。10

【0075】

また、一本のビット線に接続するメモリセルの数を増やすことができるので、センスアンプの数を減らすことができ、その分、チップ面積を縮小することができるので、ウェハ当たりのチップ取得数を増やして製造歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるDRAMを形成した半導体チップの全体平面図である。

【図2】本発明の一実施の形態であるDRAMの構成を示す半導体基板の要部断面図である。20

【図3】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部平面図である。

【図4】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。30

【図8】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部平面図である。

【図12】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。40

【図13】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。50

【図18】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図19】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部平面図である。

【図20】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図22】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。 10

【図23】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図24】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図25】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図26】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。 20

【図27】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図28】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図29】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図30】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図31】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図32】(a)は、スリット状(溝状)の開孔部を有する耐エッチングマスクを使って形成したコンタクトホールの概略平面図、(b)および(c)は、穴状の開孔部を有する耐エッチングマスクを使って形成したコンタクトホールの概略平面図である。 30

【図33】(a)は、ゲート電極の側壁に側壁絶縁膜を形成した後、ゲート電極のスペースにコンタクトホールを形成した場合における、スリット状(溝状)の開孔部の幅および穴状の開孔部の径とコンタクト面積との関係を示すグラフであり、(b)は、ゲート電極のスペースにコンタクトホールを形成した後、ゲート電極の側壁に側壁絶縁膜を形成した場合における、スリット状(溝状)の開孔部の幅および穴状の開孔部の径とコンタクト面積との関係を示すグラフである。

【図34】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部平面図である。

【図35】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。 40

【図36】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図37】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部平面図である。

【図38】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図39】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図40】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面

50

図である。

【図41】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図42】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図43】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図44】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図45】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。 10

【符号の説明】

1 半導体基板

1 A 半導体チップ

2 p型ウエル

4 素子分離溝

5 酸化シリコン膜

6 ゲート絶縁膜

7 ゲート電極

7 A 導電体膜

8 n型半導体領域(ソース、ドレイン)

9 キャップ絶縁膜

9 A 絶縁膜

10 側壁絶縁膜

10 A 窒化シリコン膜

11 側壁絶縁膜

11 A 窒化シリコン膜

12、13 コンタクトホール(開孔部)

14 プラグ

14 A n型多結晶シリコン膜

20 フォトレジスト膜

21、22、23 酸化シリコン膜

24 A 多結晶シリコン膜

24 耐エッチングマスク

25 反射防止膜

26 フォトレジスト膜

27 開孔部

30 開孔部

31 酸化シリコン膜

32 スルーホール

33 プラグ

34 酸化シリコン膜

35 窒化シリコン膜

36 スルーホール

37 プラグ

38 バリアメタル膜

39 酸化シリコン膜

40 溝

41 下部電極

42 容量絶縁膜

10

20

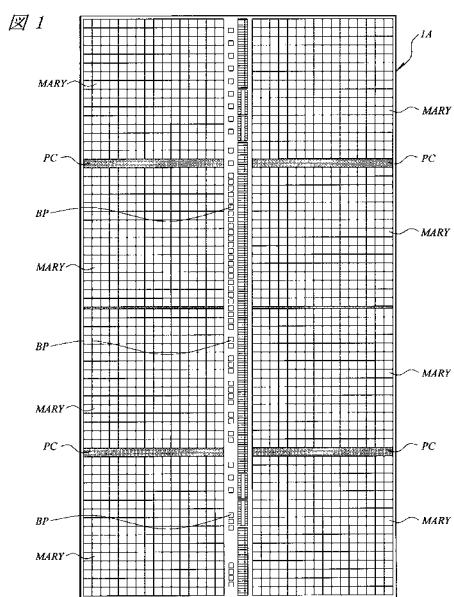
30

40

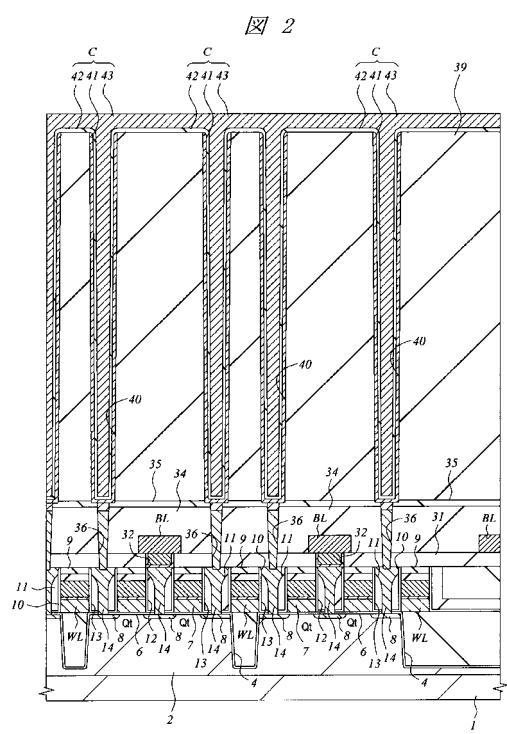
50

4 3 上部電極
 B L ビット線
 B P ボンディングパッド
 C 情報蓄積用容量素子
 L アクティブ領域
 M A R Y メモリアレイ
 P C 周辺回路部
 W L ワード線

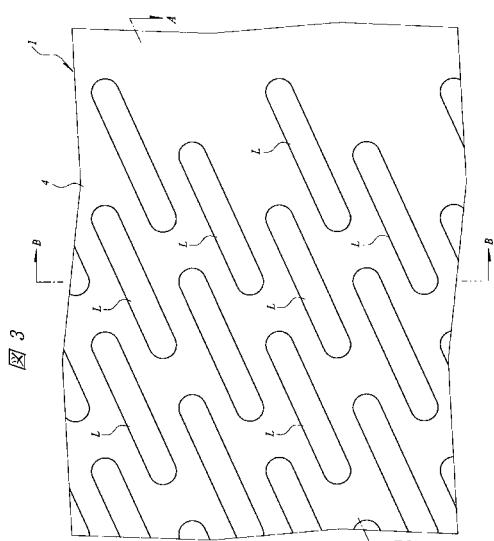
【図1】



【図2】

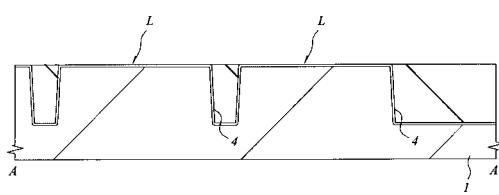


【図3】



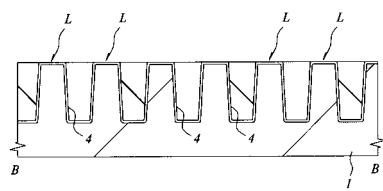
【図4】

図4



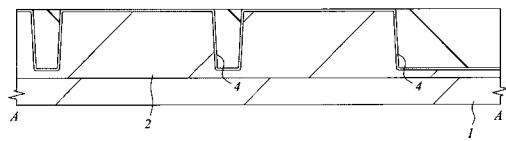
【図5】

図5



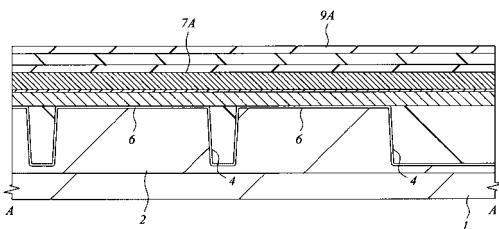
【図6】

図6



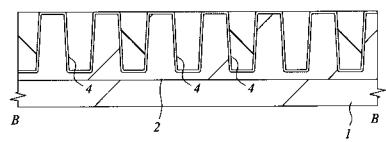
【図8】

図8



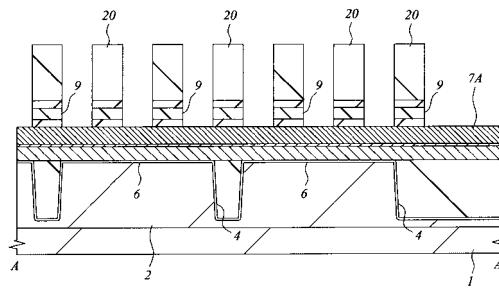
【図7】

図7



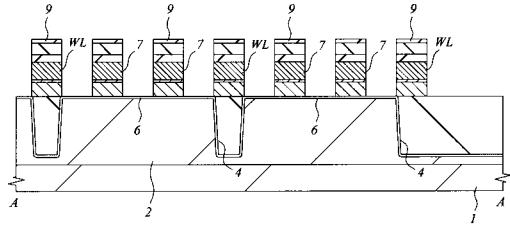
【図9】

図9

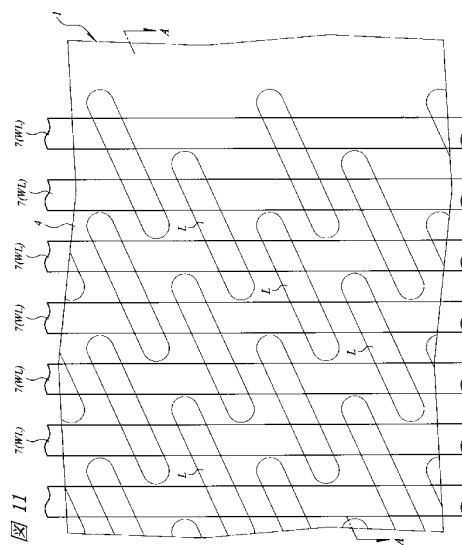


【図10】

図10

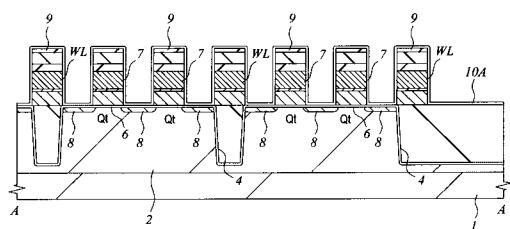


【図11】



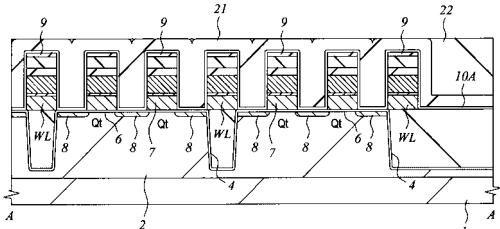
【図12】

図12



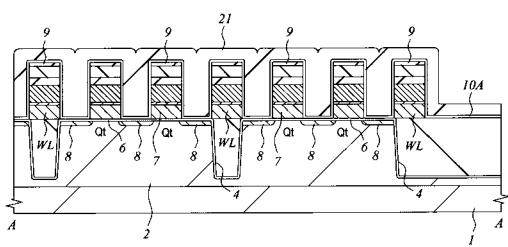
【図14】

図14



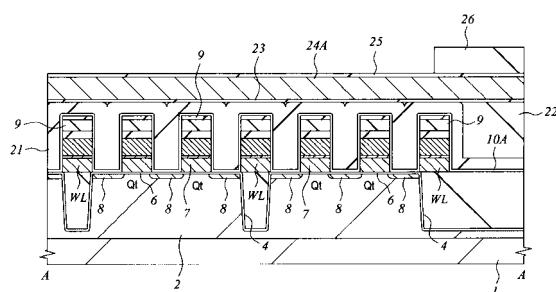
【図13】

図13



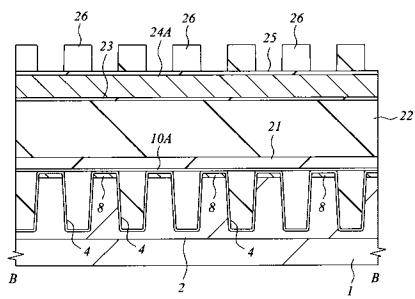
【図15】

図15



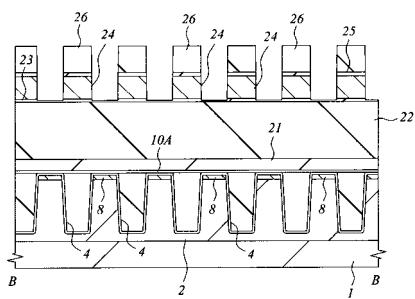
【図16】

図16



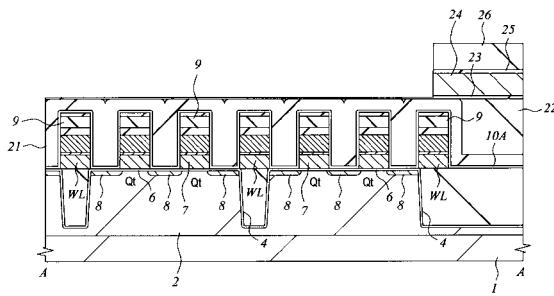
【図18】

図18

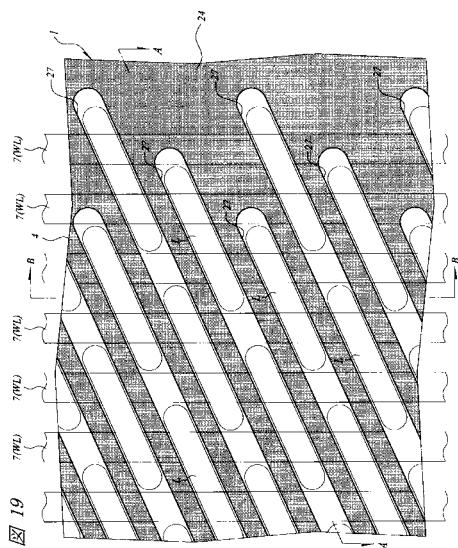


【図17】

図17

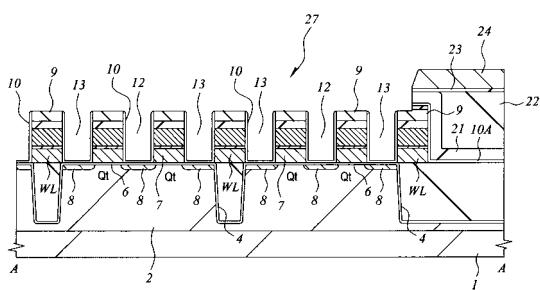


【図19】



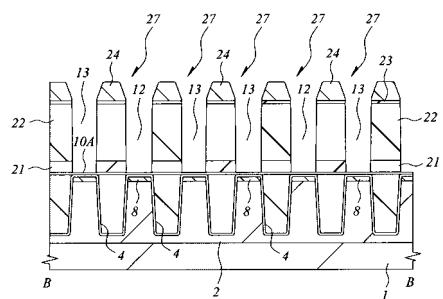
【図20】

図20

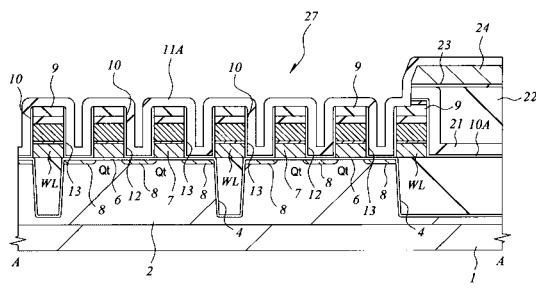


【図21】

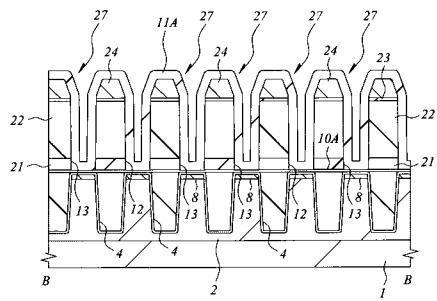
図21



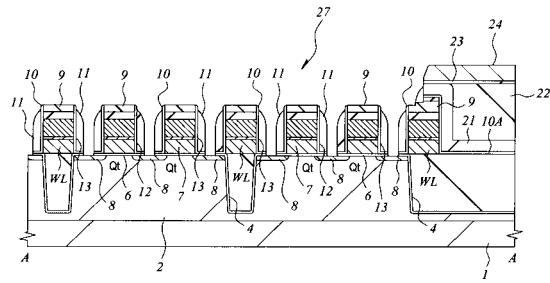
【 図 2 2 】



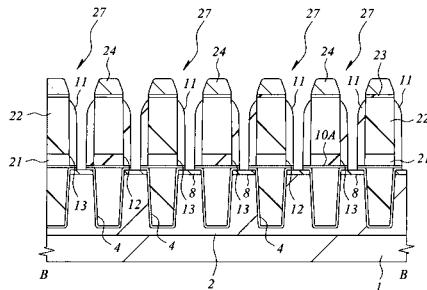
【 図 2 3 】



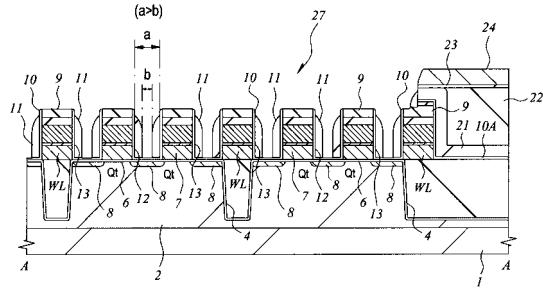
【図26】



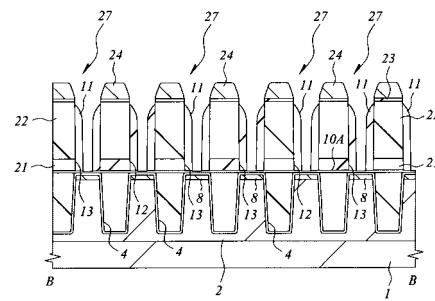
【 図 27 】



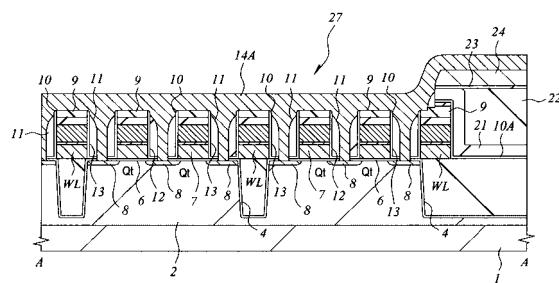
【 図 2 4 】



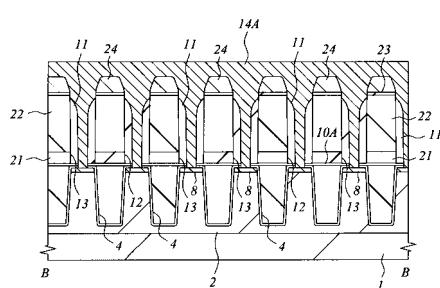
【 図 25 】



【 図 2 8 】

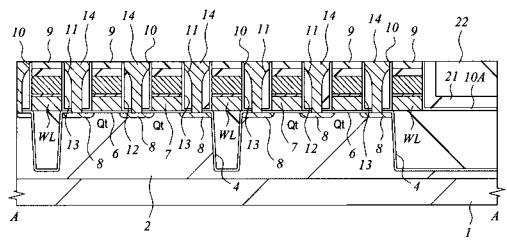


【 図 2 9 】



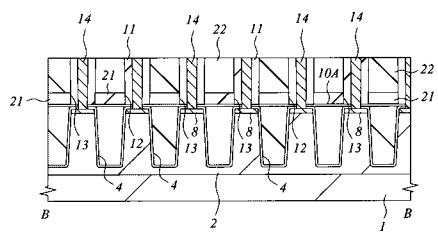
【図30】

図30



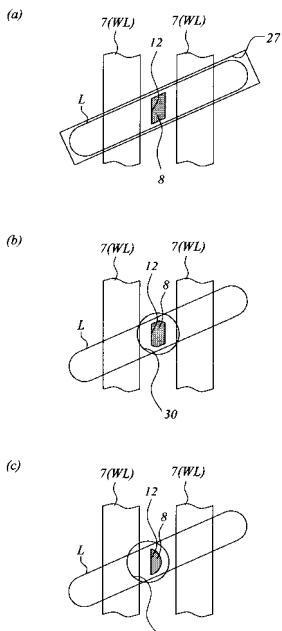
【図31】

図31



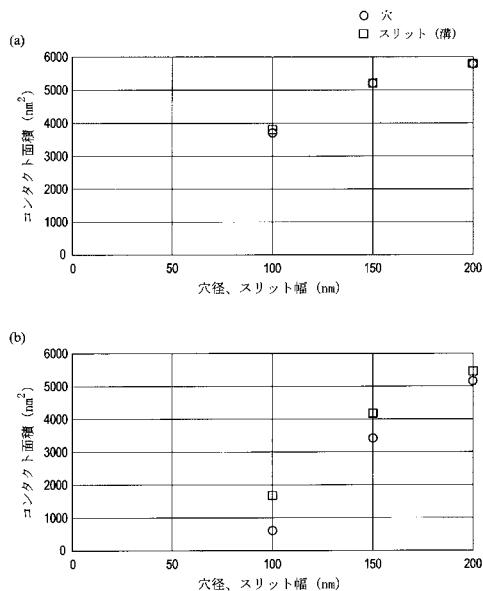
【図32】

図32

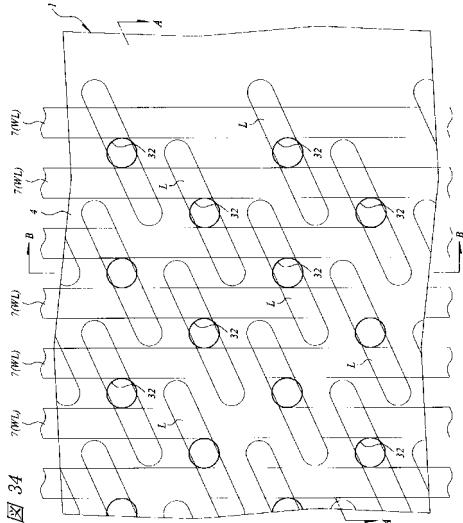


【図33】

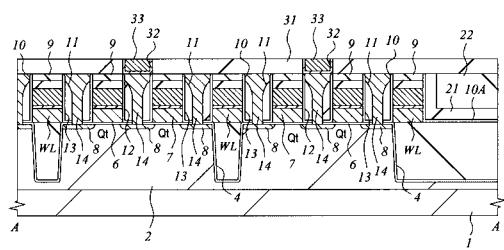
図33



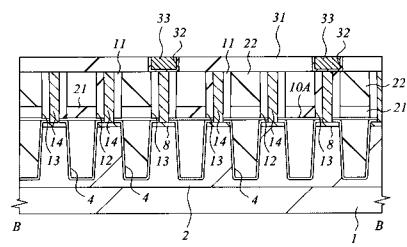
【図34】



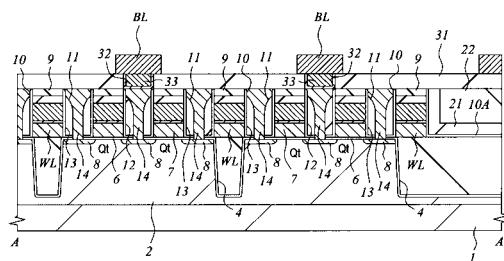
【 図 3 5 】



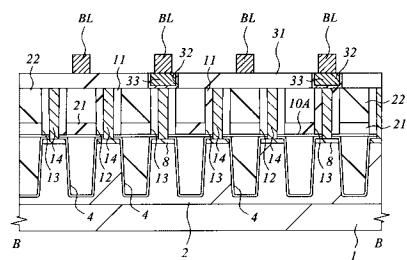
【図36】



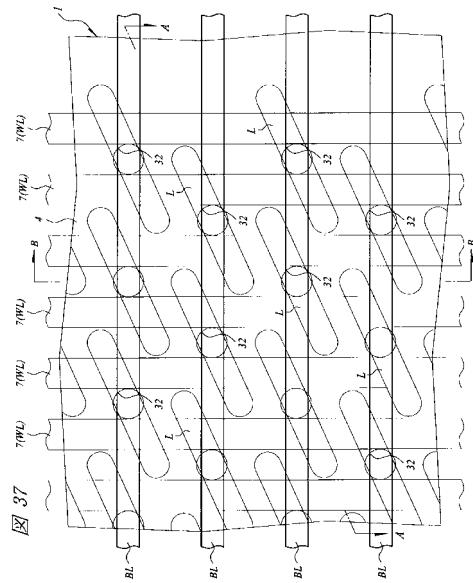
【 図 3 8 】



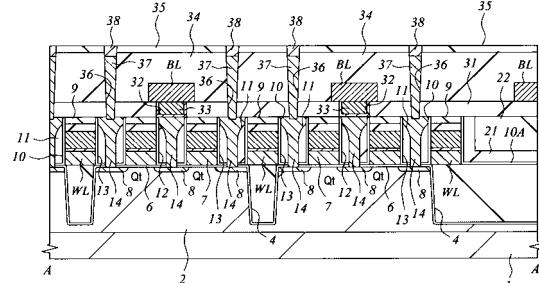
【図39】



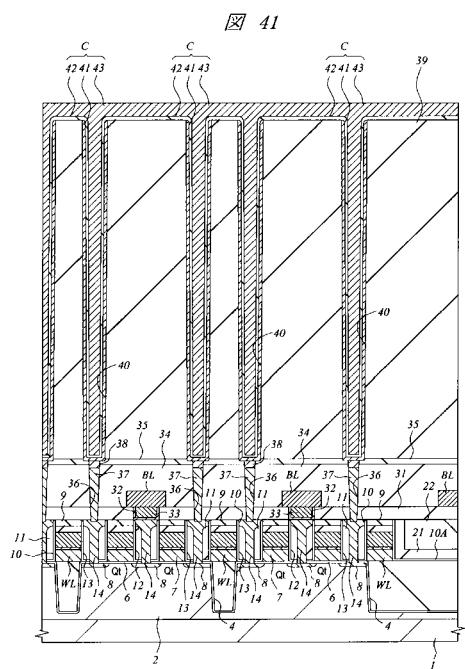
【図37】



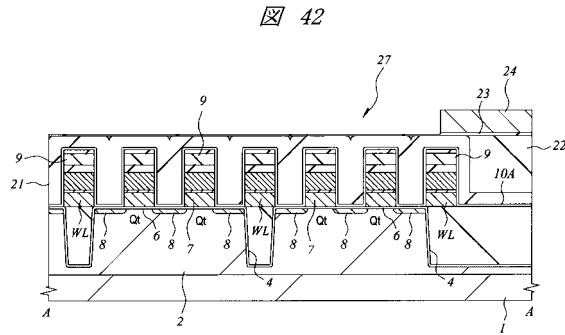
【図40】



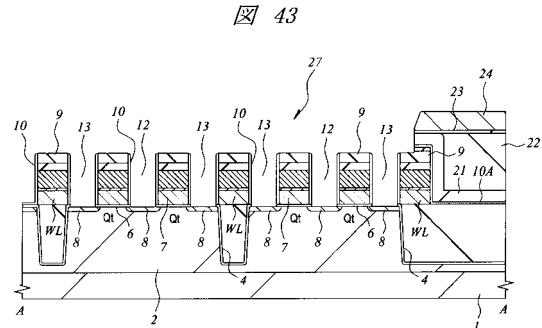
【 図 4 1 】



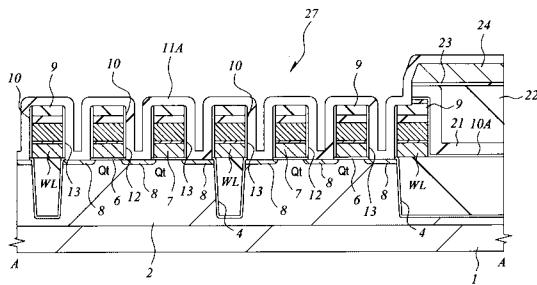
【 図 4 2 】



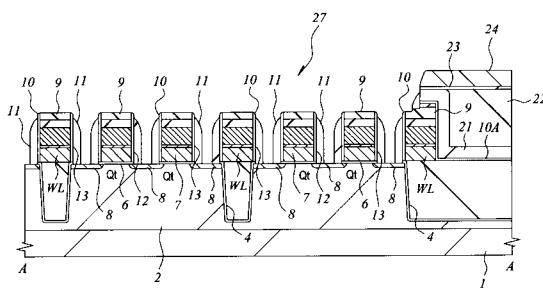
【 図 4 3 】



【図44】



【図45】



フロントページの続き

(51) Int.Cl.⁷ F I
H 01 L 29/78

(72) 発明者 榎本 裕之
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
(72) 発明者 関口 敏宏
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

審査官 正山 旭

(56) 参考文献 特開平09-219517 (JP, A)
特開平10-027906 (JP, A)
特開平11-354749 (JP, A)
特開平10-032245 (JP, A)

(58) 調査した分野(Int.Cl.⁷, DB名)
H01L 21/8234
H01L 21/768
H01L 21/8242
H01L 27/088
H01L 27/108
H01L 29/78