(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年2月10日(10.02.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/030207 A1

(51) 国際特許分類:
H04N 5/378 (2011.01) *H03M 1/12* (2006.01)
H03M 1/08 (2006.01) *H03M 1/56* (2006.01)

(21) 国際出願番号： PCT/JP2021/026526

(22) 国際出願日： 2021年7月14日(14.07.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-134114 2020年8月6日(06.08.2020) JP
特願 2021-079973 2021年5月10日(10.05.2021) JP

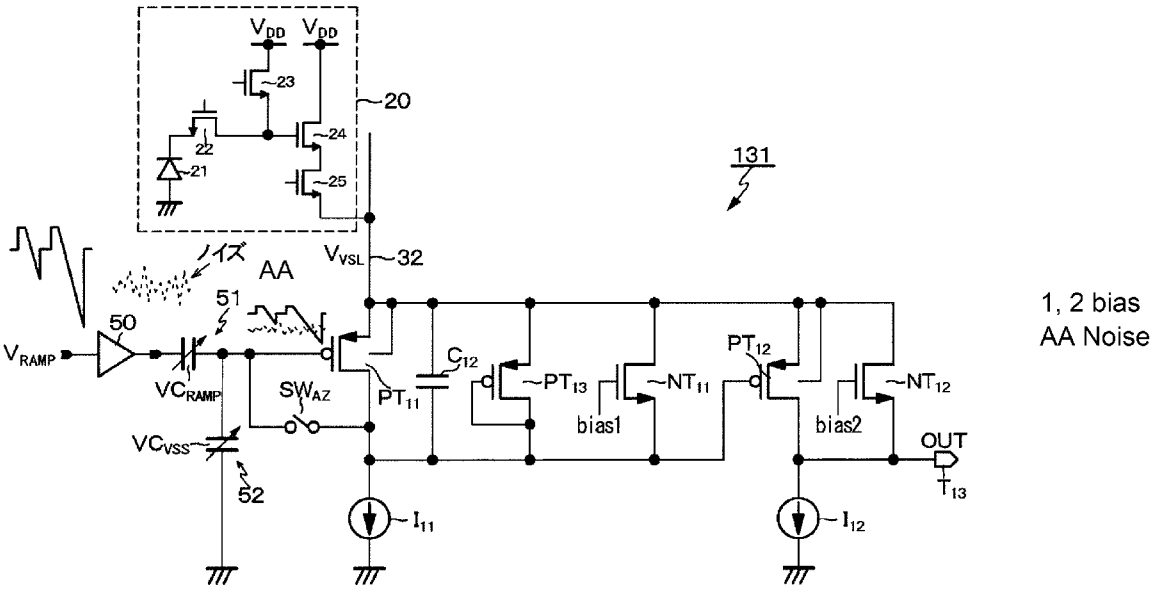
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 馬上 崇(**MOUE Takashi**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 古坂 拓朗(**KOSAKA Takuro**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 中村 行孝, 外(**NAKAMURA Yukitaka et al.**); 〒1000005 東京都千代田区丸の内１丁目６番６号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(54) **Title:** IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称： 撮像装置及び電子機器



(57) **Abstract:** Provided are: an imaging device that, when a comparison is made between an analog pixel signal and a predetermined reference signal, can suppress an error of a reverse timing of the comparison result; and an electronic apparatus including the imaging device. An imaging device according to the present disclosure comprises: a load current source; a comparator including an input transistor connected between the load current source and a signal line for transmitting a signal read out from a pixel; a first capacitor unit for inputting a predetermined reference signal to a gate electrode of the input transistor; and a second capacitor unit connected between a reference potential node and the gate electrode of the input transistor. An electronic apparatus according to the present disclosure comprises the imaging device

WO 2022/030207 A1

［続葉有］

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

configured as described above.

(57) 要約:アナログの画素信号と所定の参照信号とを比較する際に、その比較結果の反転タイミングの誤差を抑制できる撮像装置、及び、当該撮像装置を有する電子機器を提供する。本開示の撮像装置は、負荷電流源、画素から読み出された信号を伝送する信号線と負荷電流源との間に接続された入力トランジスタを有する比較器、入力トランジスタのゲート電極に所定の参照信号を入力する第1の容量部、及び、入力トランジスタのゲート電極と基準電位ノードとの間に接続された第2の容量部、を備える。また、本開示の電子機器は、上記の構成の撮像装置を有する。

明　細　書

発明の名称 ： 撮像装置及び電子機器

技術分野

[0001] 本開示は、撮像装置及び電子機器に関する。

背景技術

[0002] 撮像装置には、画素から読み出されるアナログの画素信号をデジタル化するアナログ－デジタル変換部が搭載されている。アナログ－デジタル変換部は、画素列に対応して配置された複数のアナログ－デジタル変換器から成る、所謂、列並列型のアナログ－デジタル変換部である。

[0003] 列並列型のアナログ－デジタル変換部を構成するアナログ－デジタル変換器としては、例えば、画素から読み出されるアナログの画素信号と所定の参照信号とを比較することによって、アナログの画素信号をデジタル化する、所謂、シングルスロープ型アナログ－デジタル変換器が知られている。

[0004] シングルスロープ型アナログ－デジタル変換器は、例えば、アナログの画素信号と所定の参照信号とを比較する比較器、及び、当該比較器の比較結果に基づいて計数を行うカウンタから構成される。シングルスロープ型アナログ－デジタル変換器を有する撮像装置として、例えば、ソース電極にアナログの画素信号が入力され、ゲート電極に所定の参照信号が入力されるＰチャネルＭＯＳ（Metal-Oxide-Semiconductor）トランジスタとインバータとを比較器内に配置した撮像装置が提案されている（例えば、特許文献１参照）。

先行技術文献

特許文献

[0005] 特許文献1：ＵＳ　２０１８／０１０３２２２　Ａ１

発明の概要

発明が解決しようとする課題

[0006] 特許文献１に記載の撮像装置では、アナログ－デジタル変換器の比較器が、その電流源として、画素（画素回路）の負荷電流源を共用する構成となっ

ており、この電流源の共用により、画素回路と別途に比較器にも電流源を設ける構成の場合と比較して、消費電力の削減を図っている。

[0007] しかしながら、特許文献１に記載の撮像装置におけるＰチャネルＭＯＳトランジスタに対する上記の接続構成では、アナログの画素信号と所定の参照信号とが一致する際に、ＰチャネルＭＯＳトランジスタのドレイン電圧は、画素信号のレベルに応じて変動してしまう。このため、比較器の比較結果が反転するタイミングが、画素信号と参照信号とが一致する理想的なタイミングからずれてしまうことがある。この反転タイミングの誤差に起因して、画素信号をアナログ－デジタル変換したデジタル信号に誤差や非線形性が生じ、画像データの画質が低下するという問題がある。

[0008] 本開示は、アナログの画素信号と所定の参照信号とを比較する際に、その比較結果の反転タイミングの誤差を抑制できる撮像装置、及び、当該撮像装置を有する電子機器を提供することを目的とする。

課題を解決するための手段

[0009] 上記の目的を達成するための本開示の撮像装置は、

負荷電流源、

画素から読み出された信号を伝送する信号線と負荷電流源との間に接続された入力トランジスタを有する比較器、

入力トランジスタのゲート電極に所定の参照信号を入力する第１の容量部、及び、

入力トランジスタのゲート電極と基準電位ノードとの間に接続された第２の容量部、

を備える。

[0010] また、上記の目的を達成するための本開示の電子機器は、上記の構成の撮像装置を有する。

図面の簡単な説明

[0011] [図1]図１は、本開示に係る技術が適用される撮像装置の一例であるＣＭＯＳイメージセンサのシステム構成の概略を模式的に示すブロック図である。

[図2]図２は、画素の回路構成の一例を示す回路図である。

[図3]図３Ａは、平置型のチップ構造を模式的に示す斜視図であり、図３Ｂは、積層型の半導体チップ構造を模式的に示す分解斜視図である。

[図4]図４は、アナログ－デジタル変換部の構成の一例を模式的に示すブロック図である。

[図5]図５は、参考例に係る比較器の回路構成例を示す回路図である。

[図6]図６は、参考例に係る比較器の回路動作例の説明に供するタイミングチャートである。

[図7]図７は、ＰチャネルＭＯＳトランジスタの特性の一例を示す特性図である。

[図8]図８は、参考例に係る比較器の場合のバッファのノイズについて説明するための回路図である。

[図9]図９は、本開示の実施形態に係る比較器の回路構成例を示す回路図である。

[図10]図１０は、実施例１に係る比較器の回路構成例を示す回路図である。

[図11]図１１Ａは、参照信号のランプ波の傾きと、画素信号とのクロスポイントとの関係を示す波形図であり、図１１Ｂは、アナログ－デジタル変換器のアナログゲインと参照信号のランプ波の振幅との関係を示す図である。

[図12]図１２は、実施例２に係る比較器の回路構成例を示す回路図である。

[図13]図１３は、減衰比の具体例１に係る回路構成例を示す回路図である。

[図14]図１４は、減衰比の具体例２に係る回路構成例を示す回路図である。

[図15]図１５は、減衰比の具体例３に係る回路構成例を示す回路図である。

[図16]図１６は、減衰比の具体例４に係る回路構成例を示す回路図である。

[図17]図１７Ａは、アナログゲインと第１の容量部及び第２の容量部の容量値との関係を示す図であり、図１７Ｂは、アナログゲインと参照信号のランプ波の振幅との関係を示す図である。

[図18]図１８は、実施例３に係る比較器の回路構成例を示す回路図である。

[図19]図１９は、実施例４に係る比較器の回路構成例を示す回路図である。

[図20]図２０は、実施例５に係る比較器の回路構成例を示す回路図である。

[図21]図２１は、実施例６に係る比較器の回路構成例を示す回路図である。

[図22]図２２は、実施例７に係る比較器の回路構成例を示す回路図である。

[図23]図２３は、実施例８に係るアナログ－デジタル変換器の回路構成例を示す回路図である。

[図24]図２４は、実施例８の動作例１についての動作説明図である。

[図25]図２５は、実施例８の動作例２についての動作説明図である。

[図26]図２６は、実施例８の動作例３についての動作説明図である。

[図27]図２７は、実施例８の動作例４についての動作説明図である。

[図28]図２８は、参照信号生成部の他の回路構成を示す回路図である。

[図29]図２９は、実施例９に係る電源ノイズ補正回路の回路構成の一例を示す回路図である。

[図30]図３０は、実施例９のゲイン制御例１についての動作説明図である。

[図31]図３１は、実施例９のゲイン制御例２についての動作説明図である。

[図32]図３２は、実施例９のゲイン制御例３についての動作説明図である。

[図33]図３３は、実施例９のゲイン制御例４についての動作説明図である。

[図34]図３４は、実施例１０に係るアナログ－デジタル変換器の回路構成例を示す回路図である。

[図35]図３５は、実施例１１に係るＣＭＯＳイメージセンサのシステム構成の概略を模式的に示すブロック図である。

[図36]図３６は、ＤＡＣ設定信号及びスイッチ設定信号を設定する処理手順の一例を示すフローチャートである。

[図37]図３７は、比較器の第１の変形例を示す回路図である。

[図38]図３８は、比較器の第２の変形例を示す回路図である。

[図39]図３９は、従来の構成例に対して容量C_{ADJ}を追加した構成例を示す回路図である。

[図40]図４０は、本開示に係る技術の適用例を示す図である。

[図41]図４１は、本開示の電子機器の一例である撮像システムの構成例の概

略を示すブロック図である。

[図42]図４２は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[図43]図４３は、移動体制御システムにおける撮像部の設置位置の例を示す図である。

発明を実施するための形態

[0012] 以下、本開示に係る技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示に係る技術は実施形態に限定されるものではない。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

１．本開示の撮像装置及び電子機器、全般に関する説明

２．本開示に係る技術が適用される撮像装置

２－１．ＣＭＯＳイメージセンサの構成例

２－２．画素の回路構成例

２－３．半導体チップ構造

２－３－１．平置型の半導体チップ構造

２－３－２．積層型の半導体チップ構造

２－４．アナログ－デジタル変換部の構成例

２－５．アナログ－デジタル変換器の比較器について

２－６．参考例に係る比較器

２－６－１．参考例に係る比較器の回路構成例

２－６－２．参考例に係る比較器の回路動作例

２－６－３．バッファのノイズについて

３．本開示の実施形態

３－１．実施例１（第１の容量部及び第２の容量部として可変容量素子を用いる例）

３－２．実施例２（第１の容量部及び第２の容量部が、複数の容量素子及

び複数のスイッチ素子の組合せから成る例）

３－２－１．容量減衰比の具体例１（容量減衰比４／４（減衰無し）の例）

３－２－２．容量減衰比の具体例２（容量減衰比３／４の例）

３－２－３．容量減衰比の具体例３（容量減衰比２／４の例）

３－２－４．容量減衰比の具体例４（容量減衰比１／４の例）

３－３．実施例３（実施例２の変形例：アナログゲインの制御を行う例）

３－４．実施例４（基準電位ノード側にスイッチ素子を持たない例）

３－５．実施例５（容量素子及びスイッチ素子が３個の例）

３－６．実施例６（実施例５の変形例：容量素子及びスイッチ素子の接続関係が異なる例）

３－７．実施例７（比較器の回路構成が異なる例）

３－８．実施例８（画素電源の電源ノイズを抑制する機能を持つＣＭＯＳイメージセンサに適用する例）

３－８－１．動作例１（容量減衰比４／４の場合の例）

３－８－２．動作例２（容量減衰比３／４の場合の例）

３－８－３．動作例３（容量減衰比２／４の場合の例）

３－８－４．動作例４（容量減衰比１／４の場合の例）

３－９．実施例９（電源ノイズ補正回路の回路構成例）

３－９－１．ゲイン制御例１（追加ゲインが１倍のときの制御例）

３－９－２．ゲイン制御例２（追加ゲインが４／３倍のときの制御例）

３－９－３．ゲイン制御例３（追加ゲインが２倍のときの制御例）

３－９－４．ゲイン制御例４（追加ゲインが４倍のときの制御例）

３－１０．実施例１０（実施例８の変形例：画素内で参照電圧を使用するＭＯＳイメージセンサに適用する例）

３－１１．実施例１１（ランプ波の傾き及び入力容量を切り替える際の、ＤＡＣ設定信号スイッチ設定信号を設定する例）

３－１２．実施例１２（ＤＡＣ設定信号及びスイッチ設定信号を設定する

処理手順）

４．変形例

５．応用例

６．本開示に係る技術の適用例

６－１．本開示の電子機器（撮像装置の例）

６－２．移動体への応用例

７．本開示がとることができる構成

[0013] ＜本開示の撮像装置及び電子機器、全般に関する説明＞

本開示の撮像装置及び電子機器にあっては、第１の容量部及び第２の容量部について、入力トランジスタのゲート電極に入力される所定の参照信号を、容量分圧によって減衰させる構成とすることができる。また、第１の容量部及び第２の容量部について、容量値が可変な可変容量素子から成る構成とすることができる。また、第１の容量部及び第２の容量部について、比較器を含むアナログ－デジタル変換器のアナログゲインに応じて容量値が可変な構成とすることができる。

[0014] 上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、第１の容量部及び第２の容量部について、各一端が入力トランジスタのゲート電極に接続された複数の容量素子、及び、複数の容量素子の各他端間に接続された複数のスイッチ素子を有する構成とすることができる。また、複数の容量素子のうち、基準電位ノード側の容量素子の他端と基準電位ノードとの間にもスイッチ素子が設けられている構成とすることができる。

[0015] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、所定の参照信号について、所定の傾斜を持って線形に変化する傾斜状波形の電圧である構成とすることができる。そして、比較器について、信号線の電圧と傾斜状波形の電圧とを比較する構成とすることができる。

[0016] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、傾斜状波形の電圧については、第１の容量部及び第２の容量部による容量分圧によって振幅が減衰する。このとき、傾斜状波形の電圧を生成する

参照信号生成部について、容量分圧によって減衰した後の振幅が所望の振幅になるように、傾斜状波形の電圧の振幅をあらかじめ大きく設定する構成とすることができる。

[0017] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、傾斜状波形の電圧の振幅を調整することによって、アナログ－デジタル変換器のアナログゲインを制御するアナログゲイン制御部を備える構成とすることができる。そして、アナログゲイン制御部について、傾斜状波形の電圧の振幅、及び、第１の容量部及び第２の容量部の容量値の制御を行う構成とすることができる。

[0018] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、負荷電流源について、入力側負荷電流源及び出力側負荷電流源から成り、入力トランジスタについて、信号線と入力側負荷電流源との間に接続されている構成とすることができる。そして、比較器について、信号線と出力側負荷電流源との間に接続され、入力トランジスタの出力をゲート入力とする出力トランジスタを有する構成とすることができる。

[0019] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、画素電源のノイズに応じた補正電圧を、参照信号生成部で生成された参照信号に重畳するノイズ補正回路を備える構成とすることができる。このとき、ノイズ補正回路について、第１の容量部及び第２の容量部の各容量値の切り替えに応じて、補正電圧を生成するためのゲインを切り替える構成とすることができる。

[0020] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、アナログ－デジタル変換器のアナログゲインを制御する際に、参照信号生成部で参照信号を生成するに当たっての参照信号設定信号、及び、複数のスイッチ素子を切り替えるに当たってのスイッチ設定信号を設定する制御部を備える構成とすることができる。更に、アナログ－デジタル変換器によるアナログ－デジタル変換後のデータに基づいて照度データを生成するロジック回路部を備える構成とすることができる。そして、制御部について、ロ

ジック回路部で生成される照度データに基づいて、参照信号設定信号及びスイッチ設定信号を設定する構成とすることができる。

[0021] ＜本開示に係る技術が適用される撮像装置＞

本開示に係る技術が適用される撮像装置として、Ｘ－Ｙアドレス方式の撮像装置の一種であるＣＭＯＳ（Complementary Metal Oxide Semiconductor）イメージセンサを例に挙げて説明する。ＣＭＯＳイメージセンサは、ＣＭＯＳプロセスを応用して、又は、部分的に使用して作製されたイメージセンサである。

[0022] ［ＣＭＯＳイメージセンサの構成例］

図１は、本開示に係る技術が適用される撮像装置の一例であるＣＭＯＳイメージセンサのシステム構成の概略を模式的に示すブロック図である。

[0023] 本適用例に係るＣＭＯＳイメージセンサ１は、画素アレイ部１１及び当該画素アレイ部１１の周辺回路部を有する構成となっている。画素アレイ部１１は、受光素子を含む画素（画素回路）２０が行方向及び列方向に、即ち、行列状に２次元配置された構成となっている。ここで、行方向とは、画素行の画素２０の配列方向を言い、列方向とは、画素列の画素２０の配列方向を言う。画素２０は、光電変換を行うことにより、受光した光量に応じた光電荷を生成し、蓄積する。

[0024] 画素アレイ部１１の周辺回路部は、例えば、行選択部１２、アナログ－デジタル変換部１３、信号処理部としてのロジック回路部１４、及び、タイミング制御部１５等によって構成されている。

[0025] 画素アレイ部１１において、行列状の画素配列に対し、画素行毎に画素制御線３１（３１_{1}～３１_{m}）が行方向に沿って配線されている。また、画素列毎に信号線３２（３２_{1}～３２_{n}）が列方向に沿って配線されている。画素制御線３１は、画素２０から信号を読み出す際の駆動を行うための駆動信号を伝送する。図１では、画素制御線３１について１本の配線として図示しているが、１本に限られるものではない。画素制御線３１の一端は、行選択部１２の各行に対応した出力端に接続されている。

[0026] 以下に、画素アレイ部１１の周辺回路部の各構成要素、即ち、行選択部１２、アナログ－デジタル変換部１３、ロジック回路部１４、及び、タイミング制御部１５について説明する。

[0027] 行選択部１２は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部１１の各画素２０の選択に際して、画素行の走査や画素行のアドレスを制御する。この行選択部１２は、その具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の２つの走査系を有する構成となっている。

[0028] 読出し走査系は、画素２０から画素信号を読み出すために、画素アレイ部１１の画素２０を行単位で順に選択走査する。画素２０から読み出される画素信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。

[0029] この掃出し走査系による掃出し走査により、読出し行の画素２０の光電変換素子から不要な電荷が掃き出されることによって当該光電変換素子がリセットされる。そして、この掃出し走査系による不要電荷の掃き出す（リセットする）ことにより、所謂、電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

[0030] アナログ－デジタル変換部１３は、画素アレイ部１１の画素列に対応して（例えば、画素列毎に）設けられた複数のアナログ－デジタル変換器（ＡＤＣ）の集合から成る。アナログ－デジタル変換部１３は、画素列毎に信号線３２$_1$～３２$_n$の各々を通して出力されるアナログの画素信号を、デジタル信号に変換する列並列型のアナログ－デジタル変換部である。

[0031] アナログ－デジタル変換部１３におけるアナログ－デジタル変換器としては、例えば、参照信号比較型のアナログ－デジタル変換器の一例であるシングルスロープ型アナログ－デジタル変換器を用いることができる。

[0032] 信号処理部であるロジック回路部１４は、アナログ－デジタル変換部１３

でデジタル化された画素信号の読み出しや所定の信号処理を行う。具体的には、ロジック回路部１４では、所定の信号処理として、例えば、縦線欠陥、点欠陥の補正、又は、信号のクランプ、更には、パラレル－シリアル変換、圧縮、符号化、加算、平均、及び、間欠動作などのデジタル信号処理が行われる。ロジック回路部１４は、生成した画像データを、本ＣＭＯＳイメージセンサ１の出力信号ＯＵＴとして後段の装置に出力する。

[0033] タイミング制御部１５は、外部から与えられる同期信号に基づいて、各種のタイミング信号、クロック信号、及び、制御信号等を生成する。そして、タイミング制御部１５は、これら生成した信号を基に、行選択部１２、アナログ－デジタル変換部１３、及び、ロジック回路部１４等の駆動制御を行う。

[0034] ［画素の回路構成例］

図２は、画素２０の回路構成の一例を示す回路図である。画素２０は、光電変換素子として、例えば、フォトダイオード２１を有している。画素２０は、フォトダイオード２１の他に、転送トランジスタ２２、リセットトランジスタ２３、増幅トランジスタ２４、及び、選択トランジスタ２５を有する構成となっている。

[0035] 転送トランジスタ２２、リセットトランジスタ２３、増幅トランジスタ２４、及び、選択トランジスタ２５の４つのトランジスタとしては、例えばＮチャネルのＭＯＳ型電界効果トランジスタを用いている。但し、ここで例示した４つのトランジスタ２２～２５の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

[0036] この画素２０に対して、先述した画素制御線３１（31_1～31_m）として、複数の画素制御線が同一画素行の各画素２０に対して共通に配線されている。これら複数の画素制御線は、行選択部１２の各画素行に対応した出力端に画素行単位で接続されている。行選択部１２は、複数の画素制御線に対して転送信号ＴＲＧ、リセット信号ＲＳＴ、及び、選択信号ＳＥＬを適宜出力する。

[0037] フォトダイオード２１は、アノード電極が低電位側電源(例えば、グランド)に接続されており、受光した光をその光量に応じた電荷量の光電荷（ここでは、光電子）に光電変換してその光電荷を蓄積する。フォトダイオード２１のカソード電極は、転送トランジスタ２２を介して増幅トランジスタ２４のゲート電極と電気的に接続されている。ここで、増幅トランジスタ２４のゲート電極が電気的に繋がった領域は、フローティングディフュージョン（浮遊拡散領域／不純物拡散領域）ＦＤである。フローティングディフュージョンＦＤは、電荷を電圧に変換する電荷電圧変換部である。

[0038] 転送トランジスタ２２のゲート電極には、高レベル（例えば、V_{DD}レベル）がアクティブとなる転送信号ＴＲＧが行選択部１２から与えられる。転送トランジスタ２２は、転送信号ＴＲＧに応答して導通状態となることで、フォトダイオード２１で光電変換され、当該フォトダイオード２１に蓄積された光電荷をフローティングディフュージョンＦＤに転送する。

[0039] リセットトランジスタ２３は、高電位側電源電圧V_{DD}のノードとフローティングディフュージョンＦＤとの間に接続されている。リセットトランジスタ２３のゲート電極には、高レベルがアクティブとなるリセット信号ＲＳＴが行選択部１２から与えられる。リセットトランジスタ２３は、リセット信号ＲＳＴに応答して導通状態となり、フローティングディフュージョンＦＤの電荷を電圧V_{DD}のノードに捨てることによってフローティングディフュージョンＦＤをリセットする。

[0040] 増幅トランジスタ２４は、ゲート電極がフローティングディフュージョンＦＤに、ドレイン電極が高電位側電源電圧V_{DD}のノードにそれぞれ接続されている。増幅トランジスタ２４は、フォトダイオード２１での光電変換によって得られる信号を読み出すソースフォロワの入力部となる。すなわち、増幅トランジスタ２４は、ソース電極が選択トランジスタ２５を介して信号線３２に接続される。

[0041] 選択トランジスタ２５は、ドレイン電極が増幅トランジスタ２４のソース電極に接続され、ソース電極が信号線３２に接続されている。選択トランジ

スタ２５のゲート電極には、高レベルがアクティブとなる選択信号ＳＥＬが行選択部１２から与えられる。選択トランジスタ２５は、選択信号ＳＥＬに応答して導通状態となることで、画素２０を選択状態として増幅トランジスタ２４から出力される信号を信号線３２に伝達する。

[0042] 尚、上記の回路例では、画素２０として、転送トランジスタ２２、リセットトランジスタ２３、増幅トランジスタ２４、及び、選択トランジスタ２５から成る、即ち、４つのトランジスタ（Ｔｒ）から成る４Ｔｒ構成を例に挙げたが、これに限られるものではない。例えば、選択トランジスタ２５を省略し、増幅トランジスタ２４に選択トランジスタ２５の機能を持たせる３Ｔｒ構成とすることもできるし、必要に応じて、トランジスタの数を増やした５Ｔｒ以上の構成とすることもできる。

[0043] ［半導体チップ構造］

上記の構成のＣＭＯＳイメージセンサ１の半導体チップ構造としては、平置型の半導体チップ構造及び積層型の半導体チップ構造を例示することができる。また、画素構造については、配線層が形成される側の基板面を表面（正面）とするとき、その反対側の裏面側から照射される光を取り込む裏面照射型の画素構造とすることもできるし、表面側から照射される光を取り込む表面照射型の画素構造とすることもできる。

[0044] 以下に、平置型の半導体チップ構造及び積層型の半導体チップ構造の概略について説明する。

[0045] （平置型の半導体チップ構造）

図３Ａは、ＣＭＯＳイメージセンサ１の平置型のチップ構造を模式的に示す斜視図である。図３Ａに示すように、平置型の半導体チップ構造は、画素２０が行列状に配置されて成る画素アレイ部１１と同じ半導体基板４１上に、画素アレイ部１１の周辺回路部の各構成要素を形成した構造となっている。具体的には、画素アレイ部１１と同じ半導体基板４１上に、行選択部１２、アナログ－デジタル変換部１３、ロジック回路部１４、及び、タイミング制御部１５等が形成されている。１層目の半導体チップ４１の例えば左右両

端部には、外部接続用や電源用のパッド４２が設けられている。

[0046] （積層型の半導体チップ構造）

図３Ｂは、ＣＭＯＳイメージセンサ１の積層型の半導体チップ構造を模式的に示す分解斜視図である。図３Ｂに示すように、積層型の半導体チップ構造、所謂、積層構は、１層目の半導体チップ４３及び２層目の半導体チップ４４の少なくとも２つの半導体チップが積層された構造となっている。

[0047] この積層型の半導体チップ構造において、１層目の半導体チップ４３は、光電変換素子（例えば、フォトダイオード２１）を含む画素２０が行列状に２次元配置されて成る画素アレイ部１１が形成された画素チップである。１層目の半導体チップ４３の例えば左右両端部には、外部接続用や電源用のパッド４２が設けられている。

[0048] ２層目の半導体チップ４４は、画素アレイ部１１の周辺回路部、即ち、行選択部１２、アナログ－デジタル変換部１３、ロジック回路部１４、及び、タイミング制御部１５等が形成された回路チップである。尚、行選択部１２、アナログ－デジタル変換部１３、ロジック回路部１４、及び、タイミング制御部１５の配置については、一例であって、この配置例に限られるものではない。

[0049] １層目の半導体チップ４３上の画素アレイ部１１と、２層目の半導体チップ４４上の周辺回路部とは、Ｃｕ－Ｃｕ接合を含む金属－金属接合、シリコン貫通電極（Through Silicon Via：ＴＳＶ）、マイクロバンプ等から成る接合部７２，７３を介して電気的に接続される。

[0050] 上述した積層型の半導体チップ構造によれば、１層目の半導体チップ４３には画素アレイ部１１の作製に適したプロセスを適用でき、２層目の半導体チップ４４には回路部分の作製に適したプロセスを適用できる。これにより、ＣＭＯＳイメージセンサ１の製造に当たって、プロセスの最適化を図ることができる。これにより、ＣＭＯＳイメージセンサ１の製造に当たって、プロセスの最適化を図ることができる。特に、回路部分の作製に当たっては、先端プロセスの適用が可能になる。

[0051] ［アナログ－デジタル変換部の構成例］

続いて、アナログ－デジタル変換部１３の構成の一例について説明する。ここでは、アナログ－デジタル変換部１３の各アナログ－デジタル変換器として、シングルスロープ型のアナログ－デジタル変換器を用いることとする。

[0052] アナログ－デジタル変換部１３の構成の一例を図４に示す。ＣＭＯＳイメージセンサ１において、アナログ－デジタル変換部１３は、画素アレイ部１１の各画素列に対応して設けられた複数のシングルスロープ型のアナログ－デジタル変換器の集合から成る。ここでは、ｎ列目のシングルスロープ型のアナログ－デジタル変換器１３０を例に挙げて説明する。

[0053] アナログ－デジタル変換器１３０は、比較器１３１及びカウンタ１３２を有する回路構成となっている。そして、シングルスロープ型のアナログ－デジタル変換器１３０では、参照信号生成部１６で生成される参照信号が用いられる。参照信号生成部１６は、例えば、デジタル－アナログ変換器（ＤＡＣ）から成り、時間の経過に応じてレベル（電圧）が単調減少する傾斜状波形（所謂、ランプ波）の参照信号V_{RAMP}を生成し、画素列毎に設けられた比較器１３１に基準信号として与える。

[0054] 比較器１３１は、画素２０から読み出されるアナログの画素信号V_{VSL}を比較入力とし、参照信号生成部１６で生成されるランプ波の参照信号V_{RAMP}を基準入力とし、両信号を比較する。そして、比較器１３１は、例えば、参照信号V_{RAMP}が画素信号V_{VSL}よりも大きいときに出力が第１の状態（例えば、高レベル）になり、参照信号V_{RAMP}が画素信号V_{VSL}以下のときに出力が第２の状態（例えば、低レベル）になる。これにより、比較器１３１は、画素信号V_{VSL}の信号レベルに応じた、具体的には、信号レベルの大きさに対応したパルス幅を持つパルス信号を比較結果として出力する。

[0055] カウンタ１３２には、比較器１３１に対する参照信号V_{RAMP}の供給開始タイミングと同じタイミングで、タイミング制御部１５からクロック信号ＣＬＫが与えられる。そして、カウンタ１３２は、クロック信号ＣＬＫに同期して

カウント動作を行うことによって、比較器１３１の出力パルスのパルス幅の期間、即ち、比較動作の開始から比較動作の終了までの期間を計測する。カウンタ１３２のカウント結果（カウント値）は、アナログの画素信号V_{VSL}をデジタル化したデジタル値として、ロジック回路部１４へ供給される。

[0056] 上述したシングルスロープ型のアナログ－デジタル変換器１３０の集合から成るアナログ－デジタル変換部１３によれば、参照信号生成部１６で生成されるランプ波の参照信号V_{RAMP}と、画素２０から信号線３２を通して読み出されるアナログの画素信号V_{VSL}との大小関係が変化するまでの時間情報からデジタル値を得ることができる。

[0057] 尚、上記の例では、アナログ－デジタル変換部１３として、画素アレイ部１１の画素列に対して１対１の対応関係でアナログ－デジタル変換器１３０が配置されて成る構成を例示したが、複数の画素列を単位としてアナログ－デジタル変換器１３０が配置されて成る構成とすることも可能である。

[0058] ［アナログ－デジタル変換器の比較器について］

上述したシングルスロープ型のアナログ－デジタル変換器１３０において、比較器１３１としては、一般的に、差動アンプ構成の比較器が用いられる。しかし、差動アンプ構成の比較器の場合、画素２０の信号量に応じた入力レンジを確保する必要があるため、電源電圧V_{DD}を相対的に高めに設定する必要があり、従って、アナログ－デジタル変換器１３０の消費電力、ひいては、ＣＭＯＳイメージセンサ１の消費電力が相対的に高くなるという問題がある。

[0059] これに対し、ソース電極にアナログの画素信号が入力され、ゲート電極に所定の参照信号が入力されるＰチャネルＭＯＳ（Metal-Oxide-Semiconductor）トランジスタを設け、比較器の電流源として、画素（画素回路）の負荷電流源を共用する構成の従来技術がある（例えば、特許文献１参照）。かかる従来技術によれば、画素回路と別途に比較器にも電流源を設ける構成の場合と比較して、消費電力を低減できる。

[0060] しかしながら、従来技術の上記の接続構成では、アナログの画素信号と所

定の参照信号とが一致する際に、ＰチャネルＭＯＳトランジスタのドレイン電圧は、画素信号のレベルに応じて変動してしまうため、比較器の比較結果が反転するタイミングが、画素信号と参照信号とが一致する理想的なタイミングからずれてしまうことがある。この反転タイミングの誤差に起因して、画素信号をアナログ－デジタル変換したデジタル信号に誤差や非線形性が生じ、画像データの画質が低下するという問題がある。

[0061] ［参考例に係る比較器］

上記の従来技術の問題点を解決するための比較器について、参考例に係る比較器として以下に説明する。

[0062] （参考例に係る比較器の回路構成例）

参考例に係る比較器の回路構成例を図５に示す。ここでは、図面の簡略化のために、１画素列分の回路構成について図示している。

[0063] 図５に示すように、参考例に係る比較器１３１は、容量素子C_{11}、オートゼロスイッチSW_{AZ}、入力トランジスタPT_{11}、入力側負荷電流源I_{11}、容量素子C_{12}、入力側クランプトランジスタPT_{13}、入力側クランプトランジスタNT_{11}、出力トランジスタPT_{12}、出力側負荷電流源I_{12}、及び、出力側クランプトランジスタNT_{12}を備える構成となっている。

[0064] 入力トランジスタPT_{11}は、ＰチャネルのＭＯＳトランジスタから成り、信号線３２と入力側負荷電流源I_{11}との間に接続されている。具体的には、入力トランジスタPT_{11}のソース電極が信号線３２に接続され、ドレイン電極が入力側負荷電流源I_{11}の一端に接続されている。これにより、入力トランジスタPT_{11}のソース電極には、信号線３２を通してアナログの画素信号V_{VSL}が入力される。入力トランジスタPT_{11}のバックゲートとソース電極とは、バックゲート効果を抑制するために短絡することが望ましい。

[0065] 入力側負荷電流源I_{11}の他端は、低電位側電源、例えばグランドＧＮＤに接続されている。入力側負荷電流源I_{11}は、入力トランジスタPT_{11}と信号線３２との直列接続回路に対して一定の電流を供給する。

[0066] 容量素子C_{11}は、ランプ波の参照信号V_{RAMP}の入力端子T_{11}と入力トランジス

タＰＴ$_{11}$のゲート電極との間に接続されており、参照信号Ｖ$_{RAMP}$に対する入力容量となり、オフセットを吸収する。これにより、入力トランジスタＰＴ$_{11}$には、アナログの画素信号Ｖ$_{VSL}$が信号線３２を通してソース電極に入力され、ランプ波の参照信号Ｖ$_{RAMP}$が容量素子Ｃ$_{11}$を介してゲート電極に入力されることになる。

[0067] 入力トランジスタＰＴ$_{11}$は、ゲート電極に入力されるランプ波の参照信号Ｖ$_{RAMP}$と、ソース電極に入力されるアナログの画素信号Ｖ$_{VSL}$との差、即ち、入力トランジスタＰＴ$_{11}$のゲート－ソース間電圧Ｖ$_{gs}$を増幅し、ドレイン電極からドレイン電圧Ｖ$_{d}$として出力する。

[0068] オートゼロスイッチＳＷ$_{AZ}$は、入力トランジスタＰＴ$_{11}$のゲート電極とドレイン電極との間に接続され、図１に示すタイミング制御部１５から入力端子Ｔ$_{12}$を介して入力される駆動信号ＡＺによってオン（閉）／オフ（開）の制御が行われる。オートゼロスイッチＳＷ$_{AZ}$は、オン状態になることにより、入力トランジスタＰＴ$_{11}$のゲート電極とドレイン電極との間を短絡するオートゼロ（初期化動作）を行う。オートゼロスイッチＳＷ$_{AZ}$については、Ｐチャネル又はＮチャネルのＭＯＳトランジスタを用いて構成することができる。

[0069] 容量素子Ｃ$_{12}$は、入力トランジスタＰＴ$_{11}$に対して並列に接続されている。具体的には、容量素子Ｃ$_{12}$の一端が入力トランジスタＰＴ$_{11}$のソース電極に接続され、容量素子Ｃ$_{12}$の他端が入力トランジスタＰＴ$_{11}$のドレイン電極に接続されている。容量素子Ｃ$_{12}$は、帯域制限容量である。

[0070] 入力側クランプトランジスタＰＴ$_{13}$は、例えば、ＰチャネルのＭＯＳトランジスタから成り、入力トランジスタＰＴ$_{11}$のソース電極とドレイン電極との間に接続されている。入力側クランプトランジスタＰＴ$_{13}$は、ゲート電極とソース電極とが共通に接続されたダイオード接続の構成となっており、入力トランジスタＰＴ$_{11}$が非導通状態のときの入力トランジスタＰＴ$_{11}$のドレイン電圧の低下を抑制する作用をなす。

[0071] 入力側クランプトランジスタＮＴ$_{11}$は、例えば、ＮチャネルのＭＯＳトランジスタから成り、ドレイン電極が入力トランジスタＰＴ$_{11}$のソース電極に接続

され、ソース電極が入力トランジスタPT_{11}のドレイン電極に接続されている。入力側クランプトランジスタNT_{11}のゲート電極には、所定のバイアス電圧ｂｉａｓ１が印加される。

[0072] 入力側クランプトランジスタNT_{11}は、ゲート電極に所定のバイアス電圧ｂｉａｓ１が印加される。これにより、信号線３２の電圧に関わりなく、入力トランジスタPT_{11}のドレイン電圧V_dの下限を制限し、ドレイン電流の供給停止を直接的に防止することができる。

[0073] 出力トランジスタPT_{12}は、例えば、ＰチャネルのＭＯＳトランジスタから成り、信号線３２と出力側負荷電流源I_{12}との間に接続されている。具体的には、出力トランジスタPT_{12}のソース電極が信号線３２に接続され、ドレイン電極が出力側負荷電流源I_{12}の一端に接続されている。これにより、出力トランジスタPT_{12}のソース電極には、信号線３２を通して画素信号V_{VSL}が入力される。出力トランジスタPT_{12}のバックゲートとソース電極とは、バックゲート効果を抑制するために短絡することが望ましい。

[0074] 出力側負荷電流源I_{12}の他端は、低電位側電源、例えばグランドＧＮＤに接続されている。出力側負荷電流源I_{12}は、出力トランジスタPT_{12}と信号線３２との直列接続回路に対して一定の電流を供給する。

[0075] 出力トランジスタPT_{12}のゲート電極は、入力トランジスタPT_{11}のドレイン電極に接続されている。これにより、出力トランジスタPT_{12}のゲート電極には、入力トランジスタPT_{11}のドレイン電圧が入力される。

[0076] 出力トランジスタPT_{12}は、信号線３２を通してソース電極に入力されるアナログの画素信号V_{VSL}と、ゲート電極に入力される入力トランジスタPT_{11}のドレイン電圧V_dとの電圧差が所定の閾値電圧を超えるか否かを示す信号ＯＵＴを、アナログの画素信号V_{VSL}とランプ波の参照信号V_{RAMP}との比較結果として、ドレイン電極から出力端子T_{13}を通して出力する。

[0077] 出力側クランプトランジスタNT_{12}は、例えば、ＮチャネルのＭＯＳトランジスタから成り、ドレイン電極が出力トランジスタPT_{12}のソース電極に接続され、ソース電極が出力トランジスタPT_{12}のドレイン電極に接続されている

。出力側クランプトランジスタＮＴ$_{12}$のゲート電極には、所定のバイアス電圧ｂｉａｓ２が印加される。ＮチャネルのＭＯＳトランジスタから成る出力側クランプトランジスタＮＴ$_{12}$は、出力トランジスタＰＴ$_{12}$のドレイン電圧の下限を制限することができる。

[0078] 上述したように、参考例に係る比較器１３１は、比較器１３１の電流源として、信号線３２に電流を供給する負荷電流源Ｉ$_{11}$及び負荷電流源Ｉ$_{12}$を共用した回路構成となっている。この回路構成の比較器１３１によれば、アナログ－デジタル変換器１３０の消費電力、ひいては、ＣＭＯＳイメージセンサ１の低消費電力化を図ることができる。すなわち、参考例に係る比較器１３１は、超低消費電力型の比較器である。

[0079] 更に、参考例に係る比較器１３１において、入力トランジスタＰＴ$_{11}$が、ドレイン－ソース間電圧を出力トランジスタＰＴ$_{12}$のゲート－ソース間に供給するため、アナログの画素信号Ｖ$_{VSL}$の変化とランプ波の参照信号Ｖ$_{RAMP}$の変化とが一致するタイミングで比較結果を反転させることができる。これにより、反転タイミングの誤差に起因する非線形性を低減し、画像データの画質を向上させることができる。

[0080] （比較器の回路動作例）

続いて、上記の基本形の回路構成を有する比較器１３１の回路動作の一例について説明する。図６は、参考例に係る比較器１３１の回路動作の一例の説明に供するタイミングチャートである。図６のタイミングチャートには、アナログの画素信号Ｖ$_{VSL}$、ランプ波の参照信号Ｖ$_{RAMP}$、入力トランジスＰＴ$_{11}$のドレイン電圧Ｖ$_{d}$、比較器１３１の比較結果ＣＯＭＰ、及び、オートゼロスイッチＳＷ$_{AZ}$の駆動信号ＡＺの各波形のタイミング関係を示している。

[0081] アナログ－デジタル変換（ＡＤ変換）の開始直前の時刻ｔ$_{1}$で、オートゼロスイッチＳＷ$_{AZ}$の駆動信号ＡＺが、所定のオートゼロ期間に亘ってアクティブ状態（高レベル状態）になる。これにより、オートゼロスイッチＳＷ$_{AZ}$が、駆動信号ＡＺに応答してオン（閉）状態となり、入力トランジスＰＴ$_{11}$のゲート電極とドレイン電極とを短絡し、比較器１３１の初期化動作、即ち、オート

ゼロ動作を行う。

[0082] オートゼロ動作後、時刻t_2で、参照信号生成部１６から参照信号V_{RAMP}の出力が開始される。参照信号V_{RAMP}は、時間の経過に応じてレベル（電圧）が単調減少するランプ波の信号である。

[0083] ところで、ＣＭＯＳイメージセンサ１では、一般的に、画素２０のリセット動作時のノイズを除去するために、相関二重サンプリング（Correlated Double Sampling：ＣＤＳ）によるノイズ除去処理が行わる。このため、画素２０からは、画素信号として、例えば、リセットレベル（Ｐ相）V_{VSL_P}及び信号レベル（Ｄ相）V_{VSL_D}が読み出される。

[0084] リセットレベルV_{VSL_P}は、画素２０のフローティングディフュージョンＦＤをリセットしたときの当該フローティングディフュージョンＦＤの電位に相当する。信号レベルV_{VSL_D}は、フォトダイオード２１での光電変換によって得られる電位、即ち、フォトダイオード２１に蓄積された電荷をフローティングディフュージョンＦＤへ転送したときの当該フローティングディフュージョンＦＤの電位に相当する。

[0085] 時刻t_3で、時間の経過に応じて電圧が徐々に減少する参照信号V_{RAMP}が、リセットレベルV_{VSL_P}と交差するものとする。ここで、時刻t_3での入力トランジスＰＴ$_{11}$のドレイン電圧V_dをV_{d_p}とし、ドレイン電圧V_{d_p}未満を低レベルとし、ドレイン電圧V_{d_p}以上を高レベルとすると、入力トランジスＰＴ$_{11}$のドレイン電圧V_dは、時刻t_3付近で低レベルから高レベルに反転する。

[0086] その後、参照信号V_{RAMP}の初期化が行われ、時刻t_4から、参照信号V_{RAMP}が徐々に低下を開始する。一方、画素２０では、フォトダイオード２１からフローティングディフュージョンＦＤへ電荷が転送され、画素信号として信号レベルV_{VSL_D}が出力される。この信号レベルV_{VSL_D}は、リセットレベルV_{VSL_P}よりもΔＶだけ低いレベルとする。

[0087] そして、時刻t_5で、時間の経過に応じて電圧が徐々に減少する参照信号V_{RAMP}が、信号レベルV_{VSL_D}と交差するものとする。ここで、時刻t_5での入力トランジスＰＴ$_{11}$のドレイン電圧V_dをV_{d_d}とする。このドレイン電圧V_{d_d}は、ドレ

イン電圧V_{d_p}よりもΔＶだけ低い値となる。すなわち、時刻t_5でのドレイン電圧V_{d_d}は、そのときの画素信号である信号レベルV_{VSL_D}が低いほど、低い値となる。

[0088] 入力トランジスＰＴ$_{11}$のドレイン電圧V_{d_d}が、リセットレベルV_{VSL_P}の変換時のドレイン電圧V_{d_p}よりもΔＶだけ降下している。従来技術では、このドレイン電圧V_dが反転したと判定されるのは、時刻t_5の後の時刻t_6となる。このため、仮に、このドレイン電圧V_{d_p}を、比較器１３１の比較結果ＣＯＭＰの生成のために用いると、比較結果ＣＯＭＰが反転するタイミング（時刻t_6付近）は、参照信号V_{RAMP}が信号レベルV_{VSL_D}と交差する理想的なタイミング（時刻t_5付近）からずれてしまう。この結果、アナログ－デジタル変換器１３０において、リニアリティ誤差やオフセットが生じ、この誤差に起因して画像データの画質が低下してしまうおそれがある。

[0089] これに対して、参考例に係る比較器１３１では、入力トランジスタＰＴ$_{11}$の後段に出力トランジスタＰＴ$_{12}$が設けられ、入力トランジスタＰＴ$_{11}$のソース電極及びドレイン電極が、出力トランジスタＰＴ$_{12}$のソース電極及びゲート電極に接続されている。この接続により、入力トランジスタＰＴ$_{11}$のドレイン－ソース間電圧V_{ds}が、出力トランジスタＰＴ$_{12}$にそのゲート－ソース間電圧として入力される。

[0090] 図６のタイミングチャートに例示したように、参照信号V_{RAMP}が画素信号V_{VSL}と交差する時刻t_3及び時刻t_5において、画素信号V_{VSL}の電圧降下量ΔＶは、入力トランジスＰＴ$_{11}$のドレイン電圧V_dの電圧降下量と同一である。このため、これらのタイミングにおいて、ドレイン－ソース間電圧V_{ds}は同一の値となる。このとき（即ち、時刻t_3及び時刻t_5）のドレイン－ソース間電圧V_{ds}の値は、オートゼロ時と同じになる。入力トランジスＰＴ$_{11}$のドレイン－ソース間電圧V_{ds}は、出力トランジスタＰＴ$_{12}$のゲート－ソース間電圧であるため、時刻t_3付近及び時刻t_5付近で、出力トランジスタＰＴ$_{12}$のドレイン電圧が反転する。

[0091] 比較器１３１の比較結果ＣＯＭＰの反転タイミングが、参照信号V_{RAMP}が信

号レベルV_{VSL_D}と交差する理想的なタイミングに応じているため、反転タイミングの誤差が抑制される。これにより、入力トランジスＰＴ$_{11}$のドレイン電圧V_{d_p}を比較結果ＣＯＭＰの生成のために用いる場合と比較して、リニアリティ誤差やオフセットを小さくして、画像データの画質を向上させることができる。

[0092] 続いて、時刻t_3及び時刻t_5で、入力トランジスＰＴ$_{11}$のドレイン電圧V_dの電圧降下量ΔＶが、入力トランジスＰＴ$_{11}$のソース電極に入力される画素信号V_{VSL}の電圧降下量と同一になる理由について説明する。

[0093] 図７は、参考例に係る比較器１３１における入力トランジスＰＴ$_{11}$として用いられるＰチャネルＭＯＳトランジスタの特性の一例を示す特性図である。図８の特性図において、縦軸は、ドレイン電流であり、横軸は、ドレイン－ソース間電圧である。また、破線は、線形領域と飽和領域との境界を示している。

[0094] 一般的に、ＰチャネルＭＯＳトランジスタは、オートゼロ時に飽和領域で動作するように動作点が定められる。ＰチャネルＭＯＳトランジスタの飽和領域のドレイン電流I_dは、次式（１）によって表される。

$$I_d=(1/2)\cdot\mu C_{0X}(W/L)\cdot(V_{GS}-V_{th})^2(1+\lambda V_{ds})\cdots(1)$$

ここで、μは、電子の移動度であり、C_{0X}は、ＭＯＳキャパシタの単位面積当たりの容量であり、Ｗは、ゲート幅であり、Ｌは、ゲート長であり、V_{th}は、閾値電圧であり、λは、所定の係数である。

[0095] 入力トランジスＰＴ$_{11}$は、ＰチャネルＭＯＳトランジスタであるから、飽和領域において、式（１）が成立する。このとき入力トランジスＰＴ$_{11}$のドレイン電流I_dは、入力側負荷電流源I_{11}が供給する一定の値I_{d1}である。また、電子移動度μ、単位容量C_{0X}、ゲート幅Ｗ、ゲート長Ｌ、閾値電圧V_{th}、及び、係数λは、一定の値である。

[0096] また、入力トランジスタＰＴ$_{11}$のゲート電極に入力される参照信号V_{RAMP}が、ソース電極に入力される画素信号V_{VSL}と交差すると言うとき、ゲート－ソース

間電圧V_{gs}は、オートゼロ時に定まる一定の値である。

[0097] 従って、入力トランジスタPT_{11}のゲート電極に入力される参照信号V_{RAMP}が、ソース電極に入力される画素信号V_{VSL}と交差するときは、式（１）より、ドレイン－ソース間電圧V_{ds}も一定の値となる。その一定のドレイン－ソース間電圧をV_{ds1}とすると、時刻t_3及び時刻t_5において次式（２），（３）が成立する。

$$V_{ds1}=V_{VSL_P}-V_{d_p} \quad \cdots (2)$$

$$V_{ds1}=V_{VSL_D}-V_{d_d} \quad \cdots (3)$$

[0098] 式（２）及び式（３）からドレイン－ソース間電圧V_{ds1}を消去すると、次の式（４）が得られる。

$$V_{VSL_P}-V_{VSL_D}=V_{d_p}-V_{d_d} \quad \cdots (4)$$

尚、ＰチャネルＭＯＳトランジスタをオートゼロ時に線形領域となるように動作点を定めた場合、式（１）は違う形となるが、式（４）は同様に成り立つ。

[0099] 式（４）より、入力トランジスタPT_{11}のドレイン電圧V_dの電圧降下量ΔVは、そのソース電極に入力される画素信号V_{VSL}の電圧降下量と同一になる。従って、図６のタイミングチャートに例示したタイミング関係が得られる。

[0100] （バッファのノイズについて）

ところで、シングルスロープ型のアナログ－デジタル変換器において、各画素列の比較器に供給されるランプ波の参照信号V_{RAMP}の駆動力を上げ、出力インピーダンスを下げることを目的として、オフセットを吸収するための容量素子C_{11}の前にバッファが配される。このとき、バッファのノイズが比較器に悪影響を与えることから、例えば差動アンプ構成の従来型の比較器では、バッファの出力端を画素列間に接続し、バッファのノイズを平均化することで低減させていた。

[0101] ところが、上記の参考例に係る超低消費電力型の比較器１３１では、キックバックが大きいため、他の画素列への干渉、具体的には、ストリーキング（筋状のノイズ）を避けるために、図８に×印で示すように、バッファ５０

の出力端を画素列間で接続することができない。その結果、バッファ５０のノイズを画素列間で平均化することができないため、バッファ５０のノイズが減衰されずに残り、比較器１３１全体のノイズが悪化することになる。ここで、「キックバック」とは、電荷が注入される、又は、電荷が引かれることに伴って電位が変動する（揺れる）現象である。

[0102] 尚、ここでは、アナログ－デジタル変換部１３に悪影響を与えるノイズについて、容量素子C_{11}の前に配されるバッファ５０のノイズを例に挙げて、その問題点について説明したが、アナログ－デジタル変換部１３に悪影響を与えるノイズは、バッファ５０のノイズに限られるものではない。例えば、容量素子C_{11}の前にバッファ５０が配されない場合であっても、ランプ波の参照信号V_{RAMP}に乗る参照信号生成部１６のノイズに対しても、画像データの画質において問題とされることがある。

[0103] ＜本開示の実施形態＞

本開示の実施形態に係る比較器１３１は、負荷電流源（具体的には、入力側負荷電流源I_{11}）と信号線３２との間に接続された入力トランジスタPT_{11}を有する、超低消費電力型の比較器である。そして、本実施形態に係る比較器１３１は、図９に示すように、入力トランジスタPT_{11}のゲート電極に所定の参照信号、具体的には、ランプ波の参照信号V_{RAMP}を入力する第１の容量部５１、及び、入力トランジスタPT_{11}のゲート電極と基準電位ノード（例えば、グランド）との間に接続された第２の容量部５２を有する構成となっている。

[0104] 上記の構成の本実施形態に係る比較器１３１では、例えば、ランプ波の参照信号V_{RAMP}の駆動力を上げ、出力インピーダンスを下げることを目的として、入力トランジスタPT_{11}のゲート入力側にバッファ５０を配する場合がある。このような場合であっても、上記の構成の本実施形態に係る比較器１３１によれば、バッファ５０の出力端を画素列間で接続しなくても、第１の容量部５１と第２の容量部５２との容量分圧による容量減衰によって、入力トランジスタPT_{11}のゲート電極に入力するバッファ５０のノイズを低減できる。

このとき、バッファ５０のノイズのみならず、ランプ波の参照信号V_{RAMP}に乗る参照信号生成部１６のノイズについても低減できる。また、バッファ５０が配されていない場合であっても、第１の容量部５１と第２の容量部５２との容量分圧による容量減衰によって、ランプ波の参照信号V_{RAMP}に乗る参照信号生成部１６のノイズを低減できる。

[0105] 以下に、入力トランジスタPT_{11}のゲート電極にランプ波の参照信号V_{RAMP}を入力する第１の容量部５１、及び、入力トランジスタPT_{11}のゲート電極と基準電位ノードとの間に接続された第２の容量部５２を有する本実施形態に係る比較器１３１の具体的な実施例について説明する。

[0106] ［実施例１］

実施例１は、第１の容量部５１及び第２の容量部５２として、容量値が可変な可変容量素子を用いる例である。実施例１に係る比較器１３１の回路構成例を図１０に示す。

[0107] 図１０に示すように、実施例１に係る比較器１３１では、第１の容量部５１として、容量値が可変な可変容量素子VC_{RAMP}を用い、第２の容量部５２として、容量値が可変な可変容量素子VC_{VSS}を用いている。可変容量素子VC_{RAMP}は、バッファ５０の出力端と入力トランジスタPT_{11}のゲート電極との間に接続されており、バッファ５０を経由して入力されるランプ波の参照信号V_{RAMP}を入力トランジスタPT_{11}のゲート電極に印加する。可変容量素子VC_{VSS}は、入力トランジスタPT_{11}のゲート電極と基準電位ノード（例えば、グランド）との間に接続されている。

[0108] 上記の構成の実施例１に係る比較器１３１によれば、第１の容量部５１及び第２の容量部５２が可変容量素子VC_{RAMP}及び可変容量素子VC_{VSS}から成り、容量値が可変であることで、ノイズ低減に当たって、容量分圧による容量減衰の減衰比を任意に設定することができる。例えば、比較器１３１を含むアナログ－デジタル変換器１３０のアナログゲインに応じて、可変容量素子VC_{RAMP}及び可変容量素子VC_{VSS}による容量減衰の減衰比を設定することができる。

[0109] アナログ－デジタル変換器１３０のアナログゲインは、例えば、参照信号生成部１６（図４参照）で生成される参照信号V_{RAMP}のランプ波の傾きによって決まる。図１１Ａに示すように、参照信号V_{RAMP}のランプ波の傾きが緩やかな場合、画素信号V_{VSL}とのクロスポイントまでの時間が長く、カウンタ１３２（図４参照）のカウント数が多くなる。これは、アナログ－デジタル変換器１３０のアナログゲインを高めていることに相当する。よって、図１１Ｂに示すように、参照信号V_{RAMP}のランプ波の振幅と、アナログ－デジタル変換器１３０のアナログゲインとは反比例の関係にある。参照信号V_{RAMP}のランプ波の傾きは、参照信号生成部１６において、例えば、後述するＤＡＣ設定信号（図３５参照）に基づいて設定することができる。

[0110] 尚、実施例１に係る比較器１３１によれば、第１の容量部５１及び第２の容量部５２による容量分圧によって、バッファ５０のノイズ等を低減することができる訳であるが、このとき同時、参照信号V_{RAMP}のランプ波（傾斜状波形の電圧）の振幅も減衰することになる。そこで、参照信号生成部１６において、容量分圧によって減衰した後の振幅が所望の振幅になるように、参照信号V_{RAMP}のランプ波の振幅をあらかじめ大きく設定することが必要となる。

[0111] ［実施例２］

実施例２は、第１の容量部５１及び第２の容量部５２が、複数の容量素子及び複数のスイッチ素子の組合せから成る例である。実施例２に係る比較器１３１の回路構成例を図１２に示す。

[0112] 図１２に示すように、実施例２に係る比較器１３１は、第１の容量部５１及び第２の容量部５２が、複数の容量素子及び複数のスイッチ素子の組合せ、例えば、４個の容量素子C_1～C_4、及び、４個のスイッチ素子SW_1～SW_4の組合せから成る構成となっている。４個の容量素子C_1～C_4は、各一端が入力トランジスタPT_{11}のゲート電極に接続されている。４個のスイッチ素子SW_1～SW_4のうち、３個のスイッチ素子SW_1～SW_3は、４個の容量素子C_1～C_4の各他端間に接続されている。

[0113] 具体的には、スイッチ素子SW_1は、容量素子C_1の他端と容量素子C_2の他端

との間に接続されている。スイッチ素子SW_2は、容量素子C_2の他端と容量素子C_3の他端との間に接続されている。スイッチ素子SW_3は、容量素子C_3の他端と容量素子C_4の他端との間に接続されている。また、スイッチ素子SW_4は、４個の容量素子C_1～C_4のうち、基準電位ノード側の容量素子C_4の他端と基準電位ノード（例えば、グランド）との間に接続されている。

[0114] 上記の構成の実施例２に係る比較器１３１では、４個のスイッチ素子SW_1～SW_4のうち、１個だけをオフ（開）状態とし、残りの３個をオン（閉）状態とすることによって、第１の容量部５１及び第２の容量部５２の容量値を変化させることができる。尚、図１２に示す回路構成は、一例であって、この回路構成に限られるものではない。すなわち、複数の容量素子の数、及び、複数のスイッチ素子の数は４つに限られるものではない。

[0115] 以下に、４個のスイッチ素子SW_1～SW_4のうち、１個だけをオフ状態とし、残りの３個をオン状態として設定される容量減衰比の具体例について説明する。

[0116] （具体例１）

具体例１は、容量減衰比４／４（減衰無し）の場合の例である。容量減衰比の具体例１に係る回路構成例を図１３に示す。

[0117] 図１３に示すように、具体例１では、４個のスイッチ素子SW_1～SW_4のうち、容量素子C_4の他端と基準電位ノードとの間に接続されているスイッチ素子SW_4だけをオフ状態とし、残りの３個のスイッチ素子SW_1～SW_3をオン状態とする。

[0118] この具体例１の場合、４個の容量素子C_1～C_4が、バッファ５０の出力端と入力トランジスタPT_{11}のゲート電極との間に並列に接続されて第１の容量部５１を構成することになる。この場合、第２の容量部５２は存在しない。その結果、スイッチ素子SW_4だけがオフ、残りの３個のスイッチ素子SW_1～SW_3がオンの場合、第１の容量部５１及び第２の容量部５２による容量分圧が生じないため、容量減衰比４／４（減衰無し）となる。

[0119] （具体例２）

具体例２は、容量減衰比３／４の場合の例である。容量減衰比の具体例２に係る回路構成例を図１４に示す。

[0120] 図１４に示すように、具体例２では、４個のスイッチ素子SW_1～SW_4のうち、スイッチ素子SW_3だけをオフ状態とし、残りの３個のスイッチ素子SW_1，SW_2，SW_4をオン状態とする。

[0121] この具体例２の場合、３個の容量素子C_1～C_3が、バッファ５０の出力端と入力トランジスタPT_{11}のゲート電極との間に並列に接続されて第１の容量部５１を構成し、基準電位ノード側の容量素子C_4が第２の容量部５２を構成することになる。その結果、スイッチ素子SW_3だけがオフ、残りの３個のスイッチ素子SW_1，SW_2，SW_4がオンの場合、容量減衰比３／４となる。

[0122]（具体例３）

具体例３は、容量減衰比２／４の場合の例である。容量減衰比の具体例３に係る回路構成例を図１５に示す。

[0123] 図１５に示すように、具体例３では、４個のスイッチ素子SW_1～SW_4のうち、スイッチ素子SW_2だけをオフ状態とし、残りの３個のスイッチ素子SW_1，SW_3，SW_4をオン状態とする。

[0124] この具体例３の場合、２個の容量素子C_1，C_2が、バッファ５０の出力端と入力トランジスタPT_{11}のゲート電極との間に並列に接続されて第１の容量部５１を構成し、基準電位ノード側の２個の容量素子C_3，C_4が、入力トランジスタPT_{11}のゲート電極と基準電位ノードとの間に並列に接続されて第２の容量部５２を構成することになる。その結果、スイッチ素子SW_2だけがオフ、残りの３個のスイッチ素子SW_1，SW_3，SW_4がオンの場合、容量減衰比２／４となる。

[0125]（具体例４）

具体例４は、容量減衰比１／４の場合の例である。容量減衰比の具体例４に係る回路構成例を図１６に示す。

[0126] 図１６に示すように、具体例４では、４個のスイッチ素子SW_1～SW_4のうち、バッファ５０の出力端に接続されているスイッチ素子SW_1だけをオフ状

態とし、残りの３個のスイッチ素子SW_2～SW_4をオン状態とする。

[0127] この具体例４の場合、１個の容量素子C_1のみが、バッファ５０の出力端と入力トランジスタPT_{11}のゲート電極との間に接続されて第１の容量部５１を構成し、残りの３個の容量素子C_2～C_4が、入力トランジスタPT_{11}のゲート電極と基準電位ノードとの間に並列に接続されて第２の容量部５２を構成することになる。その結果、スイッチ素子SW_1だけがオフ、残りの３個のスイッチ素子C_2～C_4がオンの場合、容量減衰比１／４となる。

[0128] 上述したように、実施例２に係る比較器１３１では、容量素子C_1～C_4を切り替えることによって減衰量（容量減衰比）を設定し、バッファ５０のノイズや、ランプ波の参照信号V_{RAMP}に乗る参照信号生成部１６のノイズを低減することになる。

[0129] ［実施例３］

実施例３は、実施例２の変形例であり、アナログ－デジタル変換器１３０のアナログゲインの細かい制御を行う例である。実施例３に係る比較器１３１の回路構成例を図１８に示す。

[0130] 上述した実施例２に係る比較器１３１の場合、容量素子C_1～C_4の切り替えだけでは、減衰量を段階的にしか変えることができない。そこで、実施例３に係る比較器１３１では、参照信号生成部１６において、参照信号V_{RAMP}のランプ波の傾きを調整することによって、アナログ－デジタル変換器１３０のアナログゲインの連続的な制御を行うようにする。これにより、アナログゲインの細かい制御を行うことができる。

[0131] 具体的には、図１８に示すように、アナログゲイン制御部５３を設け、当該アナログゲイン制御部５３による制御の下に、アナログ－デジタル変換器１３０のアナログゲインの制御、及び、容量素子C_1～C_4の切り替えによる減衰量（容量減衰比）の制御を行う。参照信号V_{RAMP}のランプ波の振幅と、アナログ－デジタル変換器１３０のアナログゲインとは反比例の関係にあることから、アナログゲイン制御部５３は、ランプ波の参照信号V_{RAMP}の生成する参照信号生成部１６に対して、ランプ波の振幅を調整することによってアナロ

グゲインを制御する。

[0132] アナログゲイン制御部５３としては、例えば、後述する照度データに応じてアナログ－デジタル変換器１３０のアナログゲインを制御する制御部１７（図３５参照）を兼用することができる。アナログゲイン制御部５３は、図１７Ａ及び図１７Ｂに示すように、容量値が切り替わらない範囲では、アナログゲインの調整は、参照信号V_{RAMP}のランプ波の振幅調整で行う。そして、容量値が１段階切り替わると、減衰量が１段階切り替わるため、ランプ波の振幅を元に戻す、という具合に、ランプ波の振幅、並びに、第１容量部５１及び第２容量部５２の容量値の制御を行う。この制御により、容量値が切り替わるところで、参照信号V_{RAMP}のランプ波の振幅も不連続に切り替わることになる。

[0133] 尚、低アナログゲイン側は、もともと参照信号V_{RAMP}のランプ波の振幅が大きいため、容量減衰をあまりかけることができない。しかし、量子化ノイズも大きく、ノイズ要求が高アナログゲイン時ほど厳しくないために問題ない。低ノイズ化の要求の厳しい高アナログゲイン側で、容量減衰の効果を大きくかけることができる。

[0134] ［実施例４］

実施例４は、基準電位ノード側にスイッチ素子を持たない例である。実施例４に係る比較器１３１の回路構成例を図１９に示す。

[0135] 図１９に示すように、実施例４に係る比較器１３１は、第１の容量部５１及び第２の容量部５２が、４個の容量素子C_1～C_4、及び、３個のスイッチ素子SW_1～SW_3の組合せから成る構成となっている。４個の容量素子C_1～C_4は、各一端が入力トランジスタPT_{11}のゲート電極に接続されている。３個のスイッチ素子SW_1～SW_3は、４個の容量素子C_1～C_4の各他端間に接続されている。

[0136] 具体的には、スイッチ素子SW_1は、容量素子C_1の他端と容量素子C_2の他端との間に接続されている。スイッチ素子SW_2は、容量素子C_2の他端と容量素子C_3の他端との間に接続されている。スイッチ素子SW_3は、容量素子C_3の他

端と容量素子C_4の他端との間に接続されている。そして、容量素子C_4とスイッチ素子SW_3との共通接続ノードは、基準電位ノード（例えば、グランド）に接続されている。

[0137] 上記の構成の実施例４に係る比較器１３１は、基準電位ノード側にスイッチ素子を持たない回路構成例、即ち、実施例２に係る比較器１３１におけるスイッチ素子SW_4が省略された回路構成例となっている。実施例４の回路構成例の場合、実施例２におけるスイッチ素子SW_4がオフ（開）の状態、即ち、容量減衰比４／４（減衰無し）の状態を設定できないが、アナログの画素信号V_{VSL}のダイナミックレンジが比較的小さいときに、当該回路構成例でよく、スイッチ素子１個分の面積や制御ロジックを減らすことができる。

[0138] ［実施例５］

実施例５は、容量素子及びスイッチ素子が３個の例である。実施例５に係る比較器１３１の回路構成例を図２０に示す。

[0139] 図２０に示すように、実施例５に係る比較器１３１は、第１の容量部５１及び第２の容量部５２が、３個の容量素子C_1～C_3、及び、３個のスイッチ素子SW_1～SW_3の組合せから成る構成となっている。３個の容量素子C_1～C_3は、各一端が入力トランジスタPT_{11}のゲート電極に接続されている。３個のスイッチ素子SW_1～SW_3は、３個の容量素子C_1～C_3の各他端間に接続されている。

[0140] 具体的には、スイッチ素子SW_1は、容量素子C_1の他端と容量素子C_2の他端との間に接続されている。スイッチ素子SW_2は、容量素子C_2の他端と容量素子C_3の他端との間に接続されている。スイッチ素子SW_3は、容量素子C_3の他端と容量素子C_4の他端との間に接続されている。また、スイッチ素子SW_3は、３個の容量素子C_1～C_3のうち、基準電位ノード側の容量素子C_3の他端と基準電位ノード（例えば、グランド）との間に接続されている。

[0141] 上記の構成の実施例５に係る比較器１３１において、スイッチ素子SW_1，SW_2がオン（閉）、スイッチ素子SW_3がオフ（開）のとき、容量減衰比は３／３（減衰なし）となる。スイッチ素子SW_1，SW_3がオン、スイッチ素子S

W_2がオフのとき、容量減衰比は２／３となる。スイッチ素子SW_1がオフ、スイッチ素子SW_2，SW_3がオンのとき、容量減衰比は１／３となる。

[0142] ところで、参照信号V_{RAMP}に対する第１の容量部５１及び第２の容量部５２から成る入力容量を細かく分割すると、容量素子を切り替えるアナログゲインのポイントの前後でのノイズ段差が小さくなり、アナログゲインの変化に対するノイズの変化の仕方がよりスムーズになる。この観点からすると、容量素子が４個の実施例２に係る比較器１３１の方が、容量素子が３個の実施例５に係る比較器１３１よりも優れているということができる。

[0143] 一方で、入力容量の分割数を粗くすると、スイッチ素子の数が減って面積が小さくなり、単位容量が大きくなるため、ミスマッチによるゲインばらつきも小さくなる。因みに、画素列間でゲインばらつきがあると縦筋として見えてしまう。この観点からすると、容量素子が３個の実施例５に係る比較器１３１の方が、容量素子が４個の実施例２に係る比較器１３１よりも優れているということができる。

[0144] ［実施例６］

実施例６は、実施例５の変形例であり、容量素子及びスイッチ素子の接続関係が異なる例である。実施例６に係る比較器１３１の回路構成例を図２１に示す。

[0145] 図２１に示すように、実施例６に係る比較器１３１は、第１の容量部５１及び第２の容量部５２が、３個の容量素子C_1～C_3、及び、３個のスイッチ素子SW_1～SW_3の組合せから成る回路構成において、容量素子C_1～C_3及びスイッチ素子SW_1～SW_3の接続関係が実施例５の場合と異なっている。

[0146] 具体的には、３個の容量素子C_1～C_3は、バッファ５０の出力端と基準電位ノード（例えば、グランド）との間に直列に接続されている。スイッチ素子SW_1～SW_3は、各一端が容量素子C_1～C_3の各出力端に接続され、各他端が入力トランジスタPT_{11}のゲート電極に接続されている。

[0147] 上記の構成の実施例６に係る比較器１３１は、容量減衰比の切り替え動作が実施例５の場合と異なっている。具体的には、スイッチ素子SW_1がオン（

閉）、スイッチ素子SW_2，SW_3がオフ（開）のとき、容量減衰比は２／３となる。スイッチ素子SW_2がオン、スイッチ素子SW_1，SW_3がオフのとき、容量減衰比は１／３となる。

[0148] 上記の構成の実施例６に係る比較器１３１によれば、バッファ５０から見た負荷が一定になり、容量素子C_1～C_3を切り替えたときの応答の差が出力の誤差になりにくい利点がある。

[0149] ［実施例７］

実施例７は、比較器１３１の回路構成が、実施例１乃至実施例６の場合と異なる例である。実施例７に係る比較器１３１の回路構成例を図２２に示す。

[0150] 図２２に示すように、実施例７に係る比較器１３１は、入力側カスコード接続トランジスタPT_{14}及び出力側カスコード接続トランジスタPT_{15}を更に備える回路構成となっている。入力側カスコード接続トランジスタPT_{14}及び出力側カスコード接続トランジスタPT_{15}としては、例えば、ＰチャネルのＭＯＳトランジスタを用いることができる。

[0151] 入力側カスコード接続トランジスタPT_{14}は、入力トランジスタPT_{11}と入力側負荷電流源I_{11}との間に接続されている。入力側カスコード接続トランジスタPT_{14}のゲート電極には、所定のバイアス電圧ｂｉａｓ３が印加される。出力側カスコード接続トランジスタPT_{15}は、出力トランジスタPT_{12}と出力側負荷電流源I_{12}との間に接続されている。出力側カスコード接続トランジスタPT_{15}のゲート電極には、所定のバイアス電圧ｂｉａｓ４が印加される。

[0152] 上記の構成の実施例７に係る比較器１３１によれば、入力側カスコード接続トランジスタPT_{14}及び出力側カスコード接続トランジスタPT_{15}を更に備えることにより、キックバックの影響を小さくできるため、画素列間の干渉を低減することができる。

[0153] ［実施例８］

実施例８は、画素電源の電源ノイズを抑制する機能を持つＣＭＯＳイメージセンサに適用する例である。実施例８に係るアナログ－デジタル変換器１

３０の回路構成例を図２３に示す。

[0154] ＣＭＯＳイメージセンサにおいて、画素電源のノイズ（以下、単に「電源ノイズ」と記述する場合がある）が、画素２０内の寄生容量C_p等を介して、アナログ－デジタル変換器１３０の入力である信号線３２に乗ってしまうことがある。この信号線３２に乗った電源ノイズは、画像としては横筋状のノイズになって視認されることになる。

[0155] この電源ノイズを抑制するために、ＣＭＯＳイメージセンサには、例えば、ＰＳＲＲ補正回路と呼ばれる電源ノイズ補正回路６０が搭載されている。ここで、ＰＳＲＲ補正回路のＰＳＲＲ(Power Supply Rejection Ratio)は、電源ノイズをどの程度抑圧できるかを示す性能指標である。

[0156] 差動アンプ構成の従来型の比較器を用いるＣＭＯＳイメージセンサでは、電源ノイズ補正回路６０において、画素電源から電源ノイズを取り込んで、当該電源ノイズに応じて補正ゲイン調整や周波数特性調整をした上で補正電流に変換し、当該補正電流を参照信号生成部１６の出力抵抗（図２３の出力抵抗１６３に相当）に流し込んで電圧（補正電圧）に戻しつつランプ波の参照信号V_{RAMP}に重畳（上乗せ）するようにしていた。これによって、信号線３２に乗った電源ノイズを比較器の差動対で相殺させることができた。

[0157] 上記の差動アンプ構成の従来型の比較器の場合の電源ノイズ抑制機能をそのまま、実施例１乃至実施例７に係る比較器１３１を有するシングルスロープ型の超低消費電力型のアナログ－デジタル変換器１３０に適用すると、比較器１３１の入力容量の切り替えによる容量減衰の変化をカバーするためには、電源ノイズ補正回路６０における補正ゲイン調整レンジや、補正ゲイン調整ステップ数が大きくなりすぎる。

[0158] そこで、実施例８では、アナログ－デジタル変換器１３０のアナログゲイン制御において、参照信号V_{RAMP}のランプ波の傾き、及び、比較器１３１の入力容量の両方を切り替えるに当たって、入力容量の切り替えに連動して、電源ノイズ補正回路６０に持たせた追加ゲインを切り替えるようにする。電源ノイズ補正回路６０から出力される補正電流は、参照信号生成部１６に供給

される。

[0159] 本例では、参照信号生成部１６は、図２３に示すように、ランプ波生成用デジタル信号生成部１６１、可変電流源１６２、及び、出力抵抗１６３から成るカレントステアリング型のデジタル－アナログ変換回路（ＤＡＣ）構成となっている。そして、電源ノイズ補正回路６０から出力される補正電流は、出力抵抗１６３に流れ込むことで電圧に変換され、ランプ波の参照信号V_{RAMP}に上乗せされる。

[0160] 電源ノイズが画素２０や信号線３２を経て比較器１３１に到達するまでのＰＳＲＲゲインや周波数特性は、ＰＳＲＲ補正回路である電源ノイズ補正回路６０が元々持っている補正ゲインや周波数特性の調整機能によって合わせ込み補正される。補正ゲインや周波数特性の制御レジスタは、例えば、図４のロジック回路部１４に内蔵されており、後述するように最適値に調整される。

[0161] 比較器１３１の入力容量の切り替えによる容量減衰量の変化があると、そのままでは信号線３２に乗る電源ノイズについて、比較器１３１で相殺できなくなってしまうため、電源ノイズ補正回路６０において、アナログゲイン制御部５３による制御の下、比較器１３１の入力容量の切り替えに連動して、追加ゲイン切り替え回路７０によって容量減衰分を補う動作を行う。具体的には、追加ゲイン切り替え回路７０において、比較器１３１の入力容量の切り替えに連動して（即ち、第１の容量部５１及び第２の容量部５２の各容量値の切り替えに連動して）、電源ノイズ補正回路６０のゲイン、より具体的には、電源ノイズ補正回路６０が元々持っている補正ゲイン以外の追加ゲインを切り替えることによって容量減衰分を補う。

[0162] このように、比較器１３１の入力容量の切り替えに連動して、電源ノイズ補正回路６０に持たせた追加ゲインを切り替えることにより、容量減衰分を補うことができるため、比較器１３１の入力容量の切り替えの影響を吸収しつつ、信号線３２に乗る電源ノイズを抑制することができる。

[0163] 以下に、比較器１３１の入力容量の切り替え及びゲイン制御についての具

体的な動作例について説明する。

[0164]（動作例１）

動作例１は、容量減衰比４／４（減衰無し）の場合の動作例である。動作例１についての動作説明図を図２４に示す。

[0165] 容量減衰比４／４の場合は、実施例２の具体例１に相当し、４個のスイッチ素子SW_1～SW_4のうち、容量素子C_4の他端と基準電位ノードとの間に接続されているスイッチ素子SW_4だけがオフ状態となり、残りの３個のスイッチ素子SW_1～SW_3がオン状態となる。この場合は、減衰無しであるため、アナログゲイン制御部５３による制御の下に、電源ノイズ補正回路６０の追加ゲイン切り替え回路７０では、ゲイン１倍が設定される。

[0166]（動作例２）

動作例２は、容量減衰比３／４の場合の動作例である。動作例２についての動作説明図を図２５に示す。

[0167] 容量減衰比３／４の場合は、実施例２の具体例２に相当し、４個のスイッチ素子SW_1～SW_4のうち、スイッチ素子SW_3だけがオフ状態となり、残りの３個のスイッチ素子SW_1，SW_2，SW_4がオン状態となる。この場合は、アナログゲイン制御部５３による制御の下に、電源ノイズ補正回路６０の追加ゲイン切り替え回路７０では、容量減衰比３／４に対応して、ゲイン４／３倍が設定される。これにより、比較器１３１の入力容量の切り替えの影響を吸収しつつ、信号線３２に乗る電源ノイズを抑制することができる。

[0168]（動作例３）

動作例３は、容量減衰比２／４の場合の動作例である。動作例３についての動作説明図を図２６に示す。

[0169] 容量減衰比２／４の場合は、実施例２の具体例３に相当し、４個のスイッチ素子SW_1～SW_4のうち、スイッチ素子SW_2だけがオフ状態となり、残りの３個のスイッチ素子SW_1，SW_3，SW_4がオン状態となる。この場合は、アナログゲイン制御部５３による制御の下に、電源ノイズ補正回路６０の追加ゲイン切り替え回路７０では、容量減衰比２／４に対応して、ゲイン２倍が設

定される。これにより、比較器１３１の入力容量の切り替えの影響を吸収しつつ、信号線３２に乗る電源ノイズを抑制することができる。

[0170]（動作例４）

動作例４は、容量減衰比１／４の場合の動作例である。動作例４についての動作説明図を図２７に示す。

[0171] 容量減衰比１／４の場合は、実施例２の具体例４に相当し、４個のスイッチ素子SW_1～SW_4のうち、バッファ５０の出力端に接続されているスイッチ素子SW_1だけがオフ状態となり、残りの３個のスイッチ素子SW_2～SW_4がオン状態となる。この場合は、アナログゲイン制御部５３による制御の下に、電源ノイズ補正回路６０の追加ゲイン切り替え回路７０では、容量減衰比１／４に対応して、ゲイン４倍が設定される。これにより、比較器１３１の入力容量の切り替えの影響を吸収しつつ、信号線３２に乗る電源ノイズを抑制することができる。

[0172] 尚、参照信号生成部１６については、可変電流源１６２及び出力抵抗１６３から成るカレントステアリング型のデジタル－アナログ変換回路（ＤＡＣ）構成に限られるものではない。例えば、図２８に示すように、加算器８０を設け、電源ノイズ補正回路６０から出力される補正電流を、参照信号生成部１６で生成されたランプ波の参照信号V_{RAMP}に加算する回路構成とすることも可能である。

[0173]［実施例９］

実施例９は、電源ノイズ補正回路６０の回路構成例である。実施例９に係る電源ノイズ補正回路６０の回路構成の一例を図２９に示す。

[0174] 図２９に示すように、電源ノイズ補正回路６０は、コンダクタンス固定バイアス部６１、入力センス部６２、第１バイアス部６３、周波数特性調整部６４、補正ゲイン調整部６５、及び、第２バイアス部６６に加えて、追加ゲイン切り替え回路７０を有する構成となっている。

[0175] コンダクタンス固定バイアス部６１は、ゲート電極が共通に接続された２つのＰチャネルＭＯＳトランジスタPT_{71}，PT_{72}、ゲート電極が共通に接続

された２つのＮチャネルＭＯＳトランジスタＮＴ$_{71}$，ＮＴ$_{72}$、及び、抵抗素子Ｒ$_{71}$を有する構成となっている。ＰチャネルＭＯＳトランジスタＰＴ$_{72}$及びＮチャネルＭＯＳトランジスタＮＴ$_{71}$は共に、ゲート電極とドレイン電極とが短絡されたダイオード接続構成となっている。

[0176] ＰチャネルＭＯＳトランジスタＰＴ$_{71}$及びＮチャネルＭＯＳトランジスタＮＴ$_{71}$は、高電位側電源と低電位側電源（例えば、グランド）との間に直列に接続されている。ＰチャネルＭＯＳトランジスタＰＴ$_{72}$、ＮチャネルＭＯＳトランジスタＮＴ$_{72}$、及び、抵抗素子Ｒ$_{71}$は、高電位側電源と低電位側電源との間に直列に接続されている。

[0177] 入力センス部６２は、スイッチ素子ＳＷ$_{71}$、容量素子Ｃ$_{71}$、及び、ＮチャネルＭＯＳトランジスタＮＴ$_{73}$を有する構成となっている。スイッチ素子ＳＷ$_{71}$は、一端がコンダクタンス固定バイアス部６１のＮチャネルＭＯＳトランジスタＮＴ$_{71}$，ＮＴ$_{72}$の各ゲート電極に接続され、他端がＮチャネルＭＯＳトランジスタＮＴ$_{73}$のゲート電極に接続されている。容量素子Ｃ$_{71}$は、画素電源に接続される電源端子Ｔ$_{71}$とＮチャネルＭＯＳトランジスタＮＴ$_{73}$のゲート電極との間に接続されている。

[0178] 第１バイアス部６３は、スイッチ素子ＳＷ$_{72}$、容量素子Ｃ$_{72}$、及び、ＰチャネルＭＯＳトランジスタＰＴ$_{73}$を有する構成となっている。スイッチ素子ＳＷ$_{72}$は、一端がコンダクタンス固定バイアス部６１のＰチャネルＭＯＳトランジスタＰＴ$_{71}$，ＰＴ$_{72}$の各ゲート電極に接続され、他端がＰチャネルＭＯＳトランジスタＰＴ$_{73}$のゲート電極に接続されている。容量素子Ｃ$_{72}$は、高電位側電源とＰチャネルＭＯＳトランジスタＰＴ$_{73}$のゲート電極との間に接続されている。

[0179] 第１バイアス部６３のＰチャネルＭＯＳトランジスタＰＴ$_{73}$と、入力センス部６２のＮチャネルＭＯＳトランジスタＮＴ$_{73}$とは、高電位側電源と低電位側電源との間に直列に接続されている。ここで、ＰチャネルＭＯＳトランジスタＰＴ$_{73}$及びＮチャネルＭＯＳトランジスタＮＴ$_{73}$のドレイン共通接続ノードをノードＮ$_{71}$とする。

[0180] 周波数特性調整部６４は、高電位側電源とノードＮ$_{71}$との間に接続された、即ち、第１バイアス部６３のＰチャネルＭＯＳトランジスタＰＴ$_{73}$に対して並列に接続された、容量値が可変な可変容量素子ＶＣ$_{71}$によって構成されている。周波数特性調整部６４は、可変容量素子ＶＣ$_{71}$の容量値の調整によって周波数特性の調整が可能な構成となっている。

[0181] 補正ゲイン調整部６５は、サイズ調整が可能なＰチャネルＭＯＳトランジスタＰＴ$_{74}$から成る。ここで、サイズ調整が可能なＰチャネルＭＯＳトランジスタＰＴ$_{74}$は、例えば、ＭＯＳトランジスタの並列接続数を変えることによってサイズを調整することができる。そして、補正ゲイン調整部６５は、ＰチャネルＭＯＳトランジスタＰＴ$_{74}$のサイズの調整によって補正ゲインの調整が可能となっている。

[0182] 第２バイアス部６６は、スイッチ素子ＳＷ$_{73}$、容量素子Ｃ$_{73}$、及び、ＮチャネルＭＯＳトランジスタＮＴ$_{74}$を有する構成となっている。スイッチ素子ＳＷ$_{73}$は、一端がコンダクタンス固定バイアス部６１のＮチャネルＭＯＳトランジスタＮＴ$_{71}$，ＮＴ$_{72}$の各ゲート電極に接続され、他端がＮチャネルＭＯＳトランジスタＮＴ$_{74}$のゲート電極に接続されている。容量素子Ｃ$_{73}$は、ＮチャネルＭＯＳトランジスタＮＴ$_{74}$のゲート電極と低電位側電源との間に接続されている。

[0183] 追加ゲイン切り替え回路７０は、５つのＰチャネルＭＯＳトランジスタＰＴ$_{75}$～ＰＴ$_{79}$、及び、４つのスイッチ素子ＳＷ$_{74}$～ＳＷ$_{77}$を有する構成となっている。ＰチャネルＭＯＳトランジスタＰＴ$_{75}$は、ゲート電極とドレイン電極とが接続されたダイオード接続構成となっており、高電位側電源と低電位側電源との間に、第２バイアス部６６のＮチャネルＭＯＳトランジスタＮＴ$_{74}$と直接の接続されている。

[0184] スイッチ素子ＳＷ$_{74}$は、ＰチャネルＭＯＳトランジスタＰＴ$_{75}$及びＰチャネルＭＯＳトランジスタＰＴ$_{76}$の各ゲート電極間に接続されている。スイッチ素子ＳＷ$_{75}$は、ＰチャネルＭＯＳトランジスタＰＴ$_{76}$及びＰチャネルＭＯＳトランジスタＰＴ$_{77}$の各ゲート電極間に接続されている。スイッチ素子ＳＷ$_{76}$は、

ＰチャネルＭＯＳトランジスタＰＴ$_{77}$及びＰチャネルＭＯＳトランジスタＰＴ$_{78}$の各ゲート電極間に接続されている。スイッチ素子ＳＷ$_{77}$は、ＰチャネルＭＯＳトランジスタＰＴ$_{78}$及びＰチャネルＭＯＳトランジスタＰＴ$_{79}$の各ゲート電極間に接続されている。

[0185] 以上により、ＰチャネルＭＯＳトランジスタＰＴ$_{75}$とＰチャネルＭＯＳトランジスタＰＴ$_{76}$～ＰＴ$_{79}$とは、カレントミラー回路を構成している。ＰチャネルＭＯＳトランジスタＰＴ$_{75}$は、注入電流源のトランジスタであり、ＰチャネルＭＯＳトランジスタＰＴ$_{79}$は、出力段ミラー元のトランジスタである。

[0186] ４つのスイッチ素子ＳＷ$_{74}$～ＳＷ$_{77}$は、追加ゲイン切り替えスイッチであり、アナログゲイン制御部５３（図２３参照）からのスイッチ制御信号によってオン（閉）／オフ（開）制御が行われ、注入電流源のトランジスタの並列数、及び、出力段ミラー元のトランジスタの並列数をアナログゲインに応じて変化させる。

[0187] 上記の回路構成の電源ノイズ補正回路６０では、入力センス部６２において、電源端子Ｔ$_{71}$から容量素子Ｃ$_{71}$を介して入力される画素電源の電源ノイズが電流信号に変換され、当該電流信号が周波数特性調整部６４で周波数特性を調整されて追加ゲイン切り替え回路７０に流れ込む。この電流には回路を動作させるための一定のバイアス電流も足されている。そして、追加ゲイン切り替え回路７０において、周波数特性調整部６４を介して流れ込んだ電流から注入電流源に流す電流を引いた分の電流が出力段ミラー元に流れる。

[0188] 尚、ここで例示した電源ノイズ補正回路６０の回路構成、及び、追加ゲイン切り替え回路７０の回路構成は一例であって、当該回路構成に限定されるものではない。例えば、追加ゲイン切り替え回路７０のトランジスタ及びスイッチ素子の数は、図２９の限りではなく、よって、追加ゲインの切り替え段数や大きさもこの限りではない。

[0189] 以下に、電源ノイズ補正回路６０の追加ゲイン切り替え回路７０による具体的なゲイン制御例について説明する。

[0190] （ゲイン制御例１）

ゲイン制御例１は、追加ゲインが１倍のときの制御例である。ゲイン制御例１についての動作説明図を図３０に示す。

[0191] 追加ゲインが１倍のときは、注入電流源のトランジスタの並列数が０で、出力段ミラー元のトランジスタの並列数が４であるとする。具体的には、４つのスイッチ素子SW_{74}～SW_{77}のうち、スイッチ素子SW_{74}がオフ状態で、残りの３つのスイッチ素子SW_{75}，SW_{76}，SW_{77}がオン状態であるとする。

[0192]（ゲイン制御例２）

ゲイン制御例２は、追加ゲインが４／３倍のときの制御例である。ゲイン制御例２についての動作説明図を図３１に示す。

[0193] 追加ゲインが４／３倍のときは、注入電流源のトランジスタの並列数が１で、出力段ミラー元のトランジスタの並列数が３であるとする。具体的には、４つのスイッチ素子SW_{74}～SW_{77}のうち、スイッチ素子SW_{75}がオフ状態で、残りの３つのスイッチ素子SW_{74}，SW_{76}，SW_{77}がオン状態であるとする。

[0194]（ゲイン制御例３）

ゲイン制御例３は、追加ゲインが２倍のときの制御例である。ゲイン制御例３についての動作説明図を図３２に示す。

[0195] 追加ゲインが２倍のときは、注入電流源のトランジスタの並列数が２で、出力段ミラー元のトランジスタの並列数が２であるとする。具体的には、４つのスイッチ素子SW_{74}～SW_{77}のうち、スイッチ素子SW_{76}がオフ状態で、残りの３つのスイッチ素子SW_{74}，SW_{75}，SW_{77}がオン状態であるとする。

[0196]（ゲイン制御例４）

ゲイン制御例４は、追加ゲインが４倍のときの制御例である。ゲイン制御例４についての動作説明図を図３３に示す。

[0197] 追加ゲインが４倍のときは、注入電流源のトランジスタの並列数が３で、出力段ミラー元のトランジスタの並列数が１であるとする。具体的には、４つのスイッチ素子SW_{74}～SW_{77}のうち、スイッチ素子SW_{77}がオフ状態で、残りの３つのスイッチ素子SW_{74}，SW_{75}，SW_{76}がオン状態であるとする。

[0198] 上述したように、例えば、注入電流源のトランジスタの並列数を３、出力

段ミラー元のトランジスタの並列数を１とすると、追加ゲイン４倍が実現される。その理由は、次の通りである。

[0199] まず、注入電流源のトランジスタの並列数、及び、出力段ミラー元のトランジスタの並列数を変えることによって、出力段ミラー元に流れるバイアス電流は１／４になる。一方で、電流信号に変換された画素電源のノイズ成分は全て出力段ミラー元に流れるためその量は元のままである。このとき、出力段ミラー元のトランスコンダクタンスg_mは並列数と同様に１／４になっている。

[0200] 出力段ミラー元においては、１／g_mの比率で、流れる電流がゲート電圧に変換される。従って，出力段ミラー元のゲート電圧は，バイアス成分としては元のままであるが、そこに乗る電源ノイズ成分は元の４倍になる．これが出力段電流源によって再び電流に変換されて出力される。

[0201] ［実施例１０］

実施例１０は、実施例８の変形例であり、画素２０内で参照電圧を使用するＭＯＳイメージセンサに適用する例である。実施例１０に係るアナログ－デジタル変換器１３０の回路構成例を図３４に示す。

[0202] 実施例８では、画素電源のノイズを抑制する例であった。画素電源のノイズ以外にも、画素２０内で参照電圧を使用している場合、当該参照電圧に乗るノイズが、図３４に例示した画素２０内の寄生容量C_p等を介して信号線３２に乗ってしまうことがある。この場合にも、電源ノイズの場合と同様に、信号線３２に乗ったノイズは、画像としては横筋状のノイズになって視認されることになる。参照電圧は、例えば、フォトダイオード２１のアノード電極に印加される。

[0203] そこで、実施例１０に係るアナログ－デジタル変換器１３０では、画素２０内で参照電圧に乗るノイズを抑制するため、電源ノイズ補正回路６０によって画素２０の参照電圧をモニタするようにする。ここでは、参照電圧に乗るノイズを抑制するノイズ補正回路を、便宜上、電源ノイズ補正回路６０としている。電源ノイズ補正回路６０及びそれに内蔵される追加ゲイン切り替

え回路７０の構成や動作等については、実施例８及び実施例９の場合と同じであり、重複するため、ここではそれらの説明を省略する。

[0204] 実施例１０に係るアナログ－デジタル変換器１３０の場合にも、実施例８に係るアナログ－デジタル変換器１３０と同様の原理により、比較器１３１の入力容量の切り替えに連動して、電源ノイズ補正回路６０に持たせた追加ゲインの切り替えが行われる。これにより、比較器１３１の入力容量の切り替えに伴う容量減衰分を補うことができるため、比較器１３１の入力容量の切り替えの影響を吸収しつつ、画素２０の参照電圧に乗るノイズを抑制することができる。

[0205] ［実施例１１］

実施例１１は、アナログ－デジタル変換器１３０のアナログゲイン制御において、参照信号V_{RAMP}のランプ波の傾き、及び、比較器１３１の入力容量を切り替える際の、参照信号設定信号（以下、「ＤＡＣ設定信号」と記述する）及びスイッチ設定信号を設定する例である。

[0206] 図３５は、アナログゲイン制御の際のＤＡＣ設定信号及びスイッチ設定信号の設定機能を持つ、実施例１１に係るＣＭＯＳイメージセンサのシステム構成の概略を模式的に示すブロック図である。

[0207] 実施例１１に係るＣＭＯＳイメージセンサ１において、ロジック回路部１４は、画素アレイ部１１の全部又は一部の画素信号を用いて照度を取得し、照度データを生成する。照度データ生成の演算手段については、所定の画素信号の統計値、例えば、平均値、中央値、最頻値を得るように構成されてよいし、統計量を得る前後に任意の線形・非線形演算を施すように構成されてよい。

[0208] 尚、照度取得のバリエーションとしては、照度計測専用の画素を備えるようにしてもよいし、撮像に用いるか照度計測に用いるかを切り替えられるように構成された画素を備えるようにしてもよい

[0209] 図３５に示すように、実施例１１に係るＣＭＯＳイメージセンサ１は、アナログゲイン制御の際のＤＡＣ設定信号及びスイッチ設定信号を設定する制

御部１７を備えている。ロジック回路部１４は、アナログ－デジタル変換器１３０によるアナログ－デジタル変換後のデータに基づいて照度データを生成し、制御部１７に供給する。

[0210] 制御部１７は、レジスタ１８に書き込まれた設定データ、及び、ロジック回路部１４から入力された照度データの少なくとも一方に基づいて、比較器１３１の入力容量切り替え用のスイッチ素子をオン／オフ制御するためのスイッチ設定信号、及び、参照信号V_{RAMP}のランプ波の傾きを制御するためのＤＡＣ設定信号を出力する。入力容量切り替え用のスイッチ素子は、例えば、図１２のスイッチ素子SW_1～SW_4に相当する。照度データ及び設定データとスイッチ設定信号との対応は、演算ハードウェア、演算ソフトウェア、ルックアップテーブルで構成することができる。

[0211] 尚、ロジック回路部１４及び制御部１７については、画素アレイ部１１と同じ画素チップ内に設ける構成とすることもできるし、ロジック回路部１４の一部及び制御部１７を画素チップ外に設ける構成とすることもできる。

[0212] 続いて、実施例１１に係るＣＭＯＳイメージセンサ１において、アナログゲイン制御の際のＤＡＣ設定信号及びスイッチ設定信号を設定する処理手順の一例について、図３６のフローチャートを用いて説明する。

[0213] 図３６のフローチャートは、ローリングシャッタの場合の１撮像フレームの読み出しシーケンスを示している。

[0214] 先ず、行選択部１２による駆動の下に、読み出し行を設定し（ステップＳ１１）、次いで、設定した読み出し行について露光及び画素信号の出力を行う（ステップＳ１２）。次に、アナログ－デジタル変換部１３において、読み出し行のＡ／Ｄ変換（アナログ－デジタル変換）を行い（ステップＳ１３）、次いで、Ａ／Ｄ変換後のデータを出力する（ステップＳ１４）。

[0215] 次に、読み出し行が最終行でなければ（ステップＳ１５のＮＯ）、ステップＳ１１に戻り、最終行であれば（ステップＳ１５のＹＥＳ）、ロジック回路部１４において、照度データを生成し（ステップＳ１６）、次いで、生成した照度データを制御部１７へ出力する（ステップＳ１７）。

[0216] 次に、制御部１７は、レジスタ１８に書き込まれた設定データ、及び、ロジック回路部１４から入力された照度データに基づいて、比較器１３１の入力容量切り替え用のスイッチ素子をオン／オフ制御するためのスイッチ設定信号、及び、参照信号V_{RAMP}のランプ波の傾きを制御するためのＤＡＣ設定信号を出力する（ステップＳ１８）。

[0217] 以上の一件の処理によって、アナログゲイン制御の際のＤＡＣ設定信号及びスイッチ設定信号が設定され、以降、通常の撮像動作が行われる。その結果、撮像フレーム毎に最適なアナログゲインで撮像が可能になる。

[0218] 照度データ生成のバリエーションとしては、撮像用露光で照度取得用露光を兼用し、画像データの生成に合わせて照度データを生成するようにしてもよい。また、撮像用露光シーケンスと、照度取得用露光シーケンスとは交互でなくてもよい。例えば、照度取得用露光シーケンスについては、数フレームに１度でもよい。

[0219] ＜変形例＞

以上、本開示に係る技術について、好ましい実施形態に基づき説明したが、本開示に係る技術は当該実施形態に限定されるものではない。上記の実施形態において説明した撮像装置の構成、構造は例示であり、適宜、変更することができる。

[0220] 例えば、上記の各実施例における比較器１３１の回路構成は一例であって、これらの回路構成に限定されるものではない。具体的には、実施例１に係る比較器１３１、実施例２に係る比較器１３１あるいは実施例７に係る比較器１３１において、容量素子C_{12}、入力側クランプトランジスタPT_{13}、入力側クランプトランジスタNT_{11}、及び、出力側クランプトランジスタNT_{12}のうちの少なくとも１つを省略した回路構成であってもよい。

[0221] また、製品に求められる精度などに応じて、比較器１３１に新たな素子が追加されてもよい。図３７は、比較器の第１の変形例を示す回路図である。図３７の例は、図９にて示した本開示の実施形態に係る比較器１３１に対し、容量C_{ADJ}が追加された例を示す。なお、前述の通り、第１の容量部５１及び

第２の容量部５２の内部構成は、適宜に設計されてよく、図１０から３４にて示された構成例を含み得る。

[0222] 容量C_{ADJ}は、入力側クランプトランジスタNT_{11}のゲート電極及びソース電極の間に接続されている。すなわち、容量C_{ADJ}の一端は入力側クランプトランジスタNT_{11}のゲート電極と接続され、容量C_{ADJ}の他端は入力トランジスタのドレイン電極と接続されている。容量C_{ADJ}を図３７のように接続することにより、ノイズなどといった、入力側クランプトランジスタNT_{11}のゲート電極に入力される電圧に基づく不具合を抑えてもよい。

[0223] また、容量C_{ADJ}は可変であってもよく、容量C_{ADJ}の容量を調整することにより、入力側クランプトランジスタNT_{11}のゲート電極に入力される電圧を調整し、当該電圧に基づく不具合をより効率的に抑えてもよい。また、アナログゲイン制御部５３が生成する制御信号に基づいて設定されるアナログ－デジタル変換器１３０のアナログゲインに応じて容量C_{ADJ}が調整されてもよい。なお、容量C_{ADJ}の容量を０にしても、図９の例と同じ構成となるため、問題ない。

[0224] また、図３７の入力側負荷電流源I_{11}及び入力側負荷電流源I_{12}のように、各素子の端子を低電位側電源に接続するための信号線（ＶＳＳ配線）は、複数の素子で共有されていてもよい。例えば、各比較器１３１の第２の容量部５２が、同一のＶＳＳ配線に接続されていてもよい。

[0225] 図３８は、比較器の第２の変形例を示す回路図を示す図である。図３８の例は、図３７の例と配置が異なり、容量C_{ADJ}が、出力側クランプトランジスタNT_{12}のゲート電極及びソース電極との間に接続されている。その他は、図３７の例と同様である。図３８の例でも、容量C_{ADJ}の容量を調整することにより、出力側クランプトランジスタNT_{12}のゲート電極に入力される電圧を調整することができる。それにより、当該電圧に基づく不具合を抑えてもよい。

[0226] また、比較器１３１が、入力側クランプトランジスタNT_{11}及び出力側クランプトランジスタNT_{12}の二つだけでなく、三つ以上のクランプトランジスタを備えていることもあり得る。そのような場合において、容量C_{ADJ}が、三つ以

上のクランプトランジスタのうちの一つまたは複数に対して設けられていてもよい。

[0227] なお、本実施形態は、第１の容量部５１と第２の容量部５２との容量分圧による容量減衰によって、入力トランジスタPT_{11}のゲート電極に入力するバッファ５０のノイズを低減するものであるが、クランプトランジスタのゲート電極に入力される電圧を調整する点においては、図５などに示したような従来の構成例に対して容量C_{ADJ}を追加した構成も有効である。従来の構成例に対して容量C_{ADJ}を追加した構成例を図３９に示す。

[0228] ＜応用例＞

以上説明した本実施形態に係る撮像装置は、例えば図４０に示すように、可視光、赤外光、紫外光、Ｘ線等の光をセンシングする様々な装置に使用することができる。様々な装置の具体例について以下に列挙する。

[0229] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、ＴＶや、冷蔵庫、エアーコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供され装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0230] ＜本開示に係る技術の適用例＞

本開示に係る技術は、様々な製品に適用することができる。以下に、より具体的な適用例について説明する。

[0231] ［本開示の電子機器］

ここでは、デジタルスチルカメラやビデオカメラ等の撮像システムや、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に撮像装置を用いる複写機などの電子機器に適用する場合について説明する。

[0232] （撮像システムの例）

図４１は、本開示の電子機器の一例である撮像システムの構成例を示すブロック図である。

[0233] 図４１に示すように、本例に係る撮像システム１００は、レンズ群等を含む撮像光学系１０１、撮像部１０２、ＤＳＰ(Digital Signal Processor)回路１０３、フレームメモリ１０４、表示装置１０５、記録装置１０６、操作系１０７、及び、電源系１０８等を有している。そして、ＤＳＰ回路１０３、フレームメモリ１０４、表示装置１０５、記録装置１０６、操作系１０７、及び、電源系１０８がバスライン１０９を介して相互に接続された構成となっている。

[0234] 撮像光学系１０１は、被写体からの入射光（像光）を取り込んで撮像部１０２の撮像面上に結像する。撮像部１０２は、光学系１０１によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。ＤＳＰ回路１０３は、一般的なカメラ信号処理、例えば、ホワイトバランス処理、デモザイク処理、ガンマ補正処理などを行う。

[0235] フレームメモリ１０４は、ＤＳＰ回路１０３での信号処理の過程で適宜データの格納に用いられる。表示装置１０５は、液晶表示装置や有機ＥＬ(electro luminescence)表示装置等のパネル型表示装置から成り、撮像部１０２で撮像された動画または静止画を表示する。記録装置１０６は、撮像部１０２で撮像された動画または静止画を、可搬型の半導体メモリや、光ディスク、

ＨＤＤ(Hard Disk Drive)等の記録媒体に記録する。

[0236] 操作系１０７は、ユーザによる操作の下に、本撮像装置１００が持つ様々な機能について操作指令を発する。電源系１０８は、ＤＳＰ回路１０３、フレームメモリ１０４、表示装置１０５、記録装置１０６、及び、操作系１０７の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0237] 上記の構成の撮像システム１００において、撮像部１０２として、先述した実施形態に係る撮像装置を用いることができる。当該撮像装置によれば、アナログ－デジタル変換器の消費電力を低減できるために、撮像装置の低消費電力化を図ることができる。更に、シングルスロープ型のアナログ－デジタル変換器において、ランプ波の参照信号の駆動力を上げ、出力インピーダンスを下げるために、オフセットを吸収するための容量素子の前にバッファを設ける場合であっても、バッファの出力端を画素列間で接続しなくてもバッファのノイズを低減できるため、高画質の撮像画像を得ることができる。

[0238] ［移動体への応用例］

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械（トラクター）などのいずれかの種類の移動体に搭載される撮像装置として実現されてもよい。

[0239] 図４２は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0240] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図４２に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（ｉｎｔｅｒｆａ

ｃｅ）１２０５３が図示されている。

[0241] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0242] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0243] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0244] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0245] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0246] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Ａｄｖａｎｃｅｄ　Ｄｒｉｖｅｒ　Ａｓｓｉｓｔａｎｃｅ　Ｓｙｓｔｅｍ）の機能実現を目的とした協調制御を行うことができる。

[0247] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0248] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0249] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又

は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図４２の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0250] 図４３は、撮像部１２０３１の設置位置の例を示す図である。

[0251] 図４３では、車両１２１００は、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0252] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。撮像部１２１０１及び１２１０５で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0253] なお、図４３には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0254] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0255] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0256] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0257] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１

は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0258] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部１２０３１等に適用され得る。そして、撮像部１２０３１等に本開示に係る技術を適用することにより、アナログ－デジタル変換器の消費電力、ひいては、撮像装置の低消費電力化を図ることができるために、車両制御システムの低消費電力化に寄与できる。更に、シングルスロープ型のアナログ－デジタル変換器において、ランプ波の参照信号の駆動力を上げ、出力インピーダンスを下げるために、オフセットを吸収するための容量素子の前にバッファを設ける場合であっても、バッファの出力端を画素列間で接続しなくてもバッファのノイズを低減できるため、高画質の撮像画像を得ることができる。

[0259] ＜本開示がとることができる構成＞

尚、本開示は、以下のような構成をとることもできる。

[0260] ≪Ａ．撮像装置≫

［Ａ－０１］負荷電流源、

画素から読み出された信号を伝送する信号線と負荷電流源との間に接続された入力トランジスタを有する比較器、

入力トランジスタのゲート電極に所定の参照信号を入力する第１の容量部

、及び、

入力トランジスタのゲート電極と基準電位ノードとの間に接続された第２の容量部、

を備える撮像装置。

［Ａ－０２］第１の容量部及び第２の容量部は、入力トランジスタのゲート電極に入力される所定の参照信号を、容量分圧によって減衰させる、

上記［Ａ－０１］に記載の撮像装置。

［Ａ－０３］第１の容量部及び第２の容量部は、容量値が可変な可変容量素子から成る、

上記［Ａ－０２］に記載の撮像装置。

［Ａ－０４］第１の容量部及び第２の容量部は、比較器を含むアナログ－デジタル変換器のアナログゲインに応じて容量値が可変である、

上記［Ａ－０３］に記載の撮像装置。

［Ａ－０５］第１の容量部及び第２の容量部は、各一端が入力トランジスタのゲート電極に接続された複数の容量素子、及び、複数の容量素子の各他端間に接続された複数のスイッチ素子を有する、

上記［Ａ－０２］に記載の撮像装置。

［Ａ－０６］複数の容量素子のうち、基準電位ノード側の容量素子の他端と基準電位ノードとの間にもスイッチ素子が設けられている、

上記［Ａ－０５］に記載の撮像装置。

［Ａ－０７］所定の参照信号は、所定の傾斜を持って線形に変化する傾斜状波形の電圧である、

上記［Ａ－０１］乃至上記［Ａ－０６］のいずれかに記載の撮像装置。

［Ａ－０８］比較器は、信号線の電圧と傾斜状波形の電圧とを比較する、

上記［Ａ－０７］に記載の撮像装置。

［Ａ－０９］傾斜状波形の電圧は、第１の容量部及び第２の容量部による容量分圧によって振幅が減衰する、

上記［Ａ－０８］に記載の撮像装置。

［Ａ－１０］傾斜状波形の電圧を生成する参照信号生成部を備え、

参照信号生成部は、容量分圧によって減衰した後の振幅が所望の振幅になるように、傾斜状波形の電圧の振幅をあらかじめ大きく設定する、

上記［Ａ－０９］に記載の撮像装置。

［Ａ－１１］傾斜状波形の電圧の振幅を調整することによって、アナログ－デジタル変換器のアナログゲインを制御するアナログゲイン制御部を備える、

上記［Ａ－０７］乃至上記［Ａ－１０］のいずれかに記載の撮像装置。

［Ａ－１２］アナログゲイン制御部は、傾斜状波形の電圧の振幅、及び、第１の容量部及び第２の容量部の容量値の制御を行う、

上記［Ａ－１１］に記載の撮像装置。

［Ａ－１３］負荷電流源は、入力側負荷電流源及び出力側負荷電流源から成り、

入力トランジスタは、信号線と入力側負荷電流源との間に接続されており、

比較器は、信号線と出力側負荷電流源との間に接続され、入力トランジスタの出力をゲート入力とする出力トランジスタを有する、

上記［Ａ－０１］乃至上記［Ａ－１２］のいずれかに記載の撮像装置。

［Ａ－１４］比較器は、入力トランジスタと入力側負荷電流源との間に接続された入力側カスコード接続トランジスタ、及び、出力トランジスタと出力側負荷電流源との間に接続された出力側カスコード接続トランジスタを有する、

上記［Ａ－１３］に記載の撮像装置。

［Ａ－１５］画素電源のノイズに応じた補正電圧を、参照信号生成部で生成された参照信号に重畳するノイズ補正回路を備え、

ノイズ補正回路は、第１の容量部及び第２の容量部の各容量値の切り替えに応じて、補正電圧を生成するためのゲインを切り替える、

上記［Ａ－０１］乃至上記［Ａ－１４］のいずれかに記載の撮像装置。

［Ａ－１６］ノイズ補正回路は、画素内で使用する参照電圧に乗るノイズ補正電圧を、参照信号生成部で生成された参照信号に重畳する、
上記［Ａ－１５］に記載の撮像装置。
［Ａ－１７］アナログ－デジタル変換器のアナログゲインを制御する際に、参照信号生成部で参照信号を生成するに当たっての参照信号設定信号、及び、複数のスイッチ素子を切り替えるに当たってのスイッチ設定信号を設定する制御部を備える、
上記［Ａ－０４］乃至上記［Ａ－１６］のいずれかに記載の撮像装置。
［Ａ－１８］アナログ－デジタル変換器によるアナログ－デジタル変換後のデータに基づいて照度データを生成するロジック回路部を備える、
上記［Ａ－１７］に記載の撮像装置。
［Ａ－１９］制御部は、ロジック回路部で生成される照度データに基づいて、参照信号設定信号及びスイッチ設定信号を設定する、
上記［Ａ－１８］に記載の撮像装置。
［Ａ－２０］前記比較部は、
ソース電極が前記入力トランジスタのソース電極に接続され、ゲート電極が前記入力トランジスタのドレイン電極に接続された出力トランジスタと、
ドレイン電極が前記入力トランジスタの前記ソース電極に接続され、ソース電極が前記入力トランジスタの前記ドレイン電極に接続されたクランプトランジスタと、
一端が前記クランプトランジスタのゲート電極と接続され、他端が前記入力トランジスタの前記ドレイン電極と接続された第３の容量部と、
をさらに含む、
上記［Ａ－０１］乃至上記［Ａ－１９］のいずれかに記載の撮像装置。
［Ａ－２１］前記比較部は、
ソース電極が前記入力トランジスタのソース電極に接続され、ゲート電極が前記入力トランジスタのドレイン電極に接続された出力トランジスタと、
ドレイン電極が前記入力トランジスタの前記ソース電極に接続され、ソー

ス電極が前記出力トランジスタの前記ドレイン電極に接続されたクランプトランジスタと、

一端が前記クランプトランジスタのゲート電極と接続され、他端が前記出力トランジスタの前記ドレイン電極と接続された第３の容量部と、

をさらに含む、

上記［Ａ－０１］乃至上記［Ａ－２０］のいずれかに記載の撮像装置。

［Ａ－２２］前記第３の容量部の容量値は、前記比較器を含むアナログ－デジタル変換器のアナログゲインに応じて変動する、

上記［Ａ－２０］又は上記［Ａ－２１］に記載の撮像装置。

[0261]≪Ｂ．電子機器≫

［Ｂ－０１］負荷電流源、

画素から読み出された信号を伝送する信号線と負荷電流源との間に接続された入力トランジスタを有する比較器、

入力トランジスタのゲート電極に所定の参照信号を入力する第１の容量部、及び、

入力トランジスタのゲート電極と基準電位ノードとの間に接続された第２の容量部、

を備える撮像装置を有する電子機器。

［Ｂ－０２］第１の容量部及び第２の容量部は、入力トランジスタのゲート電極に入力される所定の参照信号を、容量分圧によって減衰させる、

上記［Ｂ－０１］に記載の電子機器。

［Ｂ－０３］第１の容量部及び第２の容量部は、容量値が可変な可変容量素子から成る、

上記［Ｂ－０２］に記載の電子機器。

［Ｂ－０４］第１の容量部及び第２の容量部は、比較器を含むアナログ－デジタル変換器のアナログゲインに応じて容量値が可変である、

上記［Ｂ－０３］に記載の電子機器。

［Ｂ－０５］第１の容量部及び第２の容量部は、各一端が入力トランジスタ

のゲート電極に接続された複数の容量素子、及び、複数の容量素子の各他端間に接続された複数のスイッチ素子を有する、

上記［Ｂ－０２］に記載の電子機器。

［Ｂ－０６］複数の容量素子のうち、基準電位ノード側の容量素子の他端と基準電位ノードとの間にもスイッチ素子が設けられている、

上記［Ｂ－０５］に記載の電子機器。

［Ｂ－０７］所定の参照信号は、所定の傾斜を持って線形に変化する傾斜状波形の電圧である、

上記［Ｂ－０１］乃至上記［Ｂ－０６］のいずれかに記載の電子機器。

［Ｂ－０８］比較器は、信号線の電圧と傾斜状波形の電圧とを比較する、

上記［Ｂ－０７］に記載の電子機器。

［Ｂ－０９］傾斜状波形の電圧は、第１の容量部及び第２の容量部による容量分圧によって振幅が減衰する、

上記［Ｂ－０８］に記載の電子機器。

［Ｂ－１０］傾斜状波形の電圧を生成する参照信号生成部を備え、

参照信号生成部は、容量分圧によって減衰した後の振幅が所望の振幅になるように、傾斜状波形の電圧の振幅をあらかじめ大きく設定する、

上記［Ｂ－０９］に記載の電子機器。

［Ｂ－１１］傾斜状波形の電圧の振幅を調整することによって、アナログ－デジタル変換器のアナログゲインを制御するアナログゲイン制御部を備える、

上記［Ｂ－０７］乃至上記［Ｂ－１０］のいずれかに記載の電子機器。

［Ｂ－１２］アナログゲイン制御部は、傾斜状波形の電圧の振幅、及び、第１の容量部及び第２の容量部の容量値の制御を行う、

上記［Ｂ－１１］に記載の電子機器。

［Ｂ－１３］負荷電流源は、入力側負荷電流源及び出力側負荷電流源から成り、

入力トランジスタは、信号線と入力側負荷電流源との間に接続されており

、

比較器は、信号線と出力側負荷電流源との間に接続され、入力トランジスタの出力をゲート入力とする出力トランジスタを有する、

上記［Ｂ－０１］乃至上記［Ｂ－１２］のいずれかに記載の電子機器。

［Ｂ－１４］比較器は、入力トランジスタと入力側負荷電流源との間に接続された入力側カスコード接続トランジスタ、及び、出力トランジスタと出力側負荷電流源との間に接続された出力側カスコード接続トランジスタを有する、

上記［Ｂ－１３］に記載の電子機器。

［Ｂ－１５］画素電源のノイズに応じた補正電圧を、参照信号生成部で生成された参照信号に重畳するノイズ補正回路を備え、

ノイズ補正回路は、第１の容量部及び第２の容量部の各容量値の切り替えに応じて、補正電圧を生成するためのゲインを切り替える、

上記［Ｂ－０１］乃至上記［Ｂ－１４］のいずれかに記載の電子機器。

［Ｂ－１６］ノイズ補正回路は、画素内で使用する参照電圧に乗るノイズ補正電圧を、参照信号生成部で生成された参照信号に重畳する、

上記［Ｂ－１５］に記載の電子機器。

［Ｂ－１７］アナログ－デジタル変換器のアナログゲインを制御する際に、参照信号生成部で参照信号を生成するに当たっての参照信号設定信号、及び、複数のスイッチ素子を切り替えるに当たってのスイッチ設定信号を設定する制御部を備える、

上記［Ｂ－０４］乃至上記［Ｂ－１６］のいずれかに記載の電子機器。

［Ｂ－１８］アナログ－デジタル変換器によるアナログ－デジタル変換後のデータに基づいて照度データを生成するロジック回路部を備える、

上記［Ｂ－１７］に記載の電子機器。

［Ｂ－１９］制御部は、ロジック回路部で生成される照度データに基づいて、参照信号設定信号及びスイッチ設定信号を設定する、

上記［Ｂ－１８］に記載の電子機器。

［Ｂ－２０］前記比較部は、

ソース電極が前記入力トランジスタのソース電極に接続され、ゲート電極が前記入力トランジスタのドレイン電極に接続された出力トランジスタと、

ドレイン電極が前記入力トランジスタの前記ソース電極に接続され、ソース電極が前記入力トランジスタの前記ドレイン電極に接続されたクランプトランジスタと、

一端が前記クランプトランジスタのゲート電極と接続され、他端が前記入力トランジスタの前記ドレイン電極と接続された第３の容量部と、

をさらに含む、

上記［Ｂ－０１］乃至上記［Ｂ－１９］のいずれかに記載の撮像装置。

［Ｂ－２１］前記比較部は、

ソース電極が前記入力トランジスタのソース電極に接続され、ゲート電極が前記入力トランジスタのドレイン電極に接続された出力トランジスタと、

ドレイン電極が前記入力トランジスタの前記ソース電極に接続され、ソース電極が前記出力トランジスタの前記ドレイン電極に接続されたクランプトランジスタと、

一端が前記クランプトランジスタのゲート電極と接続され、他端が前記出力トランジスタの前記ドレイン電極と接続された第３の容量部と、

をさらに含む、

上記［Ｂ－０１］乃至上記［Ｂ－２０］のいずれかに記載の撮像装置。

［Ｂ－２２］前記第３の容量部の容量値は、前記比較器を含むアナログ－デジタル変換器のアナログゲインに応じて変動する、

上記［Ｂ－２０］又は上記［Ｂ－２１］に記載の撮像装置。

符号の説明

[0262] １・・・ＣＭＯＳイメージセンサ、１１・・・画素アレイ部、１２・・・行選択部、１３・・・アナログ－デジタル変換部、１４・・・ロジック回路部（信号処理部）、１５・・・タイミング制御部、１６・・・参照信号生成部、２０・・・画素、２１・・・フォトダイオード、２２・・・転送トラン

ジスタ、２３・・・リセットトランジスタ、２４・・・増幅トランジスタ、２５・・・選択トランジスタ、３１（31_1～31_m）・・・画素制御線、３２（32_1～32_n）・・・信号線、５０・・・バッファ、５１・・・第１の容量部、５２・・・第２の容量部、５３・・・アナログゲイン制御部、６０・・・電源ノイズ補正回路、７０・・・追加ゲイン切り替え回路、１３０・・・アナログ－デジタル変換器、１３１・・・比較器、１３２・・・カウンタ、C_{11}，C_{12}，C_{13}，C_{ADJ}・・・容量素子、I_{11}・・・・・・入力側負荷電流源、I_{12}・・・出力側負荷電流源、PT_{11}・・・入力トランジスタ、PT_{12}・・・出力トランジスタ、Vss・・・低電位

請求の範囲

[請求項1] 負荷電流源、

画素から読み出された信号を伝送する信号線と負荷電流源との間に接続された入力トランジスタを有する比較器、

入力トランジスタのゲート電極に所定の参照信号を入力する第１の容量部、及び、

入力トランジスタのゲート電極と基準電位ノードとの間に接続された第２の容量部、

を備える撮像装置。

[請求項2] 第１の容量部及び第２の容量部は、入力トランジスタのゲート電極に入力される所定の参照信号を、容量分圧によって減衰させる、

請求項１に記載の撮像装置。

[請求項3] 第１の容量部及び第２の容量部は、容量値が可変な可変容量素子から成る、

請求項２に記載の撮像装置。

[請求項4] 第１の容量部及び第２の容量部は、比較器を含むアナログ－デジタル変換器のアナログゲインに応じて容量値が可変である、

請求項３に記載の撮像装置。

[請求項5] 第１の容量部及び第２の容量部は、各一端が入力トランジスタのゲート電極に接続された複数の容量素子、及び、複数の容量素子の各他端間に接続された複数のスイッチ素子を有する、

請求項２に記載の撮像装置。

[請求項6] 複数の容量素子のうち、基準電位ノード側の容量素子の他端と基準電位ノードとの間にもスイッチ素子が設けられている、

請求項５に記載の撮像装置。

[請求項7] 所定の参照信号は、所定の傾斜を持って線形に変化する傾斜状波形の電圧である、

請求項１に記載の撮像装置。

[請求項8] 比較器は、信号線の電圧と傾斜状波形の電圧とを比較する、
請求項７に記載の撮像装置。

[請求項9] 傾斜状波形の電圧は、第１の容量部及び第２の容量部による容量分圧によって振幅が減衰する、
請求項８に記載の撮像装置。

[請求項10] 傾斜状波形の電圧を生成する参照信号生成部を備え、
参照信号生成部は、容量分圧によって減衰した後の振幅が所望の振幅になるように、傾斜状波形の電圧の振幅をあらかじめ大きく設定する、
請求項９に記載の撮像装置。

[請求項11] 傾斜状波形の電圧の振幅を調整することによって、アナログ－デジタル変換器のアナログゲインを制御するアナログゲイン制御部を備える、
請求項７に記載の撮像装置。

[請求項12] アナログゲイン制御部は、傾斜状波形の電圧の振幅、及び、第１の容量部及び第２の容量部の容量値の制御を行う、
請求項１１に記載の撮像装置。

[請求項13] 負荷電流源は、入力側負荷電流源及び出力側負荷電流源から成り、
入力トランジスタは、信号線と入力側負荷電流源との間に接続されており、
比較器は、信号線と出力側負荷電流源との間に接続され、入力トランジスタの出力をゲート入力とする出力トランジスタを有する、
請求項１に記載の撮像装置。

[請求項14] 比較器は、入力トランジスタと入力側負荷電流源との間に接続された入力側カスコード接続トランジスタ、及び、出力トランジスタと出力側負荷電流源との間に接続された出力側カスコード接続トランジスタを有する、
請求項１３に記載の撮像装置。

[請求項15] 前記比較部は、

ソース電極が前記入力トランジスタのソース電極に接続され、ゲート電極が前記入力トランジスタのドレイン電極に接続された出力トランジスタと、

ドレイン電極が前記入力トランジスタの前記ソース電極に接続され、ソース電極が前記入力トランジスタの前記ドレイン電極に接続されたクランプトランジスタと、

一端が前記クランプトランジスタのゲート電極と接続され、他端が前記入力トランジスタの前記ドレイン電極と接続された第３の容量部と、

をさらに含む、

請求項１に記載の撮像装置。

[請求項16] 前記比較部は、

ソース電極が前記入力トランジスタのソース電極に接続され、ゲート電極が前記入力トランジスタのドレイン電極に接続された出力トランジスタと、

ドレイン電極が前記入力トランジスタの前記ソース電極に接続され、ソース電極が前記出力トランジスタの前記ドレイン電極に接続されたクランプトランジスタと、

一端が前記クランプトランジスタのゲート電極と接続され、他端が前記出力トランジスタの前記ドレイン電極と接続された第３の容量部と、

をさらに含む、

請求項１に記載の撮像装置。

[請求項17] 前記第３の容量部の容量値は、前記比較器を含むアナログ－デジタル変換器のアナログゲインに応じて変動する、

請求項１５に記載の撮像装置。

[請求項18] 画素電源のノイズに応じた補正電圧を、参照信号生成部で生成され

た参照信号に重畳するノイズ補正回路を備え、

ノイズ補正回路は、第１の容量部及び第２の容量部の各容量値の切り替えに応じて、補正電圧を生成するためのゲインを切り替える、

請求項１に記載の撮像装置。

[請求項19] ノイズ補正回路は、画素内で使用する参照電圧に乗るノイズ補正電圧を、参照信号生成部で生成された参照信号に重畳する、

請求項１８に記載の撮像装置。

[請求項20] アナログ－デジタル変換器のアナログゲインを制御する際に、参照信号生成部で参照信号を生成するに当たっての参照信号設定信号、及び、複数のスイッチ素子を切り替えるに当たってのスイッチ設定信号を設定する制御部を備える、

請求項４に記載の撮像装置。

[請求項21] アナログ－デジタル変換器によるアナログ－デジタル変換後のデータに基づいて照度データを生成するロジック回路部を備える、

請求項２０に記載の撮像装置。

[請求項22] 制御部は、ロジック回路部で生成される照度データに基づいて、参照信号設定信号及びスイッチ設定信号を設定する、

請求項２１に記載の撮像装置。

[請求項23] 負荷電流源、

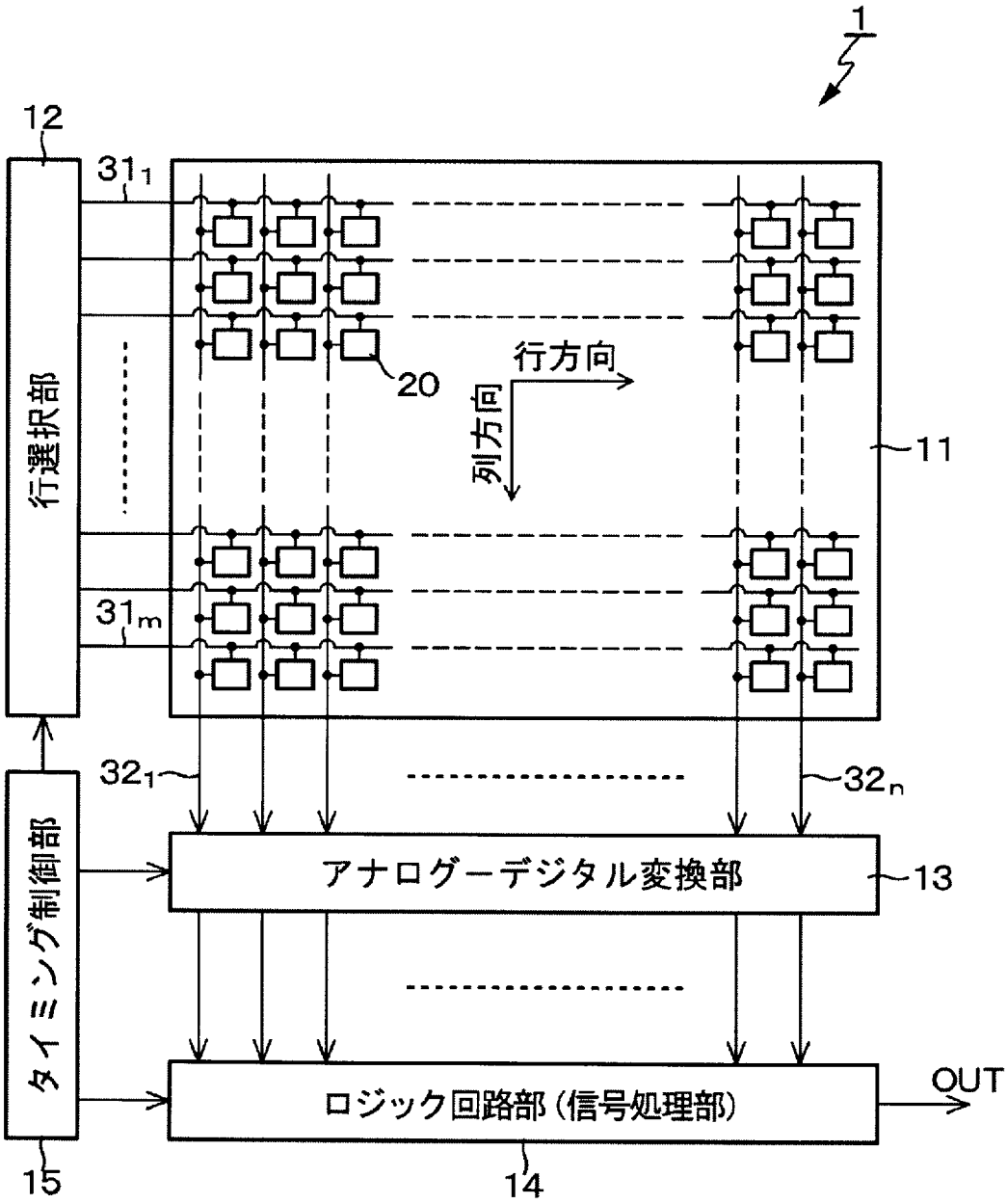
画素から読み出された信号を伝送する信号線と負荷電流源との間に接続された入力トランジスタを有する比較器、

入力トランジスタのゲート電極に所定の参照信号を入力する第１の容量部、及び、

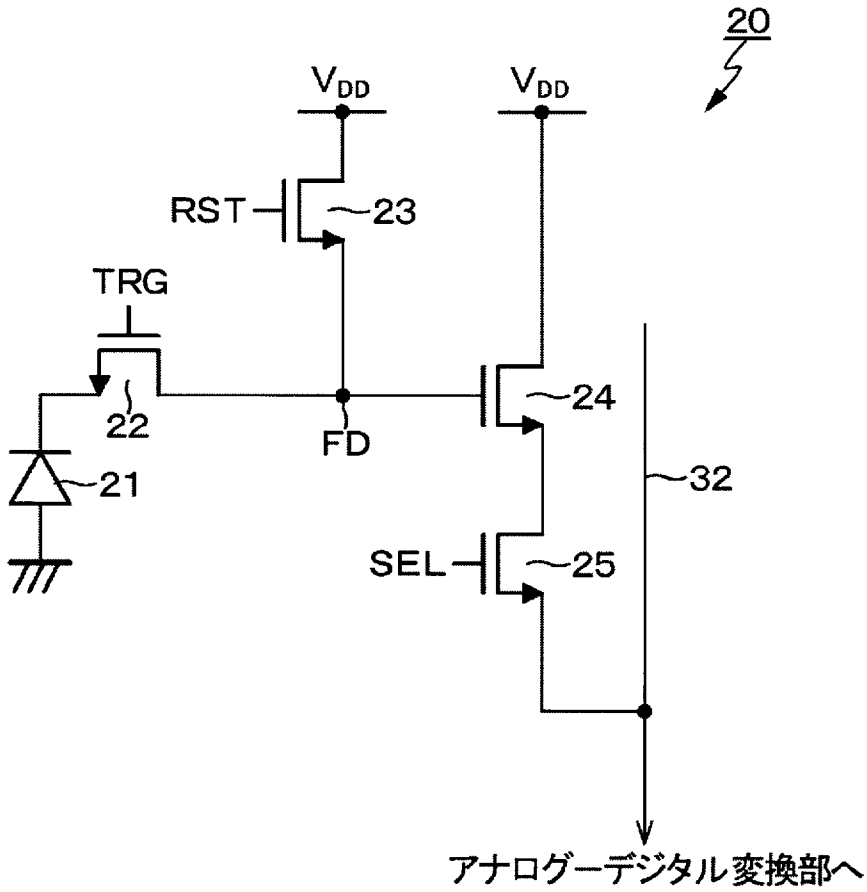
入力トランジスタのゲート電極と基準電位ノードとの間に接続された第２の容量部、

を備える撮像装置を有する電子機器。

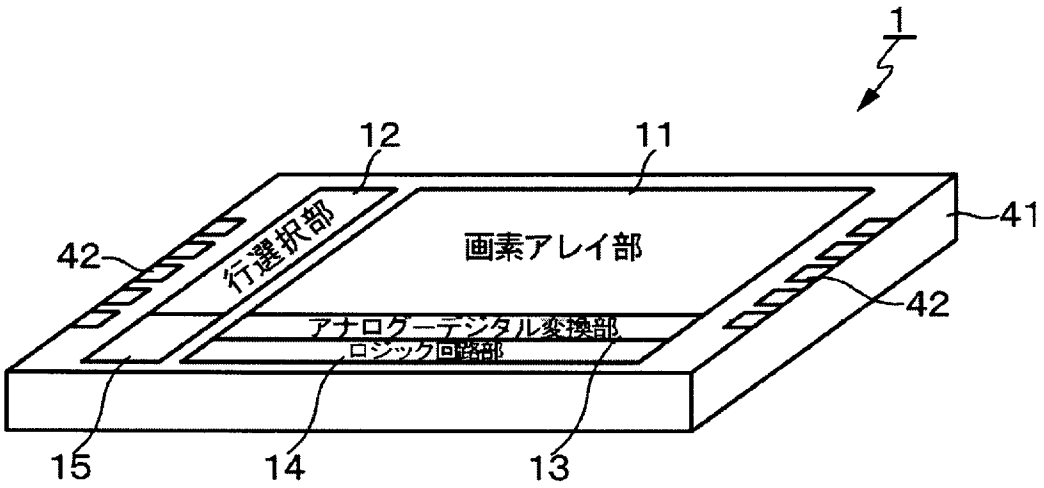
[図1]


1
12
31_1
31_m
行選択部
20
行方向
列方向
11
32_1
32_n
アナログーデジタル変換部
13
タイミング制御部
ロジック回路部（信号処理部）
OUT
15
14

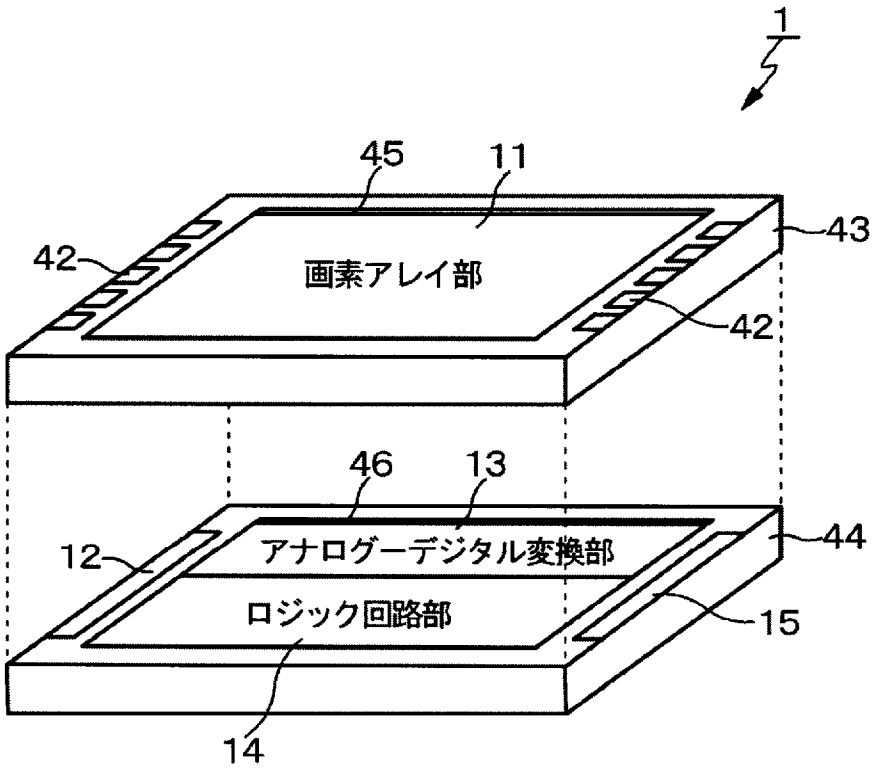
[図2]



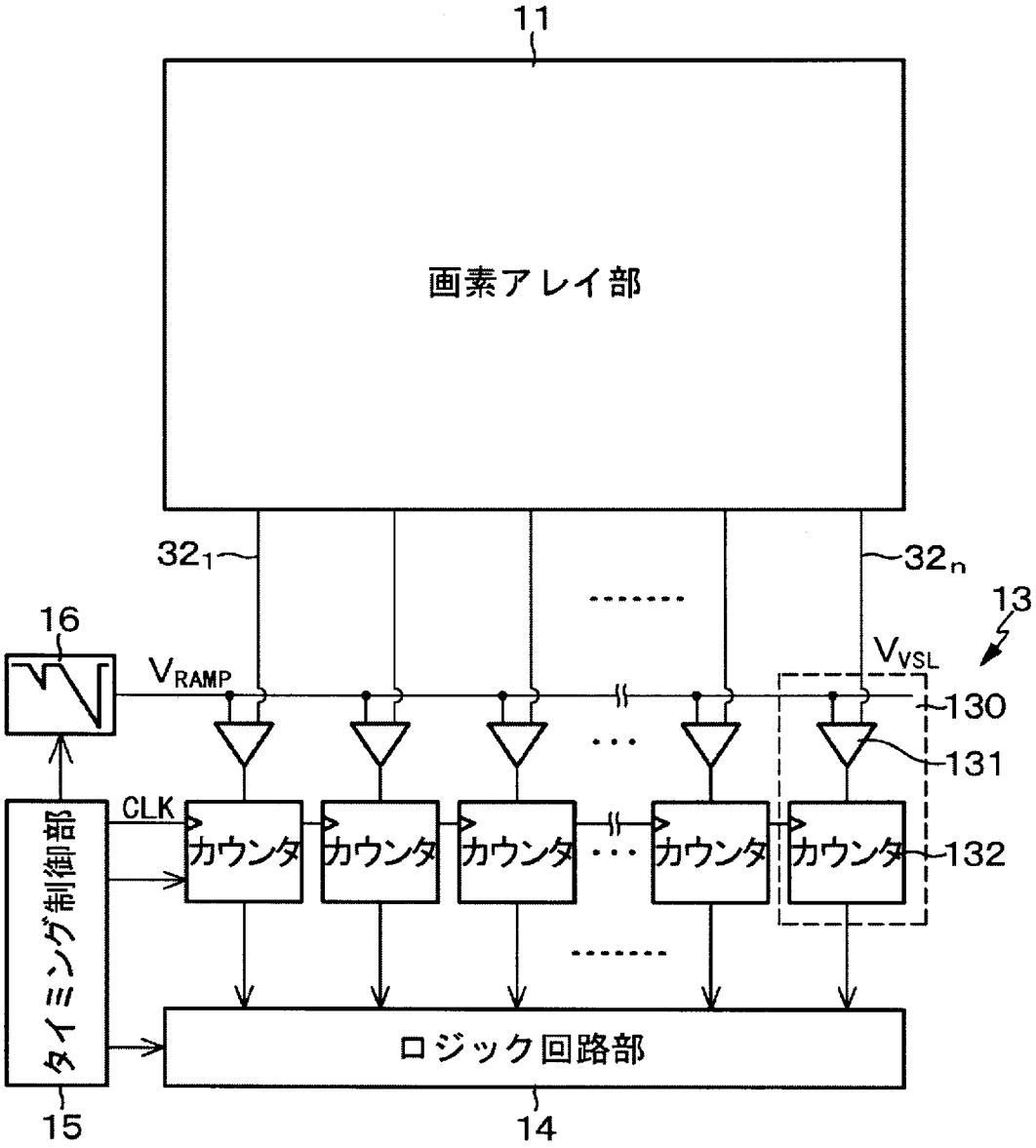
[図3A]


1
12
11
41
42
行選択部
画素アレイ部
42
アナログ－デジタル変換部
ロジック回路部
15
14
13

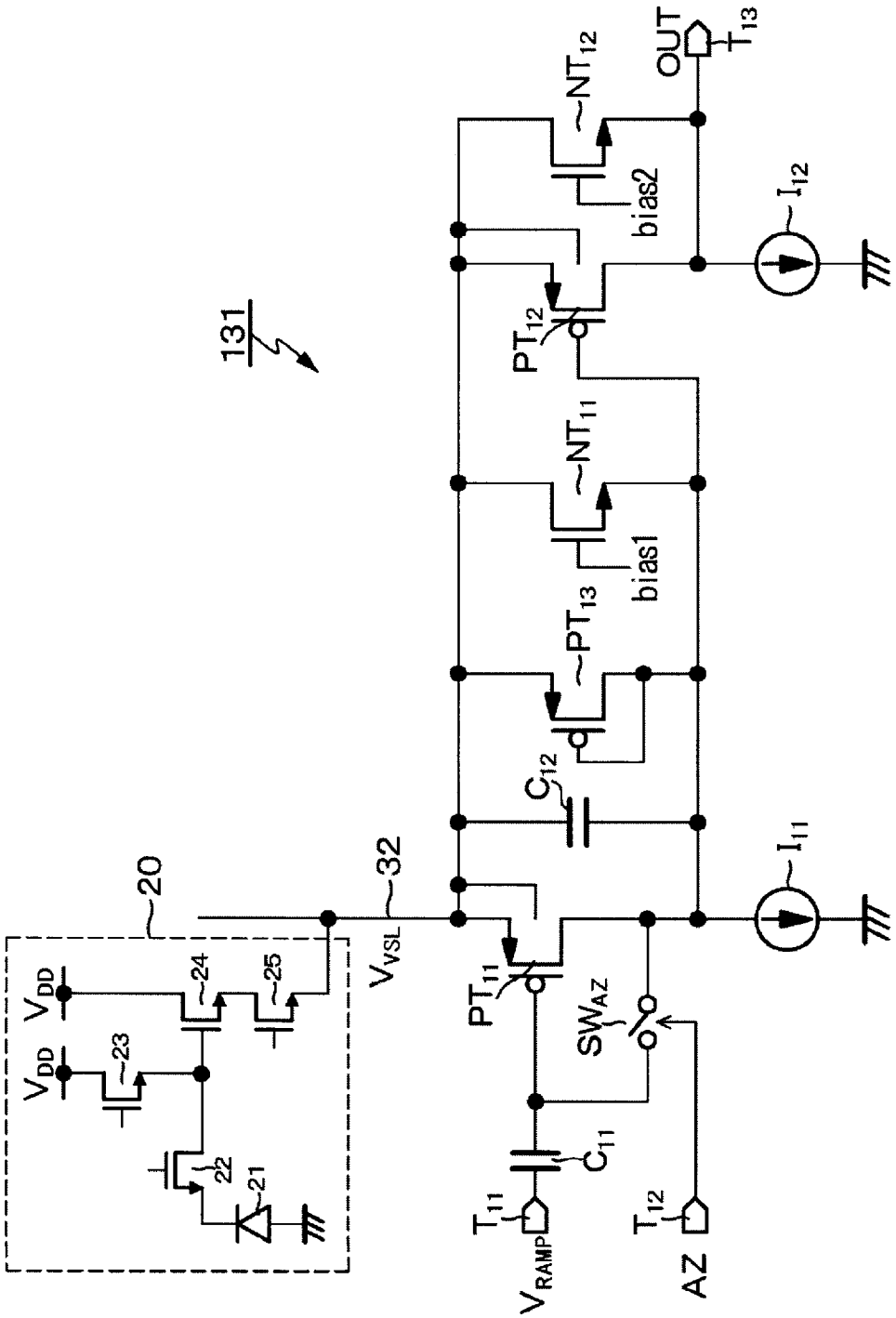
[図3B]


1
45
11
43
42
画素アレイ部
42
46
13
12
アナログ－デジタル変換部
44
ロジック回路部
15
14

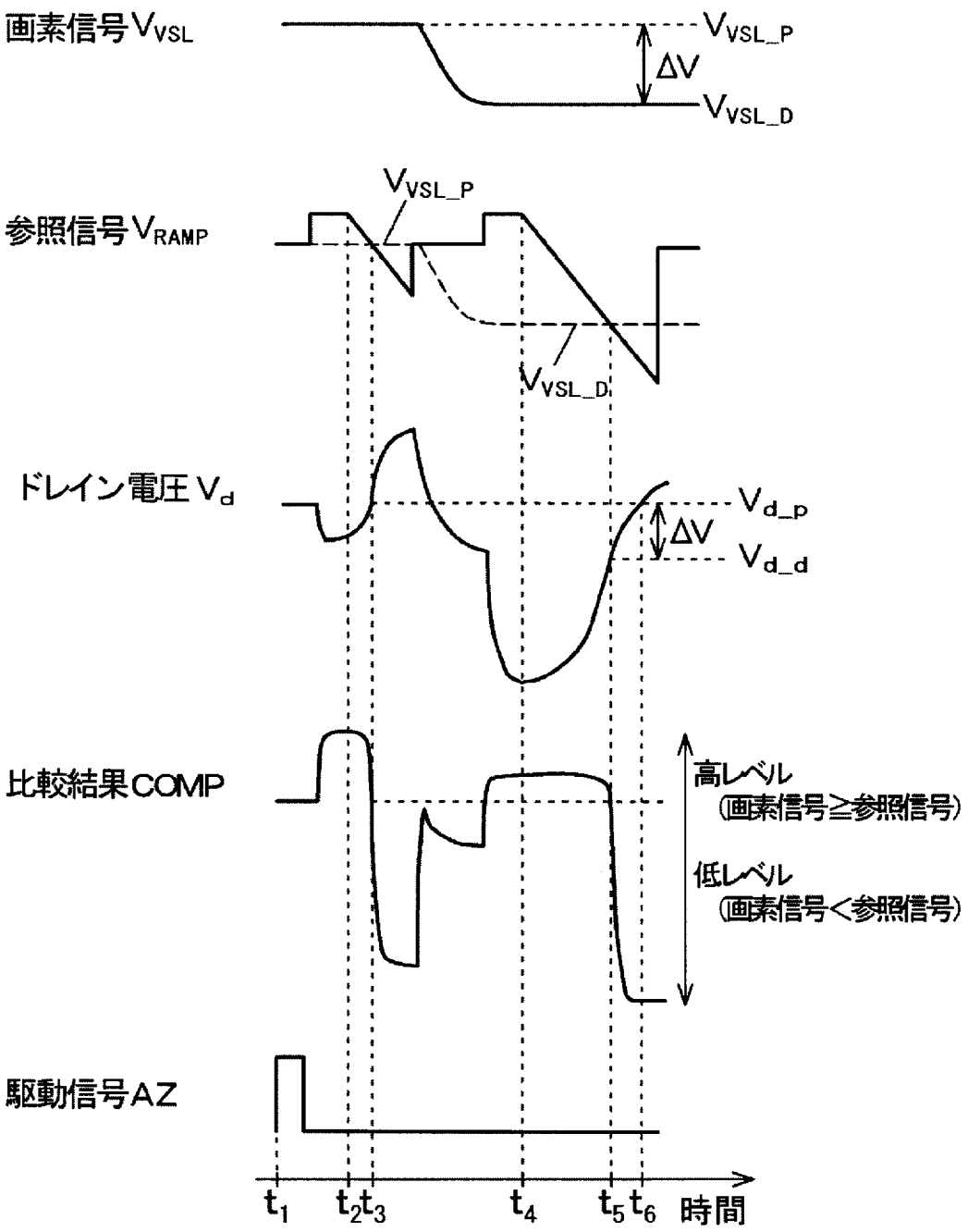
[図4]


11
画素アレイ部
32₁
32n
13
16
VRAMP
VVSL
130
131
CLK
カウンタ
カウンタ
カウンタ
カウンタ
カウンタ
132
タイミング制御部
ロジック回路部
15
14

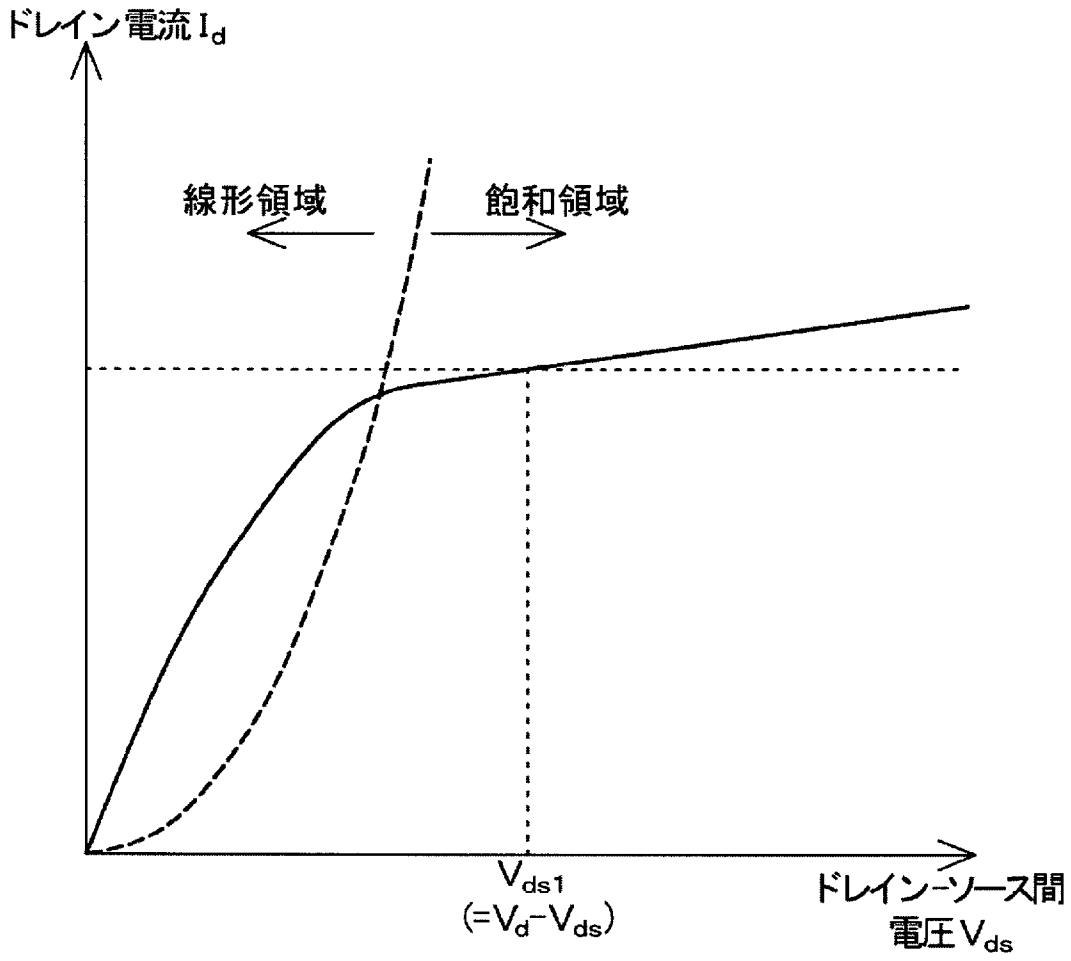
[図5]


131
20
32
V_{VSL}
V_{DD}
V_{DD}
23
24
25
22
21
PT_{11}
SW_{AZ}
C_{11}
T_{11}
V_{RAMP}
T_{12}
AZ
C_{12}
PT_{13}
bias1
NT_{11}
PT_{12}
bias2
NT_{12}
OUT
T_{13}
I_{11}
I_{12}

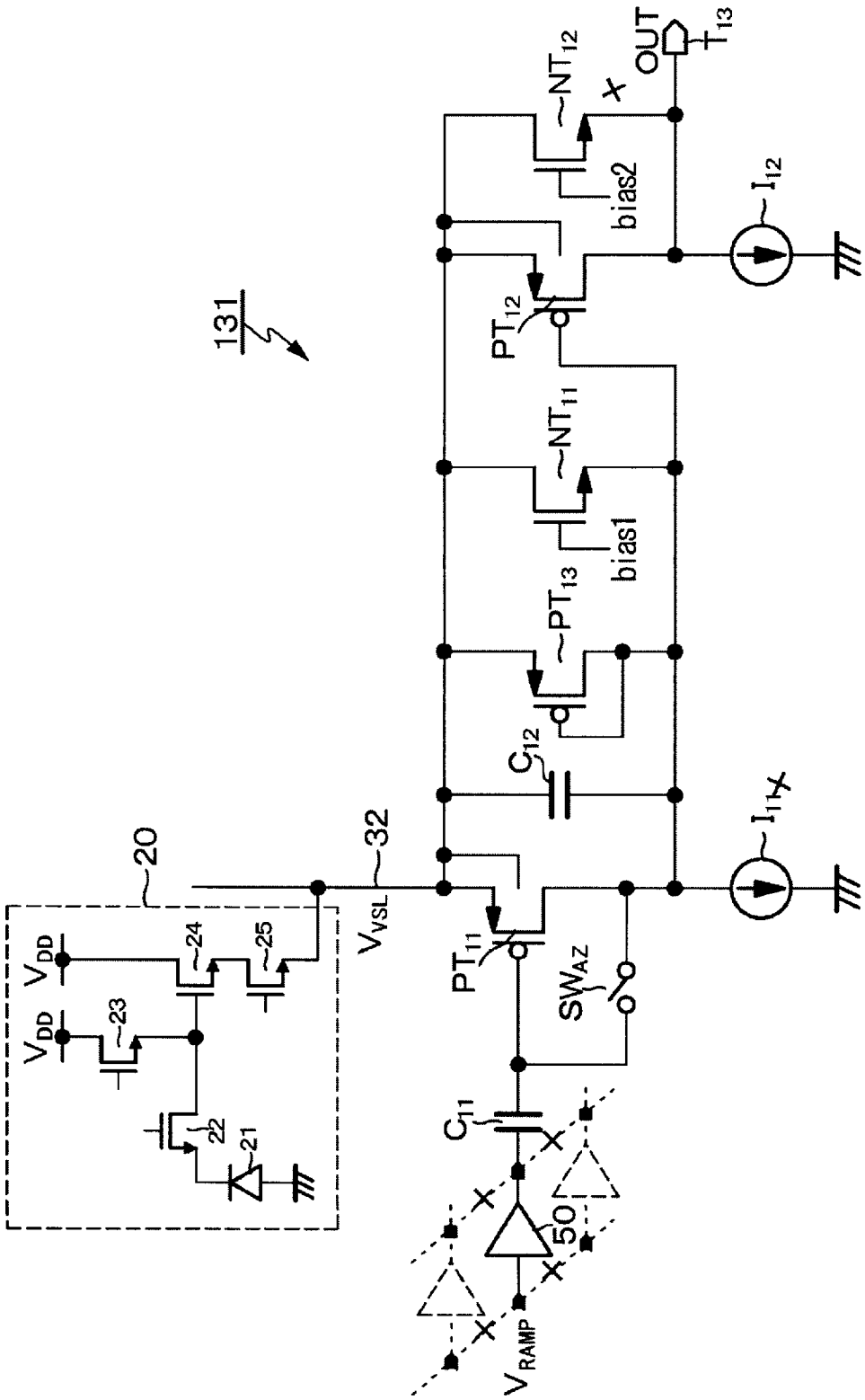
[図6]


画素信号VVSL
VVSL_P
ΔV
VVSL_D
参照信号VRAMP
VVSL_P
VVSL_D
ドレイン電圧Vd
Vd_p
ΔV
Vd_d
比較結果COMP
高レベル
(画素信号≧参照信号)
低レベル
(画素信号<参照信号)
駆動信号AZ
t1
t2
t3
t4
t5
t6
時間

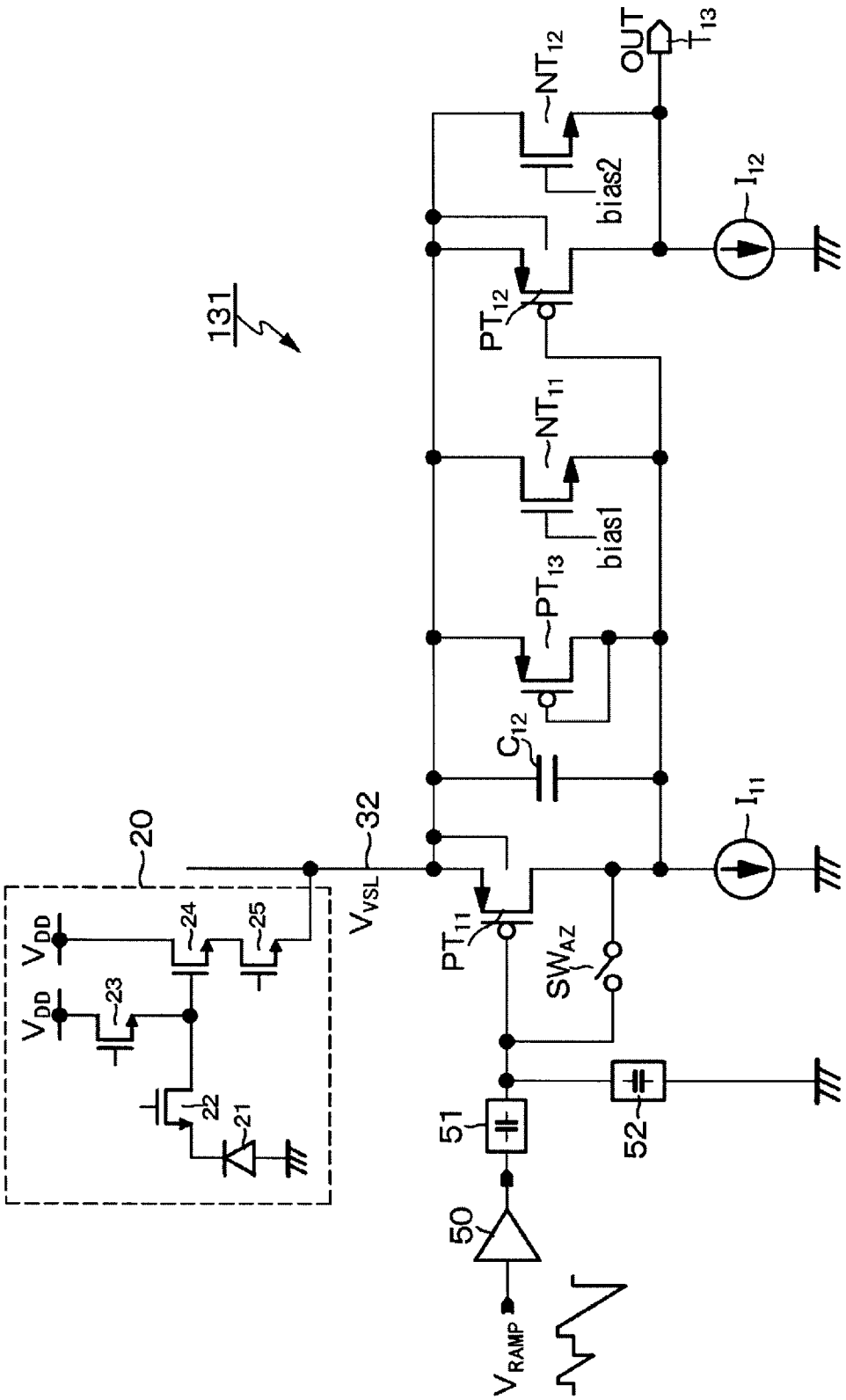
[図7]



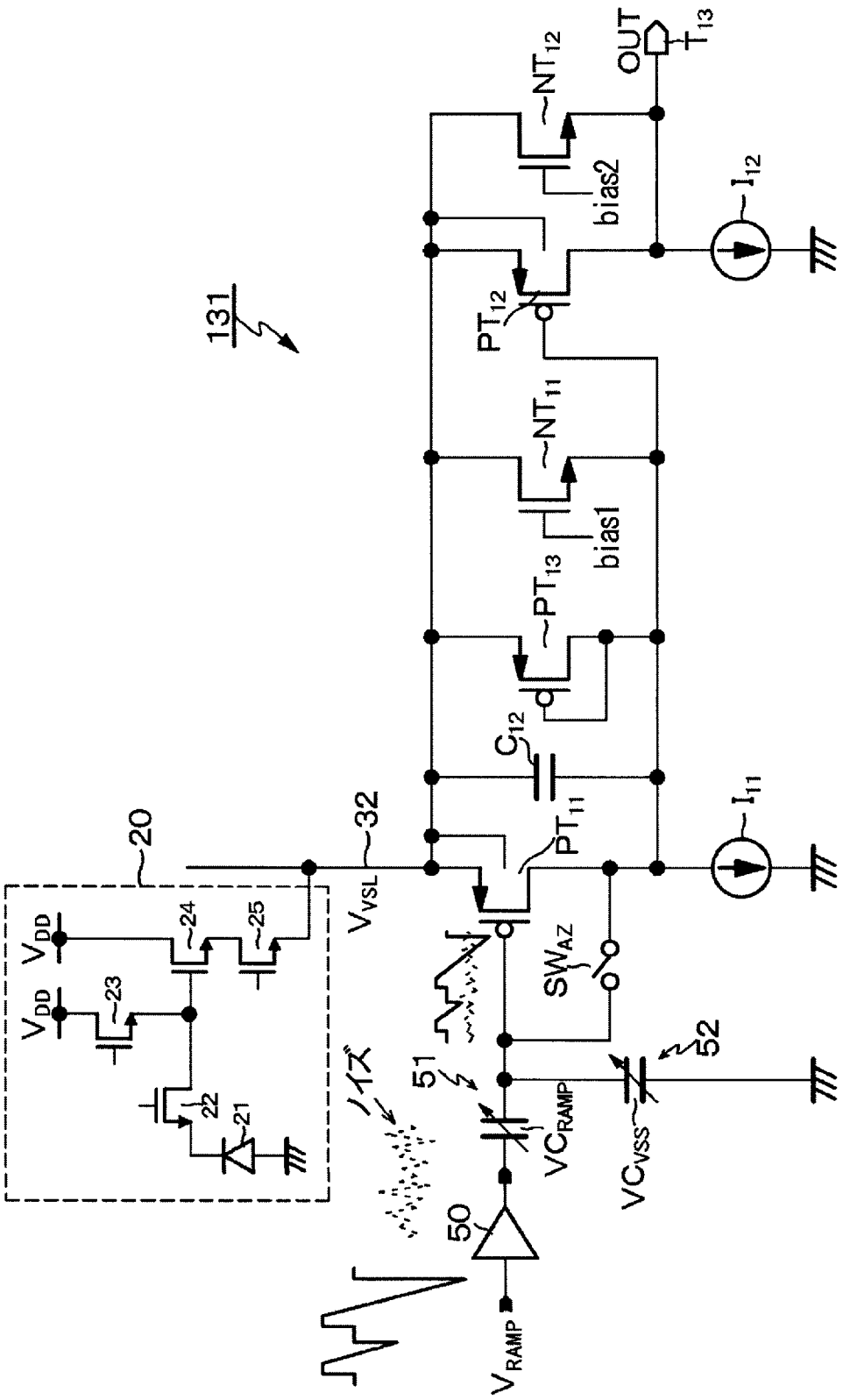
[図8]


131
20
32
OUT
T13
NT12
bias2
I12
PT12
NT11
bias1
PT13
C12
I11
PT11
SWAZ
C11
50
VRAMP
VDD
VDD
24
25
23
22
21
VVSL

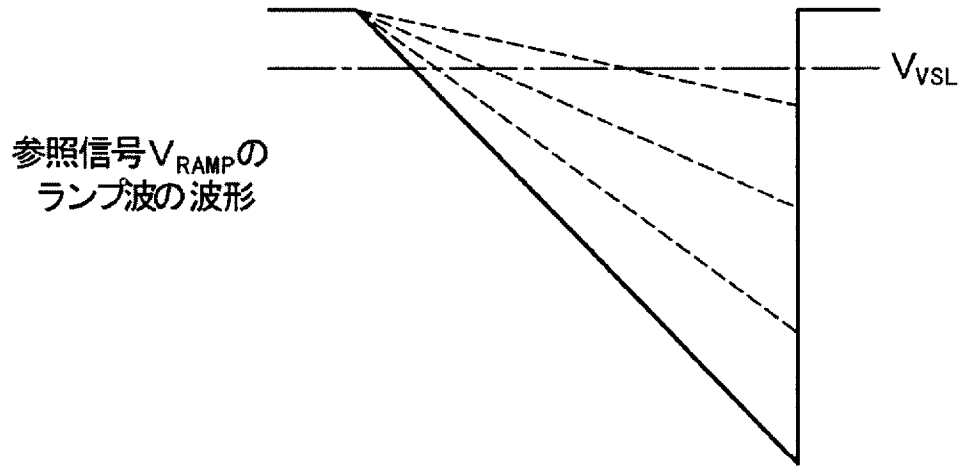
[図9]


131
20
32
OUT
T_{13}
NT_{12}
bias2
I_{12}
PT_{12}
NT_{11}
bias1
PT_{13}
C_{12}
I_{11}
V_{VSL}
PT_{11}
SW_{AZ}
V_{DD}
V_{DD}
24
25
23
22
21
51
52
50
V_{RAMP}

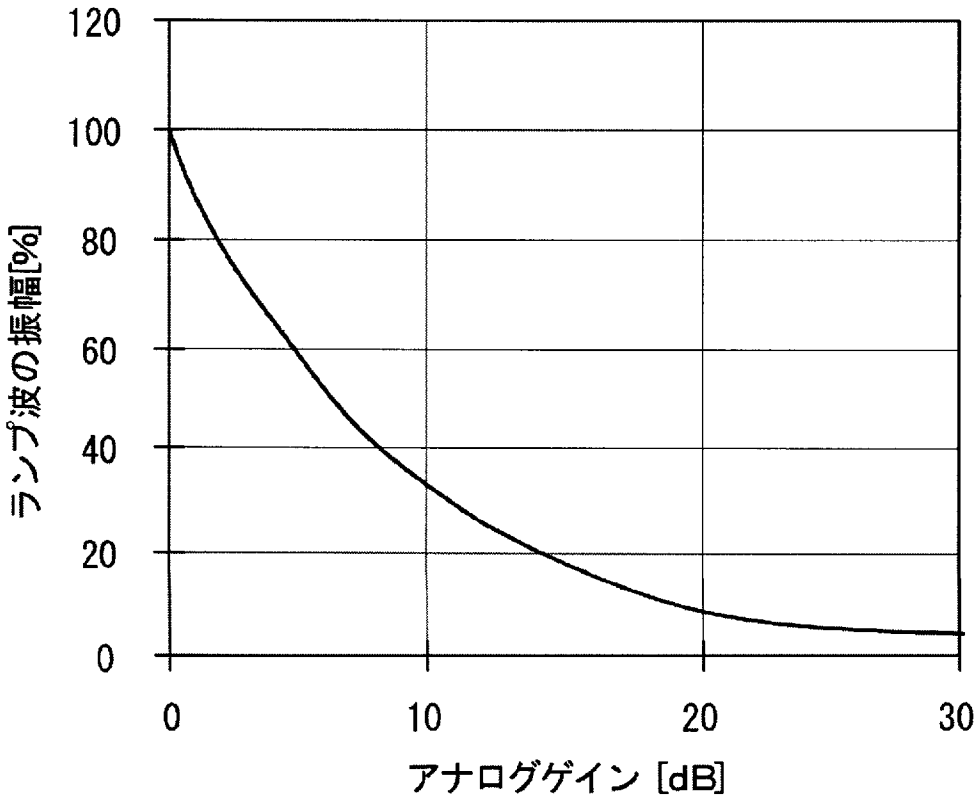
[図10]


131
OUT
T13
NT12
bias2
I12
PT12
NT11
bias1
PT13
C12
PT11
I11
20
32
VSL
VDD
24
25
23
22
21
SWAZ
17"
51
52
VCRAMP
VCVSS
50
VRAMP

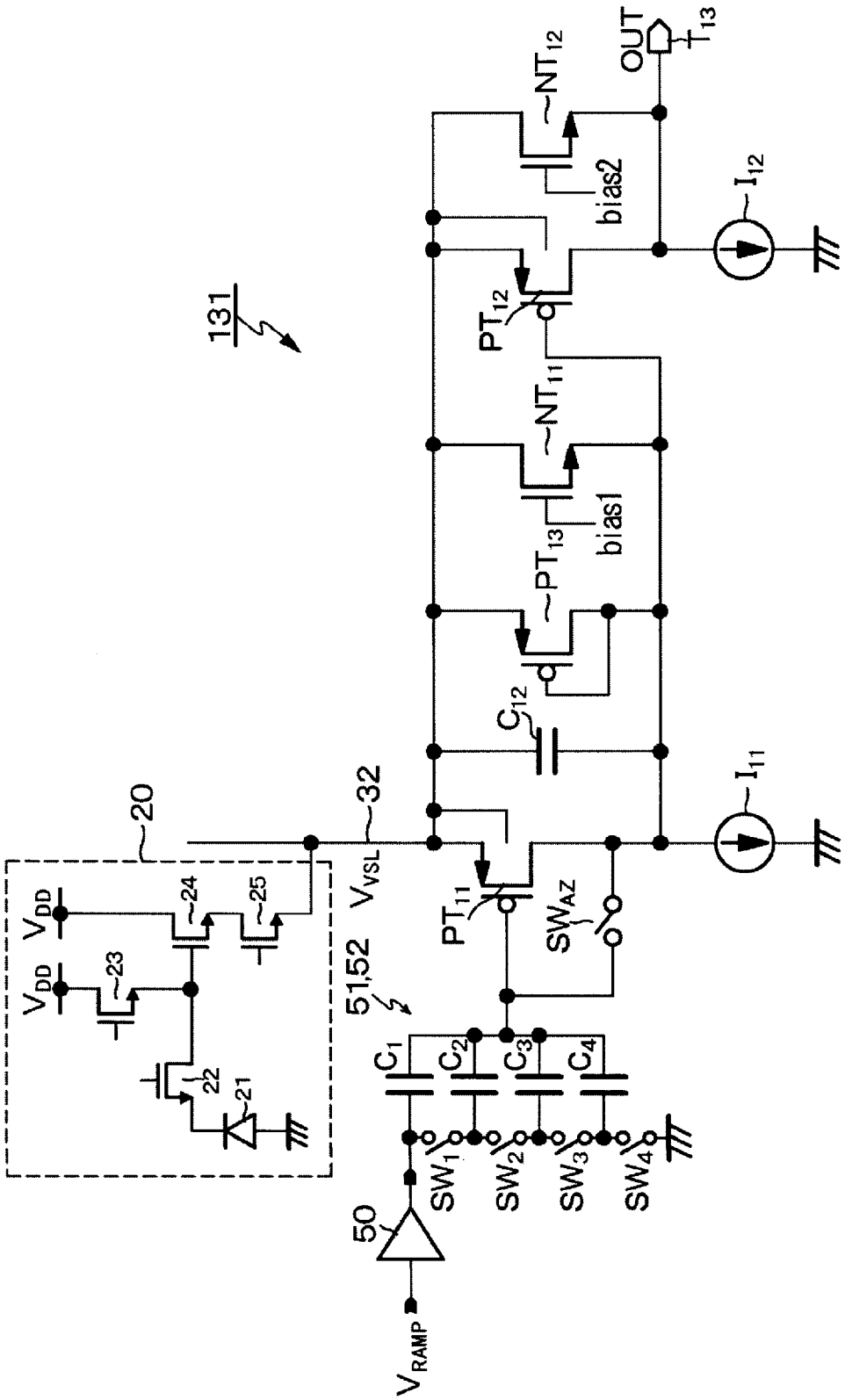
[図11A]


参照信号V_{RAMP}の
ランプ波の波形
V_{VSL}

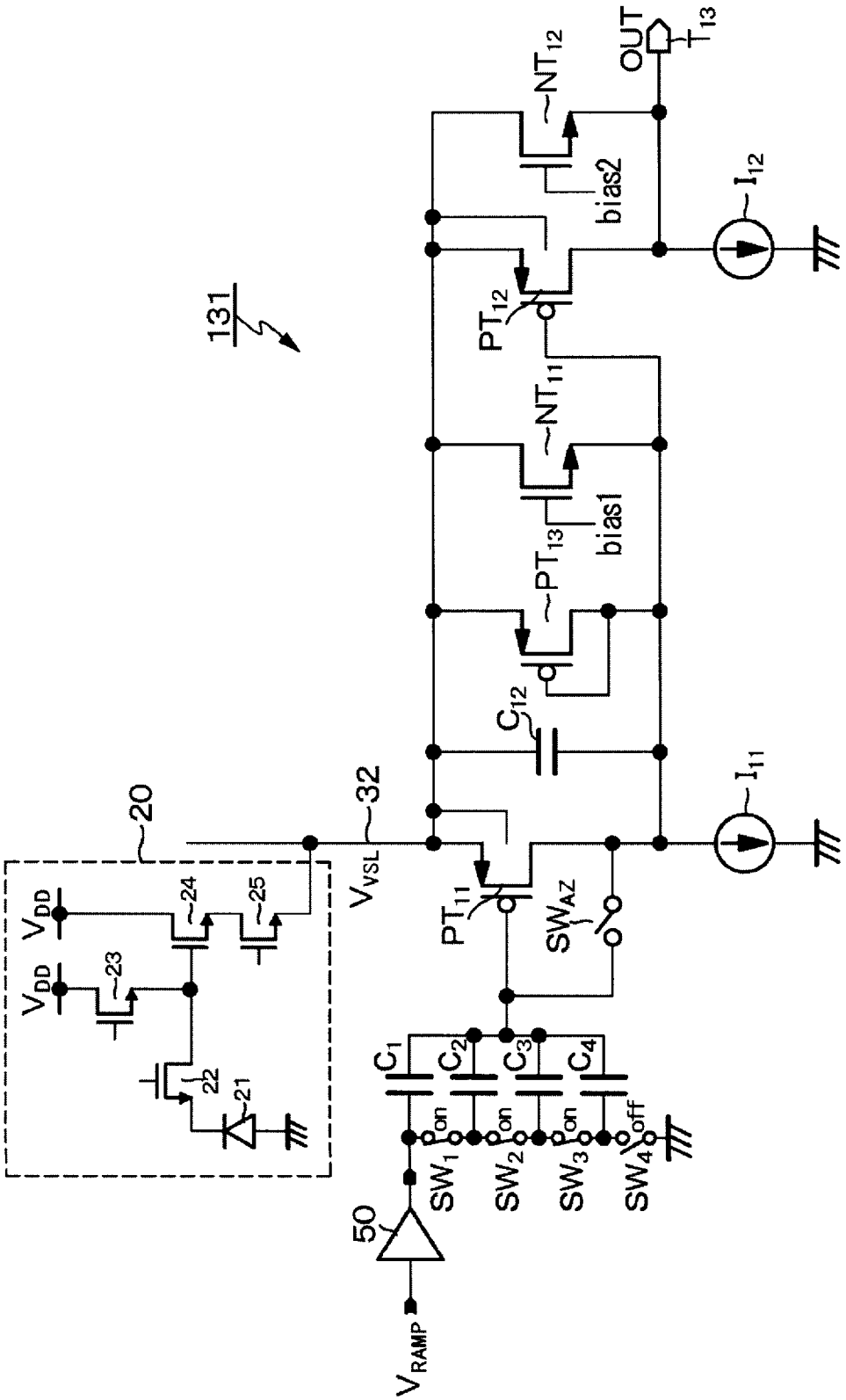
[図11B]


120
100
80
60
40
20
0
ランプ波の振幅[%]
0
10
20
30
アナログゲイン [dB]

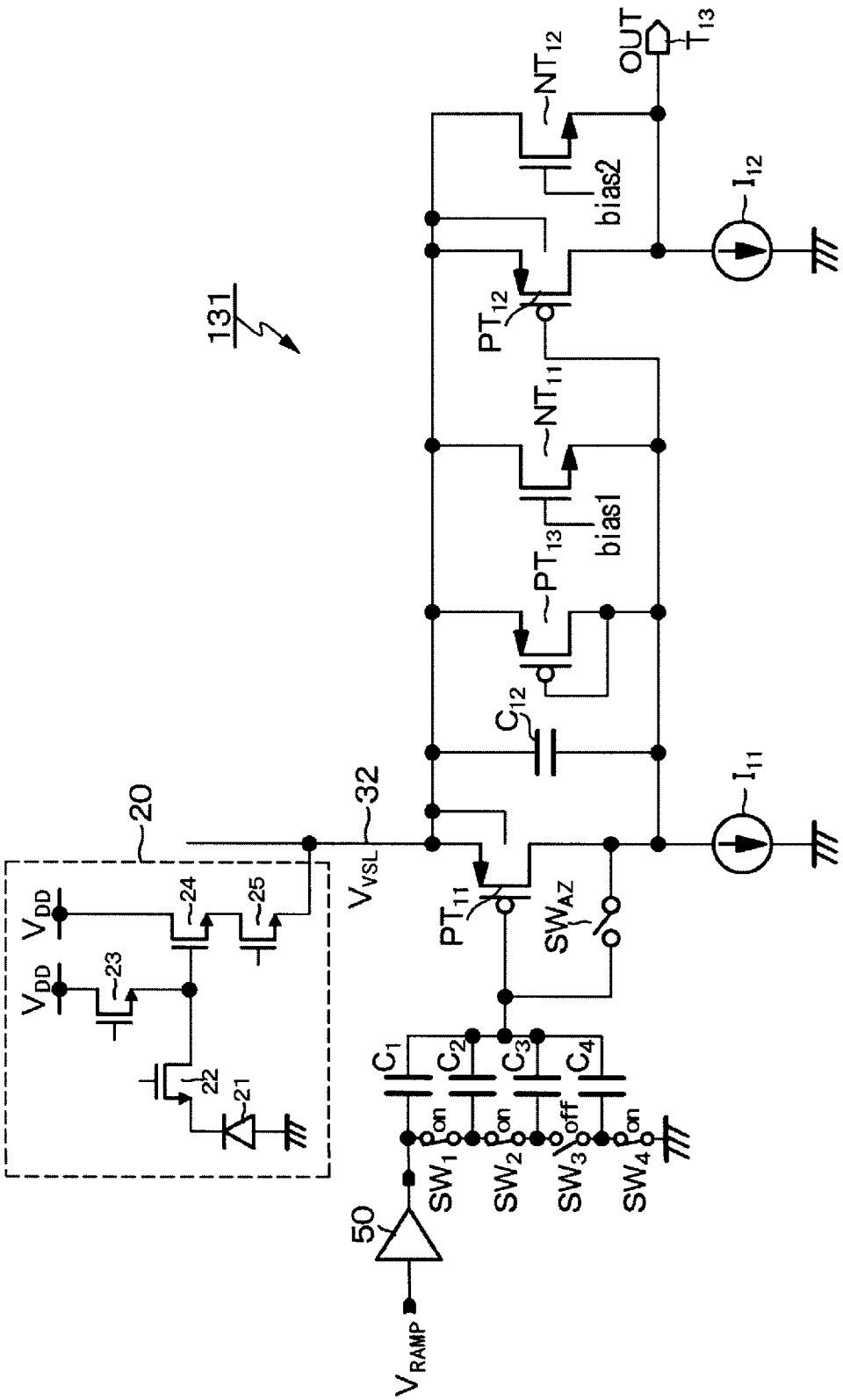
[図12]


131
OUT
T13
NT12
bias2
I12
PT12
NT11
bias1
PT13
C12
I11
20
32
VSL
PT11
SWAZ
51,52
C1
C2
C3
C4
SW1
SW2
SW3
SW4
50
VRAMP
VDD
VDD
23
24
25
22
21

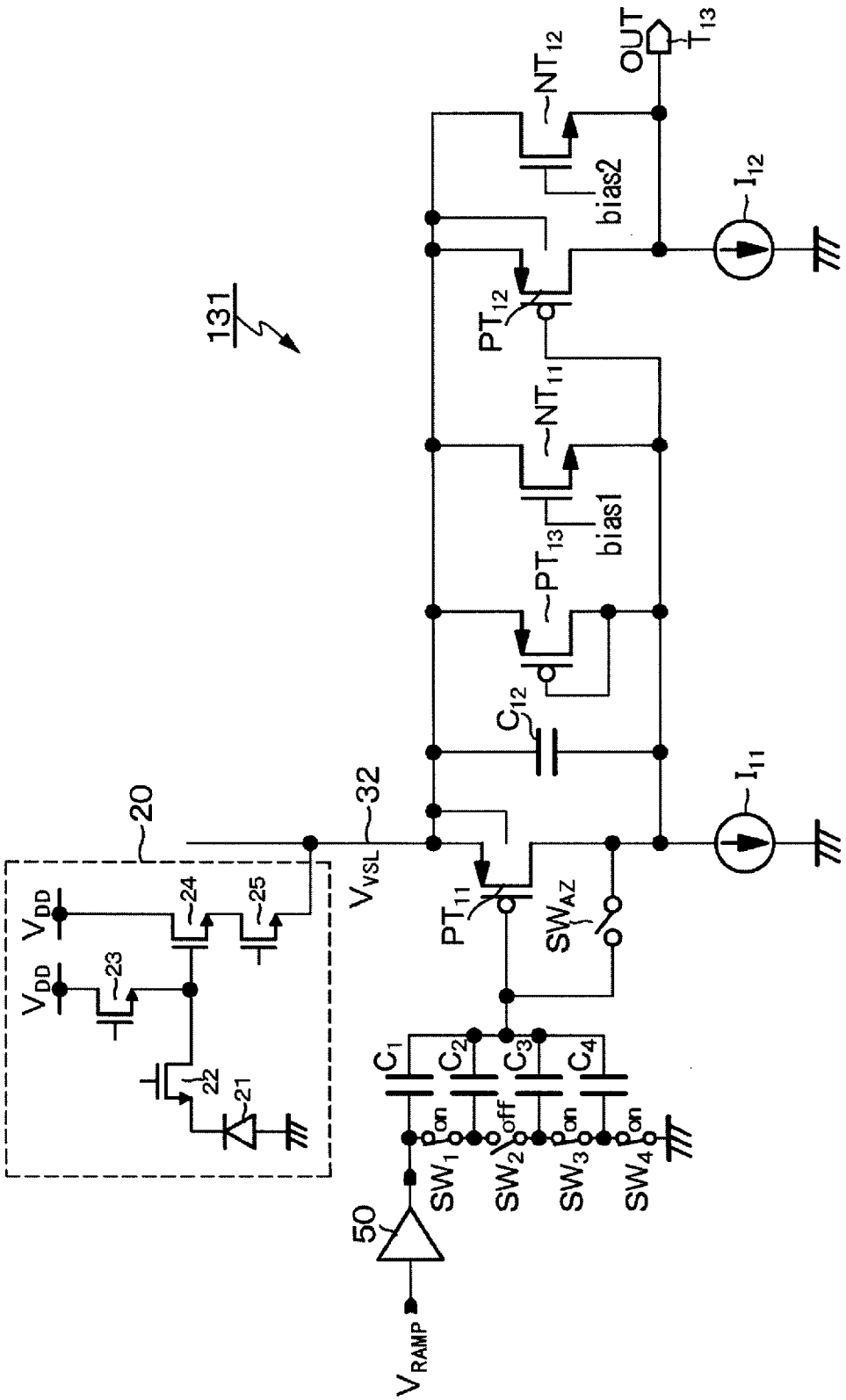
[図13]


131
20
32
OUT
T13
NT12
bias2
I12
PT12
NT11
bias1
PT13
C12
I11
VDD
24
25
23
22
21
VVSL
PT11
SWAZ
C1
C2
C3
C4
on
on
on
off
SW1
SW2
SW3
SW4
50
VRAMP

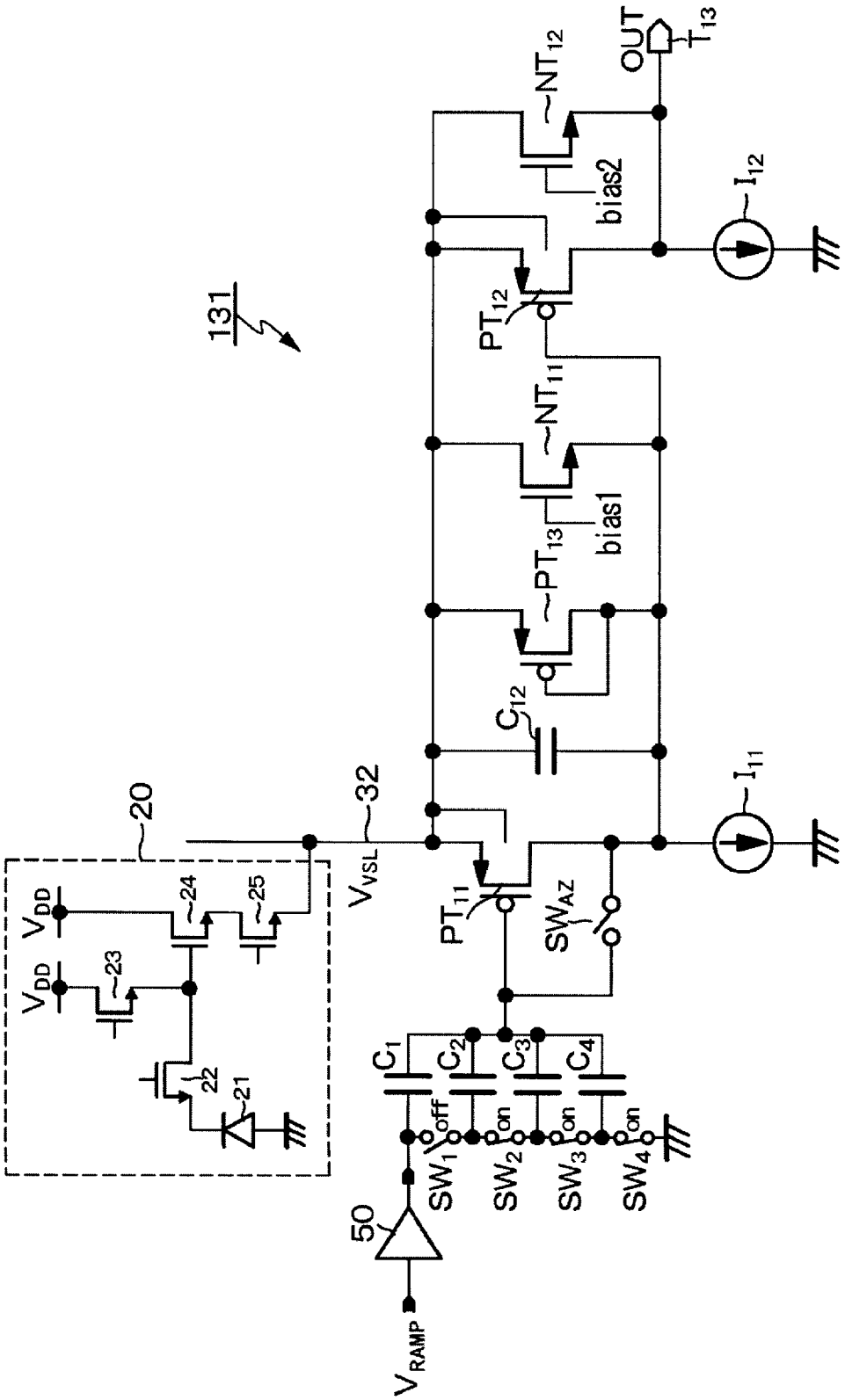
[図14]


131
OUT
T13
NT12
bias2
I12
PT12
NT11
bias1
PT13
C12
I11
20
32
VSL
PT11
SWAZ
VDD
24
25
23
22
21
C1
C2
C3
C4
SW1
SW2
SW3
SW4
on
on
off
on
50
VRAMP

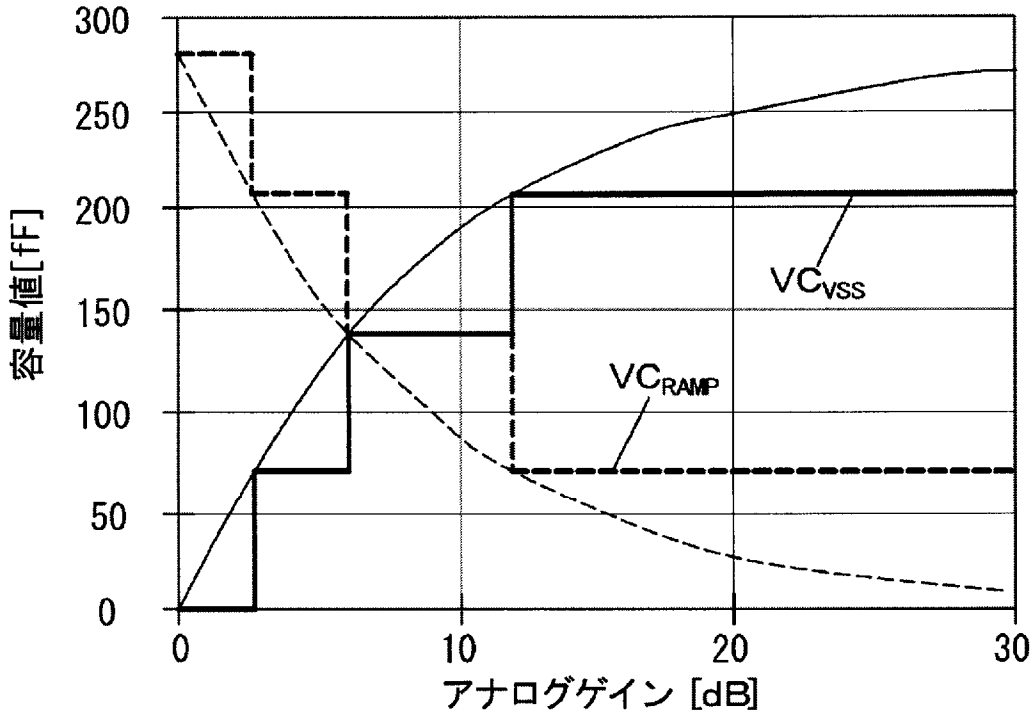
[図15]


131
OUT
T13
NT12
bias2
I12
PT12
NT11
bias1
PT13
C12
I11
20
32
VSL
PT11
SWAZ
VDD
24
25
23
22
21
C1
C2
C3
C4
SW1
SW2
SW3
SW4
on
off
on
on
50
VRAMP

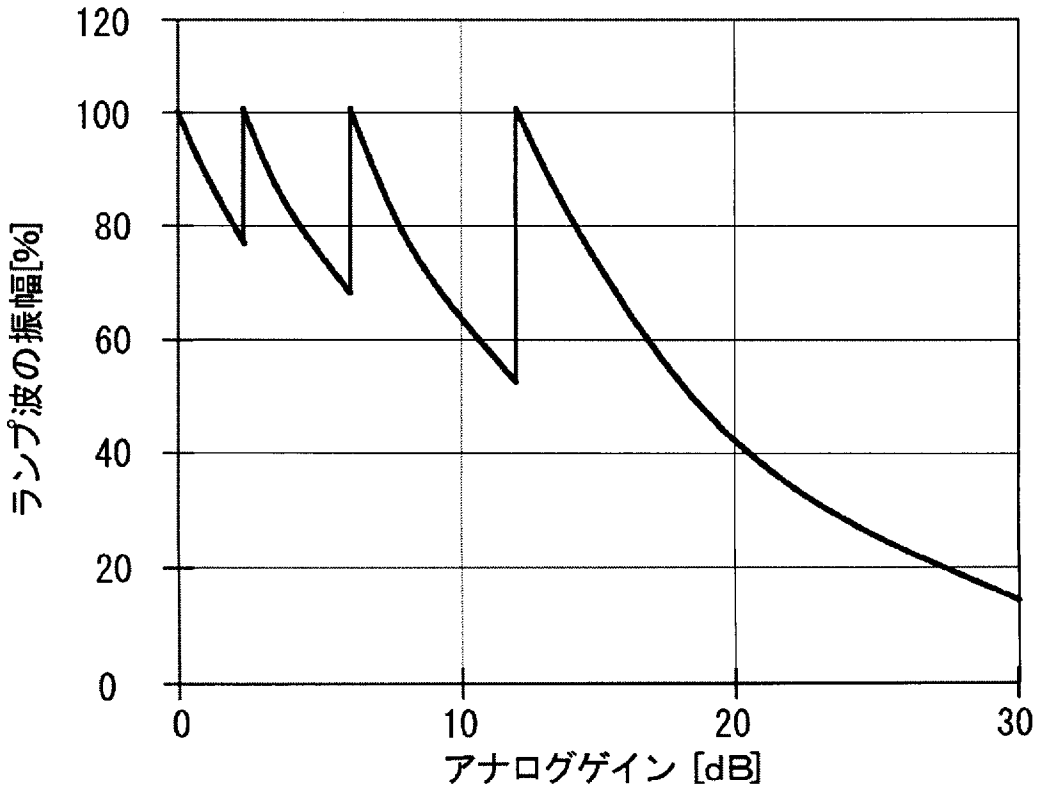
[図16]


131
20
32
OUT
T13
NT12
bias2
I12
PT12
NT11
PT13
bias1
C12
I11
VDD
24
25
23
22
21
VVSL
PT11
SWAZ
C1
C2
C3
C4
SW1
SW2
SW3
SW4
off
on
on
on
50
VRAMP

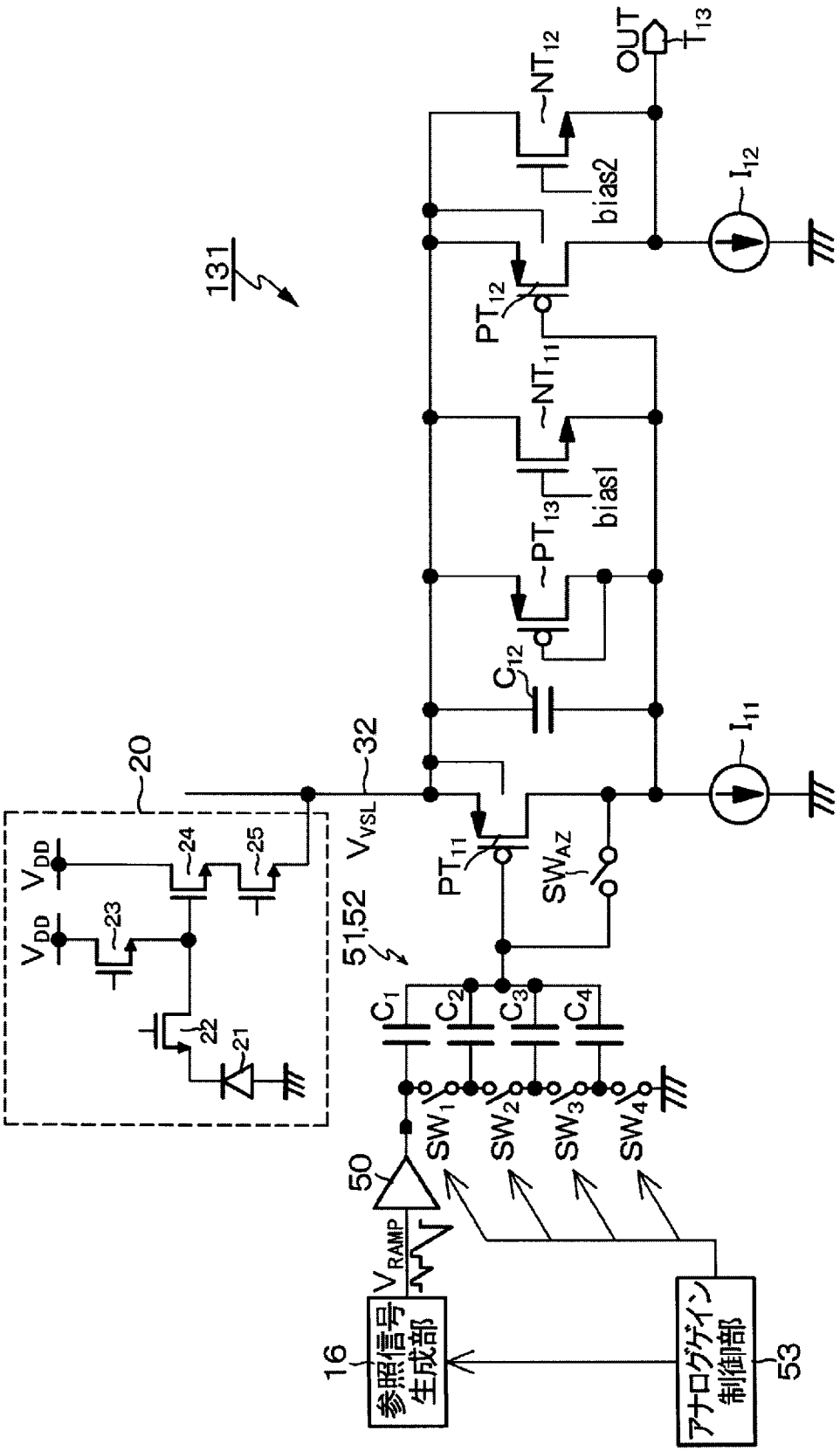
[図17A]


300
250
200
150
100
50
0
容量値[fF]
VCVSS
VCRAMP
0
10
20
30
アナログゲイン [dB]

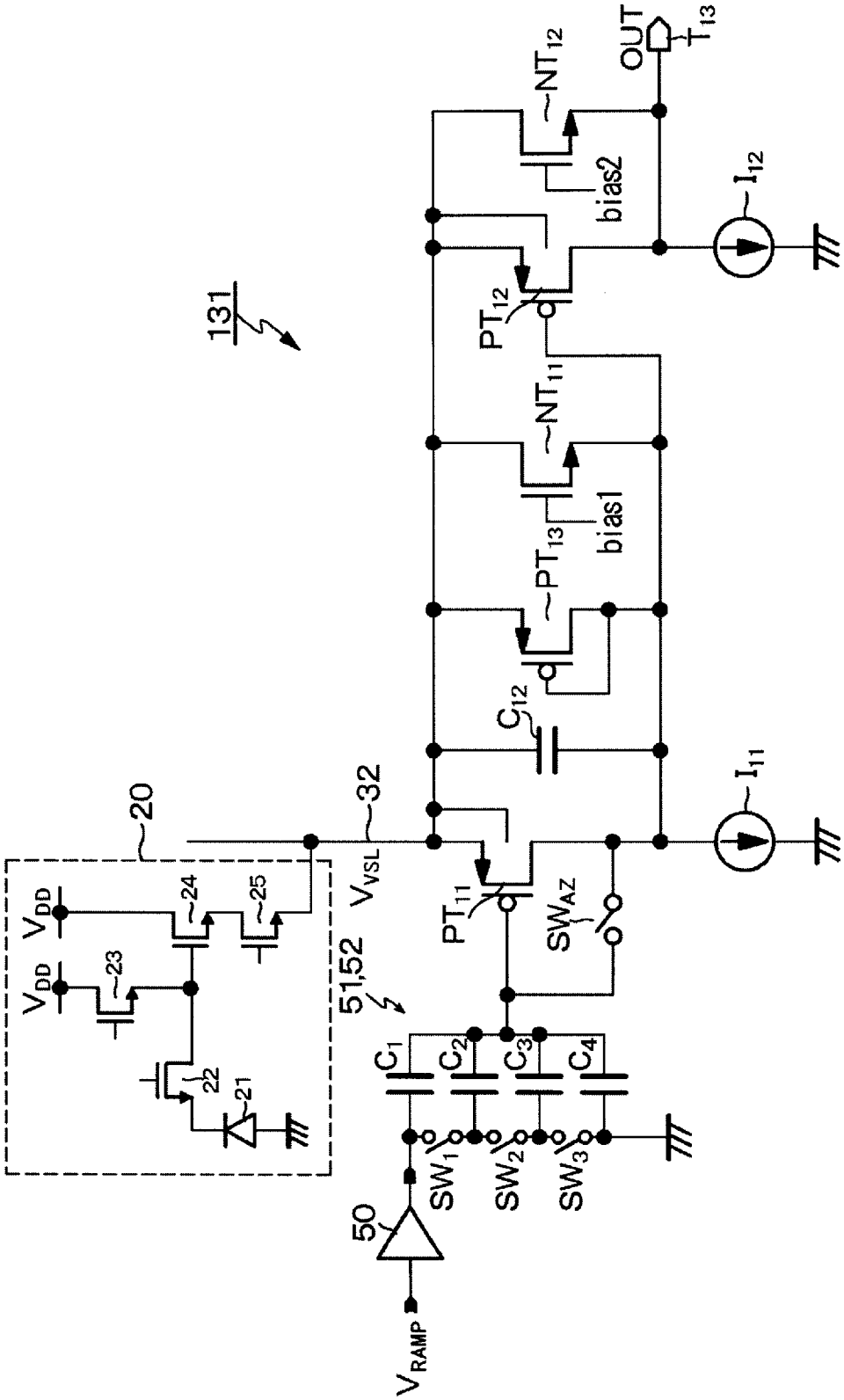
[図17B]


120
100
80
60
40
20
0
ランプ波の振幅[%]
0
10
20
30
アナログゲイン [dB]

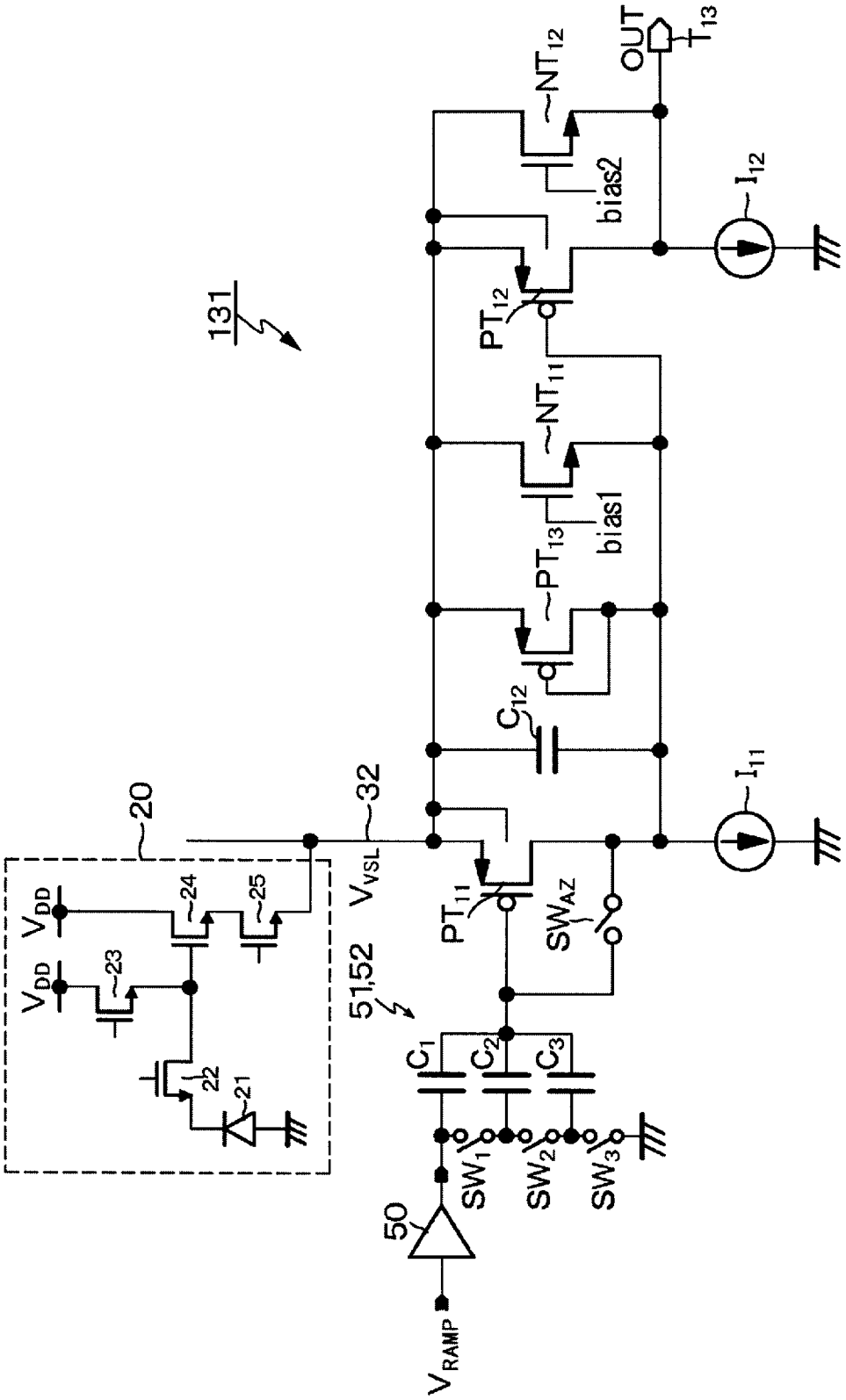
[図18]


131
OUT
T13
NT12
bias2
I12
PT12
NT11
bias1
PT13
C12
I11
20
32
VSL
PT11
SWAZ
51,52
VDD
24
25
23
22
21
C1
C2
C3
C4
SW1
SW2
SW3
SW4
50
VRAMP
16
参照信号生成部
アナログゲイン制御部
53

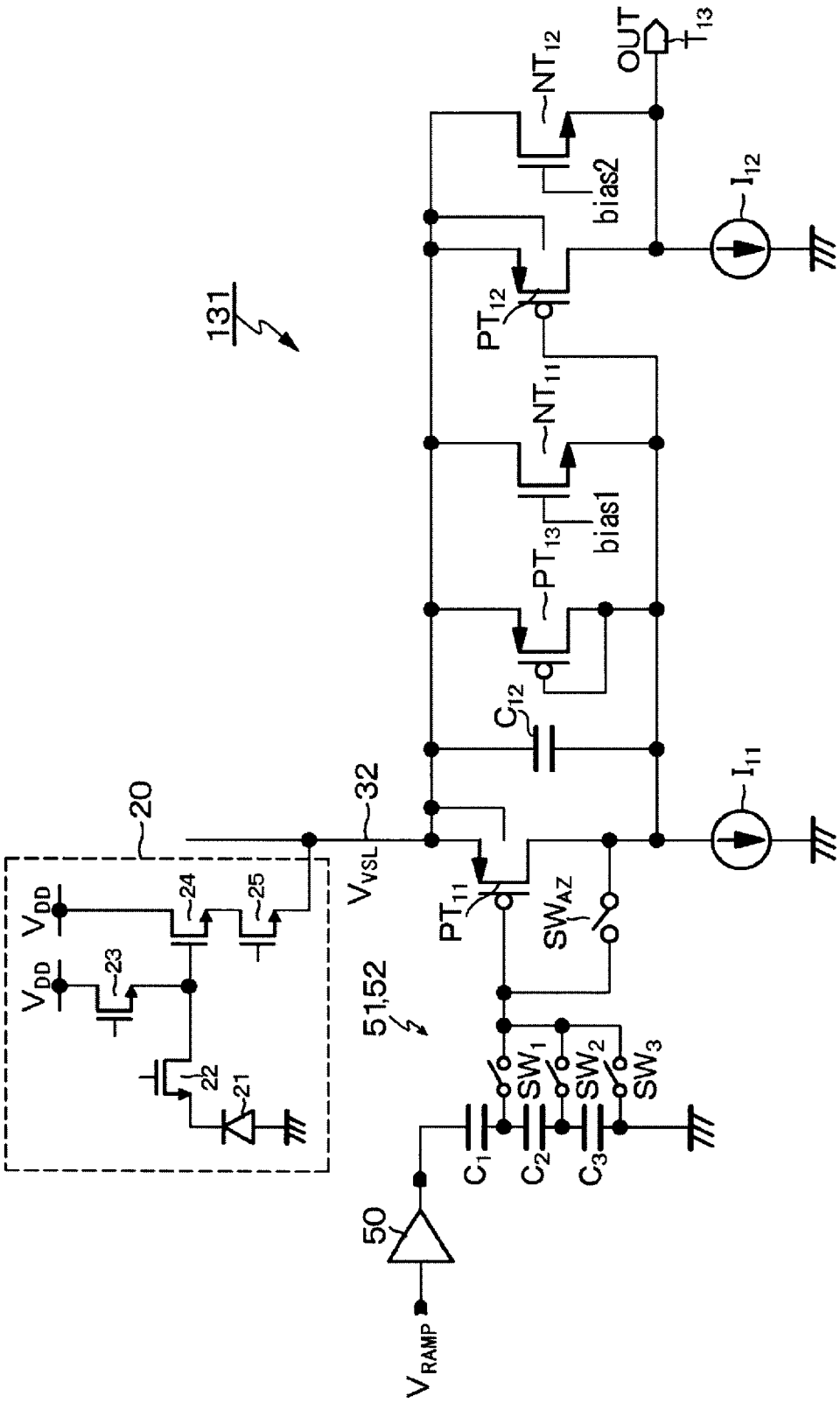
[図19]


131
OUT
T13
NT12
bias2
I12
PT12
NT11
PT13
bias1
C12
I11
20
32
VSL
PT11
SWAZ
51,52
C1
C2
C3
C4
SW1
SW2
SW3
50
VRAMP
VDD
VDD
23
24
25
22
21

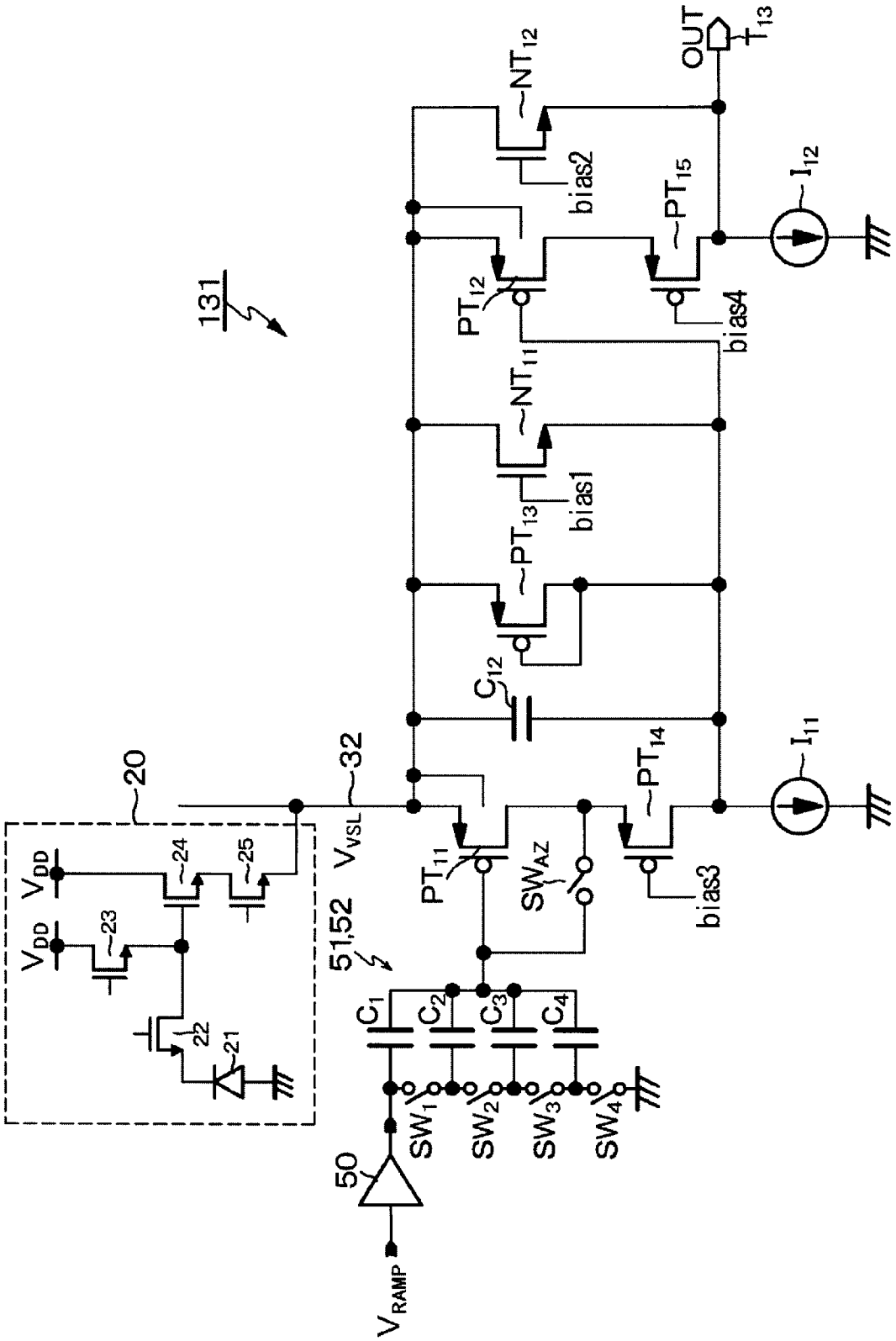
[図20]


131
OUT
T13
NT12
bias2
I12
PT12
NT11
PT13
bias1
C12
I11
20
32
VSL
VDD
24
25
23
22
21
51,52
PT11
SWAZ
C1
C2
C3
SW1
SW2
SW3
50
VRAMP

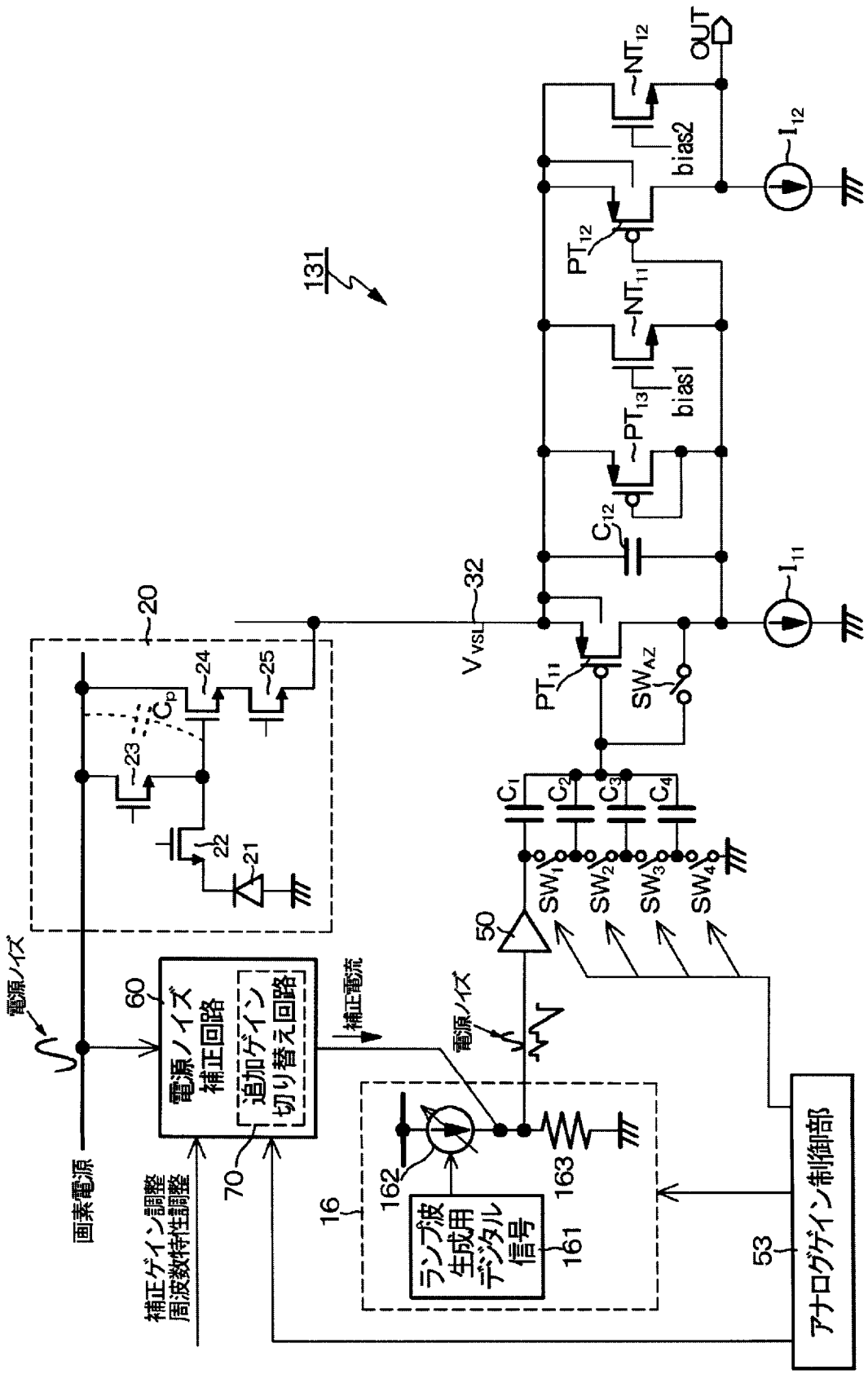
[図21]


131
OUT
T13
NT12
bias2
I12
PT12
NT11
PT13
bias1
C12
I11
20
32
VSL
PT11
SWAZ
51,52
SW1
SW2
SW3
C1
C2
C3
50
VRAMP
VDD
24
25
23
22
21

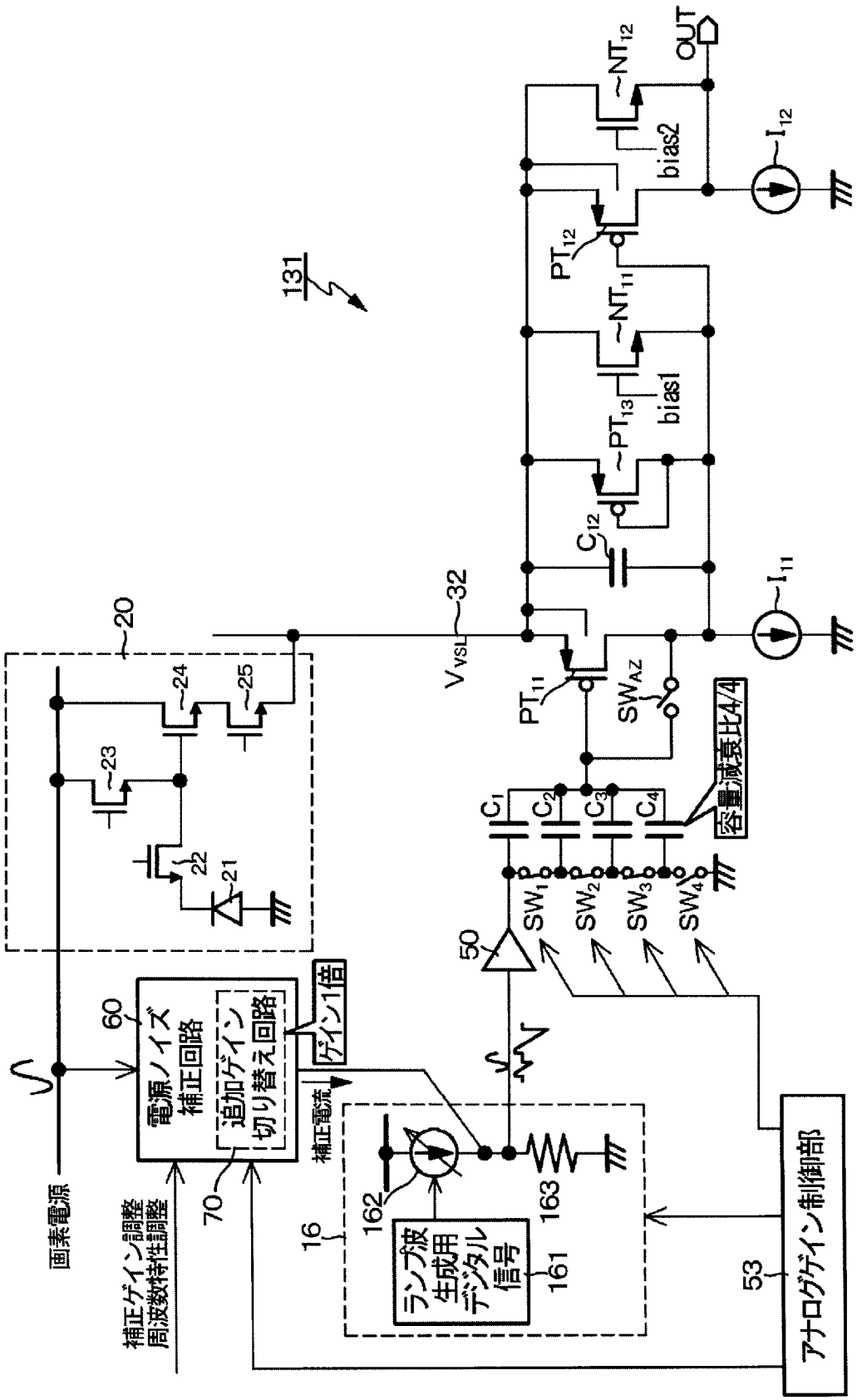
[図22]


131
OUT
T13
NT12
bias2
PT15
I12
PT12
bias4
NT11
bias1
PT13
C12
20
32
VSL
PT14
I11
VDD
24
25
VDD
23
22
21
PT11
SWAZ
bias3
51,52
C1
C2
C3
C4
SW1
SW2
SW3
SW4
50
VRAMP

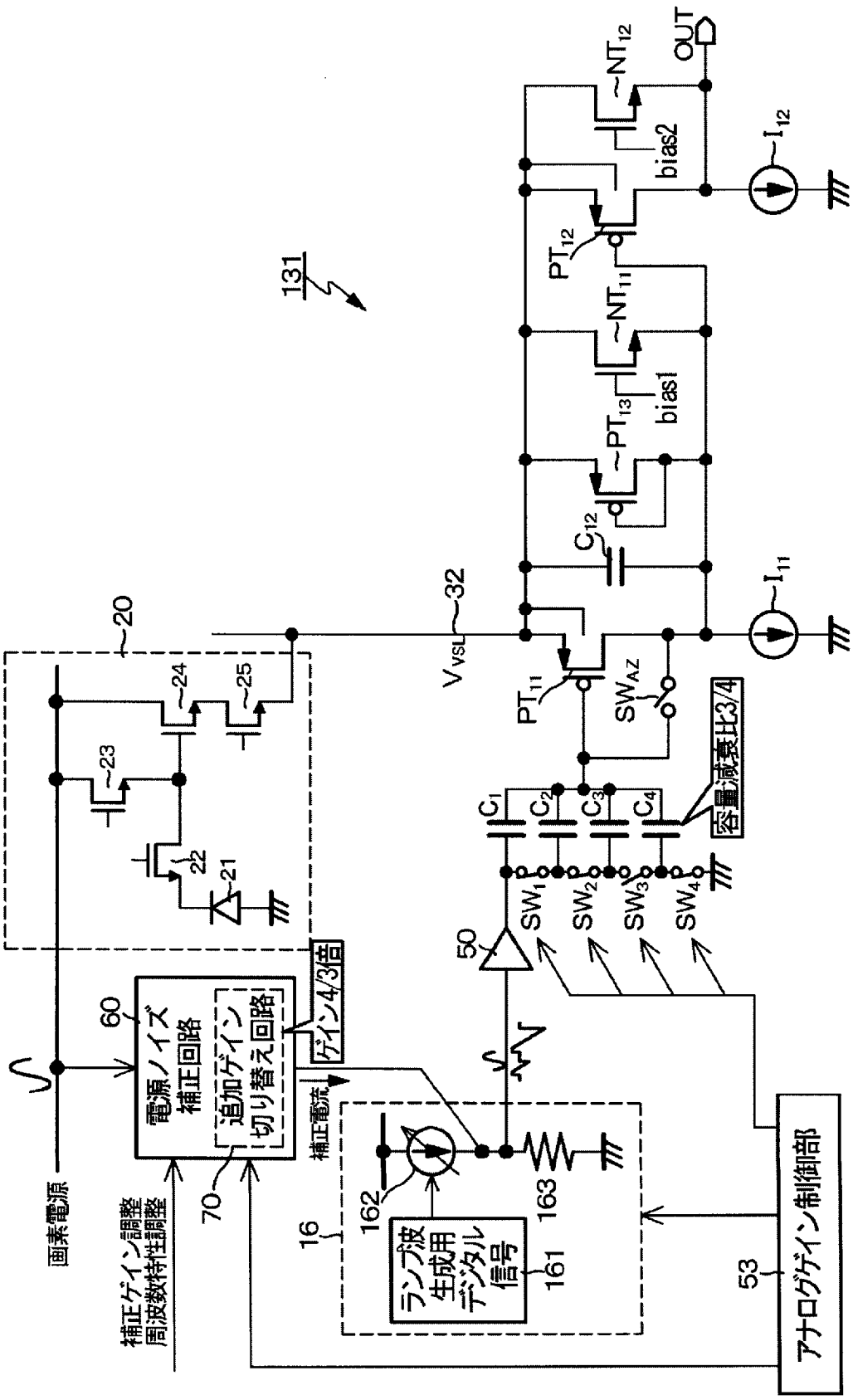
[図23]


131
OUT
bias2
bias1
32
20
60
70
50
16
53
電源ノイズ
画素電源
補正ゲイン調整
周波数特性調整
電源ノイズ補正回路
追加ゲイン切り替え回路
補正電流
ランプ波生成用デジタル信号
アナログゲイン制御部

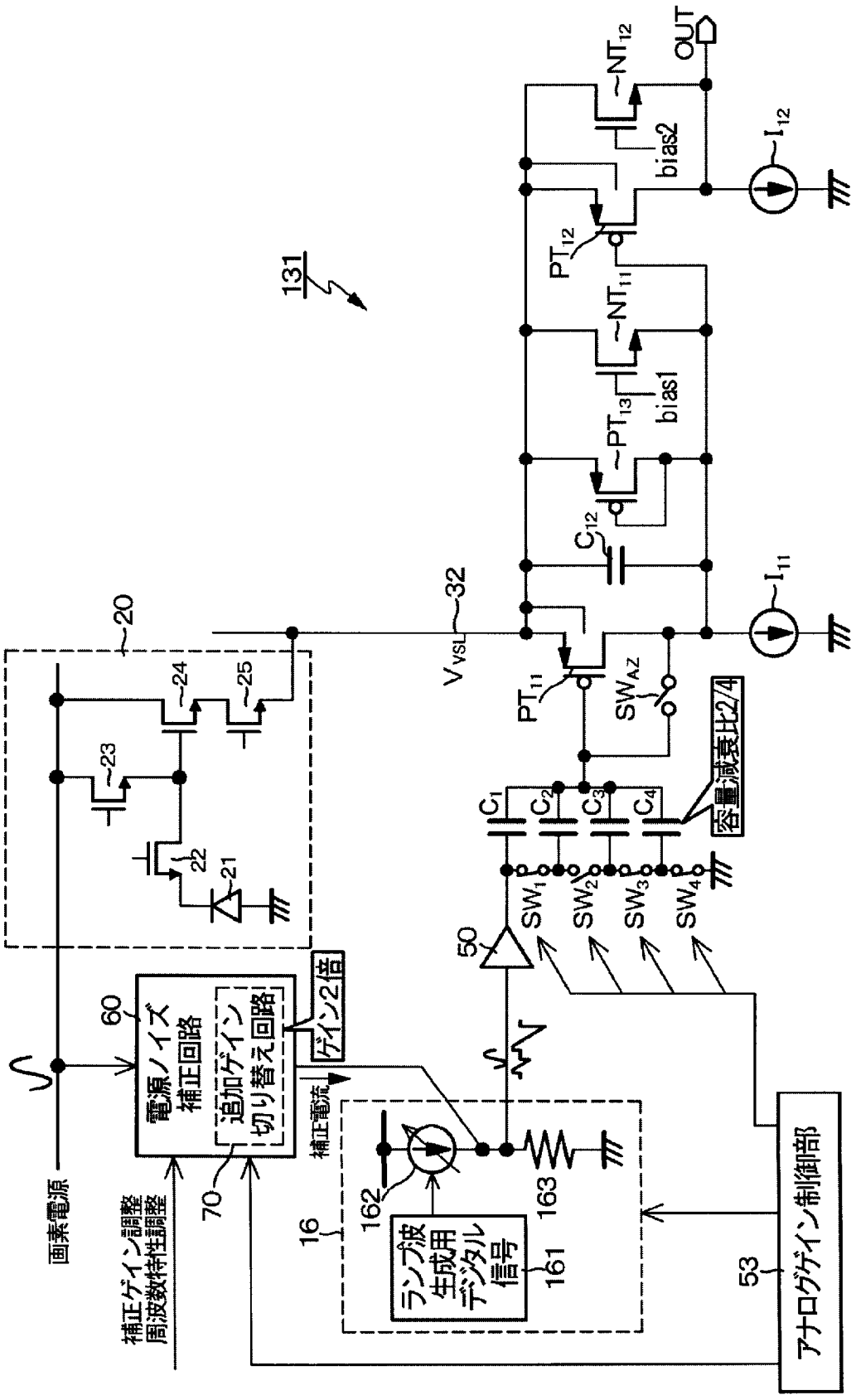
[図24]


131
OUT
NT_{12}
bias2
I_{12}
PT_{12}
NT_{11}
PT_{13}
bias1
C_{12}
I_{11}
20
32
V_{VSL}
PT_{11}
SW_{AZ}
容量減衰比4/4
C_1 C_2 C_3 C_4
SW_1 SW_2 SW_3 SW_4
50
24
25
23
22
21
60
電源ノイズ補正回路
追加ゲイン切り替え回路
ゲイン1倍
補正電流
画素電源
補正ゲイン調整
周波数特性調整
70
16
162
163
ランプ波生成用デジタル信号
161
53
アナログゲイン制御部

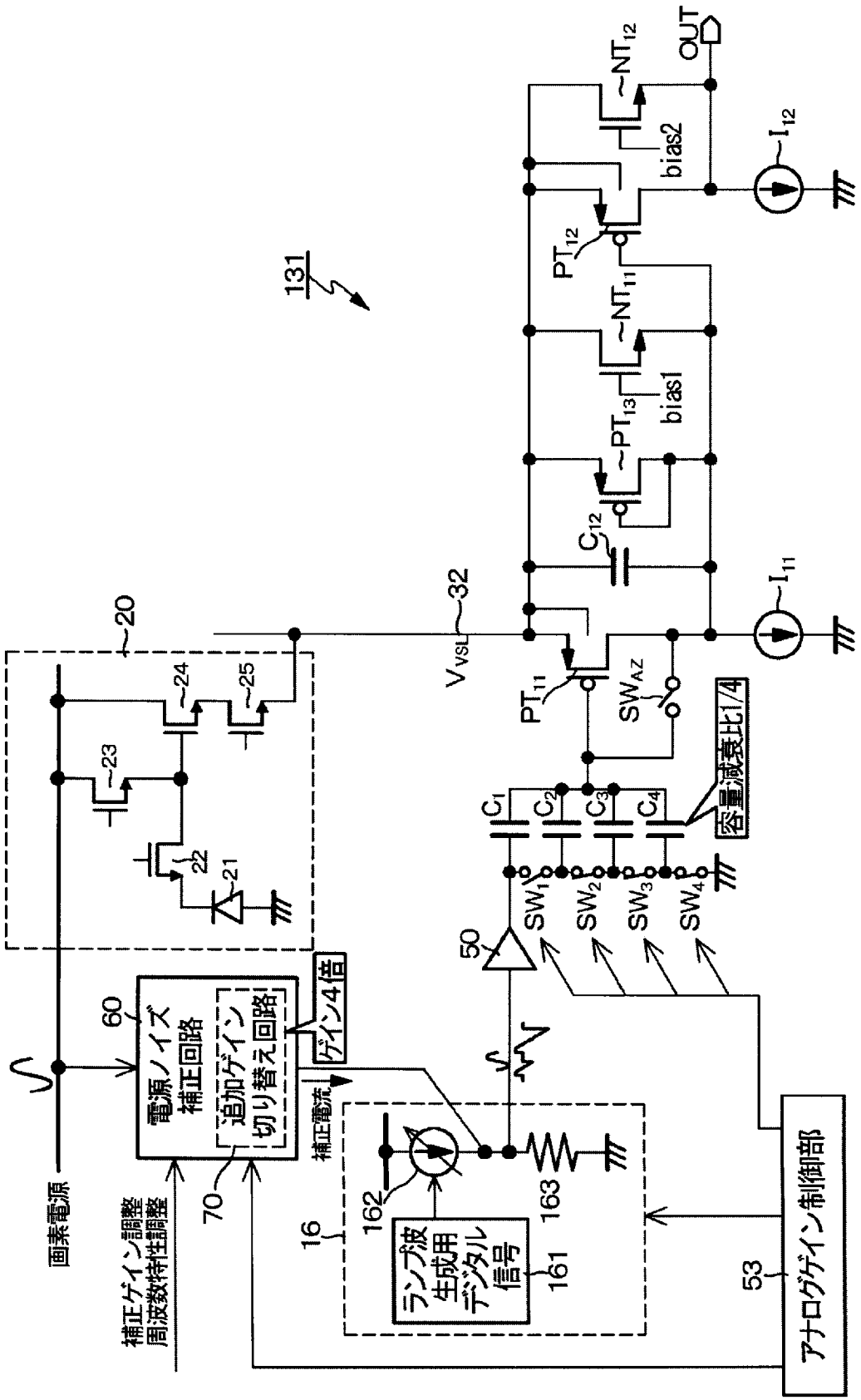
[図25]


131
OUT
NT12
bias2
I12
PT12
NT11
bias1
PT13
C12
I11
20
32
VVSL
24
25
23
22
21
PT11
SWAZ
容量減衰比3/4
C1
C2
C3
C4
SW1
SW2
SW3
SW4
50
60
電源ノイズ補正回路
追加ゲイン切り替え回路
ゲイン4/3倍
補正電流
画素電源
補正ゲイン調整
周波数特性調整
70
16
162
163
ランプ波生成用デジタル信号
161
53
アナログゲイン制御部

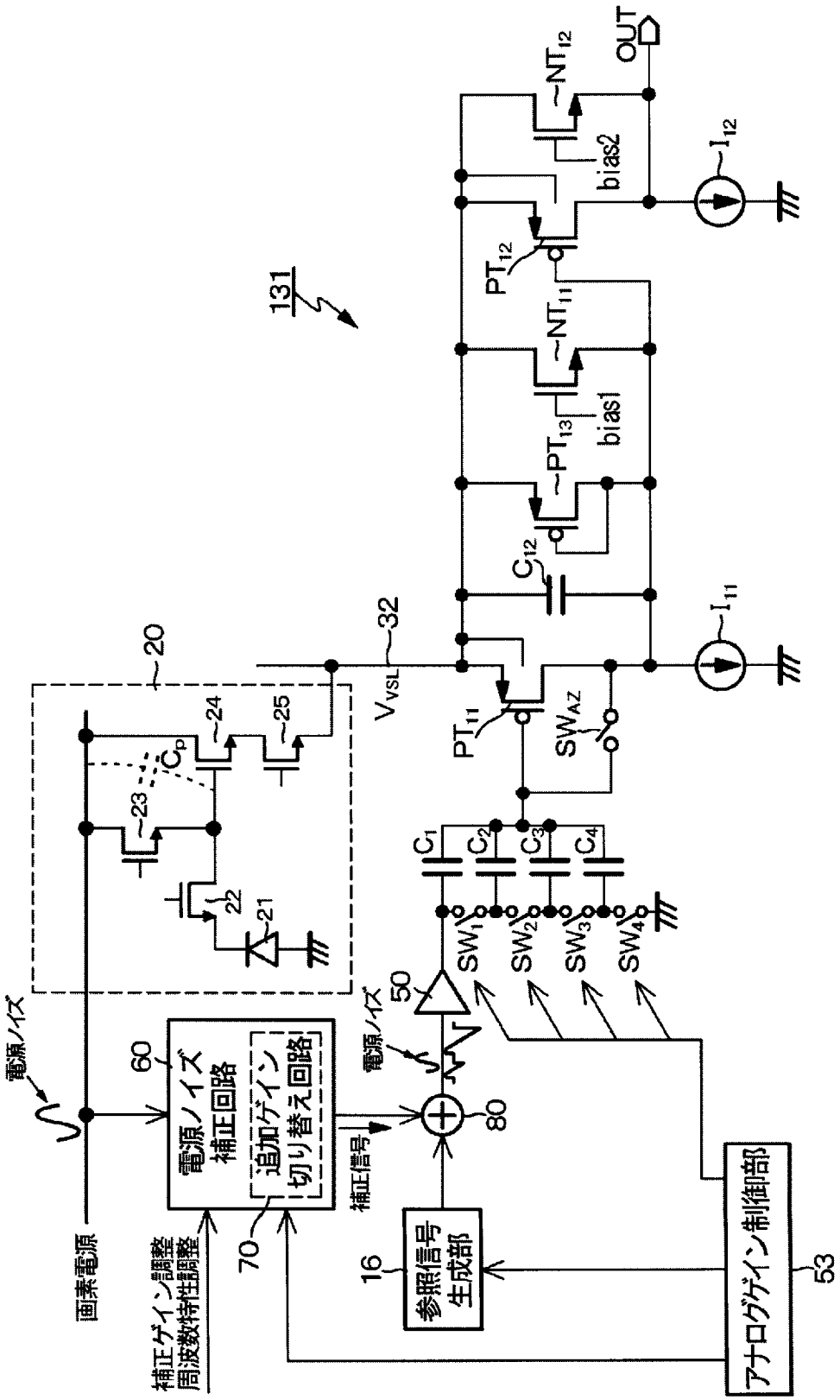
[図26]


131
OUT
bias2
bias1
NT_{12}
NT_{11}
PT_{12}
PT_{13}
C_{12}
I_{12}
I_{11}
V_{VSL}
32
20
PT_{11}
SW_{AZ}
C_1
C_2
C_3
C_4
容量減衰比2/4
SW_1
SW_2
SW_3
SW_4
50
24
25
23
22
21
60
電源ノイズ補正回路
追加ゲイン切り替え回路
ゲイン2倍
補正電流
70
16
162
163
ランプ波生成用デジタル信号
161
53
アナログゲイン制御部
画素電源
補正ゲイン調整
周波数特性調整

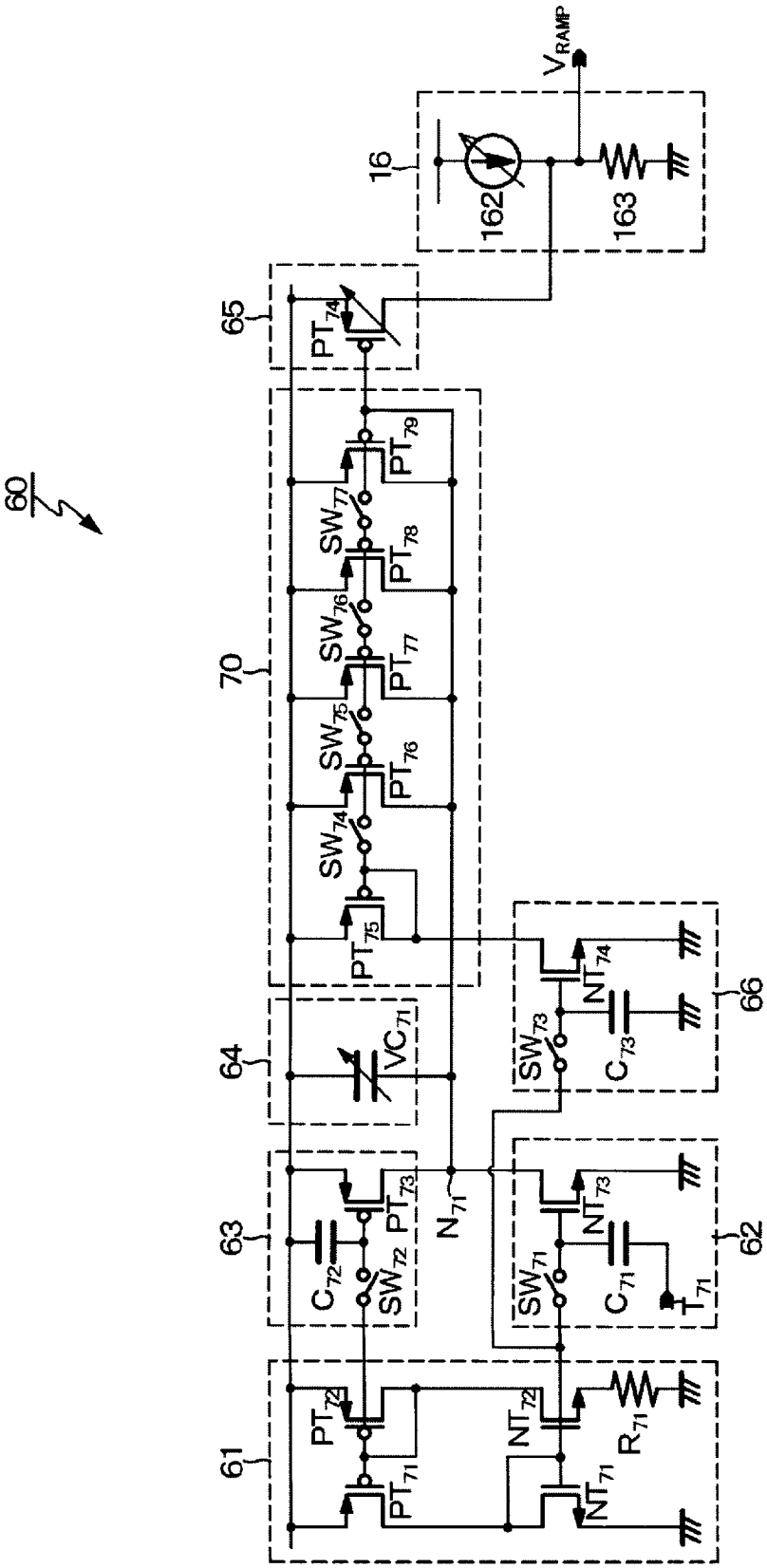
[図27]


131
20
32
V_{VSL}
OUT
NT_{12}
bias2
I_{12}
PT_{12}
NT_{11}
bias1
PT_{13}
C_{12}
I_{11}
PT_{11}
SW_{AZ}
容量減衰比1/4
C_1
C_2
C_3
C_4
SW_1
SW_2
SW_3
SW_4
50
~24
~25
~23
22
21
60
電源ノイズ補正回路
追加ゲイン切り替え回路
ゲイン4倍
補正電流
画素電源
補正ゲイン調整
周波数特性調整
70
16
162
163
ランプ波生成用デジタル信号
161
53
アナログゲイン制御部

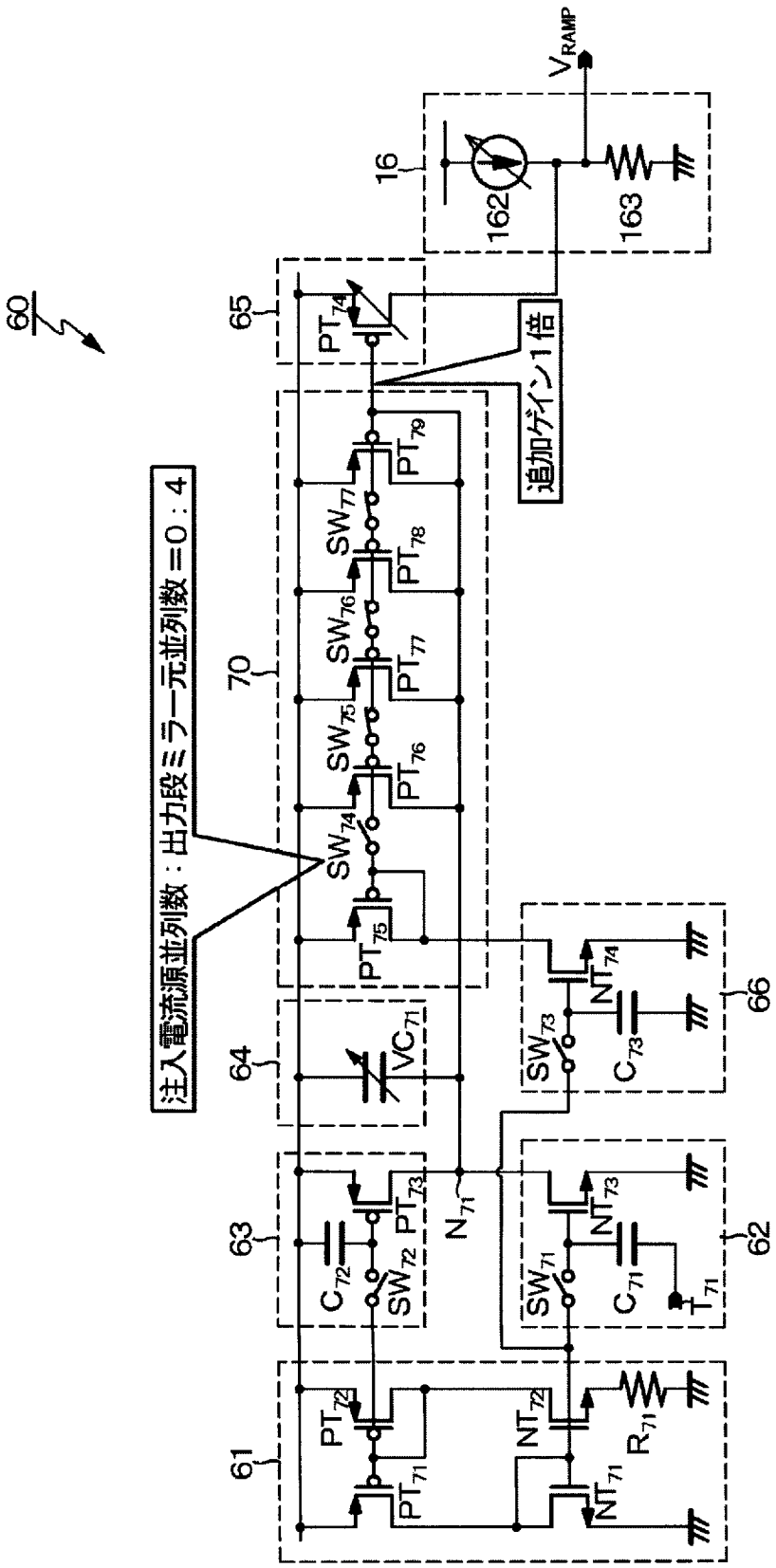
[図28]


131
OUT
NT12
bias2
I12
PT12
NT11
bias1
PT13
C12
I11
20
32
VVSL
PT11
SWAZ
C1
C2
C3
C4
SW1
SW2
SW3
SW4
50
24
25
23
CP
22
21
電源ノイズ
60
電源ノイズ補正回路
追加ゲイン切り替え回路
補正信号
80
画素電源
補正ゲイン調整
周波数特性調整
70
16
参照信号生成部
アナログゲイン制御部
53

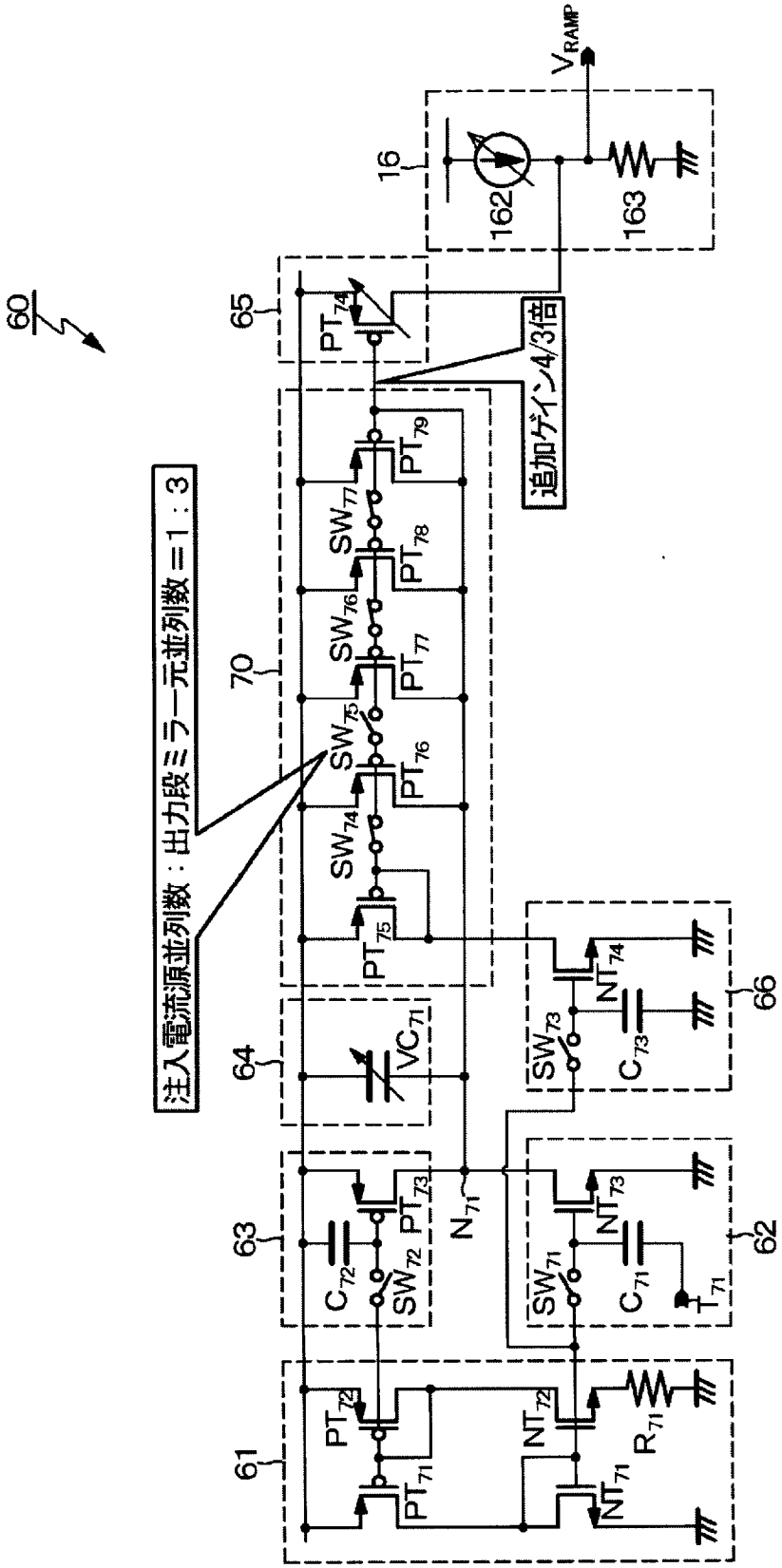
[図29]


60
16
162
163
V_{RAMP}
65
PT_{74}
70
PT_{79}
SW_{77}
PT_{78}
SW_{76}
PT_{77}
SW_{75}
PT_{76}
SW_{74}
PT_{75}
64
VC_{71}
63
C_{72}
SW_{72}
PT_{73}
N_{71}
61
PT_{72}
PT_{71}
NT_{72}
NT_{71}
R_{71}
66
NT_{74}
SW_{73}
C_{73}
62
NT_{73}
SW_{71}
C_{71}
T_{71}

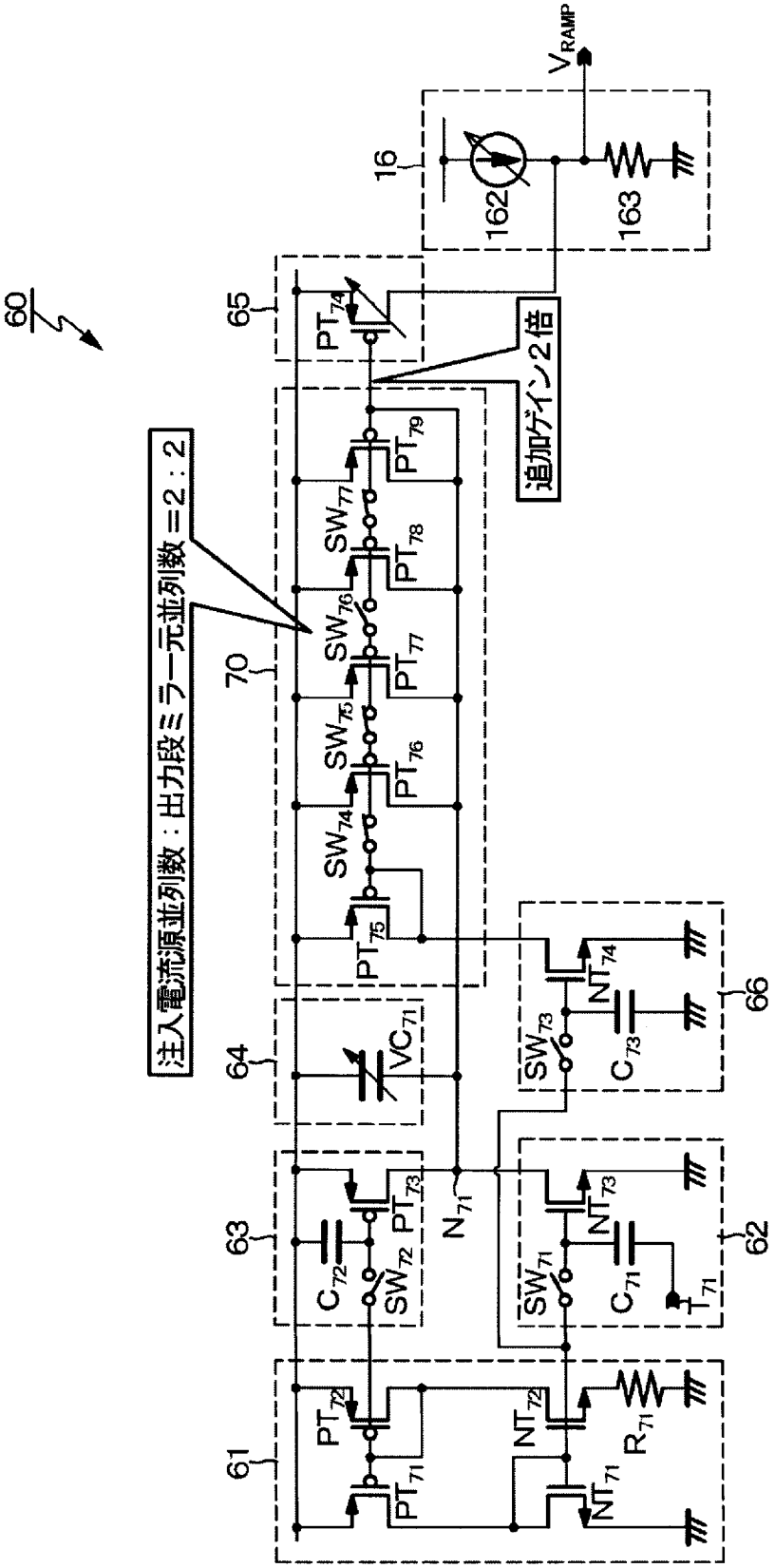
[図30]


60
16
162
163
V_{RAMP}
65
PT_{74}
追加ゲイン1倍
70
PT_{79}
SW_{77}
PT_{78}
SW_{76}
PT_{77}
SW_{75}
PT_{76}
SW_{74}
PT_{75}
注入電流源並列数：出力段ミラー元並列数＝0：4
64
VC_{71}
63
C_{72}
SW_{72}
PT_{73}
N_{71}
61
PT_{72}
PT_{71}
NT_{72}
R_{71}
NT_{71}
66
SW_{73}
NT_{74}
C_{73}
62
SW_{71}
NT_{73}
C_{71}
T_{71}

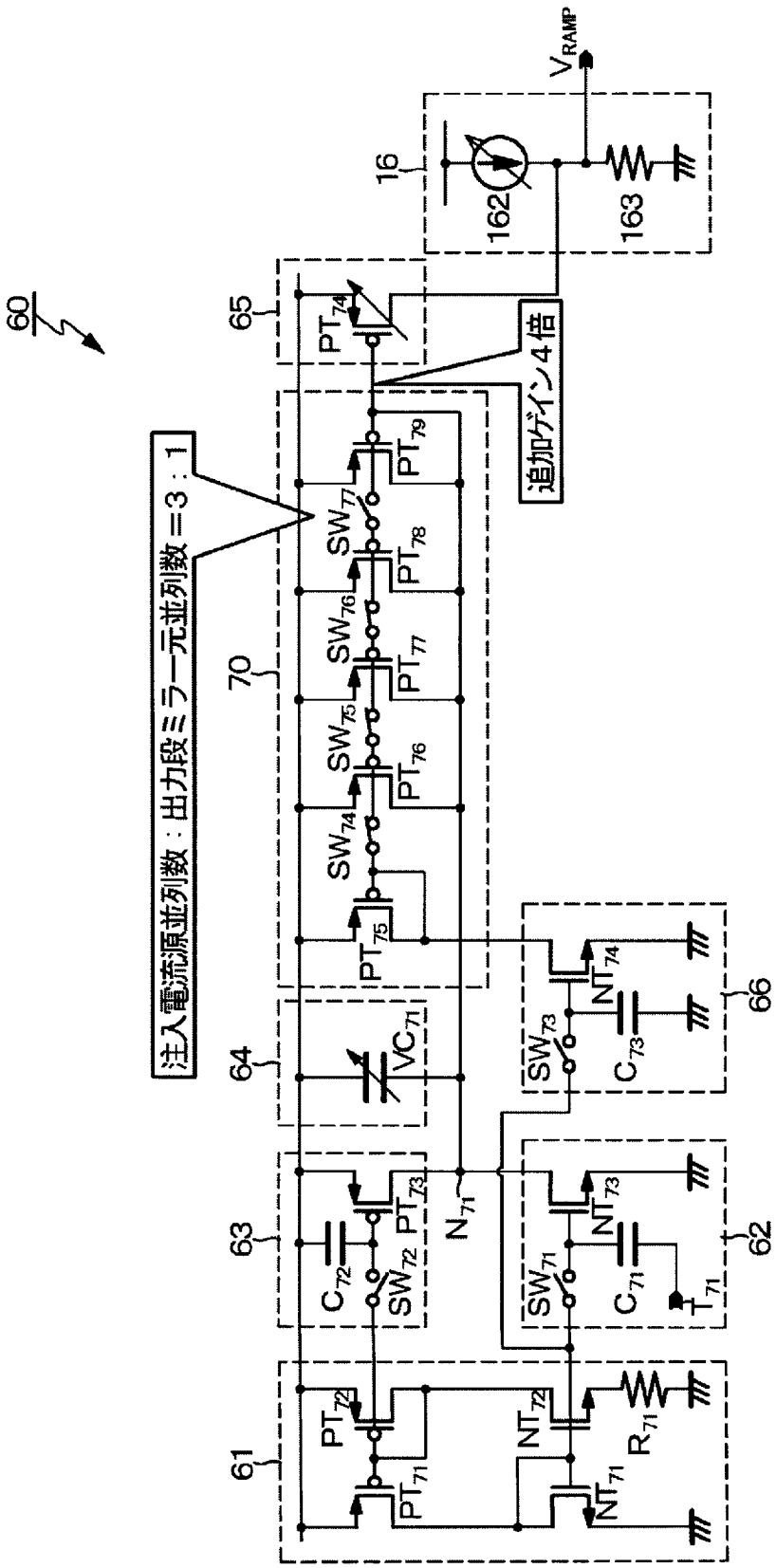
[図31]


60
16
162
163
V_{RAMP}
65
PT_{74}
追加ゲイン4/3倍
70
注入電流源並列数：出力段ミラー一元並列数＝1：3
PT_{79}
SW_{77}
PT_{78}
SW_{76}
PT_{77}
SW_{75}
PT_{76}
SW_{74}
PT_{75}
64
VC_{71}
63
C_{72}
SW_{72}
PT_{73}
N_{71}
61
PT_{72}
PT_{71}
NT_{72}
NT_{71}
R_{71}
66
NT_{74}
SW_{73}
C_{73}
62
NT_{73}
SW_{71}
C_{71}
T_{71}

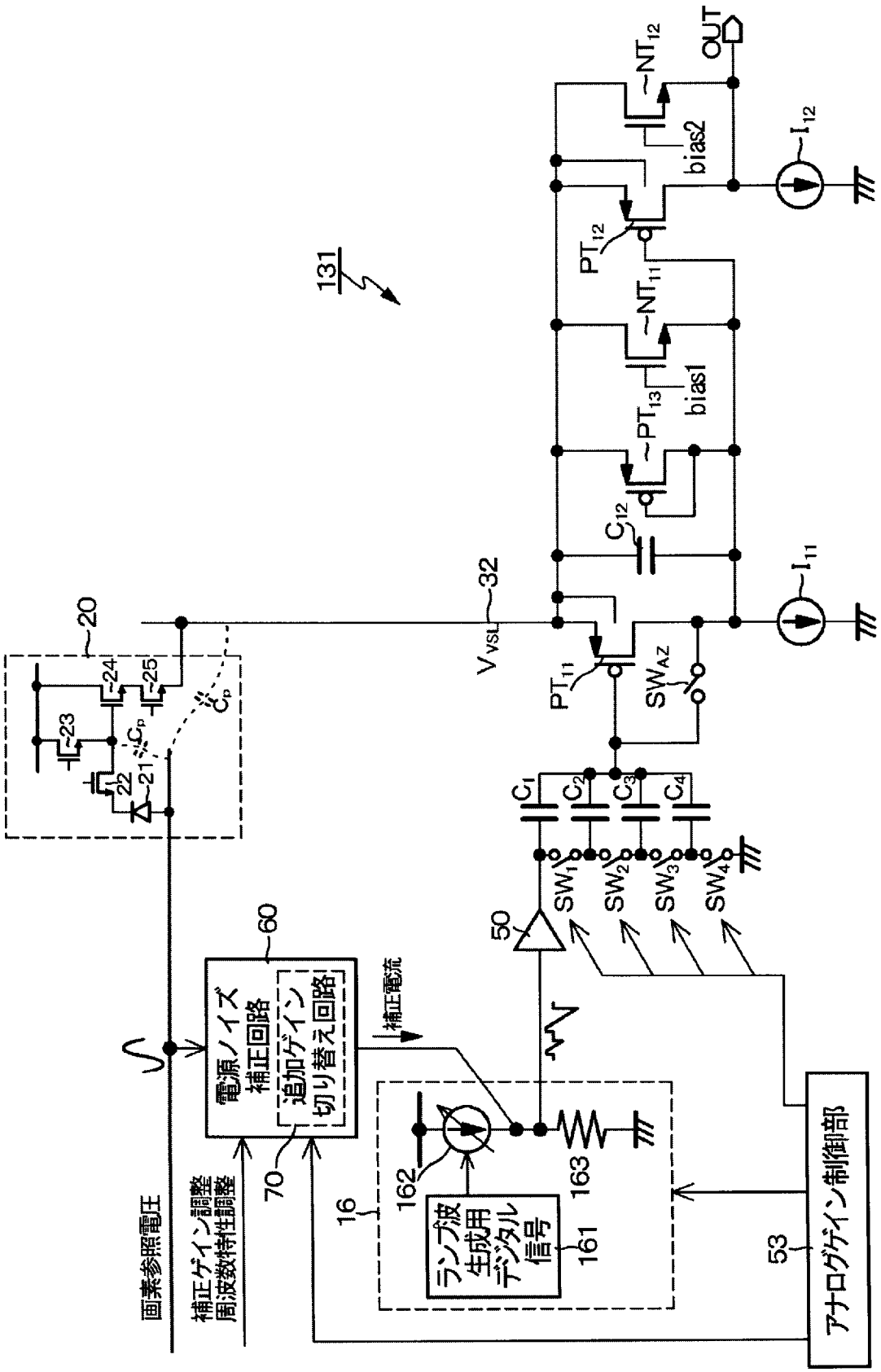
[図32]


60
16
162
163
V_{RAMP}
65
PT_{74}
追加ゲイン2倍
注入電流源並列数：出力段ミラー元並列数＝2：2
70
PT_{79}
SW_{77}
PT_{78}
SW_{76}
PT_{77}
SW_{75}
PT_{76}
SW_{74}
PT_{75}
64
VC_{71}
66
NT_{74}
SW_{73}
C_{73}
63
C_{72}
SW_{72}
PT_{73}
N_{71}
62
NT_{73}
SW_{71}
C_{71}
T_{71}
61
PT_{72}
PT_{71}
NT_{72}
R_{71}
NT_{71}

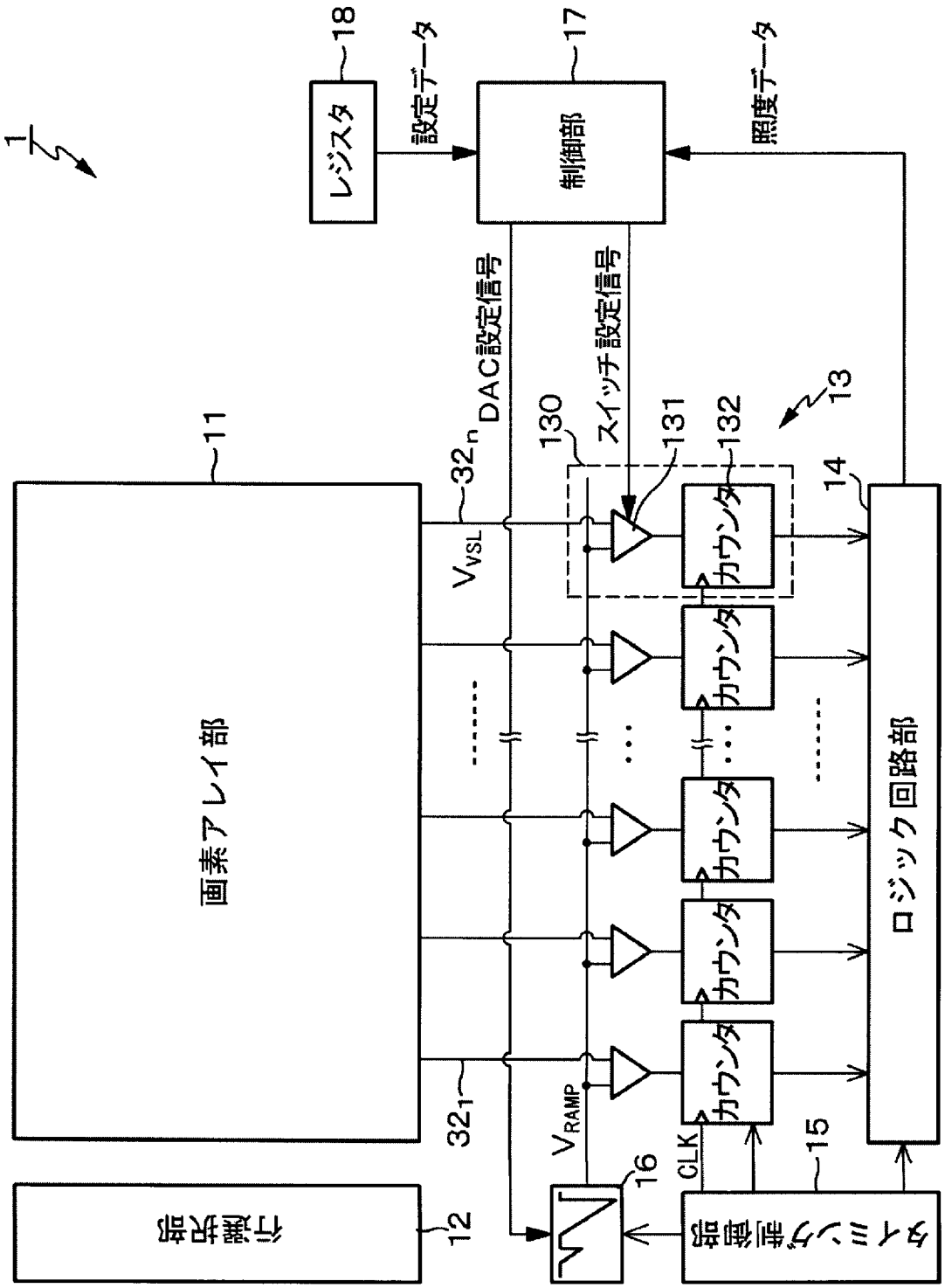
[図33]


60
16
162
163
V_{RAMP}
65
PT_{74}
追加ゲイン4倍
注入電流源並列数：出力段ミラー一元並列数＝3：1
70
PT_{79}
SW_{77}
PT_{78}
SW_{76}
PT_{77}
SW_{75}
PT_{76}
SW_{74}
PT_{75}
64
VC_{71}
63
C_{72}
SW_{72}
PT_{73}
N_{71}
61
PT_{72}
PT_{71}
NT_{72}
NT_{71}
R_{71}
66
SW_{73}
NT_{74}
C_{73}
62
SW_{71}
NT_{73}
C_{71}
T_{71}

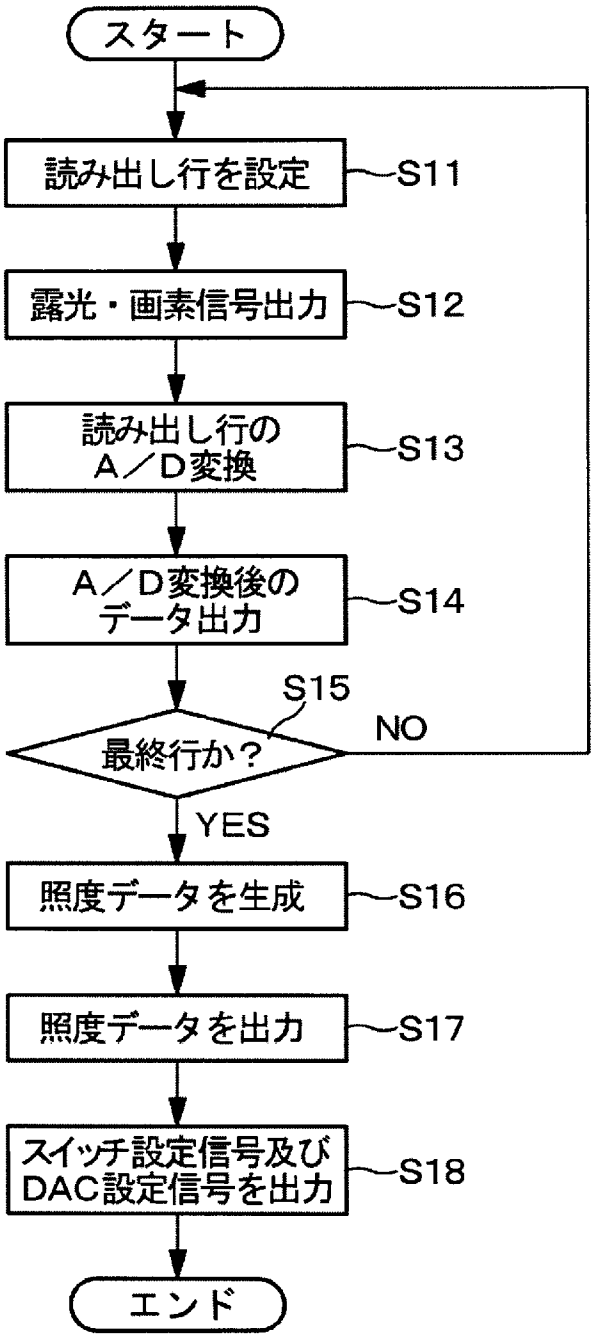
[図34]


131
OUT
NT12
bias2
I12
PT12
NT11
PT13
bias1
C12
I11
20
32
VVSL
PT11
SWAZ
C1
C2
C3
C4
SW1
SW2
SW3
SW4
50
60
電源ノイズ補正回路
追加ゲイン切り替え回路
補正電流
70
16
162
163
ランプ波生成用デジタル信号
161
53
アナログゲイン制御部
画素参照電圧
補正ゲイン調整
周波数特性調整
21
22
23
24
25
Cp

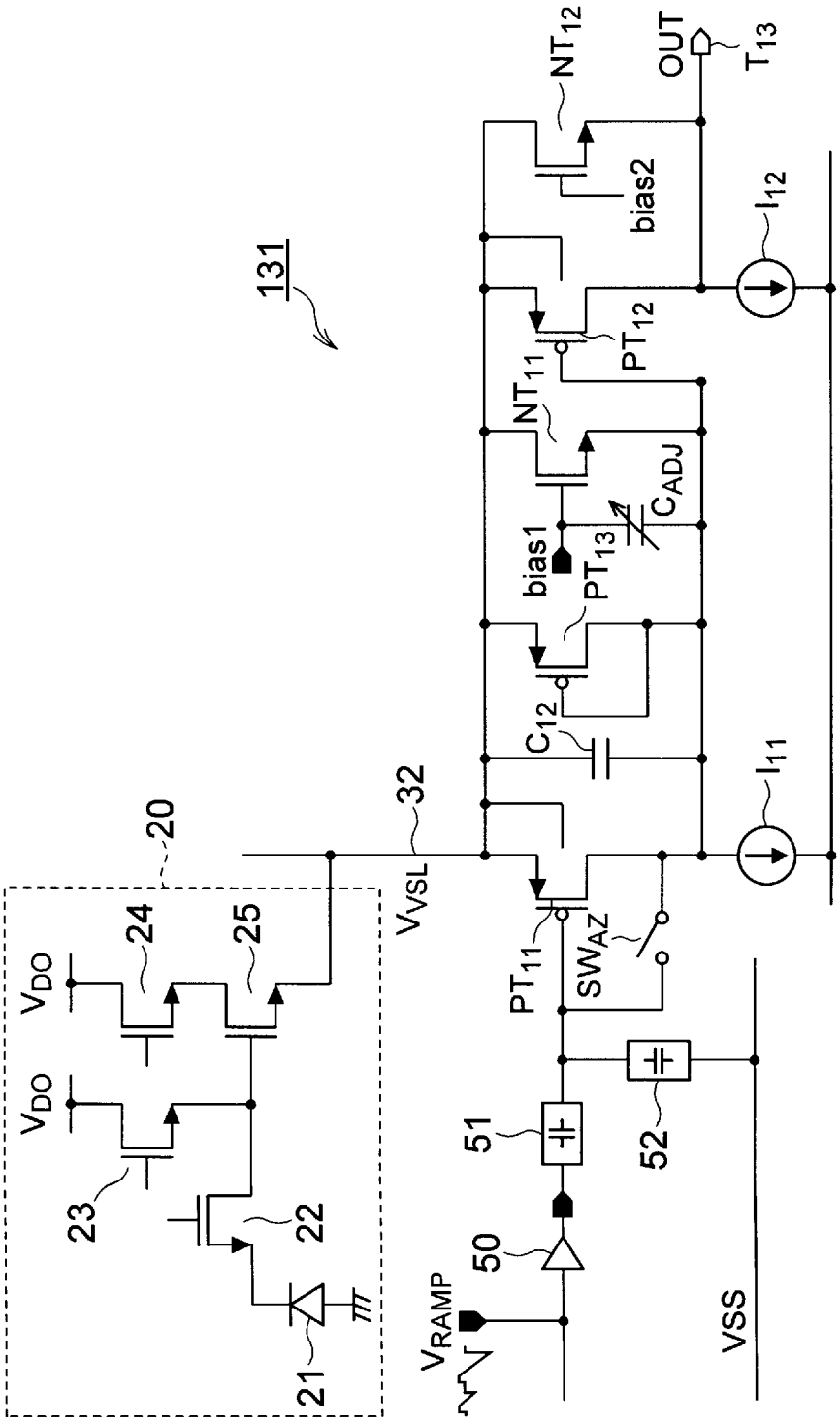
[図35]


1
レジスタ
18
設定データ
制御部
17
照度データ
DAC設定信号
スイッチ設定信号
130
131
132
13
11
画素アレイ部
32_n
V_{VSL}
14
カウンタ
ロジック回路部
32_1
V_{RAMP}
16
CLK
15
タイミング制御部
行選択部
12

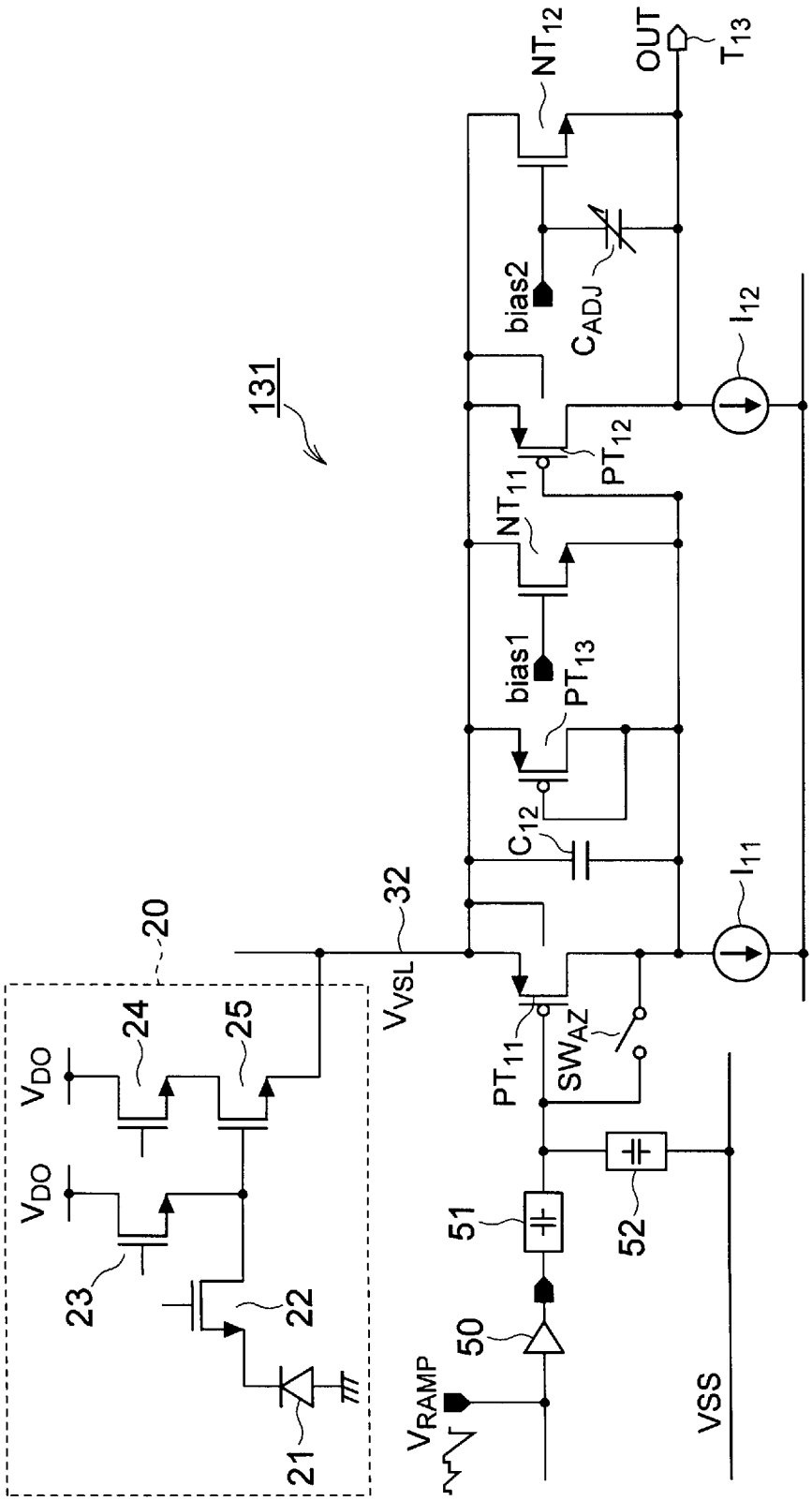
[図36]


スタート
読み出し行を設定
S11
露光・画素信号出力
S12
読み出し行の
A／D変換
S13
A／D変換後の
データ出力
S14
S15
最終行か？
NO
YES
照度データを生成
S16
照度データを出力
S17
スイッチ設定信号及び
DAC設定信号を出力
S18
エンド

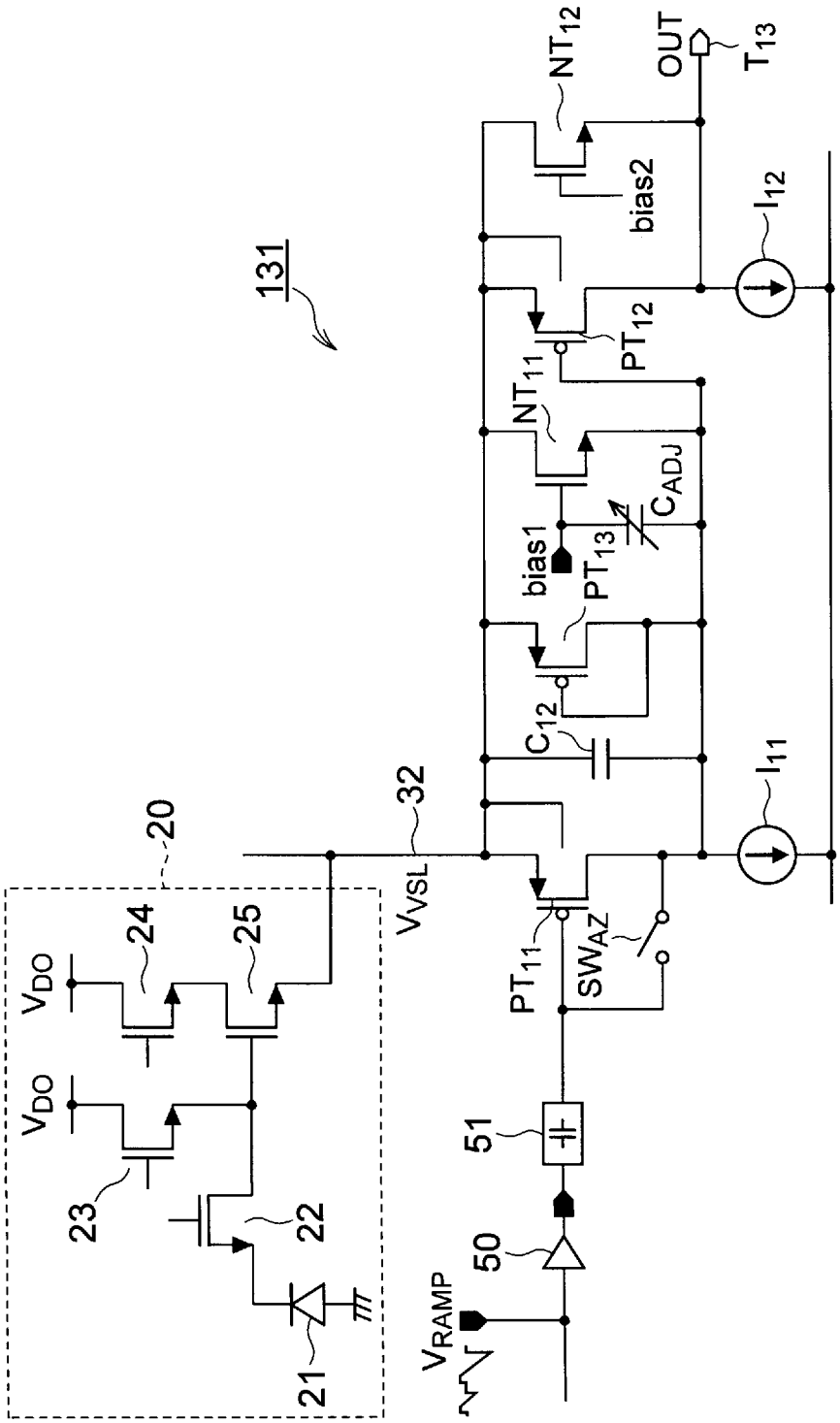
[図37]


131
20
24
25
23
22
21
V_{DO}
V_{DO}
32
V_{VSL}
NT_{12}
OUT
T_{13}
bias2
I_{12}
PT_{12}
NT_{11}
C_{ADJ}
bias1
PT_{13}
C_{12}
I_{11}
PT_{11}
SW_{AZ}
51
52
50
V_{RAMP}
VSS

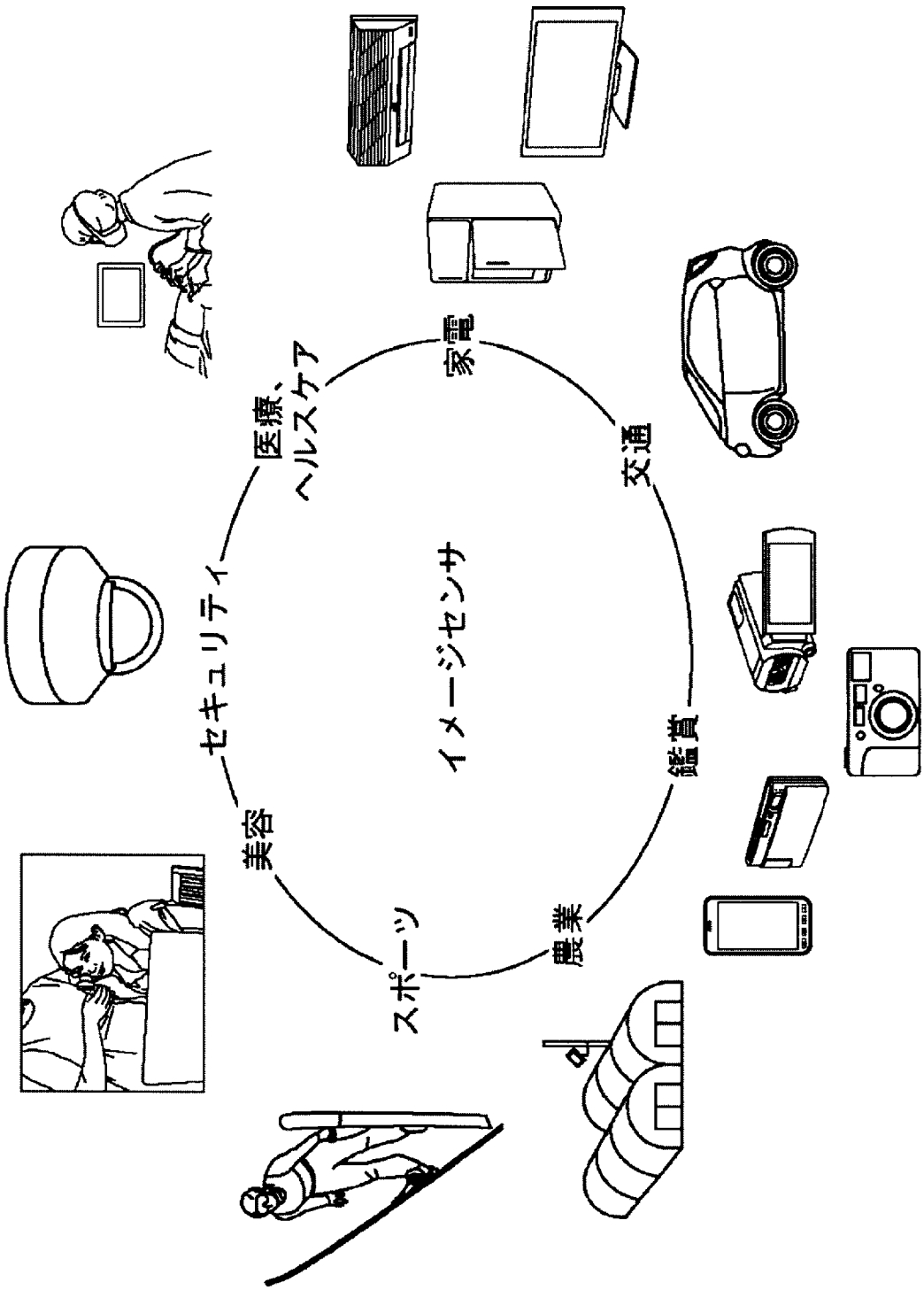
[図38]


131
20
32
V_{VSL}
NT_{12}
OUT
T_{13}
bias2
C_{ADJ}
I_{12}
PT_{12}
NT_{11}
bias1
PT_{13}
C_{12}
I_{11}
PT_{11}
SW_{AZ}
V_{DO}
V_{DO}
24
25
23
22
21
51
52
50
V_{RAMP}
VSS

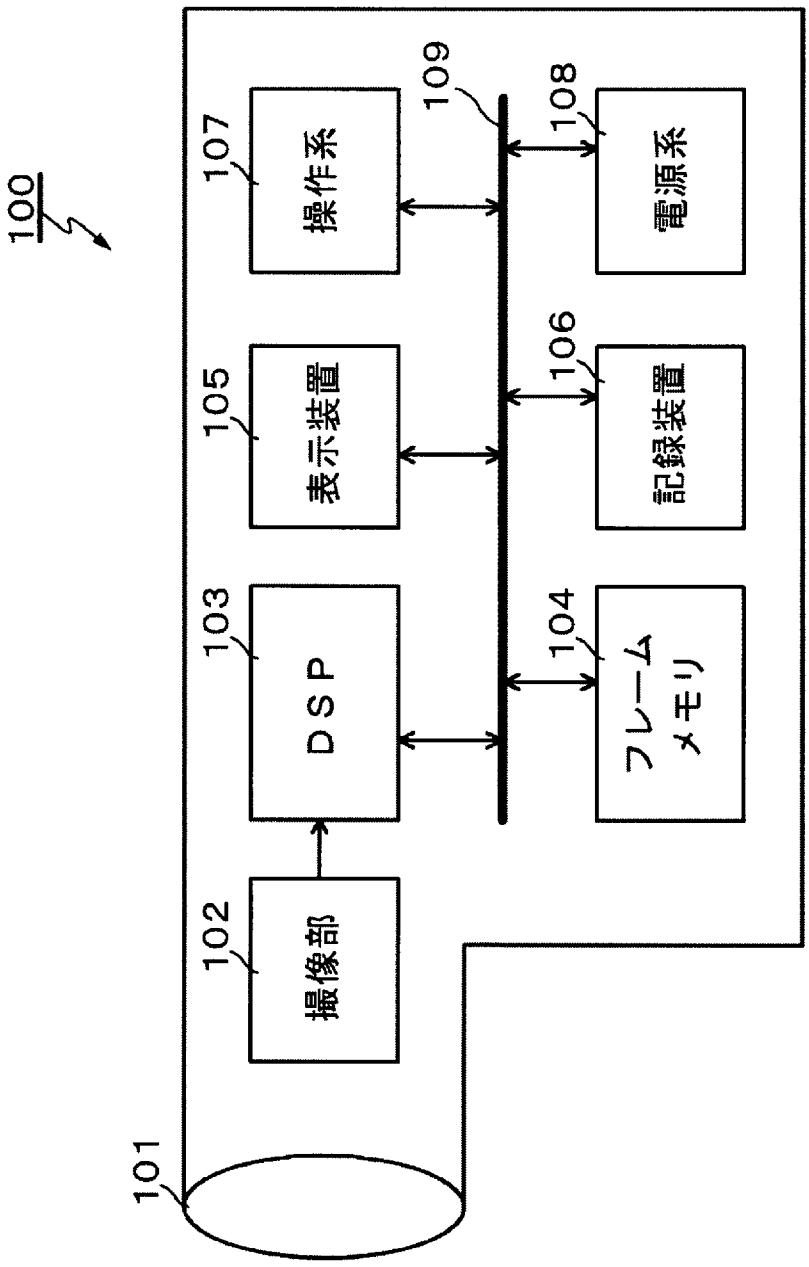
[図39]


131
NT12
OUT
T13
bias2
I12
PT12
NT11
CADJ
bias1
PT13
C12
I11
32
20
VSL
24
25
VDO
VDO
23
22
21
51
50
VRAMP
PT11
SWAZ

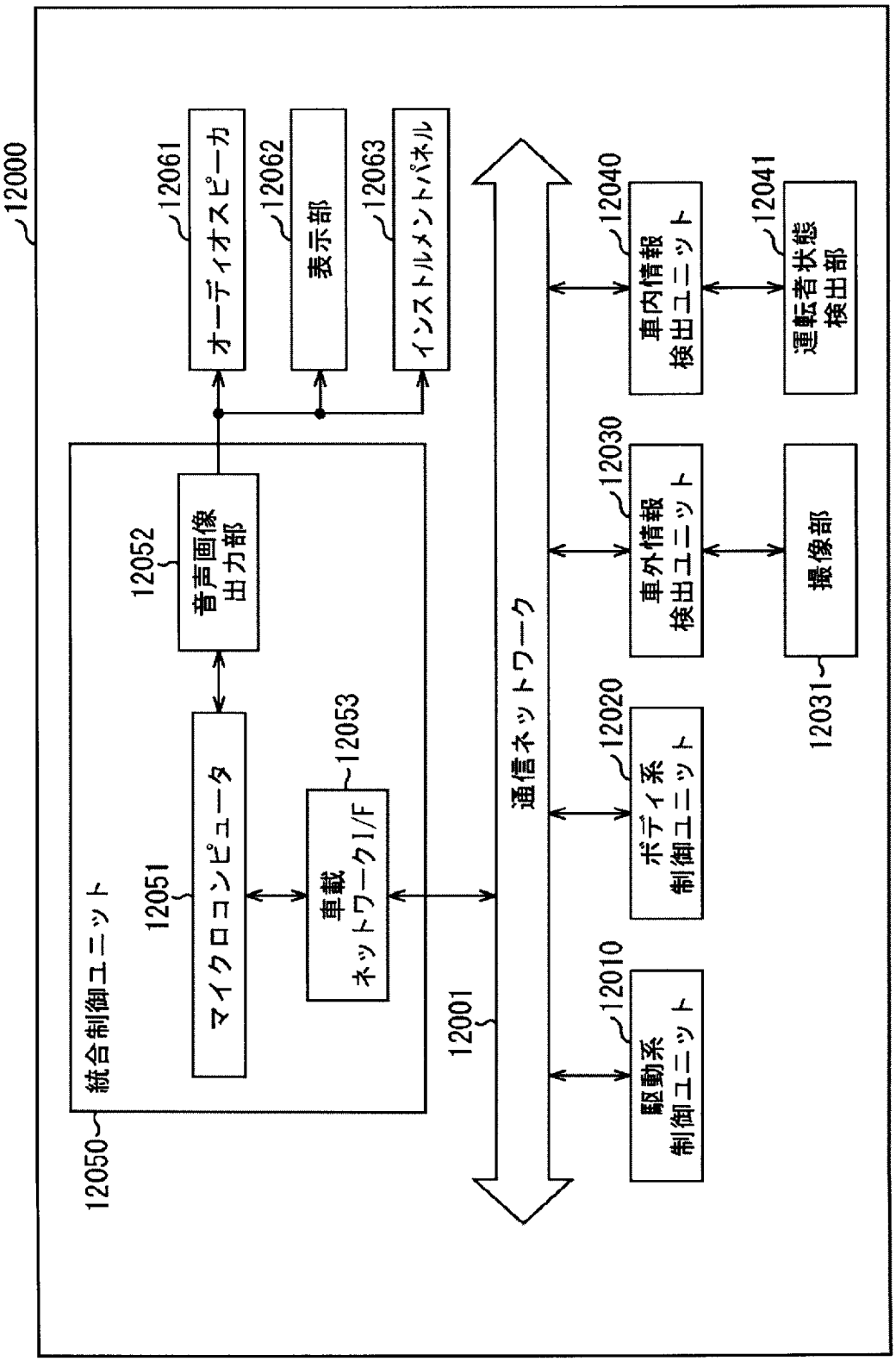
[図40]



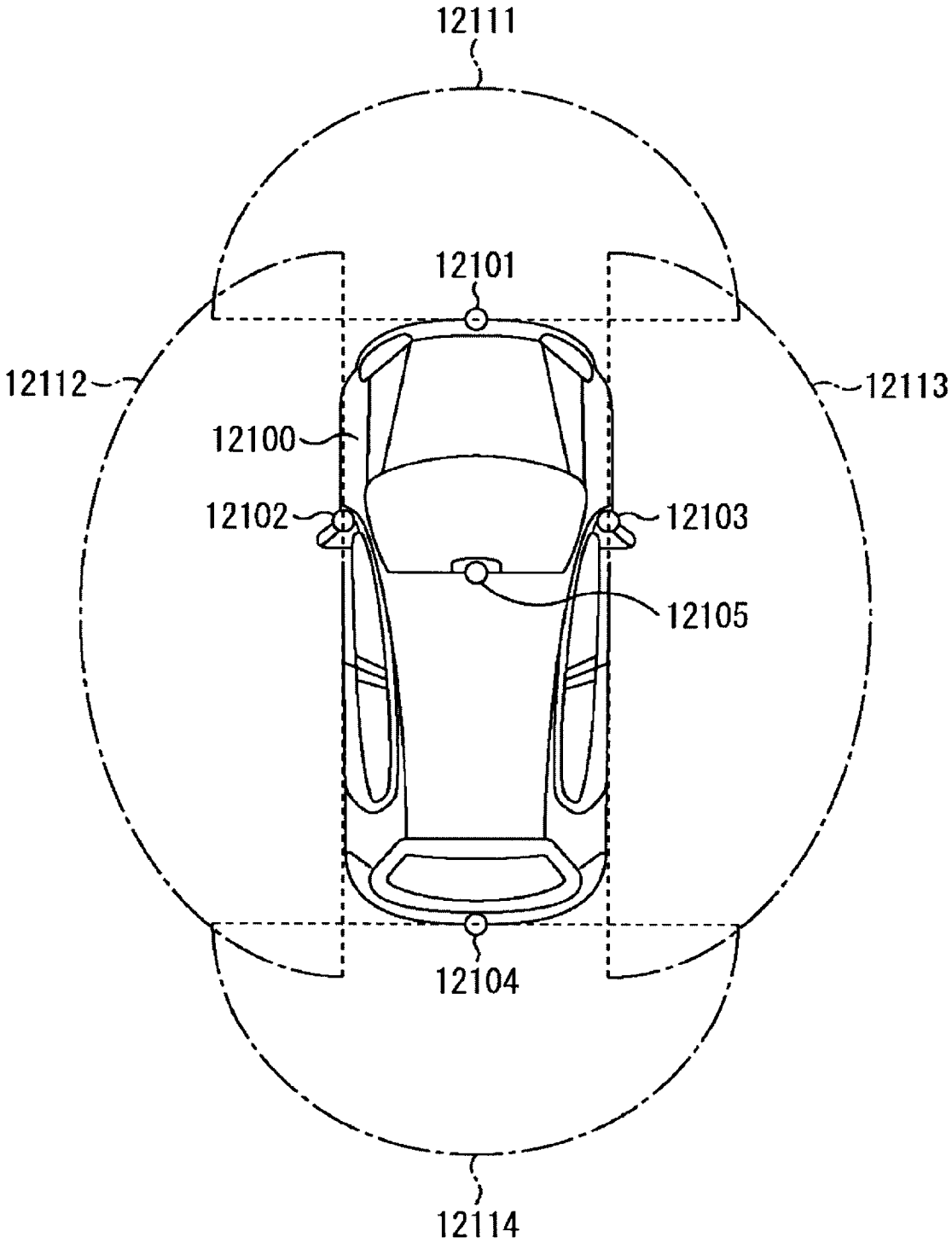
[図41]


100
101
102
撮像部
103
DSP
104
フレーム
メモリ
105
表示装置
106
記録装置
107
操作系
108
電源系
109

[図42]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12052
音声画像
出力部
12051
マイクロコンピュータ
12053
車載
ネットワークI/F
12050
統合制御ユニット
12001
通信ネットワーク
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12030
車外情報
検出ユニット
撮像部
12031
12020
ボディ系
制御ユニット
12010
駆動系
制御ユニット

[図43]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/026526

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H04N5/378(2011.01)i, H03M1/08(2006.01)i, H03M1/12(2006.01)i, H03M1/56(2006.01)i
FI: H04N5/378, H03M1/12C, H03M1/56, H03M1/08A
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H04N5/378, H03M1/08, H03M1/12, H03M1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2018/0103222 A1 (SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC) 12 April 2018 (2018-04-12), paragraphs [0047]-[0054], fig. 11	1, 2, 7, 8, 11, 23 3-6, 9, 10, 12-22
Y	WO 2014/156028 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 02 October 2014 (2014-10-02), paragraphs [0167]-[0198], fig. 11-16	1, 2, 7, 8, 11, 23
Y	JP 2015-231096 A (SONY CORPORATION) 21 December 2015 (2015-12-21), fig. 12, 16	11

☐ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 September 2021	14 September 2021

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/026526

US 2018/0103222 A1	12 April 2018	CN 207321395 U
WO 2014/156028 A1	02 October 2014	US 2016/0014363 A1 paragraphs [0170]-[0190], fig. 11-16
JP 2015-231096 A	21 December 2015	WO 2015/186533 A1 fig. 12, 16

国際調査報告

国際出願番号
PCT/JP2021/026526

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 5/378(2011.01)i; H03M 1/08(2006.01)i; H03M 1/12(2006.01)i; H03M 1/56(2006.01)i
FI: H04N5/378; H03M1/12 C; H03M1/56; H03M1/08 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N5/378; H03M1/08; H03M1/12; H03M1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	US 2018/0103222 A1 (SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC) 12.04.2018 (2018-04-12) 段落[0047]-[0054]、図11	1,2,7,8,11,23
A		3-6,9,10,12-22
Y	WO 2014/156028 A1 (パナソニックＩＰマネジメント株式会社) 02.10.2014 (2014-10-02) 段落[0167]-[0198]、図11-16	1,2,7,8,11,23
Y	JP 2015-231096 A (ソニー株式会社) 21.12.2015 (2015-12-21) 図12,16	11

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
01.09.2021	14.09.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
松永　隆志 5V 4228
電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/026526

引用文献	公表日	パテントファミリー文献	公表日
US 2018/0103222 A1	12.04.2018	CN 207321395 U	
WO 2014/156028 A1	02.10.2014	US 2016/0014363 A1 段落[0170]-[0190]、図11-16	
JP 2015-231096 A	21.12.2015	WO 2015/186533 A1 図12,16	