

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4939335号  
(P4939335)

(45) 発行日 平成24年5月23日(2012.5.23)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.		F I		
<b>H03K 17/687</b>	<b>(2006.01)</b>	H03K 17/687		G
<b>H03K 17/693</b>	<b>(2006.01)</b>	H03K 17/693		A
<b>G11C 16/06</b>	<b>(2006.01)</b>	G11C 17/00	632D	

請求項の数 15 (全 20 頁)

(21) 出願番号	特願2007-204871 (P2007-204871)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成19年8月7日(2007.8.7)	(74) 代理人	100103894 弁理士 冢入 健
(65) 公開番号	特開2009-44276 (P2009-44276A)	(72) 発明者	上村 秀明 神奈川県川崎市中原区小杉町1丁目403番53 NECマイクロシステム株式会社内
(43) 公開日	平成21年2月26日(2009.2.26)	(72) 発明者	頓田 保弘 神奈川県川崎市中原区小杉町1丁目403番53 NECマイクロシステム株式会社内
審査請求日	平成22年5月12日(2010.5.12)		

最終頁に続く

(54) 【発明の名称】 双方向スイッチ回路

(57) 【特許請求の範囲】

【請求項1】

正電圧もしくは負電圧が印加される第1の端子と、  
前記第1の端子に接続され、フローティング状態の第1のウェル内に形成される第1導電型の第1のトランジスタと、  
前記第1のトランジスタと第2の端子との間に接続される第1導電型の第2のトランジスタとを有し、  
前記第1及び第2のトランジスタは前記第1の端子と前記第2の端子との間の導通状態を制御する双方向スイッチ回路。

【請求項2】

前記第2のトランジスタは、前記第1のウェルとは異なるウェル内に形成され、当該第2のトランジスタの基板端子は前記第2の端子に接続されていることを特徴とする請求項1に記載の双方向スイッチ回路。

【請求項3】

前記双方向スイッチ回路は、さらに、  
フローティング状態の第2のウェル内に形成された第3のウェル内に形成される第2導電型の第3のトランジスタと、  
前記第3のトランジスタと第3の端子との間に接続される第2導電型の第4のトランジスタとを有し、  
前記第3のトランジスタの基板端子は前記第1の端子に接続され、

前記第 3 及び第 4 のトランジスタは前記第 1 の端子と前記第 3 の端子との間の導通状態を制御することを特徴とする請求項 1 あるいは 2 に記載の双方向スイッチ回路。

【請求項 4】

前記第 4 のトランジスタは前記第 3 の端子に接続された第 4 のウェル内に形成され、当該第 4 のウェルは第 5 のウェル内に形成され、

前記第 4 のトランジスタの基板端子は前記第 3 の端子に接続されていることを特徴とする請求項 3 に記載の双方向スイッチ回路。

【請求項 5】

前記第 1 の導電型トランジスタが P 型トランジスタである場合、

前記第 5 のウェルは、電源電位に接続されることを特徴とする請求項 4 に記載の双方向スイッチ回路。 10

【請求項 6】

前記第 1 の導電型トランジスタが N 型トランジスタである場合、

前記第 5 のウェルは、接地電位に接続されることを特徴とする請求項 4 に記載の双方向スイッチ回路。

【請求項 7】

前記第 1 の導電型トランジスタが P 型トランジスタである場合、

前記双方向スイッチ回路は、さらに、

フローティング状態の第 6 のウェル内に形成された第 7 のウェル内に形成される第 2 導電型の第 5 のトランジスタと、 20

前記第 5 のトランジスタと前記第 2 の端子との間に接続される第 2 導電型の第 6 のトランジスタとを有し、

前記第 5 のトランジスタの基板端子は前記第 1 の端子に接続され、

前記第 5 及び第 6 のトランジスタは前記第 1 の端子と前記第 2 の端子との間の導通状態を制御することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の双方向スイッチ回路。

【請求項 8】

前記第 6 のトランジスタは、前記第 2 の端子に接続された第 8 のウェル内に形成され、当該第 8 のウェルは第 9 のウェル内に形成され、

前記第 6 のトランジスタの基板端子は前記第 2 の端子に接続されていることを特徴とする請求項 7 に記載の双方向スイッチ回路。 30

【請求項 9】

前記第 9 のウェルは、電源電位に接続されることを特徴とする請求項 8 に記載の双方向スイッチ回路。

【請求項 10】

前記第 1 の導電型トランジスタが N 型トランジスタである場合、

前記双方向スイッチ回路は、さらに、

フローティング状態の第 6 のウェル内に形成される第 2 導電型の第 5 のトランジスタと、

前記第 5 のトランジスタと前記第 2 の端子との間に接続される第 2 導電型の第 6 のトランジスタとを有し、 40

前記第 5 及び第 6 のトランジスタは前記第 1 の端子と前記第 2 の端子との間の導通状態を制御することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の双方向スイッチ回路。

【請求項 11】

前記第 6 のトランジスタは、前記第 2 の端子に接続された第 7 のウェル内に形成され、

前記第 6 のトランジスタの基板端子は前記第 2 の端子に接続されていることを特徴とする請求項 10 に記載の双方向スイッチ回路。

【請求項 12】

前記第 7 のウェルは、接地電位に接続されることを特徴とする請求項 10 に記載の双方向 50

向スイッチ回路。

【請求項 1 3】

前記第 1 の導電型トランジスタが P 型トランジスタである場合、  
前記第 2 の端子に正電圧が入力され、前記第 3 の端子には負電圧が入力され、  
前記第 1 の導電型トランジスタが N 型トランジスタである場合、  
前記第 2 の端子に負電圧が入力され、前記第 3 の端子には正電圧が入力されることを特徴とする請求項 3 乃至 1 2 のいずれか 1 項に記載の双方向スイッチ回路。

【請求項 1 4】

前記双方向スイッチ回路はさらに、  
フローティング状態の第 2 のウェル内に形成された第 3 のウェル内に形成される第 2 導電型の第 3 のトランジスタと、  
前記第 3 のトランジスタと前記第 2 の端子との間に接続され、フローティング状態の第 4 のウェル内に形成された第 5 のウェル内に形成される第 2 導電型の第 4 のトランジスタとを有し、  
前記第 2 のトランジスタは、前記第 1 のウェルとは異なるフローティング状態のウェル内に形成され、  
前記第 3 のトランジスタの基板端子は前記第 1 の端子に接続され、  
前記第 4 のトランジスタの基板端子は前記第 2 の端子に接続されることを特徴とする請求項 1 に記載の双方向スイッチ回路。

【請求項 1 5】

前記第 2 の端子には、正電圧のみが印加されることを特徴とする請求項 1 4 に記載の双方向スイッチ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は双方向スイッチ回路に関し、特に正負両方の電圧を双方向から通すことが可能な双方向スイッチ回路に関する。

【背景技術】

【0002】

メモリ回路では、書込み、読出し、あるいは消去に負電圧が必要な場合がある。このようなメモリ回路を搭載する製品では、メモリ回路評価用端子数の削減のため、正電圧、負電圧の両方を一つの評価用端子から印加することが望まれている。

【0003】

図 2 1 は、特許文献 1 に記載のスイッチ回路を示す。図 2 1 に示すスイッチ回路は、正負両方の電圧に対応するスイッチ回路である。図 2 1 のスイッチ回路 1 5 0 は、端子 H V P から出力端子 O U T へ正電圧を出力する。また、端子 H V N から出力端子 O U T へ負電圧を出力する。しかしながら、図 2 1 のスイッチ回路は、端子 H V P (あるいは H V N) から出力端子 O U T へ正負両方の電圧を出力するのみであり、出力端子 O U T 側から端子 H V P (H V N) 側へ電圧を印加することは考慮されていない。

【0004】

評価用の端子に接続されるスイッチを考慮した場合、評価用端子に印加した電圧を内部回路に供給する機能に加えて、内部回路の出力を、評価用端子を介して外部に出力する機能も必要となってくる。この様な場合、正負電圧兼用の評価用端子に対するスイッチとしては、正電圧あるいは負電圧どちらの電圧にも対応可能な双方向スイッチ回路が必要となる。

【0005】

図 1 6 は、従来の正電圧双方向スイッチ回路 2 1 0 を示す図、図 1 7 は、従来の負電圧双方向スイッチ回路 2 2 0 を示す図である。また、図 1 8 は、これら従来の正電圧用双方向スイッチ回路 2 1 0 と負電圧双方向スイッチ回路 2 2 0 とを並列に接続させて、正負両方の電圧に対応可能な従来の双方向スイッチ回路 2 0 0 を構成した場合の図である。

## 【 0 0 0 6 】

ここで、正電圧用双方向スイッチに着目する。正電圧用双方向スイッチ回路210をオフ状態とする場合、PMOSトランジスタP1に接続される入出力端子VPPには例えば3Vが印加され、PMOSトランジスタP1のゲート端子SWPPにも3Vが印加される。また、PMOSトランジスタP2に接続される入出力端子VPTには例えば5Vが印加され、PMOSトランジスタP2のゲート端子SWPTにも5Vが印加される。この状態では、それぞれのゲートに印加される電圧に基づいて、PMOSトランジスタP1及びPMOSトランジスタP2はオフ状態となる。

## 【 0 0 0 7 】

正電圧用双方向スイッチ回路210をオン状態とする場合、トランジスタP1、P2のゲート端子SWPP、SWPTに接地電位GNDを印加し、PMOSトランジスタP1、P2を導通状態とすることで端子VPP-VPT間を電氣的に接続する。端子VPPをハイ・インピーダンス状態として端子VPTに正電圧を印加した場合には、端子VPTを入力端子、端子VPPを出力端子とするスイッチ回路として動作する。一方、端子VPTがハイ・インピーダンス状態で端子VPPに正電圧が印加された場合は、端子VPPを入力端子、端子VPTを出力端子とするスイッチ回路として動作する。

## 【 0 0 0 8 】

しかしながら、正負両方の電圧に対応するために図18に示すような接続とした場合、PMOSトランジスタP1、P2のゲートにそれぞれ、3V、5Vを印加し、正電圧の双方向スイッチ回路210をオフ状態とした状態でも、端子VPTに例えば-3Vの負電圧が印加されてしまう場合がある。この場合のスイッチ回路部分の断面図を模式的に図19に示す。入出力端子VPTに負電圧が印加された場合、PMOSトランジスタP2が形成されるN型ウェル131は、入出力端子VPTに接続されているため、N型ウェル131とP型基板で形成された寄生ダイオードが順バイアスされる。このため、入出力端子VPTとP型基板(電位はGND)間に電流経路が形成されてしまう(図19、矢印参照)。従って、スイッチとしての絶縁状態を保つことが困難となる。

## 【 0 0 0 9 】

図18に示すスイッチ回路において、負電圧用の双方向スイッチ220にも上記した正電圧用双方向スイッチ200の例と類似の現象が起こりうる。図20は、負電圧用双方向スイッチ220の断面を模式的に示した図である。負電圧の双方向スイッチを構成するNMOSトランジスタN2は、P型基板に素子分離用のN型ディープウェル141を形成し、さらにN型ディープウェル141内に形成されたP型ウェル142内に形成される。ここでP型ウェル142は、図17の回路図に示すように入出力端子VPTに接続されるため、N型のディープウェル141に電源電圧VCCなどの正電圧を印加していた場合でも端子VPTに印加される電圧によっては、P型ウェル142とN型ディープウェル141間が順バイアスされてしまう。

## 【 0 0 1 0 】

このように、従来の正電圧用双方向スイッチ210と、負電圧用双方向スイッチ220を単に並列に接続しても、正負両方の電圧に対応が可能な双方向スイッチを形成することは困難であった。

【特許文献1】特開平9-8629号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 1 1 】

従来のスイッチ回路では、正電圧もしくは負電圧を双方向から通すスイッチ回路を形成することは困難であった。

【課題を解決するための手段】

## 【 0 0 1 2 】

本発明の1態様による双方向スイッチ回路は、正電圧もしくは負電圧が印加される第1の端子と、前記第1の端子に接続され、フローティング状態の第1のウェル内に形成され

10

20

30

40

50

る第1導電型の第1のトランジスタと、前記第1のトランジスタと第2の端子との間に接続される第1導電型の第2のトランジスタとを有し、前記第1及び第2のトランジスタは前記第1の端子と前記第2の端子との間の導通状態を制御する。双方向スイッチを形成するトランジスタをフローティング状態のウェル内に形成することにより、寄生のPN接合に対する順バイアスの印加を防止することが可能となる。

【発明の効果】

【0013】

本発明によれば、正電圧もしくは負電圧を双方向から供給することが可能となる。

【発明を実施するための最良の形態】

【0014】

10

実施の形態1

以下、図面を参照して本発明の実施の形態について説明する。図1は、本発明の実施の形態1に関わるスイッチ回路100を有するメモリ回路10を示すブロック図である。図1に示すように、本実施の形態のメモリ回路は、スイッチ回路100、メモリセルアレイ1、昇圧回路2、X-デコーダ回路3、Y-デコーダ回路4、ソース回路5、書込み回路6、読出し回路7を有している。

【0015】

メモリセルアレイ1は、複数のメモリセルトランジスタによって構成されている。そして、アドレス信号によって選択された所定のメモリセルトランジスタに印加されるゲート電圧、ドレイン電圧及びソース電圧に基づいて電荷の保持あるいは放出を行なう。

20

【0016】

昇圧回路2は、メモリセルの書込みあるいは、消去に必要な電圧を生成する回路である。昇圧回路2によって生成された電圧は、スイッチ回路100を介してX-デコーダ回路3、Y-デコーダ回路4及びソース回路5へと出力される。

【0017】

Xデコーダ回路3は、スイッチ回路100を介して昇圧回路2によって生成されたゲート電圧をアドレス信号によって選択されたメモリセルトランジスタのゲートに供給する回路である。Y-デコーダ回路4は、スイッチ回路100を介して昇圧回路2によって生成されたドレイン電圧をアドレス信号によって選択されたメモリセルトランジスタのドレインに供給する回路である。ソース回路5は、スイッチ回路100を介して昇圧回路2によって生成されたソース電圧をアドレス信号によって選択されたメモリセルトランジスタのソースに供給する回路である。

30

【0018】

書込み回路6は、アドレス信号及び各制御信号（不図示）に基づいて、アドレス信号によって選択されたメモリセルトランジスタに外部回路から入力された書込みデータを出力する回路である。また、読み出し回路7は、アドレス信号（不図示）によって選択されたメモリセルトランジスタのデータを外部回路へと読み出す回路である。

【0019】

スイッチ回路100は、昇圧回路2によって出力された電圧から任意の電圧を選択してX-デコーダ回路3、Y-デコーダ回路4及びソース回路5に出力する回路である。また、スイッチ回路100はメモリ回路評価用端子に接続されている。図2は、スイッチ回路100内部の構成を示す図である。

40

【0020】

スイッチ回路100は、第1のスイッチSW1～第8のスイッチSW8を有している。第1のスイッチSW1～第4のスイッチSW4は本発明における双方向スイッチである。一方、第5のスイッチSW5～第8のスイッチSW8は、通常の導通・非導通を切り替えるのみのスイッチである。

【0021】

第5のスイッチSW5～第8のスイッチSW8にはそれぞれ、昇圧回路2によって生成された異なる電圧が入力される。第5のスイッチSW5～第8のスイッチSW8のうち任

50

意のスイッチをオン状態として所望の電圧を出力している。

【 0 0 2 2 】

第 1 のスイッチ S W 1 ~ 第 4 のスイッチ S W 4 は、それぞれ第 5 のスイッチ S W 5 ~ 第 8 のスイッチ S W 8 の出力部に接続されている。第 5 のスイッチ S W 5 ~ 第 8 のスイッチ S W 8 を介して内部の昇圧回路 2 によって生成された電圧をメモリ回路評価用端子へと出力する。また、第 1 のスイッチ S W 1 ~ 第 4 のスイッチ S W 4 は、メモリ回路評価用端子に印加された電圧を内部のメモリ回路へと出力する。以下、第 1 のスイッチ S W 1 ~ 第 4 のスイッチ S W 4 の内部構成について詳細に説明する。なお、第 1 のスイッチ S W 1 ~ 第 4 のスイッチ S W 4 はいずれも同一の内部構成であるものとする。

【 0 0 2 3 】

図 3 は、本実施の形態における第 1 のスイッチ S W 1 ~ 第 4 のスイッチ S W に相当する双方向スイッチ回路 3 0 の構成を示す図である。双方向スイッチ回路 3 0 は、正電圧用双方向スイッチ 3 1 及び負電圧用双方向スイッチ 3 2 によって構成されている。図 3 に示した双方向スイッチ回路 3 0 は、第 1 の入出力端子 V P T (以下、単に端子 V P T と称す)、第 2 の入出力端子 V P P (以下、単に端子 V P P と称す) 及び第 3 の入出力端子 V P N (以下、単に端子 V P N と称す) を有している。図 3 において、端子 V P T が評価用端子に接続される端子であり、端子 V P P 及び V P N がメモリ回路や昇圧回路などの内部回路に接続される端子である。正電圧用双方向スイッチ 3 1 は、端子 V P P と端子 V P T 間を接続するスイッチ回路である。正電圧用双方向スイッチ 3 1 は、評価用端子を使用しない場合、および双方向スイッチ回路 3 0 に負電圧が印加される場合はオフ状態とされる。また、負電圧用双方向スイッチ 3 2 は、端子 V P N と端子 V P T 間を接続するスイッチ回路である。負電圧用双方向スイッチ 3 2 は、評価用端子を使用しない場合、および双方向スイッチ回路 3 0 に正電圧が印加される場合はオフ状態とされる。

【 0 0 2 4 】

図 4 は、双方向スイッチ回路 3 0 内部の正電圧用双方向スイッチ 3 1 を示す図である。正電圧用双方向スイッチ 3 1 は、第 1 導電型の第 2 のトランジスタに相当する P M O S トランジスタ P 1、第 1 導電型の第 1 のトランジスタに相当する P M O S トランジスタ P 2、第 1 のゲート入力端子 S W P P、第 2 のゲート入力端子 S W P T を有している。

【 0 0 2 5 】

P M O S トランジスタ P 1 のソースは、端子 V P P に接続され、ドレインは、P M O S トランジスタ P 2 のソースに接続されている。P M O S トランジスタ P 1 の基板端子 (バックゲート) は、端子 V P P へと接続されている。P M O S トランジスタ P 2 のドレインは、端子 V P T に接続されている。P M O S トランジスタ P 2 の基板端子は、端子 V P T には接続されず、フローティング状態とされている。また、P M O S トランジスタ P 1、P M O S トランジスタ P 2 のゲートにはそれぞれ、第 1 のゲート入力端子 S W P P、第 2 のゲート入力端子 S W P T が接続されている。

【 0 0 2 6 】

図 5 は、本実施の形態における正電圧用双方向スイッチ 3 1 の断面構造を示す図である。P M O S トランジスタ P 1 は、P 型基板 5 1 に形成された N 型ウェル 5 2 内に形成され、P M O S トランジスタ P 2 は、P 型基板 5 1 に形成された第 1 のウェルに相当する N 型ウェル 5 3 内に形成されている。

【 0 0 2 7 】

図 4 に回路図で示したように、P M O S トランジスタ P 1 が形成される N 型ウェル 5 2 及び P M O S トランジスタ P 1 のソースは端子 V P P へと接続される。また、P M O S トランジスタ P 2 のソース 5 7 は、端子 V P T に接続されている。本実施の形態では、この P M O S トランジスタ P 2 が形成される N 型ウェル 5 3 が、フローティングな状態とされる。

【 0 0 2 8 】

図 6 は、双方向スイッチ回路 3 0 内部の負電圧用双方向スイッチ 3 2 を示す図である。負電圧用双方向スイッチ 3 2 は、第 2 導電型の第 4 のトランジスタに相当する N M O S ト

10

20

30

40

50

ランジスタN1、第2導電型の第3のトランジスタに相当するNMOSTランジスタN2、第3のゲート入力端子SWNP、第4のゲート入力端子SWNTを有している。なお、図6に示す第1のダイオードDi1及び第2のダイオードDi2については半導体素子の構造上形成されるダイオードを示したものであり、その詳細については後述する。

【0029】

NMOSTランジスタN1のソースは、端子VPNに接続され、ドレインは、NMOSTランジスタN2のドレインに接続されている。また、基板端子は、端子VPNへと接続される。NMOSTランジスタN2のソースは、端子VPTに接続されている。NMOSTランジスタN2の基板端子は、端子VPTへと接続される。また、NMOSTランジスタN1、NMOSTランジスタN2のゲートにはそれぞれ、第3のゲート入力端子SWNP、第4のゲート入力端子SWNTが接続されている。

10

【0030】

図7は、本実施の形態における負電圧用双方向スイッチ32の断面構造を示す図である。P型基板71内には、素子分離用に第5のウェル、第2のウェルにそれぞれ相当するN型ディープウェル72、73が形成されている。NMOSTランジスタN1は、N型ディープウェル72内に形成された第4のウェルに相当するP型ウェル74内に形成され、NMOSTランジスタN2は、N型ディープウェル73内に形成された、第3のウェルに相当するP型ウェル75内に形成されている。

【0031】

図6に回路図で示したように、NMOSTランジスタN1のソース及びP型ウェル74は、端子VPNに接続されている。また、N型ディープウェル72は、電源電位VCCに接続されている。図6に示したダイオードDi1は、P型ウェル74とN型ディープウェル72によって形成された寄生ダイオードである。また、NMOSTランジスタN2のドレイン及びP型ウェル75は、端子VPTに接続されている。N型ディープウェル73は、フローティングな状態とされている。NMOSTランジスタN1の部分と同様に、P型ウェル75とN型ディープウェル73によって、図6に示すダイオードDi2が形成されている。

20

【0032】

以上のように構成された正負両方の電圧に対応が可能な双方向スイッチ30の動作について以下に説明する。まず、正電圧用双方向スイッチ31をオフ状態とする場合について説明する。正電圧用双方向スイッチをオフ状態とする場合は、PMOSTランジスタP1、P2をオフ状態とする。そのため、VPP端子には例えば3Vが印加され、PMOSTランジスタP1のゲートに接続されるSWPP端子にもVPP端子と同一の3Vが印加される。PMOSTランジスタP2に接続されるVPT端子には、例えば5Vが印加され、ゲートに接続されるSWPT端子にもVPT端子と同一の5Vが印加される。ゲートに印加される電圧に基づいて、PMOSTランジスタP1及びPMOSTランジスタP2はオフ状態となる。PMOSTランジスタP1、P2が共にオフ状態となるため、端子VPPと端子VPTは、絶縁状態とされる。

30

【0033】

正電圧用双方向スイッチ31をオン状態とする場合、PMOSTランジスタP1、P2をオン状態とする。そのため、PMOSTランジスタP1のゲート入力端子SWPPには接地電位(GND)が印加される。また、PMOSTランジスタP2のゲート入力端子SWPTにも接地電位が印加される。PMOSTランジスタP1、P2がオン状態となるため、端子VPPと端子VPTは、電氣的に接続された状態となる。この状態で、端子VPPをハイ・インピーダンス状態として端子VPTに正電圧を印加すれば、端子VPTを入力端子、端子VPPを出力端子としたスイッチ回路として動作する。また、端子VPTをハイ・インピーダンス状態にして端子VPPに内部回路からの出力が印加されれば、端子VPPを入力端子、端子VPTを出力端子としたスイッチ回路として動作する。

40

【0034】

図5に示した正電圧用双方向スイッチ31において、端子VPTに負電圧が印加された

50

場合について説明する。端子VPTに負電圧が印加される場合、正電圧用双方向スイッチ31側は、オフ状態とされる。したがって、端子VPP、PMOSTランジスタP1のゲート入力端子SWPPには、3Vの電圧が印加される。また、PMOSTランジスタP2のゲート入力端子SWPTには、レベルシフト回路などを介して、5Vの電圧が印加される。この状態で、評価用端子を介して端子VPTに負電圧(例えば-3V)が印加された場合でも、PMOSTランジスタP2のN型ウェル53は、端子VPTには接続されずフローティングな状態になっている。このため、PMOSTランジスタP2のP型拡散層57に負電圧が印加された場合でもN型ウェル53はP型基板電位GNDより低い電位となることはない。P型基板間51とN型ウェル53が順バイアスされることはないため、P型基板51とN型ウェル53の間に不要な電流が流れることはなく、端子VPTと端子VPP間の絶縁状態は維持される。

10

## 【0035】

また、第2の入出力端子VPNに負電圧を印加して、端子VPTから出力する場合にも、端子VPTは負電圧となる。このような場合でも、N型ウェル53をフローティングな状態としておくことにより、端子VPP-VPT間の絶縁状態は維持される。

## 【0036】

本実施の形態では、正負両方の電圧が印加される端子VPTに接続されるPMOSTランジスタP2のN型ウェル53をフローティング状態としている。このため、端子VPTに負電圧が印加された場合でもN型ウェル53はP型基板51より低い電圧になることはない。したがって、N型ウェル53とP型基板51間が順バイアスされることを防ぐことが可能となる。よって、負電圧が印加された場合でも正電圧用双方向スイッチの絶縁状態を保つことが可能となる。なお、以上の実施の形態ではPMOSTランジスタP2をオフ状態とするためにゲート入力端子SWPTには、5Vが印加されるものとして説明している。しかしながら、PMOSTランジスタP2の耐圧を考慮した場合、端子VPTに負電圧が印加される時にはゲート入力端子SWPTに接地電位GNDを印加するように制御することも可能である。このように制御すれば、PMOSTランジスタP2の耐圧を超えるような電圧がかかることを防ぐことが可能である。また、端子VPPとPMOSTランジスタP2との間にPMOSTランジスタP1を設けている。これは、仮にPMOSTランジスタP2のみで、端子VPPと端子VPTとの間の導通状態を制御する場合、オフ状態を作り出すことができないためである。すなわち、端子VPPの電圧と端子VPTの電圧との短絡を防止するために、端子VPPとPMOSTランジスタP2の間には、PMOSTランジスタP1が接続されている。

20

30

## 【0037】

次に、負電圧用双方向スイッチ32の動作について詳細に説明する。負電圧用双方向スイッチ32をオフ状態とする場合、NMOSTランジスタN1に接続される端子VPNには例えば-2Vが印加され、ゲートに接続されるSWNP端子にも-2Vが印加される。一方、NMOSTランジスタN2に接続される端子VPTには例えば-3Vが印加され、ゲートに接続されるSWNT端子にも端子VPTと同一の-3Vが印加される。ゲートに印加される電圧に基づいて、NMOSTランジスタN1及びNMOSTランジスタN2はオフ状態となる。したがって端子VPNと端子VPTは絶縁状態とされる。

40

## 【0038】

負電圧用双方向スイッチ32をオン状態とする場合、NMOSTランジスタN1のゲート入力端子SWNPには例えば2.5Vの電圧(VCC)が印加される。NMOSTランジスタN2のゲート入力端子SWNTにはVCC電圧が印加される。ゲートに印加される電圧に基づいて、NMOSTランジスタN1及びNMOSTランジスタN2はオン状態となる。NMOSTランジスタN1、N2がオン状態となるため、端子VPNと端子VPTは、電氣的に接続された状態となる。この状態で、端子VPNをハイ・インピーダンス状態として端子VPTに負電圧を印加すれば、端子VPTを入力端子、端子VPNを出力端子としたスイッチ回路として動作する。また、端子VPTをハイ・インピーダンス状態にして端子VPNに内部回路からの出力が印加されれば、端子VPNを入力端子、端子VP

50

Tを出力端子としたスイッチ回路として動作する。

【0039】

負電圧用双方向スイッチ32において端子VPTに正電圧が印加された場合について説明する。VPTに正電圧が印加される場合、上記したNMOSトランジスタN1、N2をオフ状態とする場合と同様に、端子SWNP、SWNTにそれぞれ-2V、-3Vの電圧が印加される。ここで、端子VPTに正電圧が印加された場合でも、NMOSトランジスタN2のN型ディープウェル73は、フローティングな状態にされている。端子VPTを介してP型ウェル75に正電圧が印加された場合は、P型ウェル75とN型ディープウェル73との間は、一時的に順バイアス状態とされる。P型ウェル75からN型ディープウェル73に一時的な電流が流れるが、N型ディープウェル73の電位が、端子VPTと同じになった時点で順バイアス状態は解消される。このため、一時的な電流は生じるもののP型基板71とN型ディープウェル間が順バイアス状態とされてしまうことはない。

10

【0040】

本実施の形態では、端子VPTに接続されるNMOSトランジスタN2のN型ディープウェル73がフローティングな状態とされている。P型ウェルに電源VCCより高い電位正電圧が印加された場合は、P型ウェル75とN型ディープウェル73との間に一時的に順バイアス状態が発生する。しかしながら、N型ディープウェルの充電が完了した時点で順バイアス状態は解消される。このため、端子VPTに正電圧が印加された場合でも絶縁状態を保つことが可能となる。

20

【0041】

また、NMOSトランジスタN1及びNMOSトランジスタN2は、負電圧を通すためにP型ウェル分離のためのN型ディープウェル構造を有している。この構造は、NMOSトランジスタN1及びNMOSトランジスタN2のN型拡散層に負電圧を印加した場合にP型基板71との間で順バイアス電流を発生させないために必要である。また、NMOSトランジスタN1及びNMOSトランジスタN2のP型ウェルをN型ディープウェルで分離することによって、P型ウェルにはN型拡散層と同じ電位を印加することができる。このため、N型拡散層とP型ウェルとの間で順バイアス化が起こることはない。また、端子VPNとNMOSトランジスタN2との間にNMOSトランジスタN1を設けている。これは、仮にNMOSトランジスタN2のみで、端子VPNと端子VPTとの間の導通状態を制御する場合、オフ状態を作り出すことができないためである。すなわち、端子VPNの電圧と端子VPTの電圧との短絡を防止するために、端子VPNとNMOSトランジスタN2の間には、NMOSトランジスタN1が接続されている。

30

【0042】

以上に示したように本実施の形態では、P型基板上にPMOSトランジスタP1、P2及びNMOSトランジスタN1、N2を形成することで、正電圧用双方向スイッチ31、負電圧用双方向スイッチ32を設けた。しかしながら、N型基板上にPMOSトランジスタP1、P2及びNMOSトランジスタN1、N2を形成することで、正電圧用双方向スイッチ31、負電圧用双方向スイッチ32を設けることも可能である。以下、図8～図11を参照して、N型基板上に正電圧用双方向スイッチ、負電圧用双方向スイッチを形成する場合について説明する。

40

【0043】

図8は、N型基板上に形成された正電圧用双方向スイッチを示す図である。正電圧用双方向スイッチは、第2導電型の第4のトランジスタに相当するPMOSトランジスタP1、第2導電型の第3のトランジスタに相当するPMOSトランジスタP2、第3のゲート入力端子SWPP、第4のゲート入力端子SWPTを有している。なお、図8に示す第1のダイオードDi1及び第2のダイオードDi2については半導体素子の構造上形成されるダイオードを示したものである。

【0044】

PMOSトランジスタP1のソースは、端子VPPに接続され、ドレインは、PMOSトランジスタP2のドレインに接続されている。また、基板端子は、端子VPPへと接続

50

される。PMOSトランジスタP2のソース及び基板端子は、端子VPTへと接続される。また、PMOSトランジスタP1、PMOSトランジスタP2のゲートにはそれぞれ、第3のゲート入力端子SWPP、第4のゲート入力端子SWPTが接続されている。

【0045】

図9は、本実施の形態における負電圧用双方向スイッチの断面構造を示す図である。N型基板内には、素子分離用に第5のウェル、第2のウェルにそれぞれ相当するP型ディープウェルが形成されている。PMOSトランジスタP1は、P型ディープウェル内に形成された第4のウェルに相当するN型ウェル内に形成され、PMOSトランジスタP2は、P型ディープウェル内に形成された、第3のウェルに相当するN型ウェル内に形成されている。

10

【0046】

図8に回路図で示したように、PMOSトランジスタP1のソース及びN型ウェルは、端子VPPに接続されている。また、P型ディープウェルは、接地電位GNDに接続されている。図8に示したダイオードDi1は、N型ウェルとP型ディープウェルによって形成された寄生ダイオードである。また、PMOSトランジスタP2のドレイン及びN型ウェルは、端子VPTに接続されている。P型ディープウェルは、フローティングな状態とされている。PMOSトランジスタP2は、PMOSトランジスタP1の部分と同様に、N型ウェルとP型ディープウェルによって、図8に示すダイオードDi2が形成されている。

【0047】

20

ここで、正電圧用双方向スイッチにおいて端子VPTに負電圧が印加された場合について説明する。端子VPTに負電圧が印加される場合、端子VPTに接続されたPMOSトランジスタP2におけるN型ウェルとN型ウェル分離のためのP型ディープウェル間が一時的に順バイアス化される。しかしながら、ウェル分離のためのP型ディープウェルの電位がVPTと同一のレベルまで放電されると電流パスはなくなる。このため、端子VPTに負電圧が印加された場合でも絶縁状態を保つことが可能となる。

【0048】

図10は、N型基板上に形成された負電圧用双方向スイッチを示す図である。負電圧用双方向スイッチは、第1導電型の第2のトランジスタに相当するNMOSトランジスタN1、第1導電型の第1のトランジスタに相当するNMOSトランジスタN2、第1のゲート入力端子SWNP、第2のゲート入力端子SWNTを有している。

30

【0049】

NMOSトランジスタN1のソースは、端子VPNに接続され、ドレインは、NMOSトランジスタN2のソースに接続されている。NMOSトランジスタN1の基板端子(バックゲート)は、端子VPNへと接続されている。NMOSトランジスタN2のドレインは、端子VPTに接続されている。NMOSトランジスタN2の基板端子は、端子VPTには接続されず、フローティング状態とされている。また、NMOSトランジスタN1、NMOSトランジスタN2のゲートにはそれぞれ、第1のゲート入力端子SWNP、第2のゲート入力端子SWNTが接続されている。

【0050】

40

図11は、本実施の形態における負電圧用双方向スイッチの断面構造を示す図である。NMOSトランジスタN1は、N型基板に形成されたP型ウェル内に形成され、NMOSトランジスタN2は、N型基板に形成された第1のウェルに相当するP型ウェル内に形成されている。

【0051】

図10に回路図で示したように、NMOSトランジスタN1が形成されるP型ウェル及びNMOSトランジスタN1のソースは端子VPNへと接続される。また、NMOSトランジスタN2のソースは、端子VPTに接続されている。本実施の形態では、このNMOSトランジスタN2が形成されるP型ウェルが、フローティングな状態とされる。

【0052】

50

ここで、負電圧用双方向スイッチにおいて端子VPTに正電圧が印加された場合について説明する。端子VPTに正電圧が印加された場合、P型ウェルがフローティングであるため、P型ウェルがN型基板電位VCCより高い電位になることはない。従って、P型ウェルとN型基板間が順バイアス化されることは無い。このため、端子VPTに正電圧が印加された場合でも絶縁状態を保つことが可能となる。

#### 【0053】

##### 実施の形態2

図12は、本発明の実施の形態2のP型基板上に形成された双方向スイッチ80を示す図である。なお、図12において、図3と共通する構成に関しては、同一の符号を付し、その詳細な説明を省略する。図12では、図3に示した双方向スイッチ30に対して、第2導電型の第6のトランジスタに相当するNMOSTランジスタN3、及び第2導電型の第5のトランジスタに相当するNMOSTランジスタN4が追加されている。NMOSTランジスタN3とNMOSTランジスタN4は、端子VPPと端子VPTとの間に直列に接続されている。また、不図示であるが、NMOSTランジスタN3は、第9のウェル(N型ディープウェル)内に形成された第8のウェル(P型ウェル)内に形成されている。この第9のウェルは電源電位VCCに接続されている。また、NMOSTランジスタN4は、フローティング状態の第6のウェル(N型ディープウェル)内に形成された第7のウェル(P型ウェル)内に形成されている。また、NMOSTランジスタN3の基板端子は端子VPPに接続され、NMOSTランジスタN4の基板端子は端子VPTに接続されている。

#### 【0054】

実施の形態1では、正電圧を伝播するためにP型MOSTランジスタのみを用いている。しかしながら、端子VPTには、P型MOSTランジスタが有する閾値、例えば1Vより低い正電圧が端子VPTに印加される場合がある。このような場合、P型MOSTランジスタのソース電圧1V、ゲート電圧GNDとなり十分なゲート・ソース間電圧VGSを得ることができない恐れがある。十分なゲート・ソース間電圧を得られない場合は端子VPPとVPTの間の導通状態が不十分になる恐れが生じる。

#### 【0055】

本実施の形態では、端子VPPと端子VPTとの間に第3のNMOSTランジスタN3及び第4のNMOSTランジスタN4を挿入している。よって、第1のPMOSTランジスタP1、第2のPMOSTランジスタP2の有する閾値より低い正電圧が印加された場合でも、第3のNMOSTランジスタN3及び第4のNMOSTランジスタN4の経路で導通状態を良好にすることが可能である。

#### 【0056】

また、図12では、P型基板上に形成された双方向スイッチについて示した。しかしながら、N型基板上に双方向スイッチを形成することも可能である。図13は、N型基板上に形成された双方向スイッチを示す図である。図13では、図3に示した双方向スイッチ30に対して、第2導電型の第6のトランジスタに相当するNMOSTランジスタN3、及び第2導電型の第5のトランジスタに相当するNMOSTランジスタN4が追加されている。NMOSTランジスタN3とNMOSTランジスタN4は、端子VPPと端子VPTとの間に直列に接続されている。また、不図示であるが、NMOSTランジスタN3は、第7のウェル(P型ウェル)内に形成されている。この第7のウェルは接地電位GNDに接続されている。また、NMOSTランジスタN4は、フローティング状態の第6のウェル(P型ウェル)内に形成されている。また、NMOSTランジスタN3の基板端子は端子VPPに接続されている。このように、N型基板上に双方向スイッチを形成した場合であっても、第1のPMOSTランジスタP1、第2のPMOSTランジスタP2の有する閾値より低い正電圧が印加された場合において、第3のNMOSTランジスタN3及び第4のNMOSTランジスタN4の経路で導通状態を良好にすることが可能である。

#### 【0057】

##### 実施の形態3

図14は、本実施の形態3の双方向スイッチ90を示す図である。なお、図14において、図3と共通する構成に関しては、同一の符号を付し、その詳細な説明を省略する。図14に示す双方向スイッチ90では、PMOSトランジスタP1及びPMOSトランジスタP2のN型ウェルがフローティングな状態とされている。また、第2導電型の第4のトランジスタに相当するNMOSトランジスタN1及び第2導電型の第3のトランジスタに相当するNMOSトランジスタN2のN型ディープウェルも、それぞれフローティングな状態とされている。また、NMOSトランジスタN1は、PMOSトランジスタP1が接続される端子VPPに共通に接続されている。また、不図示であるが、NMOSトランジスタN1は、フローティング状態の第4のウェル(N型ディープウェル)内に形成された第5のウェル(P型ウェル)内に形成されている。また、NMOSトランジスタN2は、

10

#### 【0058】

実施の形態1および2では、端子VPPは、正電圧のみを印加する端子とされている。しかしながら、本実施の形態では端子VPPは、正負両方の電圧を入出力する端子とされている。PMOSトランジスタP1のN型ウェル、およびNMOSトランジスタN1のN型ディープウェルもフローティングな状態とすることで、端子VPPに対して正負両方の電圧を印加することが可能となる。また、実施の形態1及び実施の形態2に示したように、N型基板上に双方向スイッチを設けることも可能である(図15参照)。なお、N型基板上に形成した場合の回路構成及び断面構造の詳細については省略する。

20

#### 【0059】

以上のように、本発明では、メモリセルの書込みあるいは消去に必要な電圧を生成する昇圧回路もしくはレギュレータの正電圧及び負電圧をひとつのスイッチ回路にて選択的にかつ電圧供給回路間の絶縁状態を保証しながら評価用端子に供給する。そして、双方向スイッチが形成されるウェルをフローティング状態とすることで、半導体基板上に形成される寄生のPN接合に順バイアスが印加されることを防いでいる。そのため、正電圧用双方向スイッチあるいは負電圧用双方向スイッチのどちらか一方の絶縁状態を維持したまま、正負両方の電圧を印加することが可能な双方向スイッチを形成することが可能となる。

30

#### 【0060】

このように、本発明では、同スイッチ回路にて評価用端子から評価目的のために印加する正電圧または負電圧を選択的にかつ電圧供給回路間の絶縁状態を保証しながら内部に供給する双方向スイッチを実現することが可能となる。従って、本発明における双方向スイッチでは、正電圧と負電圧を1つの評価用端子で印加することが可能となる。このような双方向スイッチを用いることにより、正負両方の電圧を必要とする不揮発性メモリなどでは、端子数の削減と評価の簡易性をもたらすことが可能である。

#### 【図面の簡単な説明】

#### 【0061】

【図1】実施の形態1に関わるスイッチ回路を有するメモリ回路を示す図である。

40

【図2】実施の形態1に関わるスイッチ回路100を示す図である。

【図3】実施の形態1に関わるスイッチ回路100内部の双方向スイッチ30を示す図である。

【図4】実施の形態1に関わる双方向スイッチ30内部の正電圧用双方向スイッチ31を示す図である。

【図5】実施の形態1に関わる正電圧用双方向スイッチ31の断面構造を示す図である。

【図6】実施の形態1に関わる双方向スイッチ30内部の負電圧用双方向スイッチ32を示す図である。

【図7】実施の形態1に関わる負電圧用双方向スイッチ32の断面構造を示す図である。

【図8】実施の形態1に関わるN型基板上に形成された正電圧用双方向スイッチを示す図

50

である。

【図 9】実施の形態 1 に関わる N 型基板上に形成された正電圧用双方向スイッチの断面構造を示す図である。

【図 10】実施の形態 1 に関わる N 型基板上に形成された負電圧用双方向スイッチを示す図である。

【図 11】実施の形態 1 に関わる N 型基板上に形成された負電圧用双方向スイッチの断面構造を示す図である。

【図 12】実施の形態 2 に関わる双方向スイッチ 80 を示す図である。

【図 13】実施の形態 2 に関わる N 型基板上に形成された双方向スイッチを示す図である。

。

【図 14】実施の形態 3 に関わる双方向スイッチ 90 を示す図である。

【図 15】実施の形態 3 に関わる N 型基板上に形成された双方向スイッチを示す図である。

。

【図 16】従来の正電圧用双方向スイッチ回路を示す図である。

【図 17】従来の負電圧用双方向スイッチ回路を示す図である。

【図 18】従来の正電圧用双方向スイッチ回路及び負電圧用双方向スイッチ回路を並列に接続した従来の双方向スイッチ回路を示す図である。

【図 19】従来の正電圧用双方向スイッチに負電圧が印加された場合の断面構造を示す図である。

【図 20】従来の負電圧用双方向スイッチに正電圧が印加された場合の断面構造を示す図である。

【図 21】特許文献 1 に記載の正負電圧に対応するスイッチの図である。

【符号の説明】

【0062】

100、200、300	スイッチ回路	
1	メモリセルアレイ	
2	昇圧回路	
3	X - デコーダ回路	
4	Y - デコーダ回路	
5	ソース回路	30
6	書込み回路	
7	読み出し回路	
8	外部回路	
10	メモリ回路	
30	双方向スイッチ	
31	正電圧用双方向スイッチ	
32	負電圧用双方向スイッチ	
VPT	第 1 の入出力端子	
VPP	第 2 の入出力端子	
VPN	第 3 の入出力端子	40
P1、P2	PMOS トランジスタ	
N1 ~ N4	NMOS トランジスタ	

10

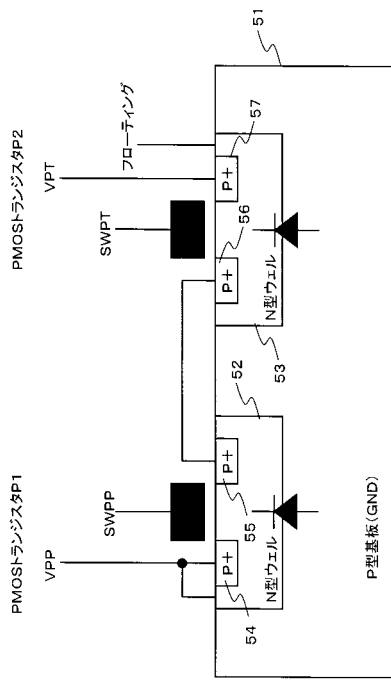
20

30

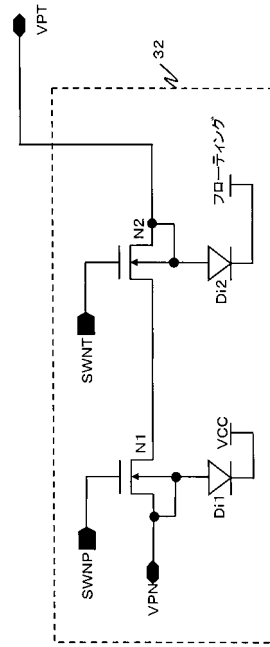
40



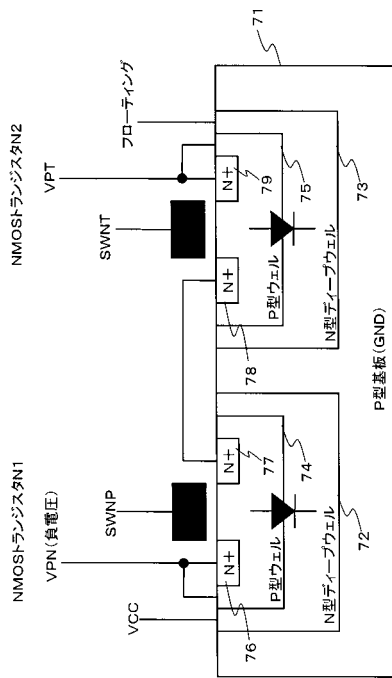
【 図 5 】



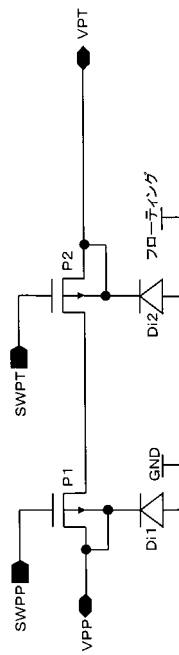
【 図 6 】



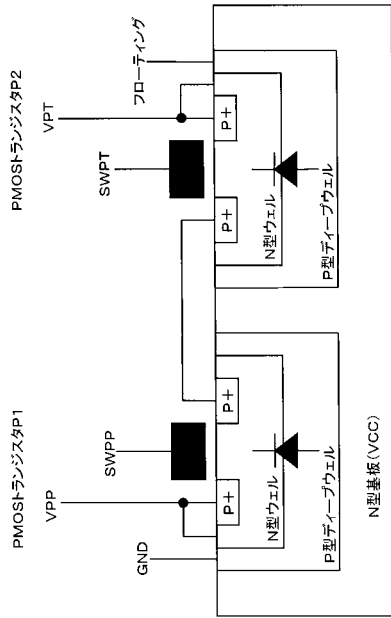
【 図 7 】



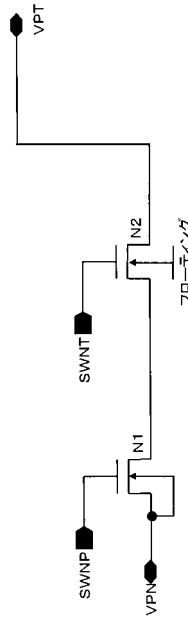
【 図 8 】



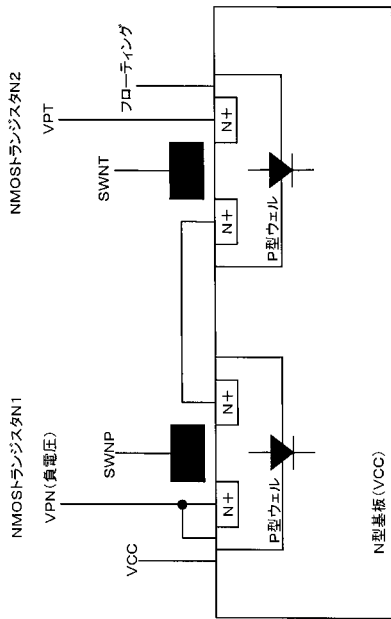
【 図 9 】



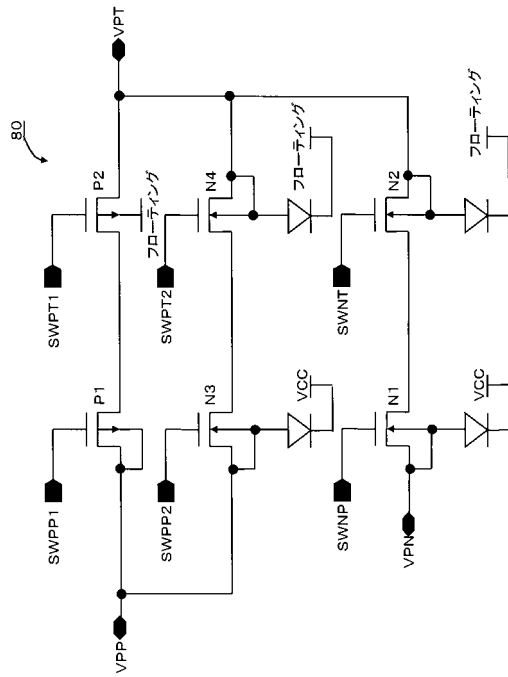
【 図 10 】



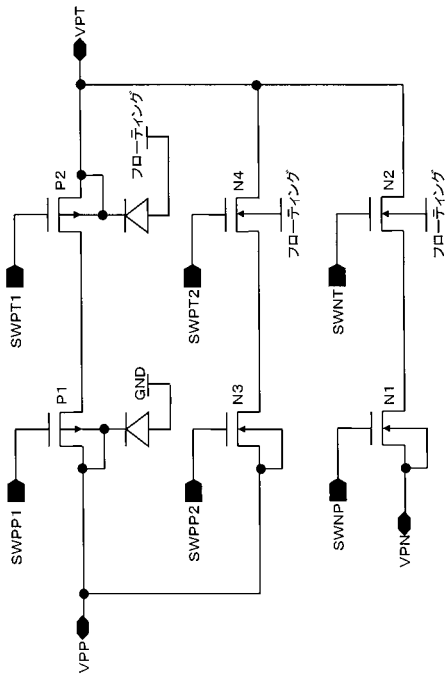
【 図 11 】



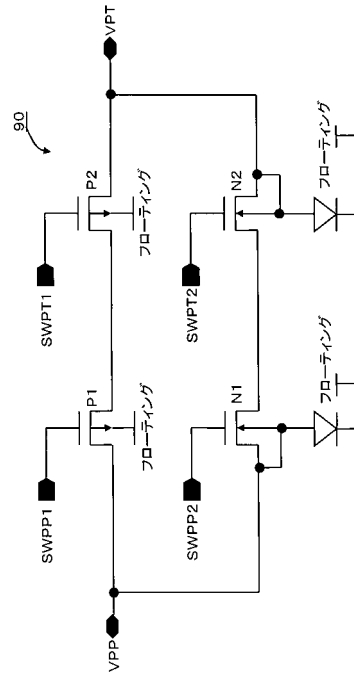
【 図 12 】



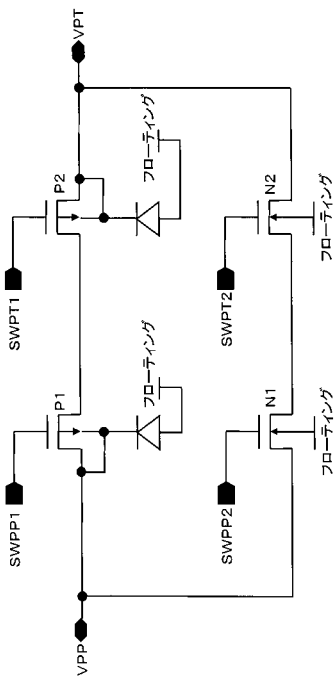
【図 13】



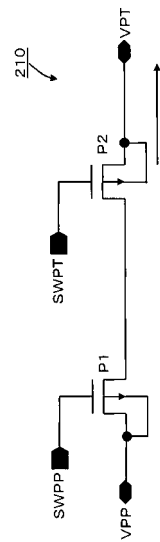
【図 14】



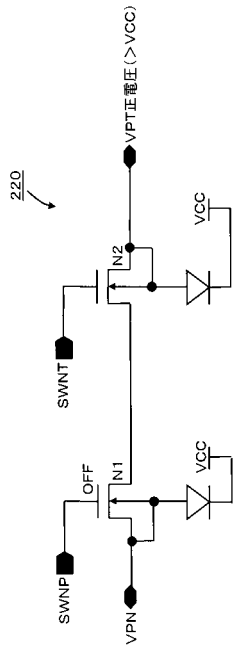
【図 15】



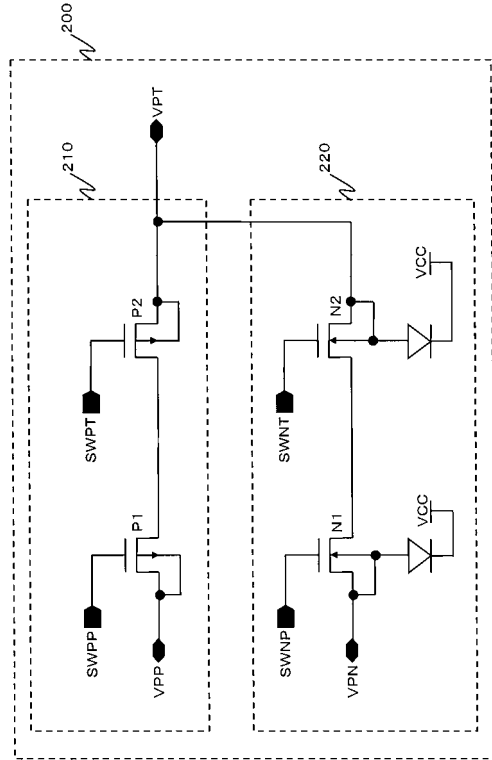
【図 16】



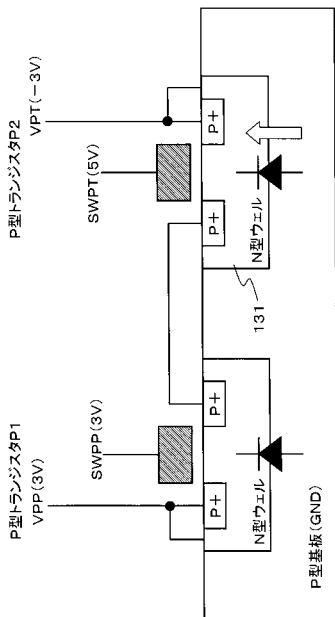
【 図 17 】



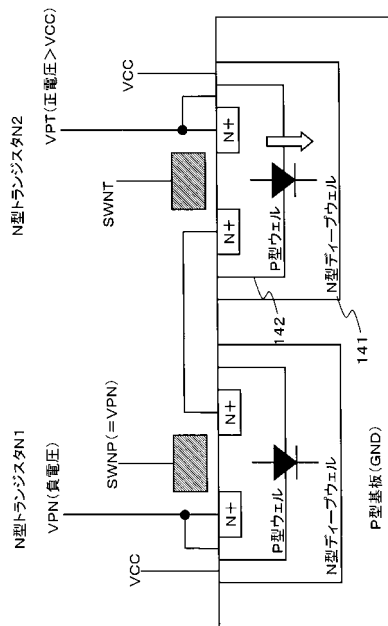
【 図 18 】



【 図 19 】



【 図 20 】





---

フロントページの続き

- (72)発明者 尾添 英利  
神奈川県川崎市中原区小杉町1丁目403番53 NECマイクロシステム株式会社内
- (72)発明者 山田 淳一  
神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
- (72)発明者 日比野 健次  
神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
- (72)発明者 齋藤 龍也  
神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内

審査官 栗栖 正和

- (56)参考文献 特開2004-179470(JP,A)  
特開平09-008629(JP,A)  
特開2006-108567(JP,A)  
特開2005-137196(JP,A)  
特開平02-126669(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H03K 17/00 - 17/70  
G11C 16/06