

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6480953号
(P6480953)

(45) 発行日 平成31年3月13日 (2019. 3. 13)

(24) 登録日 平成31年2月15日 (2019. 2. 15)

(51) Int. Cl. F I
H O 4 L 29/06 (2006. 01) H O 4 L 13/00 3 O 5 C

請求項の数 25 (全 37 頁)

(21) 出願番号	特願2016-567343 (P2016-567343)	(73) 特許権者	593219551
(86) (22) 出願日	平成27年5月13日 (2015. 5. 13)		リニア テクノロジー エルエルシー
(65) 公表番号	特表2017-520967 (P2017-520967A)		アメリカ合衆国 カリフォルニア 950
(43) 公表日	平成29年7月27日 (2017. 7. 27)		35, ミルピタス, マッカーシー プール
(86) 国際出願番号	PCT/US2015/030640		バード 1630
(87) 国際公開番号	W02015/175706	(74) 代理人	110001195
(87) 国際公開日	平成27年11月19日 (2015. 11. 19)		特許業務法人深見特許事務所
審査請求日	平成29年2月8日 (2017. 2. 8)	(72) 発明者	ガンデ, マニディーブ
(31) 優先権主張番号	61/994, 537		アメリカ合衆国、95112 カリフォル
(32) 優先日	平成26年5月16日 (2014. 5. 16)		ニア州、サン・ノゼ、ノース・セブンス・
(33) 優先権主張国	米国 (US)		ストリート、760、アパートメント・3
			206

最終頁に続く

(54) 【発明の名称】 信号処理システムの構成

(57) 【特許請求の範囲】

【請求項 1】

複数の選択可能な信号処理を提供する構成可能な信号処理回路であって、

前記構成可能な信号処理回路は、前記構成可能な信号処理回路への入力信号および前記構成可能な信号処理回路からの出力信号を評価するための外部から印加されたタイミングパターンを検出するための構成回路を含み、前記構成回路は、前記複数の選択可能な信号処理から第1信号処理を選択する前記タイミングパターンにตอบสนองして、構成コードを生成するように構成される、構成可能な信号処理回路。

【請求項 2】

前記構成回路は、前記タイミングパターンに基づいて、位相特性を構成する、請求項 1 に記載の構成可能な信号処理回路。

【請求項 3】

前記構成回路は、前記タイミングパターンに応じて、パターン識別コードシーケンスを生成するタイミングパターンデジタルコンバータ回路を含む、請求項 1 に記載の構成可能な信号処理回路。

【請求項 4】

前記パターン識別コードシーケンス内のコードは、一定の期間中にシリアルインターフェイスを介して通信されたシンボルのカウント数を表す、請求項 3 に記載の構成可能な信号処理回路。

【請求項 5】

10

20

前記タイミングパターンデジタルコンバータ回路は、複数のタイミング波形に応答するステートマシン回路を含む、請求項 3 に記載の構成可能な信号処理回路。

【請求項 6】

前記構成回路は、前記パターン識別コードシーケンスを受信するデコーダ回路をさらに含み、

前記デコーダ回路は、前記パターン識別コードシーケンスを検査するための第 1 ルールに応じて、前記構成コードを生成する、請求項 3 に記載の構成可能な信号処理回路。

【請求項 7】

前記構成回路は、前記パターン識別コードシーケンスを検査するための前記第 1 ルールが満たされると、前記第 1 信号処理を同期する、請求項 6 に記載の構成可能な信号処理回路。

10

【請求項 8】

前記第 1 ルールは、可変長さを有する複数のパターンのために前記パターン識別シーケンスを検査するためのルールの分岐である、請求項 6 に記載の構成可能な信号処理回路。

【請求項 9】

前記第 1 ルールは、所定の優先順位に対して、前記パターン識別コードシーケンスの第 1 相対位置に位置する第 1 コードを検査する、請求項 8 に記載の構成可能な信号処理回路。

【請求項 10】

前記第 1 ルールは、シリアルインターフェイスの無動作を示す所定のコードに対して、前記パターン識別コードシーケンスの第 1 相対位置に位置する第 1 コードの均等性を検査する、請求項 8 に記載の構成可能な信号処理回路。

20

【請求項 11】

前記第 1 ルールは、所定の優先順位に対して、前記パターン識別コードシーケンスの第 1 相対位置に位置する第 1 コードを検査する、請求項 6 に記載の構成可能な信号処理回路。

【請求項 12】

前記第 1 ルールはさらに、シリアルインターフェイスの無動作を示す所定のコードに対して、前記パターン識別コードシーケンスの第 2 相対位置に位置する第 2 コードの均等性を検査する、請求項 11 に記載の構成可能な信号処理回路。

30

【請求項 13】

前記第 1 ルールは、特異パターンを検査する、請求項 6 に記載の構成可能な信号処理回路。

【請求項 14】

前記入力信号を評価するアナログデジタルコンバータ回路をさらに含む、請求項 1 に記載の構成可能な信号処理回路。

【請求項 15】

前記出力信号は、シリアルインターフェイスを介して出力されたマルチシンボルコードのシーケンスである、請求項 14 に記載の構成可能な信号処理回路。

【請求項 16】

40

前記構成回路は、パターン識別コードシーケンスを生成するタイミングパターンデジタルコンバータ回路を含み、

前記パターン識別コードシーケンスは、前記アナログデジタルコンバータ回路のサンプリング周期と実質的に等しい期間中に、前記シリアルインターフェイスを介して出力されたシンボルの数を表す、請求項 15 に記載の構成可能な信号処理回路。

【請求項 17】

前記アナログデジタルコンバータ回路は、複数のアナログ入力信号を受信する構成を有する、請求項 14 に記載の構成可能な信号処理回路。

【請求項 18】

前記複数のアナログ入力信号から、複数のデジタルシーケンスが取得され、多重化され

50

、シリアルインターフェイスを介して出力される、請求項 17 に記載の構成可能な信号処理回路。

【請求項 19】

前記構成回路は、タイミングパターンデジタルコンバータ回路と、デコーダ回路とを含み、

前記デコーダ回路は、前記複数のアナログ入力信号の各々のアナログ入力信号に対する選択した信号処理のための構成コードを生成する、請求項 17 に記載の構成可能な信号処理回路。

【請求項 20】

前記第 1 信号処理は、信号帯域において実質的に平坦な周波数応答を有する、請求項 1 に記載の構成可能な信号処理回路。

【請求項 21】

前記複数の選択可能な信号処理のうち第 2 信号処理の全体的な周波数応答は、実質的なドループを有する、請求項 20 に記載の構成可能な信号処理回路。

【請求項 22】

前記出力信号は、アナログ信号である、請求項 1 に記載の構成可能な信号処理回路。

【請求項 23】

前記入力信号を評価するデジタルシリアルインターフェイス回路をさらに含む、請求項 1 に記載の構成可能な信号処理回路。

【請求項 24】

前記出力信号は、シリアルインターフェイスを介して出力されたマルチシンボルコードのシーケンスである、請求項 23 に記載の構成可能な信号処理回路。

【請求項 25】

入力信号を受信し、出力信号を出力する信号処理回路であって、

前記信号処理回路は、前記構成可能な信号処理回路への入力信号および前記構成可能な信号処理回路からの出力信号を評価するための外部から印加されたタイミングパターンを検出するための構成回路を含み、

前記構成回路は、前記複数の選択可能な信号処理から第 1 信号処理を選択する前記タイミングパターンに応答して、構成コードを生成するように構成される、信号処理回路。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本願は、2014 年 5 月 16 日に提出され、「マルチレートシステムの構成」と題された米国仮出願第 61/994537 号（代理人整理番号 081319-0719）に基づく優先権の利益を主張し、その開示全体が参照により本明細書中に援用される。

【0002】

背景

技術分野

本開示は、信号処理回路およびシステムを含む電気回路に関する。

【背景技術】

【0003】

関連技術

信号処理回路およびシステムは、オーディオ、自動車、データ収集、生産制御、医療診断および治療、ナビゲーション、レーダ検出、地震研究およびセンサを含むがこれらに限定されない広範囲の用途に、使用することができる。

【0004】

構成可能な信号処理回路の信号処理は、いくつかの所定の選択可能な信号処理から選択することができる。

【0005】

10

20

30

40

50

図1 Aは、従来技術の構成可能な信号処理回路／システム100を示す図である。入力信号は、第1サンプリングレートで受信した入力値シーケンス $I(n)$ であってもよい。例示的な第1サンプリングレートは、毎秒に受信した値（サンプル）の個数が100万個であってもよい。すなわち、第1サンプリングレートの周期は、1マイクロ秒（100万分の1秒）である。出力信号は、第2サンプリングレートで提供された出力値シーケンス $O(k)$ であってもよい。例示的な第2サンプリングレートは、毎秒に出力した値の個数が25万個であってもよい。すなわち、第2サンプリングレートの周期は、4マイクロ秒である。構成可能な信号処理回路100のいくつかの選択可能な構成の場合、入力 $I(n)$ の第1サンプリングレート比は、出力 $O(k)$ の第2サンプリングレートに等しくてもよい。回路100の他の選択可能な構成の場合、第1サンプリングレートおよび第2サンプリングレートは、異なってもよい。入力（第1）サンプリングレートを出力（第2）サンプリングレートで割った比率は、サンプリングレート比（SRR）と呼ばれる。例示的なサンプリングレート比は、 $1000000 / 250000$ 、4：1または4として表記されてもよい。

10

【0006】

入力シーケンス $I(n)$ に含まれた個々の値は、第1シーケンスインデックス n の個々の値によって標記（指示）されることができる。例えば、例示的なシーケンス $I(n) = 3, 6, 22, 8, 6, \dots$ の第1値は、 $I(1) = 3$ であり、第2値は、 $I(2) = 6$ であり、第3の値は、 $I(3) = 22$ である（以下、同様）。同様に、出力シーケンス $O(k)$ に含まれた個々の値は、第2シーケンスインデックス k の個々の値によって標記されることができる。第1シーケンスインデックス n は、 $I(n)$ の第1サンプリングレートで増分する。第2シーケンスインデックス k は、 $O(k)$ の第2サンプリングレートで増分する。

20

【0007】

図1 Bは、入力シーケンス $I(n)$ 、出力シーケンス $O(k)$ 、およびサンプリングレート比4：1である例示的なタイミング図を示す図である。第1（入力）タイミング波形 $WI(t)$ は、入力シーケンス $I(n)$ の個々の値が安定している（用意ができている）ときに、時刻（例えば、下位から上位への遷移）を示すように生成され、構成可能な信号処理回路100（図1 A）によって確実に評価される（読み取られる）ことができる。回路100は、出力シーケンス $O(k)$ の個々の値が安定している（用意ができている）ときに、時刻を示すための第2（出力）タイミング波形 $WO(t)$ を生成することができる。生成された第2タイミング波形は、 $O(k)$ を受信する外部回路（図示せず）によって確実に確実に評価される（読み取られる）ことができる。

30

【0008】

第1タイミング波形 $WI(t)$ および第2タイミング波形 $WO(t)$ は、任意なものであり、一部の構成可能な信号処理回路によって受信および／または生成されなくてもよい。例えば、外部回路（図示せず）は、 $I(n)$ 、 $WI(t)$ および構成コード CC を構成可能な信号処理回路100（図1）に提供することができ、回路100からシーケンス $O(k)$ のみを受信してもよい。 $WO(t)$ に依存せず（またはアクセスせず）、出力シーケンス $O(k)$ の各値を確実に読み取るように外部回路を可能にするタイミングパラメータ値は、回路100の仕様書（データシート）から得られてもよい。

40

【0009】

構成可能な信号処理回路100（図1 A）は、いくつかの選択可能な所定の信号処理のうち1つを選択する構成コード CC を受信する。例えば、構成コードの第1セグメントは、フィルタリング処理用のフィルタの種類を選択することができる。構成コードの第2セグメントは、サンプリングレート比を選択することができる。

【0010】

図2は、例示的な構成可能な信号処理回路の構成表を示す図である。4ビットの構成コード CC は、フィルタの種類とサンプリングレート比との16個の選択可能な組み合わせのうち1つを選択する。1よりも大きいサンプリングレート比（例えば、4：1および1

50

6 : 1) を選択して、間引きフィルタとして動作するように例示的な回路を構成することができる。1 よりも小さいサンプリングレート比 (例えば、1 : 4 および 1 : 16) を選択して、補間フィルタとして動作するように例示的な回路を構成することができる。間引きフィルタ回路および補間フィルタ回路は、1981 年 4 月号「音響、音声および信号処理における I E E トランザクション」に掲載された Eugene B. Hogenauer による論文「経済型間引きおよび補間デジタルフィルタ」に記載されているように、実装されてもよい。Hogenauer の論文は、任意級数のカスケードインテグレータコーム (C I C) フィルタに基づいた回路を含む (これらに限定されない) 間引きフィルタおよび補間フィルタの理論、動作、および実際の実装を説明するために、参照により本明細書に組み込まれる。C I C フィルタは、一般に S I N C フィルタとして知られている種類のフィルタの効率的なハードウェア実装であってもよい。間引きフィルタ、補間フィルタ、および多くの他の種類の信号処理および回路は、専門雑誌、教科書および特許を含む文献に記載されている。

10

【0011】

当業者なら分かるように、C I C フィルタの正規構造は、複数の選択可能な信号処理を提供するように回路の構成および再構成を容易にする。例えば、四次 C I C フィルタとして構成された回路は、一次 C I C フィルタ、二次 C I C フィルタ、または三次 C I C フィルタとして動作するように再構成されることができる。Hogenauer による論文の図 6 は、マルチプレクサ回路を用いて、選択可能なサンプリングレート比で動作するように四次 C I C フィルタを構成することができることを示している。構成可能な信号処理回路の再構成および再利用は、有利であるが、その必要がない。例えば、各々の選択可能な所定の信号処理のために、異なる専用回路を設けてもよい。マルチプレクサ回路は、構成コードに応じて、選択された信号処理を提供する専用の回路を介して、入力から出力までの信号経路を構成することができる。

20

【0012】

図 1 A の構成可能な信号処理回路図 100 は、実質的に任意種類の選択可能な信号処理を複数で提供することができる。一部の選択可能な信号処理は、(時間変数だけでなく) 実質的に非直線である可能性がある。例えば、出力シーケンス $O(k)$ の値は、入力シーケンス $I(n)$ に含まれる複数值の二乗平均平方根 (rms) であってもよい。別の選択可能な信号処理は、変換演算を提供することができる。例えば、出力シーケンス $O(k)$ の値は、フーリエ変換を入力シーケンス $I(n)$ のセグメントに適用することによって取得することができる。 $O(k)$ は、信号の周波数領域表現であってもよい。 $I(n)$ のセグメントは、サンプリングレート比が 1 よりも大きい、1 に等しいかまたは 1 よりも小さいことに応じて、重畳、連続または散在してもよい。他の選択可能な信号処理は、1 つ以上の選択可能なサンプリングレート比に対して選択可能な周波数応答を有するフィルタリング処理を提供することができる。例示的な信号処理回路は、補間フィルタ、間引きフィルタ、または 1 というサンプリングレート比を有する従来のフィルタとして選択的に動作するように構成可能である。選択可能なサンプリングレート比の一部またはすべてのために、 $I(n)$ から $O(k)$ までの全体周波数応答をオプション的に選択することができる。したがって、構成可能な信号処理回路 100 (図 1 A) は、広範囲で所定の選択可能な信号処理を提供することができる。

30

40

【0013】

回路 100 がチップ上に完全に集積されたシステム (例えば、一体型集積回路チップ) に含まれている場合、構成コード CC を構成可能な信号処理回路 100 (図 1 A) に提供することは、比較的重要ではない。例えば、チップ上に完全に集積されたシステムの他の回路ブロックから、図 2 の構成コード CC を図 1 の回路 100 に提供するために、比較的小さいワイヤおよび/または他の種類の内部接続が必要されるので、そのコストが無視することができる (すなわち、豊富な資源が適度に割り当てられる)。しかしながら、回路 100 が構成コードを供給する回路から物理的に分離されている場合、その状況は、全く異なる可能性がある。例えば、印刷回路基板に設置された別体のパッケージ内に封入され

50

た集積回路チップとして、回路１００を実装した場合、パッケージ外部の回路からの構成コードの受信は、実質的に有限なリソースをかなり割り当てなければならない。具体的には、パッケージの１つ以上のピンは、構成コードの受信に専用される。ここでのポイントは、構成コードを生成または受信することが技術上困難ではないが、構成コードを生成または受信するために、実質的に有限なリソースを割り当てることが望ましくないことである。

【００１４】

また、信号処理を組み込んだ装置、例えば医療機器の物理サイズを縮小することが望まれる場合が多い。集積回路チップをますます小さくなるパッケージに封入することに連れて、封入された集積回路チップに接続するために利用可能なピンもより少なくなる。特にパッケージのピン数が比較的少ない、例えば８、１０または１２個である場合、集積回路パッケージの４つのピンを例示的な４ビットの構成コードの受信に専用にすることは、望ましくない。デジタルシリアルインターフェイスを介して、構成コードを受信することができ、マルチビットの構成コードの受信に専用されるピンの個数を１つのみに制限することによって、デジタルシリアルインターフェイスを介して構成コードの受信を実現できることは、周知である。しかしながら、この目的のために、１つのピンを専用することも望ましくない場合がある。また、このことによって、外部回路が実質的に有限な別のリソースによって制約される場合もある。例えば、外部回路は、構成コードのデジタルシリアル通信に利用可能な（空き）ポートを備えていない可能性がある。

【００１５】

必要なのは、すべての接続（例えば、パッケージのピンまたは他のポート）を所定の信号処理の選択に専用にすることなく、構成可能な信号処理回路を構成するための回路および方法である。

【００１６】

必要なのは、実質的に自己構成可能な信号処理回路である。

【発明の概要】

【課題を解決するための手段】

【００１７】

概要

構成可能な信号処理回路は、複数の選択可能な信号処理を提供することができる。構成可能な信号処理回路は、入力信号を評価し、出力信号を出力するタイミングパターンに基づいて、複数の選択可能な信号処理から第１信号処理を選択する構成コードを生成する構成回路を含むことができる。

【００１８】

アナログデジタルコンバータ回路は、アナログ入力信号を評価し、シリアルインターフェイスを介して、暗号化出力値シーケンスを出力することができる。アナログデジタルコンバータ回路は、構成可能な信号処理コア回路を含む。構成可能な信号処理コア回路は、アナログ入力信号から取得された暗号化入力値シーケンスを受信し、暗号化出力値シーケンスを取得する。構成可能な信号処理コア回路によって提供される信号処理は、所定のタイミングパターンに従って、シリアルインターフェイスを介して出力されるシンボルを要求することによって選択可能である。

【００１９】

信号処理回路は、入力値シーケンスを受信し、第１値の出力に対する要求の受信に応じて、出力値シーケンスのうち第１値を出力することができる。信号処理回路は、ステートマシン回路を含むことができる。ステートマシン回路は、信号処理回路が第１出力値に対する要求の受信に応じて、所定の状態にまたは所定の状態に相当する状態に遷移することができる。出力値シーケンスのうち第２値は、ステートマシン回路の状態に対応してもよい。

【００２０】

信号処理回路は、入力信号を受信し、出力信号を出力することができる。信号処理回路

は、入力信号を評価し、出力信号を出力するタイミングパターンに基づいて、前記複数の選択可能な信号処理から第1信号処理を選択する構成コードを生成する構成回路を含むことができる。信号処理回路は、構成コードに応じて構成可能である。

【0021】

図面は、例示的な実施形態を示すものである。図面は、すべての実施形態を例示するものではない。他の実施形態は、追加的にまたは代替的に使用することができる。明白なまたは不要な詳細は、スペースの節約または説明をより効果的に行うために省略されてもよい。一部の実施形態は、追加の構成要素または工程を用いて、および／または図示されたすべての構成要素または工程を用いなくても実施することができる。異なる図面に同様の符号を使用する場合、同一または同様の構成要素または工程を指す。

10

【図面の簡単な説明】

【0022】

【図1A】いくつかの所定の信号処理のうち1つを選択する構成コードを受信する構成可能な信号処理回路の一例を示す図である（従来技術）。

【図1B】図1Aの例示的な回路のタイミング図の一例を示す図である（従来技術）。

【図2】間引きフィルタまたは補間フィルタとして動作するように選択的に構成されることができる信号処理回路用の例示的な構成表を示す図である（従来技術）。

【図3A】4ビットの2の補数バイナリコードを用いた数値シーケンスの暗号化に起因すると知られている受信ビットストリームの一例を示す図である。

【図3B】数値を表す偶数パリティコードの間に挿入された例示的な区切りマーカを含むビットストリームの一例を示す図である。

20

【図4A】構成可能な信号処理回路の例示的な実施形態を示す図である。

【図4B】図4Aの例示的な回路の変形例である構成可能な信号処理回路の例示的な実施形態を示す図である。

【図5】図4Bの例示的な回路のタイミング図の一例を示す図である。

【図6A】構成コード $CC = SR$ を取得するための例示的な構成回路を示す図である。

【図6B】一定の期間中に要求されたビット（シンボル）の個数をカウントするための例示的なシンボル要求カウント回路を示す図である。

【図7A】自己構成および自己同期する構成可能な信号処理回路の例示的な実施形態を示す図である。

30

【図7B】図7Aの構成同期回路をより詳細に示す図である。

【図8】例示のルール1およびルール2が満たされたことを示す例示的な同期波形を含む図5に基づいた例示的なタイミング図を示す図である。

【図9】各出力値に対して独立に構成することができる構成可能な信号処理回路の一例を示す図である。

【図10】図9の例示的な回路のタイミング図の一例を示す図である。

【図11】入力信号 IN を受信し、出力信号 OUT を出力する構成可能な信号処理回路の一例を示す図である。

【発明を実施するための形態】

【0023】

40

例示的な実施形態の詳細な説明

以下、例示的な実施形態を説明する。他の実施形態は、追加的にまたは代替的に使用することができる。明白なまたは不要な詳細は、スペースの節約または説明をより効果的に行うために省略される場合がある。一部の実施形態は、追加の構成要素または工程を用いて、および／または説明されたすべての構成要素または工程を用いなくても実施することができる。

【0024】

例示的な実施形態は、比較的少ない外部接続を介して、外部回路に接続されることができる。外部接続は、端子によって形成されることができる。端子の例として、集積回路パッケージのピン、チップ上のパッド、ボンドワイヤ、積層ダイ接続、フォトダイオード、

50

および電磁接続用のアンテナまたはコイルを含むがこれらに限定されない。

【0025】

1つ以上のデジタルシリアルインターフェイス回路を設けることによって、暗号化数値シーケンス（デジタルシーケンスまたはデジタル信号）の入力または出力に専用される端子の個数を制限することができる。所定の暗号化方法を用いて、デジタルシーケンス中の各々の数値を複数の順序のあるシンボルとして暗号化することができる。例えば、 $-32768 \sim +32767$ 範囲内の任意の整数値は、当業者に周知である2の補数暗号化方法を用いて、（複数の順序のある）16個のバイナリシンボル（多くの場合、「ビット」と呼ばれる）からなるベクトルに暗号化することができる。ビット（バイナリシンボル値）の状態は、0または1で示すことができる。例示的なデジタルシリアルインターフェイス回路は、基準ノード（例えば、接地）に対して端子に適用された識別可能な所定の電圧レベル（例えば、0Vおよび2V）として、シンボル値を通信するように構成されることができる。他の例示的なデジタルシリアルインターフェイス回路は、識別可能な電流レベル、識別可能な磁束または磁場レベル、識別可能な周波数、識別可能な位相情報、または他の識別可能なメッセージを用いて、シンボル値を表示および通信することができる。多くの実施形態において、バイナリコード（バイナリシンボルのベクトル）を使用することができる。他の実施形態において、数値は、3つ以上の可能値を有するシンボルのベクトルに暗号化されることができる。周知の基数10を使う位取り記数システムは、10個の可能値、すなわち、0、1、2、3、4、5、6、7、8および9を有するシンボルを用いて、数値を表す。デジタルシリアルインターフェイス回路は、任意数の可能値を有するシンボルを通信することができる。バイナリシンボルおよびコードを使用して、いくつかの例示的な実施形態を説明する。

10

20

【0026】

一連の数値を一連のビット値として暗号化するための方法は、数値を表すバイナリコードの間に区切りマーカ（「コンマ」）を与えることができる。ある種類の区切りマーカがない場合、受信されたビットストリームから、個々の数値を表すベクトルに結合されるビットを識別することが困難または不可能である。図3Aは、4ビットの2の補数バイナリコードを用いた数値シーケンスの暗号化に起因すると知られている受信ビットストリームの一例を示す図である。別個の4ビットのコードセグメント間の境界300は、未知である。境界300が未知の場合、受信されたビットストリームを生成するために、4つの潜在的なデジタルシーケンスのうち、暗号化された一デジタルシーケンスを識別することが困難または不可能である。

30

【0027】

区切りマーカは、デジタルシーケンスを表すビットストリームに埋め込まれてもよい。例示的な区切りマーカは、暗号化システム内の任意の数値に対して有効コードではない所定のビットシーケンスであってもよい。例えば、偶数パリティビットを4ビットの2の補数バイナリコードの末尾に追加する場合、区切りマーカを「00001」にすることができる。図3Bは、数値を表す偶数パリティコードの間に挿入された例示的な区切りマーカを含むビットストリームの一例を示す図である。標準化デジタルシリアル通信リンクに専用の暗号化技術、例えば標準JESD204Bに専用の暗号化技術は、デジタルシーケンスの明確なシリアル通信を確保するために、コードセグメントを区切るための他の方法を提供することができる。一部のデジタルシリアルインターフェイス回路は、ビットストリーム内のコードの境界を示すタイミング波形を生成するまたは受信することができる。例えば、デジタルシリアルインターフェイス回路は、専用の端子を介して受信したチップ選択タイミング波形に応じて、コードの境界を識別することができる。

40

【0028】

図4Aは、構成可能な信号処理回路400Aの例示的な実施形態を示す図である。構成可能な信号処理回路400Aは、入力デジタルシリアルインターフェイス回路401Aと、出力デジタルシリアルインターフェイス回路402と、構成可能な信号処理コア回路403と、構成回路404とを含むことができる。構成回路404は、いくつかの所定の

50

信号処理のうち1つを選択する信号処理コア回路403に、構成コードCCを提供することができる。構成コードCCは、デジタルシリアルインターフェイス回路401Aおよび402を介して通信のために、タイミングパターンに依存（由来）することができる。構成回路404は、以下により詳細に説明する。

【0029】

任意の構成可能な信号処理回路、例えば図1Aの従来回路100は、構成可能な信号処理コア回路403に形成されることができる。デジタルシリアルインターフェイス回路401Aおよび402は、任意のデジタルシリアルインターフェイスプロトコル、例えば周知のシリアルペリフェラルインターフェイス（SPI）プロトコルに従って、構成されることができる。端子SDI、SCIおよびSCOは、回路400Aの入力端子であり、端子SDOは、回路400Aの出力端子である。端子VSSおよびVDDは、電源端子である。例えば、端子VSSの電圧 $V(VSS) = 0V$ 、端子VDDの電圧 $V(VDD) = 2V$ 。構成可能な信号処理回路400Aは、（6端子の）外部回路に6個の接続で動作してもよく、6ピンの小型パッケージに封入されてもよい。

【0030】

デジタル入力シーケンス $I(n)$ は、入力デジタルシリアルインターフェイス回路401Aを介して受信されることができる。外部回路（図示せず）は、入力端子SDIおよびSCIに電圧波形 $V(SDI)$ および $V(SCI)$ を適用することができる。入力インターフェイス回路401Aは、端子SCI（シリアルクロック入力）に適用されたタイミング波形 $V(SCI)$ によって示された時刻で、端子SDI（シリアルデータ入力）に適用された電圧レベルを評価する（公称シンボル値、例えば電圧レベルと比較する）ことができる。したがって、入力インターフェイス回路401Aは、数値シーケンス $I(n)$ を表すビットストリーム（バイナリシンボル値）を受信することができる。区切りマーカをビットストリームに埋め込んでもよく、他の端子（図示せず）を介して、数値 $I(n)$ を表すコードの境界を識別するための他のタイミング波形を受信してもよい。入力デジタルシリアルインターフェイス回路401Aは、入力シーケンスの平行（または別のフォーマットの）表現 $I(n)$ および対応のタイミング波形 $WI(t)$ を構成可能な信号処理コア回路403に提供することができる（図1B参照）。

【0031】

実質的に任意種類の入力デジタルシリアルインターフェイス回路401Aは、図4Aの構成可能な信号処理回路図400Aに設けられることができる。インターフェイス回路401Aおよび／または適用された波形 $V(SDI)$ および $V(SCI)$ は、任意の所望の特性を有してもよい。入力デジタルシリアルインターフェイス回路401Aは、比較的少ない端子（SDI、SCI、SDO、SCO、VSS、VDD）を有する回路400Aに設けられた構成可能な信号処理コア回路403に、入力シーケンス $I(n)$ およびタイミング波形 $WI(t)$ を提供する回路の一例である。入力インターフェイス回路401Aは、入力シーケンス $I(n)$ および対応のタイミング波形を提供する任意の他の回路、例えばアナログデジタルコンバータ回路で置換されてもよい。別の実施形態において、デジタル入力シーケンス $I(n)$ およびタイミング波形 $WI(t)$ は、平行通信に必要な複数の端子を介して、直接に受信されてもよい。

【0032】

図4Bは、図4Aの構成可能な信号処理回路400Aの変形例である例示的な構成可能な信号処理回路400Bを示す図である。図4Bにおいて、アナログデジタルコンバータ（ADC）回路401Bを用いて、図4Aの入力デジタルシリアルインターフェイス回路401Aを置換する。多くの種類のADC回路は、当業者にとって知られている。ADC回路は、専門雑誌、教科書および特許を含む文献に記載されている。米国特許第6271782号、第8232905号、第8576104号、および第8810443号は、アナログデジタル変換を行うための例示的な回路および方法を説明するために、参照により本明細書に組み込まれる。

【0033】

図4Bにおいて、入力端子A I Nと0 Vにバイアス（接地）された端子V S Sとの間に、アナログ入力電圧差 $V(A I N, V S S)$ を適用してもよい。他の入力端子C N Vにタイミング波形 $V(C N V) = V(C N V, V S S)$ を適用することによって、A D C 401Bを制御し、入力電圧 $V(A I N, V S S)$ を評価することによって、入力シーケンス $I(n)$ に含まれた数値を取得することができる。名目上、数値 $I(n)$ は、サンプリング時刻で、適用された入力電圧 $V(A I N, V S S)$ と基準電圧 $V R E F$ との比率を特徴付けることができる。基準電圧 $V R E F$ は、電源端子V D DおよびV S Sを介して適用されてもよい。すなわち、 $V R E F = V(V D D, V S S)$ 。

【0034】

高性能のA D C回路は、図4Bに図示されていない追加の端子を提供することができる。例えば、高性能のA D C回路は、2つの専用入力端子A I N PおよびA I N Mを介して適用された入力電圧差 $V(A I N P, A I N M)$ を受けると構成されてもよい。さらに、高性能のA D C回路は、1つ以上の専用端子を介して与えられた基準電圧 $V R E F$ を受けることができる。例えば、 $V R E F = V(R E F P, V S S)$ または $V R E F = V(R E F P, R E F M)$ 。米国特許第8810443号は、タイミング波形、例えば $V(C N V)$ に応じて、入力電圧をサンプリングする例示的なA D C回路を記載している。米国特許第6271782号は、入力電圧を直接にサンプリングしない例示的な連続時間デルタシグマA D C回路を記載している。したがって、A D C回路401Bは、適用されたタイミング波形 $V(C N V)$ に応じて、適用されたアナログ入力電圧 $V(A I N, V S S)$ を評価（またはサンプリング）することによって、タイミング波形 $W I(t)$ によって示された時刻で、回路403に転送される数値を含むデジタル入力シーケンス $I(n)$ を取得するように、構成されることができる。 $I(n)$ 内の数値は、 $V(C N V)$ が $V(A I N, V S S)$ を評価するための要求を提供した時間に対して、遅延をもって回路403に転送されてもよい。いくつかの実施形態において、その遅延は、A D C回路401Bの変換時間である。変換時間は、最小値および／または最大値で特徴付けることができる。いくつかの実施形態において、A D C回路401Bの実効遅延は、実質的にタイミング波形 $V(C N V)$ の周期の整数倍である。タイミング波形 $W I(t)$ は、例えば、 $V(C N V)$ をバッファリングすることによってまたは遅延させることによって、もしくは $V(C N V)$ に応答するワンショット回路を設けることによって、 $V(C N V)$ から取得されてもよい。

【0035】

図5は、図4Bの例示的な回路400Bのタイミング図の一例を示す図である。適用されたタイミング波形 $V(C N V)$ の立上りエッジは、A D C 401Bを制御して、時刻 $T(2)$ で適用された入力電圧 $V(A I N, V S S)$ を評価する。結果として、A D C 401Bは、数値 $I(2)$ を生成する。この数値 $I(2)$ は、時刻 $T(3)$ で、タイミング波形 $W I(t)$ の立上りエッジによって回路403に転送される。この例において、A D C 401Bの実効遅延は、 $T(3) - T(2)$ である。名目上、タイミング波形 $W I(t)$ は、適用されたタイミング波形 $V(C N V)$ と同様である。A D C 401Bは、第1サンプリングレート比 $F s$ で、入力シーケンス $I(n)$ の数値を生成する。 $F s = 1 / T s$ 、 $T(n) = n \cdot T s$ 。

【0036】

構成可能な信号処理コア回路403は、選択可能なサンプリングレート比 $S R R = 4 : 1$ で動作するように構成されることができる。デジタル出力シーケンス $O(k)$ は、対応する第2サンプリングレート比 $F s / S R R = F s / 4$ で更新される。デジタル出力シーケンス $O(k)$ の値は、タイミング波形 $W O(t)$ の各立上りエッジで、出力ディジタルシリアルインターフェイス回路402に転送される。タイミング波形 $W O(t)$ は、例えば、ローハイロー（low-high-low）パルス $W I(t)$ を選択的に含むまたはスキップすることによって、波形 $W I(t)$ のタイミングから取得することができる。デジタル出力シーケンス $O(k)$ に含まれた各数値は、端子S C Oを介して受信したビットの14個の連続要求に応じて、インターフェイス回路402によって、シリアルインターフェイス（端

10

20

30

40

50

子 SDO) に適用される電圧波形 V(SDO) として出力された 14 ビットの 2 の補数バイナリコードで表される。14 ビットを連続的に(系列的に)出力するためのインターフェイス回路 402 に 14 個の連続要求(立上りエッジ)を提供するために、外部回路(図示せず)は、タイミング波形 V(SCO) を端子 SCO(シリアルクロック出力)に適用する。

【0037】

構成回路 404 は、タイミング波形 V(CNV) および V(SCO) を受信し、そタイミングパターンに基づいて構成コード CC を生成する。図 5 に示された例示的なタイミング波形 V(CNV) および V(SCO) は、構成コード CC の第 1 値を選択するための所定の第 1 タイミングパターンと一致する。構成コード CC の第 1 値は、サンプリングレートの比 SRR = 4 : 1 である回路 403 の所定の第 1 信号処理を選択する。したがって、入力信号を評価し、出力信号を出力するための所定のタイミングパターンと一致するタイミングパターンで、タイミング波形 V(CNV) および V(SCO) を適用することによって、構成可能な信号処理回路 400B の所定の信号処理を選択することができる。

【0038】

タイミング波形 V(CNV) および V(SCO) は、外部回路(図示せず)によって制御されてもよい。外部回路は、所定のタイミングパターンと一致するタイミング波形 V(CNV) および V(SCO) を適用することによって、回路 400B の所定の信号処理を選択することができる。所定の第 1 タイミングパターンから所定の第 2 タイミングパターンに切換えると、回路 400B は、所定の第 1 信号処理から所定の第 2 信号処理に切換える。回路 400B は、I(n) および O(k) を通信するためのタイミング特性によって自身の構成を選択することができるため、自己構成回路とも言われている。自己構成回路 400B の利点は、何らかの原因で(電源故障、放射線または他の原因によって)誤った動作モードを入ろうとするときに、自動的適切な動作をに再開することができることである。誤った動作モードの場合、図 1 に示された従来技術の構成可能な信号処理回路 100 は、構成コード CC が専用のシリアルインターフェイスを介して正しく復元されるまでの間に、立ち往生になる可能性がある。

【0039】

以下、入力値/信号および出力値/信号を通信するためのタイミングパターンに応じて、構成コード CC を取得するためのいくつかの例示的な構成の回路を説明する。

【0040】

図 4B の例示的な実施形態において、構成回路 404 は、出力シーケンス O(k) のサンプリング周期においてタイミング波形 V(CNV) の立上りエッジの個数をカウントすることによって、サンプリングレートの比 SRR を表す構成コード CC を取得する。O(k) のサンプリング周期(サンプルとサンプルとの間の時間)は、適用されたタイミング波形 V(SCO) 内の所定数の立上りエッジの時間間隔によって特徴付けられる。例えば、図 5 を参照して、タイミング波形 V(CNV) の立上りエッジの個数 SRR = 4 は、タイミング波形 V(SCO) の第 1 目の立上りエッジで始まり、V(SCO) の第 15 目の立上りエッジで終わり、13 個の V(SCO) の立上りエッジを含む任意の期間にカウントされる。図 6A は、このように構成コード CC = SRR を取得するための例示的な構成回路 600 を示す図である。図 6A の例示的な回路図 600 は、図 4B の回路 404 の代替物である。

【0041】

例示的な N 除算回路 601 は、入力として受信されたタイミング波形 V(SCO) の(所定数) N 個のローハイローパルスの各々に対して、1 つのローハイローパルスを持つタイミング波形 XO(t) を生成する。XO(t) の立上りエッジおよび立下りエッジは、実質的に V(SCO) の立上りエッジと整列されている。タイミング波形 XO(t) は、外部回路が V(SCO) を介して一連の N ビットを要求することによって O(k) の値を周期的に要求するサンプリングレートに対応する周期をもって、周期的であってもよい。したがって、タイミング波形 XO(t) は、選択された出力サンプリングレートに対応

し、タイミング波形 $V(CNV)$ は、選択された入力サンプリングレートに対応する。この例において、構成コード CC は、選択されたサンプリングレート比 SRR (入力サンプリングレートと出力サンプリングレートとの比率) を表す。

【0042】

例示的な5ビットカウンタ回路602は、タイミング波形 $V(CNV)$ の立上りエッジをカウントする。カウンタ回路602は、最大値(オーバーフロー)に達するとワードラップする5ビットのバイナリカウントコードを生成する。5ビットのバイナリコードは、モジュロ32のシーケンス $I(n)$ のインデックス n を表す。カウンタ回路602は、1という定数の入力値を受信し、タイミング波形 $V(CNV)$ によってクロックされる積分回路(積分演算を行う回路)に相当する。この観測結果は、回路600が1という定数の入力値を有する一次 CIC フィルタであって、Hogenauerによる論文に従って構成されたものであることを識別するために、有用である。具体的には、例示的な5ビットラッチ回路603、604および減算回路605は、5ビットのカウントコードを受信し、構成コード $CC = SRR$ を生成する楕円形フィルタである。この楕円形フィルタは、タイミング波形 $XO(t)$ の立上りエッジでクロックされ、選択された出力サンプリングレートで動作する。減算回路605は、Hogenauerの論文に基づいてモジュロ32で計算される算術演算(減算)を提供する。

10

【0043】

CIC フィルタ回路は、Hogenauerの論文に加えて、専門雑誌、教科書および特許を含む文献に記載されている。当業者なら、1という定数の入力値を有する一次 CIC フィルタは、入力サンプリングレートと出力サンプリングレートとの比率の暗号化表現を出力することを認識するであろう。したがって、構成回路600は、値 $I(n)$ を構成可能な信号処理回路400Bに入力し、構成可能な信号処理回路400Bから $O(k)$ の値を要求するためのタイミングパターン $V(CNV)$ および $V(SCO)$ に応じて、サンプリングレート比を表す構成コード CC を取得する。

20

【0044】

構成回路600は、各選択可能なサンプリングレート比に適した所定の信号処理の選択を容易にする構成コード CC を生成する。したがって、図4Bの構成可能な信号処理コア回路403によって提供される信号処理は、所定のタイミングパターンに応じて、シリアルインターフェイス(端子SDO)を介して出力されるシンボルを要求することにより選択可能であるサンプリングレート比 $CC = SRR$ の関数であってもよい。(後述する)他の例示的な構成回路を用いて、いくつかの所定の信号処理のうち、各選択可能なサンプリングレート比に適した1つの信号処理を選択することができる。

30

【0045】

構成回路600は、複数の選択可能な信号処理のうち1つの信号処理、例えば間引きフィルタ信号処理を選択的に提供する自己構成アナログデジタルコンバータ回路(図4Bの400B)であってもよい。例えば、図4Bの回路403は、図6Aに従って実装された構成回路404によって生成された構成コード $CC = SRR$ を受信する構成可能な間引きフィルタ回路であってもよい。必要に応じて、回路602、603、604および605のビット幅を増加してもよい。

40

【0046】

一例示の実施形態において、構成可能回路403は、所定の最大値、例えば $SRR \leq 65536$ までの任意のサンプリングレート比に適した一次 $SINC$ フィルタとして動作することができる。一次 $SINC$ フィルタは、Hogenauerによる論文に説明した第1次 CIC フィルタとして実装されてもよい。Hogenauerによる論文の図6は、構成コード $CC = SRR$ に応じて構成可能なスケーリング動作を提供するマルチプレクサ回路を示している。この構成可能なスケーリング動作は、2の累乗である因子によるスケーリングに限定されることができる。したがって、複数の構成コード $CC = SRR$ のいずれか1つに適した特定のスケーリング係数を生成することができる。

【0047】

50

別の例示的な実施形態において、構成可能回路403は、第1所定値のグループ、例えば{1024, 512, 256}に含まれる任意選択したサンプリングレート比（構成コード $CC = SRR$ ）に適した一次SINC間引きフィルタとして動作してもよく、第2所定値のグループ、例えば{128, 64, 32}に含まれる任意選択したサンプリングレート比に適した二次SINC間引きフィルタとして動作してもよく、第3所定値のグループ、例えば{16, 8, 4}に含まれる任意選択したサンプリングレート比に適した三次SINC間引きフィルタとして動作してもよい。SINC間引きフィルタの周波数応答は、実質的なドループを有する。間引きフィルタは、複数の間引きフィルタ回路のカスケードとして構成されることがよく知られている。例えば、多段間引きフィルタ回路は、選択可能な第1サンプリングレート比 $SRR1$ で動作する三次SINC間引きフィルタ回路と、固定の第2サンプリングレート比 $SRR2 = 6$ で動作する2段間引きフィルタ回路とのカスケード構成に構成されてもよい。全体のサンプリングレート比 $SRR = SRR1 \cdot SRR2 = 6 \cdot SRR1$ である。信号帯域における多段間引きフィルタ回路の全体的な周波数応答を実質的に平坦化するように、二段間引きフィルタ回路の周波数応答を提供（設計）してもよい。構成可能回路403は、第4所定値のグループ、例えば{96, 48, 24}に含まれ、所定の数字3で割れる任意選択可能なサンプリングレート比に適した多段間引きフィルタとして動作することができる。

10

【0048】

当業者なら分かるように、図6Aの回路600の動作は、異なる構成を有する他の回路によって提供されてもよい。例えば、回路602は、任意の定数入力値を受信する汎用積分回路によって置換されてもよい。例示的な5ビット回路602、603、604、および605のビット幅を大きくしてもよく、小さくしてもよい。Hogenauerは、CICフィルタに適した十分なビット幅を選択する方法を説明している。CICフィルタの動作は、異なる構成を有するSINCフィルタの動作と同様であってもよい。例えば、カウンタ回路602は、カウント値をラッチ回路603に転送した後、 $XO(t)$ の各立上りエッジでゼロ（または他の所定値）にリセットされてもよい。その後、ラッチ回路603は、構成コード $CC = SRR$ を生成し、回路604および605を除去することができ、カウンタ回路602のオーバーフロー特性（モジュロ型の場合、飽和特性）が重要ではなくなる。

20

【0049】

また、当業者なら分かるように、曖昧さおよび準安定性を含む（これらに限定されない）周知のタイミング関連問題を回避するために、タイミング仕様／要件を課すことが好ましい。例えば、図5の例示的なタイミング波形 $V(SCO)$ の遅延に相当するように、 $XO(t)$ の立上りエッジおよび立下りエッジを $V(SCO)$ の（立上りエッジ反対側の）立下りエッジに対して整列するように、図6AのN除算回路601を異なって構成する場合、タイミング関連問題は、生じる可能性がある。このような変更によって、 $XO(t)$ の立上りエッジは、 $V(CNV)$ の立上りエッジと実質的に一致することになり、これによって、ラッチ回路603に転送されるコードの曖昧さを引き起こす可能性がある。例えば、カウントコードは、実質的にラッチ回路603が $XO(t)$ によってクロックされるときに生じる $V(CNV)$ の立上りエッジを引き起こす原因であってもよく、ではなくてもよい。また、回路602により生成されたカウントコードが変更されるときにまたは変更されると共に、ラッチ回路603をクロックすると、偽のコードがラッチ回路603にロードされる可能性がある。例えば、カウントコードが「10111」から「11000」に遷移する場合、準安定性を引き起こす可能性があるため、カウントコードの最上位ビットのみを確実にラッチ回路603にロードすることができる。1つ以上のタイミング要件を課すことを含み（これに限らない）、潜在的なタイミング関連問題を分析および防止することは、当業者にとって熟知である。

30

40

【0050】

例示的な実施形態は、信号処理の位相特性を自己構成することができる。 $SRR = 4$ の場合の図4Bの回路400Bおよび図5の例示的なタイミング図を再び参照する。タイミ

50

ング波形 $W_O(t)$ は、回路 403 によって、構成コード C_C に基づいたタイミング波形 $W_I(t) = V(CNV)$ から取得される。例示的なサンプリングレート比 $SRR = 4$ の場合、タイミング波形 $W_O(t)$ の位相特性は、 $SRR = 4$ の異なる値のうち、1つを有する可能性がある。波形タイミング $W_O(t)$ の立上りエッジは、図 5 に示された $SRR = 4$ の異なる時刻 $T(3)$ 、 $T(4)$ 、 $T(5)$ または $T(6)$ のうち、1つの時刻で生じる可能性がある。

【0051】

$W_O(t)$ の位相特性の曖昧さは、選択された信号処理の位相特性の曖昧さに対応する。例えば、回路 403 を一次 $SINC$ 間引きフィルタとして動作するように構成する場合、出力値 $O(k)$ は、 $I(4 \cdot k - p - 3) + I(4 \cdot k - p - 2) + I(4 \cdot k - p - 1) + I(4 \cdot k - p)$ に等しくてもよい（式中、 $\{0, 1, 2, 3\}$ に含まれる曖昧値 p は、選択された信号処理の曖昧な位相特性を表す）。選択された信号処理の位相特性の曖昧さは、いくつかの実施形態に許容可能である。他の実施形態は、位相に特性を選択する必要または好みがある。そのため、端子を専用にしなないことが好ましい。

【0052】

例示的な実施形態は、デジタルシリアルインターフェイス回路の位相特性を自己構成することができる。 $SRR = 4$ の場合の図 4B の回路 400B および図 5 に示された例示的なタイミング図を再び参照する。タイミング波形 $W_O(t)$ の位相特性の曖昧さは、 $V(SCO)$ に応じて $V(SDO)$ として連続的に出力されたコードの境界の曖昧さを引き起こす可能性がある。いくつかの実施形態（図 3B）において、 $V(SDO)$ として出力された連続ビットに、区切りマーカを挿入することができる。他の実施形態において、区切りマーカを挿入しなくてもよい。また、コードの境界を示すためのタイミング波形を受信または生成するために、端子を専用にしなないことが好ましい。また、コードの境界の選択を容易にするように、外部回路を設けることが好ましい。

【0053】

本明細書において、回路または動作の位相特性の選択は、回路または動作の同期として呼ばれる。本明細書において、位相特性を自己構成する回路または処理は、自己同期回路または自己同期処理として呼ばれる。

【0054】

例示的な実施形態において、自己同期とは、 $I(n)$ および／または $O(k)$ を通信するためのタイミング特性によって、位相特性を選択することを意味である。自己同期回路は、シリアルインターフェイスを介して通信（入力または出力）されたマルチシンボルコードの信号処理および／または境界を同期することができる。自己同期回路の利点は、何らかの原因で（電源故障、放射線または他の原因によって）誤った動作モードに入ろうとするとときに、自動的に適切な動作を再開することができることである。

【0055】

図 5 の例示的なタイミング図は、 $V(CNV)$ の 2 つの隣接する立上りエッジによって制限された時間間隔において、 $V(SCO)$ の立上りエッジにより要求されたビットの個数を示している。図 6B は、各時間間隔において要求されたビット（シンボル）の個数をカウントするための例示的なシンボル要求カウント回路 610 を示している。図 6A の回路 600 と同様に、回路 610 は、定数の入力値を有する一次 CIC フィルタとして特徴付けることができる。図 6B において、図 6A の N 除算回路 60 を取り外し、タイミング波形 $V(SCO)$ および $V(CNV)$ を互いに交換した。

【0056】

回路 610 は、シンボル要求カウント値のシーケンス $SRC(n)$ を生成し、このシーケンスは、波形 $V(CNV)$ タイミングの各立上りエッジで更新される。例示的なシーケンス $SRC(n)$ は、図 5 に示されている。非定数のシンボル要求カウント値のシーケンス $SRC(n)$ は、選択された信号処理および／またはデジタルシリアルインターフェイス回路を同期するための位相特性を示すことができる。例えば、タイミング波形 $W_O(t)$ のローハイローパルスは、要求されたビット数が直前の時間間隔のビット数よりも大き

い時間間隔と同期されることができる。図5の例において、各々の時間間隔 $[T(2); T(3)]$ および $[T(6); T(7)]$ において、2つのビットが要求されており、各々の時間間隔 $[T(3); T(4)]$ および $[T(7); T(8)]$ において、4つのビットが要求されている。よって、 $WO(t)$ のローハイローパルスは、 $WO(t)$ の立上りエッジが $T(3)$ および $T(7)$ で生じるように、時間間隔 $[T(3); T(4)]$ および $[T(7); T(8)]$ と同期される。また、 $T(3)$ および $T(7)$ は、 $V(SDO)$ として出力されたコードの境界に対応する。

【0057】

図7Aは、自己構成および自己同期する構成可能な信号処理回路700の例示的な実施形態を示す図である。構成可能な信号処理回路700は、構成可能な信号処理コア回路703が図4Bのようにタイミング波形 $WI(t)$ だけでなく、タイミング波形 $WI(t)$ および $WO(t)$ の両方を受信することを出いて、図4Bの回路400Bと同様である。構成同期（構成）回路704は、適用されたタイミング波形 $V(CNV)$ および $V(SCO)$ を受信し、 $V(CNV)$ および $V(SCO)$ のタイミングパターンに応じて、タイミング波形 $WI(t)$ および $WO(t)$ を生成する。タイミング波形 $WO(t)$ は、さらに出力デジタルシリアルインターフェイス回路402に供給される。回路400Bと同様に、タイミング波形 $WI(t)$ は、 $V(CNV)$ に実質的に等しくてもよい。

【0058】

回路703の信号処理の位相特性は、タイミング波形 $WI(t)$ および $WO(t)$ の位相特性に対応してもよい。デジタルシリアルインターフェイス回路402によって端子 SDO を介して出力されたコードの境界は、 $WO(t)$ の位相特性に対応している。 $WI(t)$ および $WO(t)$ の位相特性は、外部回路（図示せず）によって、所定のタイミングパターンに従ってタイミング波形 $V(CNV)$ および $V(SCO)$ を適用することによって選択される。また、回路700の所定の信号処理は、外部回路によって、タイミング波形 $V(CNV)$ および $V(SCO)$ を介して選択される。図5のタイミング図は、図7Aおよび図4Bを例示する。

【0059】

図7Bは、図7Aの構成同期回路をより詳細に示す図である。例示的な回路704は、上述したシンボル要求カウント回路610（図6B）と、デコーダ回路705と、（一般的に論理ゲートと呼ばれる）論理回路706とを備える。デコーダ回路705は、ステートマシン回路として実装されてもよい。ステートマシン回路は、周知であり、一般に有限ステートマシン回路と呼ばれる。ステートマシン回路の動作は、Verilogのようなハードウェア記述言語（HDL）で記述することができる。物理集積回路チップのトランジスタレベルの概略図および配置を提供するために、市販のソフトウェアツールを用いて、デコーダ回路705のVerilogまたは他のHDL記述を統合することができる。

【0060】

例示的なデコーダ回路705は、シンボル要求カウントシーケンス $SRC(n)$ を生成し、このシーケンスは、波形 $V(CNV)$ のタイミングの立上りエッジで更新される。各更新ごと（シーケンスインデックス n の各値ごと）に、 $SRC(n)$ の現在値および／または過去値は、複数の所定のルールに従って評価される。各ルールは、例えば、満たされる場合、（真）1というバイナリ出力を生成し、満たされない場合、0（偽）というバイナリ出力を生成する。したがって、ルールを設けて、 $SRC(n)$ の真または偽を検査することができる。ルールは、シーケンスインデックス n の現在（瞬時）値の相対位置で、 $SRC(n)$ の任意個数の値を評価（検査、比較）することができる。例えば、 $SRC(n-8)$ は、 $SRC(n)$ の第1相対位置であって、 $SRC(n)$ の第2相対位置 $SCR(n-7)$ に連続している。したがって、ルールは、 $SCR(n)$ のシーケンス歴、例えば $SCR(n)$ の10個の最新値に適用された検査であってもよい。回路705の各ルールは、回路610の特性を介して、 $V(CNV)$ および $V(SCO)$ の所定のタイミングパターンを表している。構成コード CC は、（パワーオンリセットイベントにおいて、デフォルト値から始まって）最後に満たされたルールのインデックス（ポイント）を提供す

10

20

30

40

50

る。

【0061】

例示的な実施形態は、デコーダ回路705に2つのルールを付与することができる。(SRC(n-3)=4)且つ(SRC(n-2)=4)且つ(SRC(n-1)=4)且つ(SRC(n)=2)に限り、例示的な第1ルール(ルール1)は、満たされる。(SRC(n-3)=4)且つ(SRC(n-2)=4)且つ(SRC(n-1)=3)且つ(SRC(n)=3)に限り、例示的な第2ルール(ルール2)は、満たされる。図5の例示的なタイミング図を再び参照して、SRC(n)が[4, 4, 4, 2]の周期延長であることを前提とする。ルール1は、時間間隔[T(7); T(8)]で満たされ、kが整数である場合、すべての時間間隔[T(4·k-1); T(4·k)]で周期延長する。この例において、ルール2が満たされることはない。ルール1が最後に満たされたため、構成コードCCは、ルール1に指向する。ルール1が満たされる時間間隔は、波形WI(t)およびWO(t)を同期するために使用することができる位相特性を表す。したがって、外部回路は、時々、いくつかの所定ルールのうち1つを満たすタイミングパターンで、タイミング波形V(CNV)およびV(SCO)を適用することができる。

10

【0062】

ルールが満たされるとき、時間間隔は、選択された位相特性に対応することができる。ルールが満たされたときに応じて、選択された信号処理および／またはコードの境界を同期することができる。最後に満たされたルールのインデックスは、選択された信号処理に対応することができる。例えば、ルール1は、SRR=4で動作する一次SINC間引きフィルタを選択することができる。ルール2は、SRR=4で動作する2段間引きフィルタを選択することができる。2段間引きフィルタは、信号帯域において実質的に平坦な周波数応答を提供する2つの1/2間引きハーフバンドフィルタを含むことができる。

20

【0063】

デコーダ回路705は、タイミング波形SYNC(t)で表される単一ビットの同期シーケンスSYNC(n)を生成する。タイミング波形SYNC(t)は、V(CNV)の(立上りエッジ反対側の)立下りエッジで更新される。SYNC(n)は、選択された位相特性およびサンプリングレート比を表す。WOタイミング波形(t)は、ブール論理演算(AND)に従って、適用されたタイミング波形V(CNV)および同期波形SYNC(t)を合併することによって取得される。タイミング波形WI(t)は、別のブール論理演算(X=X)に従って、V(CNV)の論理レベルをバッファリングすることによって取得される。したがって、SYNC(n)が真であるときに、V(CNV)のローハイローパルスは、タイミング波形WO(t)に含まれる。デコーダ回路705は、V(CNV)のローハイローパルスを選択的にタイミング波形(t)WOに含むまたはスキップするように、同期シーケンスSYNC(n)を生成する。同期シーケンスSYNC(n)は、選択されたサンプリングレート比に対応する周期で循環してもよい。SYNC(n)=...、0、0、1、0、0、0、1、0、0、0、1、0、...は、SRR=4の例である。SYNC(n)が1(真)であるときのシーケンスインデックス値nは、選択された位相特性であってもよい。V(CNV)のすべてのローハイローパルスは、タイミング波形WI(t)に含まれる。図8は、例示的な同期波形SYNC(t)を含む図5に基づいた例示的なタイミング図を示す図である。

30

40

【0064】

SYNC(n)は、ルールがルールに特定の時間オフセット(相対位置)で満たされたときに真になる。図8は、例示的なルール1および2が満たされた時間を示すシーケンスR1(n)およびR2(n)を表す波形R1(t)およびR2(t)を含む例示的なタイミング図を示す。例示的な同期波形SYNC(t)は、3つのサンプルのルール1に特定の遅延に対応する。ルール1は、実質的に同等の例示的なルール3で置換されてもよい。ルール3は、(SRC(n-3)=2)且つ(SRC(n-2)=4)且つ(SRC(n-1)=4)且つ(SRC(n)=4)に限り、満たされる。SYNC(t)を取得するためのルール3に特定の遅延は、ゼロサンプルである(図8を参照)。

50

【0065】

図6Bのシンボル要求カウント回路610は、タイミングパターンデジタルコンバータ(TPDC)回路の一例である。タイミング波形によって識別される時刻(例えば、タイミング波形の遷移を示す時刻)は、TPDC回路がデジタルシーケンスに変換する物理量である。TPDC回路は、一連の数値、一連のベクトル値または他のものを表すコードシーケンスを生成することができる。TPDC回路は、タイミングに基づく回路を含む。タイミングに基づく回路の例として、遅延セル、位相検出器、パルス発生器、遅延ロックループ、位相ロックループ、位相積分器、固定周波数または制御発振器、ミキサ、および/またはタイムデジタルコンバータを含むが、これらに限定されない。

【0066】

10

回路610は、一般的にさまざまなデジタル回路に使用される基本回路ブロックから構成することができるTPDC回路の一例である。回路610は、複数のタイミング波形に応答するステートマシン回路として特徴付けることができる。デコーダ回路は、TPDC回路の特性と併用して、1つ以上のタイミング波形が所定タイミングパターンに一致するか否かを検査するためのルールを生成することができる。

【0067】

例示的なデコーダ回路705(図7B)によって生成された複数のルールは、同時に2つ以上のルールが満足できないという意味で、相互に排他的である。ルールが相互に排他的であることを確実にするために、優先順位を形成してもよい。例えば、任意の上位ルールが満たされたときに、優先順位によって、任意の下位ルールが偽になる。各ルールは、所定数のサンプルのために、より低い順位のルールをブロックすることができる。以下、デコーダ回路705のいくつかの例示的なルールを説明する。例示的なルールは、いくつかの実施形態において、さまざまな組み合わせで生成されてもよい。例示的なルールは、単一のデコーダ回路でまとめて生成されると意図されていないため、必ずしも相互に排他的ではなくてもよい。

20

【0068】

上述した例示的なルール1、2、3の各々は、特定のパターンを検査する。ルール1は、第1パターン $P1 = [4, 4, 4, 2]$ を検査し、ルール2は、第2パターン $P2 = [4, 4, 3, 3]$ を検査し、ルール3は、第3パターン $P3 = [2, 4, 4, 4]$ を検査する。この表記法では、パターンの最後の要素、例えば最後の $(P1) = 2$ は、SRC(n)の最新値の検査に対応する。ルール1およびルール3は、位相特性を除いて実質的に同等である。パターンの長さ、例えば長さ $(P1) = 4$ は、ルールによって評価されているSRC(n)の履歴の長さに対応する。所定長さを有する特定の所定パターンは、特異パターンと呼ばれることがある。

30

【0069】

例示的なルール4、5、6、7、8、9、10、11は、特異パターン $P4 = [3, 3, 3, 2, 2, 2, 3, 0]$ 、 $P5 = [3, 3, 3, 2, 2, 3, 2, 0]$ 、 $P6 = [3, 3, 3, 2, 3, 2, 2, 0]$ 、 $P7 = [3, 3, 3, 2, 3, 3, 1, 0]$ 、 $P8 = [3, 3, 3, 3, 2, 2, 2, 0]$ 、 $P9 = [3, 3, 3, 3, 2, 3, 1, 0]$ 、 $P10 = [3, 3, 3, 3, 3, 2, 1, 0]$ 、 $P11 = [3, 3, 3, 3, 3, 3, 3, 0]$ を検査することができる。ルール4~11は、位相特性のほかに、異なるものである(パターンの周期延長が異なる)。一例において、ルール4~11の各々は、サンプリングレート比8で動作する異なる所定の間引きフィルタを選択することができる。別の例において、ルール4~11の各々は、信号帯域において異なる周波数応答を選択することができる。別の例において、ルール4~11の各々は、異なる信号帯域を選択することができる。選択可能な信号帯域は、出力サンプリングレート比 $O(k)$ に対して、第2またはそれ以上のナイキスト帯域(second-or-higher Nyquist zone)内の周波数を含むことができる。別の例において、ルール4~11の各々は、異なるサンプリングレート比、例えば8、12、16、24、32、48、64、128を選択することができる。

40

【0070】

50

ルール 4 ～ 1 1 の各々は、単一の所定の特異パターンを検査する。このような特定のルールによって、外部回路は、いくつかの（潜在的に多数の）所定の信号処理のうち、特定のサンプリングレート比で動作する 1 つの信号処理を容易に選択することができる。異なるルールは、選択された信号処理のために、異なる位相特性およびサンプリングレート比を選択することができる。異なるルールが比較的多くなると、信号処理の種類の選択、選択された種類の信号処理のサンプリングレート比の選択、選択された種類の信号処理の位相特性の選択、およびデジタルシリアルインターフェイス回路の位相特性の選択を各々容易にすることができる。デジタルシリアルインターフェイス回路の位相特性を選択された信号処理の位相特性に関連付ける必要がない。

【0071】

他の例示的なルールは、特異的ではなく、一般的であってもよい。例えば、一般的なルールは、SRC (n) の履歴が多くの所定パターンのいずれかと一致する場合、満たされる。一般的なルールは、必要に応じて、低シンボルレートで通信する自由度（例えば、有限資源を有する外部回路は、高シンボルレートで通信することができ可能性がある）、または可能な限りおよび好適の場合、より高いシンボルレートで通信する自由度を外部回路に与えることができる。いくつかの実施形態において、デジタルシリアルインターフェイス回路は、周知のチェーン型構成を有する 1 つ以上の外部デジタルシリアルインターフェイス回路とカスケード接続することができる。一般的なルールを設けることによって、出力サンプリングレート比の各期間のために（例えば、チェーン型構成に対応するために）、変動する（予め定義されていない）数のシンボルを通信することができる。一般的なルールを形成することによって、実施形態に好まれるまたは必要とされ得るさまざまな自由度に対応することができる。

【0072】

例示的なルール 1 2 は、 $SRC(n) \geq Q$ を検査する（Q は、所定の数値である）。一例において、ルール 1 2 は、サンプリングレート比 $SRR = 1$ で動作する所定の信号処理を選択することができる。例えば、ルール 1 2 は、ローパスフィルタ処理を選択することができる。ルール 1 2 は、 $SRC(n) = Q$ 、 $SRC(n) = Q + 1$ または $SRC(n) = Q + 2$ などの場合に満たされるため、一般的なパターンを検査する。ルール 1 2 は、長さ 1 を有する履歴シーケンス $SRC(n)$ を評価する。

【0073】

例示的なルール 1 3 は、一般的なパターン $P13 = [Q1, Q2]$ ($Q1 > Q2$) を検査する。出力サンプリングレート比の期間中に、任意数のシンボルを通信することができる。差分値 $Q12 = Q1 - Q2$ に応じて、信号処理を選択することができる。所定の差分値 $Q12$ は、ルール 1 3 の分岐ルールに対応することができる。例えば、ルール 1 3 - 8 は、 $Q12 = 8$ 場合のルール 1 3 に対応しており、ルール 1 3 - 16 は、 $Q12 = 16$ 場合のルール 1 3 に対応する。ルール 1 3 は、長さ 2 を有する履歴シーケンス $SRC(n)$ を評価する。ルール 1 3 によって選択された信号処理のサンプリングレート比は、 $SRR = 2$ であってもよい。例えば、 $SRC(n) = \dots, 16, 8, 16, 8, 16, 8, \dots$ の場合、ルール 1 3 - 8 に従って、 $SRR = 2$ に対応する一次 $SINC$ 間引きフィルタを選択することができる。別のシーケンス $SRC(n) = \dots, 24, 16, 24, 16, 24, 16, \dots$ の場合、同様にルール 1 3 - 8 に従って、 $SRR = 2$ に対応する一次 $SINC$ 間引きフィルタを選択することができる。別のシーケンス $SRC(n) = \dots, 24, 8, 24, 8, 24, 8, \dots$ の場合、ルール 1 3 - 16 に従って、 $SRR = 2$ に対応する信号帯域において実質的に平坦な周波数応答を提供するハーフバンド間引きフィルタを選択することができる。

【0074】

例示的なルール 1 4 は、一般的なパターン $P14 = [Q1, Q2, 0]$ ($Q1 > 0$) を検査する。Q2 の値は、 $SRR = 3$ に対応する所定の信号処理を選択することができる。代替的にまたは組み合わせて、Q2 は、例えば $SRR = Q2$ のサンプリングレート比を選択することができる。したがって、複数のルール（ルール 1 4 - Q2）は、ルール 1 4 か

ら分岐することができる。所定の最後コード ($P14$) = 0 は、シリアルインターフェイスの無活動を示すことができる。別の最初コード ($P14$) = $Q1 > 0$ は、シリアルインターフェイスの活動を示すことができる。無活動に活動からの移行は、信号処理および／またはシリアルインターフェイスを介して通信したコードの境界を同期するための位相特性を示すことができる。

【0075】

例示的なルール 15 は、所定の最大長さまでの可変長さ、例えば百万サンプル以上の可変長さを有する複数の一般的なパターンを検査する。例示的なルール 15 は、イベントシーケンスに、例えば $E(n) = (SRC(n-1) < SRC(n))$ に基づくことができる。例示的な分岐ルール 15-L は、すべての整数値 $0 < p < L$ に対して非イベント、すなわち、 $E(n-p) = 0$ によって離間された 2 つのイベント ($E(n-L) = 1$) と ($E(n) = 1$) との間隔 L に対応することができる。間隔 L は、カウントすることによって決定されてもよい。間隔 L は、選択されたサンプリングレート比 $SRR = L$ に対応することができる。一例において、選択された信号処理は、 $SRR = L$ に対応してもよい。別の例において、各分岐ルール 15-L は、 $SRC(n)$ の 1 つ以上の特定値に応じて、いくつかの所定の信号処理から、特定の $SRR = L$ に対応する 1 つの信号処理を選択する再分岐ルールを有してもよい。例えば、イベント $E(n) = 1$ での $SRC(n) = Q$ の値 Q は、所定種類の信号処理 (ルール 15-L-Q) を選択し、イベントシーケンス $E(n)$ および同期シーケンス $SYNC(n)$ を比較することができる。

【0076】

例示的なルール 16 は、異なる定義のイベントシーケンス $E(n) = ((SRC(n-1) = 0) \text{ および } (SRC(n) > 0))$ を提供することを除いて、ルール 15 と同様であってもよい。イベントは、シリアルインターフェイスの無活動から活動への遷移を示すことができる。ルール 16 は、ルール 16 から分岐したルールを実質的に自由に提供することができる。例えば、(すべての n に対して、 $SRC(n) \leq 2$) 最大シンボルレートを低く保つための潜在的な必要性に適応するように、多くの分岐ルールを提供することができる。

【0077】

例示的なルール 17 は、異なる定義の $E(n) = ((SRC(n-1) = 0) \text{ および } (SRC(n) > 0))$ または $(SRC(n) > Q)$ (Q は、所定値である) を提供することを除いて、ルール 15 と同様であってもよい。ルール 17 は、1 を含む任意の正整数 L で、2 つのイベント ($E(n-L) = 1$) および ($E(n) = 1$) を離間することができる。したがって、ルール 17 を用いて、1 以上のサンプリングレート比 $SRR = L$ を選択することができる。

【0078】

ルールによって検査されるパターン／履歴の長さは、ルールによって選択された信号処理のサンプリングレート比に等しくなる必要がない。例えば、ルール 14 は、 $SRR = 8$ に対応する信号処理を選択してもよく、ルール 14 を満たす例示的なシンボル要求カウントシーケンスは、 $SRC(n) = \dots, 0, 0, 8, 8, 0, 0, 0, 0, 0, 0, 8, 8, 0, 0, 0, \dots$ であってもよい。一例において、 $I(n)$ の入力サンプリングレートまたは $O(k)$ の出力サンプリングレートを含む (これらに限定されない) 任意のサンプリングレートで、例示的なデコーダ回路をクロックすることができる。別の例において、例示的なデコーダ回路は、異なるサンプリングレートでクロックされる複数のデコーダ回路を備えてもよい。異なるデコーダ回路の各々は、対応するサンプリングレートでコードシーケンスを生成する異なる $TPDC$ 回路に連結されてもよい。

【0079】

1 つ以上のタイミング波形のパターンは、タイミングパターンデジタルコンバータ ($TPDC$) 回路によって 1 つ以上のタイミング波形から取得したパターン識別コードシーケンスに対して、定義されることができる。デコーダ回路は、パターン識別コードシーケンスを検査するための所定の第 1 ルールを提供することによって、1 つ以上のタイミング波

10

20

30

40

50

形がTPDC回路および第1ルールによって規定された所定の第1タイミングパターンと一致するか否かを判定することができる。当業者なら分かるように、タイミングパターンを規定するためのTPDC回路およびルールを提供することによって、信号処理アプリケーションのほぼすべての需要または好みに適応することができる。可能な変形例の個数は、実質的に無制限である。

【0080】

パターン識別シーケンス内のコードは、周知の暗号化方式に従って、整数値を表すことができる。より一般的には、整数値は、実質的に任意種類の暗号化コードに割り当てることができる。例示的なルール1〜17は、整数値を表す任意のコードに適用されることができる。別の方法として、必ずしもコードに数値を割り当てることなく、（例示的なルール1〜17含むがこれらに限定されない）ルールを定義し、所定優先順序のコードに適用することができる。例えば、複数の任意種類の可能なコード（識別可能なシンボル順列）を所定の優先順位に順位付けすることができ、所定の優先順位に従って、2つのコードを比較する検査を行うことができる。検査（ $SRC(n-1) < SRC(n)$ ）は、所定の優先順位に従って、第1コード $SRC(n-1)$ および第2コード $SRC(n)$ の順位を比較することができる。符号Xに対してコード $SRC(n)$ の等価性の検査、すなわち（ $SRC(n) = X$ ）は、 $SRC(n)$ がコードXから識別できるか否かを判定する。コードXは、所定のコードであってもよく、シーケンス $SRC(n)$ の相対的な位置に位置するコード $SRC(n-q)$ であってもよい。コードは、シリアルインターフェースの活動または無活動などの特性を示すことができる。

【0081】

いくつかの実施形態の構成（例えば、構成コードCC）は、実質的に定数であってもよく、1つの構成から別の構成に移行する特性は、重要ではなくてもよい。他の実施形態は、比較的頻繁に信号処理を再構成する用途に使用することができる。信号処理は、サンプリングレートの期間を超える記憶要素（例えば、インパルス応答）を有してもよい。例示的な実施形態において、外部回路が新規構成を選択する場合に、構成可能な信号処理コア回路をリセットしてもよい。例えば、図7Aを参照して、構成コードCCおよび／または $WI(t)$ または $WO(t)$ の位相特性が変化する場合または変化する時に、回路704は、リセットパルス（図示せず）を回路703に提供することができる。

【0082】

図9は、各出力値 $O(k)$ に対して自主的に構成することができる構成可能な信号処理回路900の一例を示す図である。各値 $O(k)$ は、入力値 $I(n)$ の構成特異数値Lから取得される。構成特異のサンプリングレート比 $SRR(k) = L$ は、シーケンスインデックスkの単一値に対して、 $O(k)$ を特徴付けることができる。例えば、第1出力値 $O(1) = (I(1) + I(2)) / 2$ であってもよい。連続する第2出力値 $O(2) = I(3)$ であってもよい。連続する第3出力値 $O(3) = (I(4) + I(5) + I(6) + I(7)) / 4$ であってもよい。連続する第4出力値 $O(4) = (I(8) + I(9) + I(10)) / 4$ であってもよい。連続する第5出力値 $O(5) = I(11)$ であってもよい。以下同様。対応するサンプリングレート比のシーケンスは、 $SRR(k) = 2, 1, 4, 3, 1, \dots$ である。各出力値 $O(k)$ は、 $SRR(k)$ 個の過去最近の入力値 $I(n)$ のスケーリング平均値である。これは、出力値 $O(k)$ が複数の入力値 $I(n)$ の加重和であるFIR型間引きフィルタ演算の一例である。

【0083】

スケーリング係数は、 $SRR(k)$ 以上の2の最小累乗であってもよい。例えば、 $O(4) = (I(8) + I(9) + I(10)) / 3$ ではなく、 $O(4) = (I(8) + I(9) + I(10)) / 4$ である。回路900は、自己構成および自己同期回路であり、フレキシブルSINC ADC回路と呼ばれることがある。具体的には、一次SINC間引きフィルタ処理の長さ $SRR(k)$ は、外部回路（図示せず）により適用された波形 $V(CNV)$ および $V(SCO)$ のタイミングパターンに対応する。また、一次SINC間引きフィルタ処理の位相特性は、 $V(CNV)$ および $V(SCO)$ のタイミングパターンに

対応する。さらに、シリアル端子 SDO を介して出力されたコードの境界も、V (CNV) および V (SCO) のタイミングパターンに対応する。

【0084】

ADC 回路 901 は、図 7A の ADC 回路 401B と同様または同一であってもよい。ADC 回路 901 は、タイミング波形 BUSY (t) を生成する。タイミング波形 V (CNV) の立上りエッジは、ADC 901 の変換処理および BUSY (t) のロー状態 (論理 0) からハイ状態 (論理 1) への移行を始動する。BUSY (t) は、変換処理中にハイ状態のままに維持され、変換が最大変換時間内に完了した後、ロー状態に復帰する。変換処理は、BUSY (t) がロー状態に戻ったときに、BUSY (t) の立下りを読み込み可能な暗号化数値 I (n) を生成する。リニアテクノロジー社 (Linear Technology Inc.) によって製造および販売されている市販製品 LTC2378-20 は、変換処理が進行中であることおよびデジタル値の用意ができたことを示すタイミング波形 BUSY (t) を出力する ADC 回路の一例である。LTC2378-20 は、データシートを利用可能である。このデータシートは、ADC 回路のタイミング特性を一例として、参照により本明細書に組み込まれる。例えば、ADC 901 は、V (CNV) の立上りエッジから BUSY (t) の立下りエッジまでの最大時間を特徴付けることができる最大変換時間を有することが知られている。

10

【0085】

ラッチ回路 902 は、BUSY (t) の立上りエッジでクロックされる。ラッチ回路 902 および加算回路 903 は、併用することによって、リセットイベント後のシーケンス I (n) に対して積分演算を提供する。ラッチ回路 902 は、ワンショット回路 910 によって生成された波形 RST (t) のハイ状態でリセットされる。ワンショット回路 910 は、イベントシーケンス E (n) が真であるときに、BUSY (t) の立上りエッジで (またはその直後に) ローハイローパルスを生成する。リセット波形 RST (t) は、構成可能な信号処理コア回路 913 を同期するための構成同期回路 904 によって生成される。加算回路 903 は、合計値シーケンス SI (n) を出力する。SI (n) の各値は、直近のリセットイベント後、ADC 901 によって提供された I (n) 値の合計である。

20

【0086】

図 10 は、回路 900 の例示的なタイミング図を示している。ラッチ回路 902 が $n = 2$ および $n = 7$ でゼロにリセットされるため、 $SX(2) = 0$ および $SX(7) = 0$ 。ADC 901 は、一連の例示的な値 $I(1) = 12$ 、 $I(2) = 125$ 、 $I(3) = 32$ 、 $I(4) = -67$ 、 $I(5) = -9$ 、 $I(6) = 27$ 、および $I(7) = 42$ を生成することができる。ラッチ回路 902 をリセットしない場合、関係式 $SI(n) = SX(n) + I(n)$ および $SX(n) = SI(n-1)$ は、再帰的である。この例において、 $SI(2) = SX(2) + I(2) = I(2) = 125$ 、 $SI(3) = SI(2) + I(3) = 157$ 、 $SI(4) = SI(3) + I(4) = 90$ 、 $SI(5) = SI(4) + I(5) = 81$ 、および、 $SI(6) = SI(5) + I(6) = 108$ 。 $n = 7$ でラッチ回路 902 をリセットすることによって、 $SX(7) = 0$ 、次の値 $SI(7) = SX(7) + I(7) = I(7) = 42$ 。回路 902 および 903 によって提供された積分 (第 1 次 SINC) 演算の境界 (位相特性) は、構成同期回路 904 によって波形 RST (t) を介して生成されたりリセットイベントによって選択される。したがって、回路 904 は、フレキシブル SINC ADC 回路 900 の信号処理を同期する。

30

40

【0087】

カウンタ回路 905 は、波形 RST (t) のハイ状態によって、1 にリセットされる。カウンタ回路 905 は、一連の数値 L (n) を表すコートシーケンスを生成する。数値 L (n) は、合計値 SI (n) に含まれる値 I (n) の個数を表す BUSY (t) の立上りエッジのカウント数である。図 10 の例示的なタイミング図を参照する。

【0088】

スケーリング回路 906 は、L (n) の所定関数であるスケーリング係数 F (n) で、

50

合計値シーケンス $S I(n)$ の各々の値をスケーリングする（例えば、除算する）。例えば、 $I O(n) = S I(n) / F(n)$ 。スケーリング回路 906 は、例えば、2 の累乗であるスケーリング係数 $F(n)$ で、 $S I(n)$ の値をスケーリングするマルチプレクサ回路であってもよい。例えば、 $L(n) = 1$ の場合、スケーリング係数 $F(n)$ の第 1 値が、1 である。 $L(n) = 2$ の場合、スケーリング係数 $F(n)$ の第 2 値が、2 である。 $L(n) = 3$ または 4 の場合、スケーリング係数 $F(n)$ の第 3 値が、4 である。 $L(n) = 5, 6, 7$ または 8 の場合、スケーリング係数 $F(n)$ の第 4 値が、8 である。 $L(n) = 9, 10, 11, 12, 13, 14, 15$ または 16 の場合、スケーリング係数 $F(n)$ の第 5 値が、16 である。以下同様。

【0089】

カウンタ回路 905 は、シーケンスインデックス n の各値の試験的なサンプリングレート比を示す試験的な構成コード $CC = L(n)$ を生成する例示的なステートマシン回路である。シーケンスインデックス k の値 $k1$ の $O(k)$ として出力するように $I O(n)$ の値を選択する場合、構成コード $CC = SRR(k)$ の実際値（選択値）は、シーケンスインデックス n の値 $n1$ に依存する。この例において、 $CC = SRR(k1) = L(n1)$ 、 $O(k1) = I O(n1)$ 。シーケンスインデックス n の値 $n1$ は、シリアルインターフェイス（端子 $S D O$ ）を介して出力されるシンボル（ビット）を要求するタイミング波形 $V(S C O)$ のタイミングパターンに従って選択される。図 10 を参照して、例示的な構成コード $CC = L(6) = 5$ は、 $n = 6$ の時間間隔に適用され、 $n1 = 6$ の出力値 $O(k1) = I O(n1)$ を要求する $V(S C O)$ の立上りエッジで選択される。スケーリング係数 $F(n1) = 8$ は、 $L(n1) = 5$ 以上の 2 の最小累乗であってもよい。この例において、選択された構成の出力値 $O(k1)$ は、 $I O(n1) = S I(n1) / F(n1) = 108 / 8$ であり、 $S I(n1) = 108$ は、 $\{2, 3, 4, 5, 6\}$ 内の n に対して、選択された数 $L(n1) = 5$ の値 $I(n)$ の合計である。したがって、回路 904 によって生成された構成コード $CC = L(n1)$ は、シリアルインターフェイス（端子 $S D O$ ）を介して出力されるシンボルを要求する $B U S Y(t)$ および $V(S C O)$ のタイミングパターンに対応する。ステートマシン回路（カウンタ 905）は、信号処理回路 900 が出力値 $O(k1) = I O(n1)$ の要求の受信に応じて、すなわち $V(S C O)$ の立上りエッジで、所定の状態 $L(n1 + 1) = 1$ に遷移する。

【0090】

パラレルロードシフトレジスタ 907 は、デジタルシリアルインターフェイス回路として動作することができる。シーケンスインデックス n の選択値 $n1$ の $I O(n)$ の値 $I O(n1)$ を表す複数のビットは、波形 $L O A D(t)$ のハイ状態で、同時に（並列に）シフトレジスタ 907 にロードされる。タイミング波形 $V(S C O)$ の立上りエッジは、シフトレジスタ 907 内のビットを端子 $S D O$ に向かう所定の方向に沿ってシフトする。したがって、 $n = n1$ の場合に $L O A D(t)$ のハイ状態でシフトレジスタ 907 にロードされる数値 $O(k1) = I O(n1)$ を表すコードは、コードを要求するリクエスト（ $V(S C O)$ の複数の立上りエッジ）に応じて、端子 $S D O$ を介して、波形 $V(S D O)$ として連続的に出力されることができる。例示的な実施形態において、シフトレジスタ 907 のシリアルシフト入力を端子 $C H A I N$ に連結することができる。これによって、シフトレジスタ 907 は、外部シフトレジスタを備えるチェーン型構成で動作することができる。別の例示的な実施形態において、例示的な端子 $C H A I N$ を設けない。

【0091】

例示的な構成同期回路 904 は、タイミングパターンデジタルコンバータ（ $T P D C$ ）回路 908 と、デコーダ回路 909 と、カウンタ回路 905 と、ワンショットパルス発生回路 910 とを含む。 $T P D C$ 回路 908 は、カウンタ回路 911 と、ラッチ回路 912 とを含む。カウンタ回路 911 は、 $B U S Y(t)$ がハイであるときに、ゼロにリセットされる。フレキシブル $S I N C A D C$ 回路 900 は、 $V(C N V)$ の立上りエッジを適用する前後の特定の期間に、 $V(S C O)$ の立上りエッジの適用を禁止するタイミング仕様を生成することができる。よって、 $B U S Y(t)$ がハイであるときおよびカウンタ 9

10

20

30

40

50

11がリセットされているときに、タイミング仕様は、(仕様に従って) $V(SCO)$ の立上りエッジを防止することができる。 $BUSY(t)$ がローであるときに回路911によってカウントされた $V(SCO)$ の立上りエッジの個数 $SRC(n)$ は、カウンタ911回路をリセットする前に、 $BUSY(t)$ の各立上りエッジでラッチ912回路にロードされる。デコーダ回路909は、 $BUSY(t)$ によってクロックされるステートマシン回路であってもよい。カウンタ回路905は、デコーダ回路909とは別の回路として示されているが、デコーダ回路909の一部としてみなすことができる。イベントシーケンス $E(n) = ((SRC(n-1) = 0) \text{ および } (SRC(n) > 0))$ または $(SRC(n) > Q)$ は、上述した例示的なルール17に従って、所定の数値 Q 、例えば $Q = 19$ のために、定義されてもよい。

10

【0092】

図10の例示的なタイミング図は、説明したように回路902および905をリセットする $n = 2$ および $n = 7$ で生じるイベントを示す。 $n = 7$ の場合、 $SRC(7) = 4 > 0$ および $SRC(6) = 0$ のため、イベントが生じる。デコーダ回路909は、さらに、読み出し動作の完了時間を指示するロードイネーブルシーケンス $LDE(n) = ((SRC(n) = 0) \text{ または } (SRC(n) > Q))$ を生成する。ワンショット回路910は、 $n = 5$ および $n = 6$ の場合に $IO(n)$ をシフトレジスタ907にロードする $LDE(n) = 1$ のときに、 $BUSY(t)$ の立下りエッジでローハイローパルス $LOAD(t)$ を生成する。値 $IO(6)$ は、シフトレジスタ907内の過去(まだ出力されていない)値 $IO(5)$ を上書きする。デジタルシリアル通信トランザクションの間に、 $LDE(n)$ がローである場合に、シフトレジスタ907に値をロードするプロセスが無効される。デジタルシリアル通信トランザクションは、1つ以上のビットが要求される場合($SRC(n) > 0$)に開始し、シリアルインターフェイスが無活動になるとき($SRC(n) = 0$)にまたは $I(n)$ の1サンプリング周期中に所定の最小数のビットが要求される場合($SRC(n) > Q$)に、完了する。デジタルシリアル通信トランザクションは、($SRC(n) > Q$)の場合に開始し、1周期以内に完了することができる。その後、フレキシブル $SINC$ ADC回路900は、ナイキスト型ADCとして動作し、 $V(SDO)$ を介して各変換結果 $O(k) = I(n)$ を個別に出力する。

20

【0093】

フレキシブル $SINC$ ADC回路900は、1つのデジタルシリアル通信トランザクション中に端子 SDO を介して出力されたシンボル(ビット)の個数を超えるサンプリングレート比で、動作することができる。シンボル要求カウントシーケンス $SRC(n)$ は、2つのみの異なる数値、すなわち0および1からなることができる。これにより、シリアルインターフェイス(端子 SDO)を介して出力されるシンボルの最大レートは、入力サンプリングレートに等しくなる。低コストおよび/または低電力の外部回路が高シンボルレートで通信できない場合に、比較的低い最大シンボルレートは、有利であり得る。例えば、マイクロコントローラ(外部回路)は、毎秒100万ビットの最大シンボルレートで動作するように、制限される場合がある。この時、毎秒100万サンプルの入力サンプリングレート比で $V(AIN, VSS)$ をサンプリングするように、ADC回路901を構成することができる。 $I(n)$ の各数値は、20ビットのコードで表示されてもよい。フレキシブル $SINC$ ADC回路900は、定数のサンプリングレート比32:1で動作することができる。 $O(k)$ の各数値は、24ビットのコードで表示されてもよい。1マイクロ秒の間隔で離間した24個の連続ビットリクエストに応じて、各コードを24ビットのブロックに出力することができる。これによって、瞬間シンボルレートを(必要に応じて)最大毎秒100万ビットに制限する。

30

40

【0094】

図9のフレキシブル $SINC$ ADC回路900の構造は、図7Aおよび7Bの構成可能な信号処理回路700の構造と同様である。例えば、TPDC回路908は、図7Bのシンボル要求カウント回路610に相当する。デコーダ回路909およびカウンタ回路905は、図7Bのデコーダ回路705に相当する。ワンショットパルス発生回路910は

50

、図7Bの回路706に相当する。しかしながら、いくつかの相違点もある。他の実施形態は、本明細書に記載の例示的な実施形態の態様および特徴と異なる可能性がある特定の態様および／または特徴を有することができる。例えば、図9の回路910は、図7Aおよび7BのWO(t)波形に相当する2つの波形RST(t)およびLOAD(t)を生成する。波形LOAD(t)は、各値O(k)に対して、シフトレジスタ907に1つ以上の値IO(n)をロードするために、1つ以上のパルス(潜在的に数百万のパルス)を提供することができる。1つ以上のパルスは、図7Aのデジタルシリアルインターフェイス回路402にO(k)の値をロードするためのWO(t)の単一の立上りエッジに相当する。図9において、タイミング波形BUSY(t)は、ADC 901により提供されたワンショット処理によって適用されたタイミング波形V(CNV)から取得される。図7Bにおいて、WI(t)は、V(CNV)をバッファリングすることによって取得される。V(CNV)のバッファリングは、WI(t)とV(CNV)との直結に相当する。

10

【0095】

例示的な実施形態のフレキシブルSINC ADC回路900は、多くの方法で変更されてもよい。例えば、ラッチ回路912は、デコーダ回路909内に含まれるように移動されてもよく、完全に取外されてもよい。いくつかの実施形態において、SRC(n)は、BUSY(t)の立上りエッジで評価される(サンプリングされる)コードシーケンスを表すことができる。SRC(n)のコードを表す波形は、サンプリングされている時間を含む短い期間を除いて、安定しなくてもよい。いくつかの実施形態において、カウンタ回路911は、BUSY(t)のハイ状態でリセットされるのではなく、BUSY(t)の立上りエッジまたは立下りエッジでリセットされてもよい。

20

【0096】

リセットイベントは、ステートマシン回路(例えば、カウンタ911)を所定の状態に遷移させることができる。ステートマシン回路は、動作に等価である複数の状態を有することができる。リセットイベントは、ステートマシン回路をいくつかの等価状態のうちいずれか1つに遷移させることができる。複数の等価状態は、所定の状態を含む(単一)状態として総称されてもよい。

【0097】

図9のTPDC回路908は、V(CNV)の代わりにBUSY(t)を生成することによって、図6BのTPDC回路610によって置換されてもよい。TPDC回路610は、BUSY(t)の立上りエッジでカウンタ回路911をリセットする変形構成に設けられたTPDC回路908に相当する。カウンタ回路602は、リセットされる必要がないため、リセット可能にしなくてもよい。V(CNV)の代わりに生成されたBUSY(t)の立上りエッジは、TPDC回路610を所定の状態(いくつかの等価状態のいずれか1つ)に遷移させることができる。よって、カウンタ回路911がBUSY(t)の立上りエッジでリセットされるときに、TPDC回路610の動作が、TPDC回路908の動作と同等になる。回路602および605がモジュロ型であるため、ステートマシン回路610の複数の状態は、その動作に相当する。図9のラッチ912の取り外しは、図6Bのラッチ603の取り外しに相当する。(仕様によって)シリアルインターフェイスを長時間に活動するようにすることによって、立上りエッジではなく立下りエッジで、ラッチ回路603および604をクロックするように変更することができる。

30

40

【0098】

当業者なら分かるように、図9のカウンタ回路905は、(カウンタ回路911に関して説明した)図6Bと同様に実装されてもよい。ラッチ回路603を除き、回路610は、カウンタ回路905の所定の(リセット)状態に相当する複数の状態を有する。カウンタ回路は、固定入力値(例えば、1)に対する積分演算を提供する回路とみなすことができる。回路902および903は、共同で、RST(t)のハイ状態でリセットされ得る積分演算を提供する。回路902および903の代わりに、(Hogenauerによって記載された)一次CICフィルタを設けてもよい。RST(t)のハイ状態ではなくRST(t)

50

）の立上り（または立下り）エッジでリセットするようにラッチ回路 902 を変更する場合、一次 C I C フィルタは、回路 902 および 903 と同等の処理を提供することができる。一次 C I C フィルタは、R S T (t) の立上り（または立下り）エッジで所定の状態（いくつかの等価状態のいずれか 1 つ）に遷移することができる。いずれかのエッジでリセットするようにラッチ回路 902 を構成する場合、ワンショット回路 910 を設ける必要がない。同様に、シフトレジスタ 907 のパラレルロード処理がエッジでトリガされる場合、ワンショット回路 910 を設ける必要がない。

【0099】

例示的なルール 17 に従って、例示的なデコーダ回路 909 を構成することができる。Q が十分大きい（無限）値である場合、ルール 17 は、いくつかの実施形態において明示的なデコード回路 909 なしで生成され得る例示的なルール 16 に縮退することができる。例えば、例示的な T P D C 回路は、シリアルインターフェイス上の活動を示す単一ビット、例えば $X(n) = (SRC(n) > 0)$ を生成することができる。X(n) を取得するための T P D C 回路は、カウンタ 911 を置換するリセット可能な単一ビットラッチ回路（図示せず）と、X(n) を出力するための単一ビットラッチ回路 912 とを備えることができる。ラッチ回路 902 およびカウンタ回路 905 は、X(n) を表す波形 X(t) の立上りエッジでリセットされるように、変更されることができる。X(n) は、シリアルインターフェイスの無活動 $X(n-1) = 0$ から活動 $X(n) = 1$ への遷移を示すことができる。波形 X(t) および B U S Y(t) を合併することによって、デジタルシリアル通信トランザクションが完了したとき ($X(n) = 0$) のみ、シフトレジスタ 907 に値 I O(n) をロードするための波形 L O A D(t) を取得することができる。したがって、いくつかの実施形態において、明示的なデコーダ回路 909 を設ける必要がない。

【0100】

したがって、フレキシブル S I N C A D C 回路 900 を含む（これに限定されない）上述した例示的な実施形態は、多くの方法で変更することができる。

【0101】

いくつかの例示的な実施形態は、図 4 B の例示的な回路 400 B の変形例であってもよい。これらは、アナログデジタル (A/D) コンバータ回路／システムまたは A/D 信号処理回路／システムとして特徴付けることができる。回路 400 B は、アナログ入力信号 V(A I N, V S S) を受信し、シリアルインターフェイス S D O を介してデジタル出力信号を生成する。他の実施形態は、アナログ信号またはデジタル信号である入力信号を受信（評価）し、アナログ信号またはデジタル信号である出力信号を提供（出力）することができる。入出力の組み合わせは、四通りがある、すなわち、アナログインアナログアウト (A/A)、アナログインデジタルアウト (A/D)、デジタルインアナログアウト (D/A)、およびデジタルインデジタルアウト (D/D)。例示的な実施形態の入力／出力特性は、A/A、A/D、D/A または D/D のいずれか 1 つであってもよい。

【0102】

アナログ信号は、連続時間特性（波形）、離散時間特性（サンプル値シーケンス）、または複合特性（例えば、各パルスの積分／面積または他の特性によって特徴付けられるパルスシーケンス）を有してもよい。アナログ信号は、実質的に均一、概ね均一または高度に不均一な時間軸に従って（応じて）、サンプリング、評価および／または表示されることができる。アナログ信号は、電圧、電流、電荷、磁束、電場、光強度、色、周波数、位相、温度、速度、質量、圧力、濃度、密度、厚さ、透明度、反射および／または摩擦を含むが（これらに限定されない）さまざまな物理量で特徴付けられることができる。

【0103】

デジタル信号は、任意種類の暗号化を組み込んだ任意コードのシーケンスであってもよい。デジタル信号は、実質的に均一、概ね均一または高度に不均一な時間軸に対応することができる。コードは、任意数のシンボルの組み合わせであってもよい。シンボルは、任意数の可能なシンボル値を有することができる。物理的システム（例えば、コンピュータ）において、シンボル値は、電圧、電流、電荷、磁束、電場、光強度、色、周波数、位相

10

20

30

40

50

、温度、速度、質量、圧力、濃度、密度、厚さ、透明度、反射および／または摩擦を含むが（これらに限定されない）さまざまな物理量で表示されることができる。マルチシンボルコードは、パラレル形式（複数のシンボルが複数の物理量によって同時表示される）でまたはシリアル形式（第1時刻に1つ以上のシンボルが表示され、その後の第2時刻に1つ以上のシンボルが表示される）で、表示および／または通信することができる。コードをシリアル通信するインターフェイスは、一度に2つ以上のシンボルを通信するために、2つ以上の端子を含むことができる。

【0104】

コードシーケンスのシリアル通信は、ガルバニック絶縁の端子を介して提供することができる。例えば、比較的近距離または長距離無線で、シンボルを通信することができる。近距離無線通信は、トランスフォーマ（結合インダクタンス）またはその他を使用する磁気カップリングを含む。トランスフォーマは、印刷回路基板（PCB）上の導電トレースとして実現されることができる。また、近距離無線通信は、印刷回路基板上で1つの導体（送信アンテナ）から他の導体（受信アンテナ）に通信を提供することができる容量カップリングを含む。無線通信は、長距離光通信または近距離光通信を含む。無線通信は、各々のコード間の境界を識別するための暗号化スキームを提供することができる。

【0105】

図11は、構成可能な信号処理回路／システム1100の一例を示している。入力インターフェイス回路1101は、アナログ信号またはデジタル信号である入力信号INを受信する。インターフェイス回路1101は、入力信号INを評価することによって、入力値シーケンス $I(n)$ を取得する。 $I(n)$ の各値は、アナログ値であってもよく、コードであってもよい。したがって、入力インターフェイス回路1101の入力IN／出力 $I(n)$ の特性は、 A/A 、 A/D 、 D/A または D/D であってもよい。図4Aの例において、入力インターフェイス回路401Aは、デジタルインデジタルアウト（ D/D ）回路である。図4Bの例において、入力インターフェイス回路401Bは、一般にADC回路と呼ばれるアナログインデジタルアウト（ A/D ）回路である。アナログサンプリング回路は、アナログインアナログアウト（ A/A ）入力インターフェイス回路の一例である。

【0106】

出力インターフェイス回路1102は、アナログ信号またはデジタル信号である出力信号OUTを提供する。インターフェイス回路1102は、出力値シーケンス $O(k)$ から出力信号OUTを取得する。 $O(k)$ の各値は、アナログ値であってもよく、コードであってもよい。したがって、出力インターフェイス回路1102の入力 $O(k)$ ／出力OUTの特性は、 A/A 、 A/D 、 D/A または D/D であってもよい。図4Aの例において、出力インターフェイス回路402は、デジタルインデジタルアウト（ D/D ）回路である。別の例示的な実施形態において、出力インターフェイス回路1102は、一般的にデジタルアナログコンバータ（DAC）回路と呼ばれる D/A 回路であってもよい。いくつかの例示的な実施形態において、出力インターフェイス回路1102は、離散時間信号から、連続時間アナログ信号波形OUTを取得する（当業者に周知の）いわゆる信号復元回路を含むことができる。信号復元回路は、アナログインアナログアウト（ A/A ）出力インターフェイス回路の一例である。

【0107】

構成可能な信号処理コア回路1103は、入力値シーケンス $I(n)$ を受信し、出力値シーケンス $O(k)$ を取得する。信号処理コア回路1103の入力／出力特性は、 $I(n)$ および $O(k)$ の特性に対応して、 A/A 、 A/D 、 D/A または D/D であってもよい。一例示的な実施形態において、構成可能なスイッチキャパシタ回路は、アナログ入力シーケンス $I(n)$ からアナログ出力シーケンス $O(k)$ を取得することができる。別の例示的な実施形態において、構成可能なADC回路は、アナログ入力シーケンス $I(n)$ からデジタル出力シーケンス $O(k)$ を取得することができる。例示的なデルタシグマADC回路は、構成可能なサンプリングレート比および／または構成可能な周波数応答を有

10

20

30

40

50

することができる。別の例示的な実施形態において、構成可能なDAC回路は、デジタル入力シーケンス $I(n)$ からアナログ出力シーケンス $O(k)$ を取得することができる。例示的なデルタシグマDAC回路は、構成可能なサンプリングレートおよび／または構成可能な周波数応答を有することができる。別の例示的な実施形態において、構成可能なステートマシン回路は、デジタル入力シーケンス $I(n)$ からデジタル出力シーケンス $O(k)$ を取得することができる。例示的なステートマシン回路は、MP3エンコーディング、間引きフィルタリング、補間フィルタリング、およびエコーキャンセルを含む複数の選択可能なデジタル信号処理を提供することができる。図9の例において、構成可能な信号処理コア回路913は、ステートマシン回路である。

【0108】

構成可能な信号処理コア回路1103の選択可能な信号処理は、構成回路1104によって生成された構成コードCCによって、選択される。構成回路1104は、さらに、 $I(n)$ の値を読み込み／転送可能な時間を示すタイミング波形 $WI(t)$ を生成する。いくつかの例示的な実施形態において、構成回路1104は、さらに、構成コードCCによって選択された信号処理を同期するためのタイミング波形 $SYNC(t)$ を生成する。構成コードCCに従っておよび／またはタイミング波形 $WI(t)$ および $SYNC(t)$ の特性に従って、回路1103のサンプリングレート比を選択することができる。図7Bの例において、タイミング波形 $SYNC(t)$ は、選択された信号処理を同期する。図9の例において、 $RST(t)$ は、選択された信号処理を同期する。構成回路1104は、さらに、 $O(k)$ の値を読み込み／転送可能な時間を示すタイミング波形 $WO(t)$ を出力インターフェイス回路1102に提供する。図7Aの例において、タイミング波形 $WO(t)$ は、 $O(k)$ の値を出力インターフェイス回路402に転送する。図9の例において、タイミング波形 $LOAD(t)$ は、 $O(k)$ の値を出力インターフェイス回路907に転送する。タイミング波形 $LOAD(t)$ は、 $O(k)$ の値ごとに複数のパルスを提供することができる。これらのパルスは、複数の $O(k)$ の仮値を回路907にロードし、上書きする。

【0109】

構成回路1104は、入力インターフェイス回路1101から受信した第1タイミング波形 $RI(t)$ および出力インターフェイス回路1102から受信した第2タイミング波形 $RO(t)$ に基づいて、構成コードCC並びにタイミング波形 $WI(t)$ 、 $WO(t)$ および $SYNC(t)$ を生成する。図9の例において、構成回路704は、第1タイミング波形 $V(CNV)$ および第2タイミング波形 $V(SCO)$ からパターン識別コードシーケンス $SRC(n)$ を取得するためのタイミングパターンデジタルコンバータ(TPDC)回路610を含む。デコーダ回路705は、パターン識別コードシーケンス $SRC(n)$ およびタイミング波形 $V(CNV)$ から、構成コードCCおよびタイミング波形 $SYNC(t)$ を取得する。TPDC回路の特性およびデコーダ回路によって提供される所定のルールに従って、所定のタイミングパターンを特徴付ける(定義する)ことができる。構成回路1104は、タイミング波形 $RI(t)$ および $RO(t)$ が所定のタイミングパターンと一致する場合および一致する時間に応じて、回路1103(図11)の選択可能な信号処理を選択するように、構成コードCC並びにタイミング波形 $WI(t)$ 、 $WO(t)$ および $SYNC(t)$ を生成する。

【0110】

入力インターフェイス回路1101は、外部回路(図示せず)が入力インターフェイス回路1101を介して入力値シーケンス $I(n)$ を生成するタイミング特性に基づいて、第1タイミング波形 $RI(t)$ を取得する。いくつかの例示的な実施形態において、外部回路は、入力値シーケンス $I(n)$ の時間軸を示すタイミング波形 $TI(t)$ を生成することができる。図7Aの例において、タイミング波形 $V(CNV)$ は、 $V(CNV)$ により制御されるADC回路401Bによって(介して)生成された入力値シーケンス $I(n)$ の時間軸を示す。図4Aの例において、構成回路404は、適用されたタイミング波形 $V(SCI)$ 、または $V(SCI)$ から得られた波形 $RI(t)$ 、または $V(SDI)$ お

10

20

30

40

50

よび $V(SCI)$ の両方から得られたタイミング波形 $WI(t)$ のうちいずれか1つを受信することができる。したがって、いくつかの実施形態において、入力インターフェイス回路1101は、タイミング波形 $TI(t)$ を受信することができる。

【0111】

図11の他の例示的な実施形態は、外部回路(図示せず)の出力として、タイミング波形 $TI(t)$ を生成することができる。一例において、入力信号 IN は、第1外部回路(図示せず)によって無線で提供されてもよい。無線通信プロトコルを用いて、コード間の境界および／またはコードのセグメント間の境界を識別することができる。入力インターフェイス回路1101は、無線入力信号 IN から、 $I(n)$ および $I(n)$ の時間軸 $RI(t)$ を取得する受信機(一般に無線装置と呼ばれる)であってもよい。この例において、入力インターフェイス回路1101は、無線入力信号 IN から取得された $I(n)$ の時間軸 $RI(t)$ を示すように、タイミング波形 $TI(t) = RI(t)$ を第2外部回路に出力することができる。

10

【0112】

別の例において、入力インターフェイス回路1101は、予想のパルスシーケンス内のパルス(例えば、流体ストリームにおける低下)が入力信号から検出されたことを示すタイミング波形 $TI(t)$ を出力することができる。検出されたパルスの積分(または他のパラメータ)は、値 $I(n)$ として提供されてもよい。この例において、 $TI(t)$ は、 $RI(t)$ および $WI(t)$ に等しくてもよい。したがって、いくつかの例示的な実施形態において、入力インターフェイス回路1101は、入力信号 IN から取得されたタイミング波形 $TI(t)$ を出力することができる。

20

【0113】

例示的な入力インターフェイス回路1101は、 $I(n)$ のサンプリングレートよりも大きいレートで動作することができる。例えば、入力インターフェイス回路1101は、オーバーサンプリング(デルタシグマ)ADCであってもよく、デジタルシリアルインターフェイス回路であってもよい。第1タイミング波形 $RI(t)$ は、 $I(n)$ の各値に対して、複数の移行(立上りエッジおよび／または立下りエッジ)を含むことができる。 $RO(t)$ の遷移が生じた時間に対して、 $RI(t)$ の遷移が生じた時間を示すタイミングパターンは、所定のタイミングパターンと一致してもよい。この所定のタイミングパターンは、構成回路1104によって決定することができる。第1タイミング波形 $RI(t)$ は、所定のタイミングパターンを示す第2タイミング波形 $RO(t)$ よりも比較的多くの遷移を有してもよく、比較的小さい遷移を有してもよい。図10の例において、第1タイミング波形 $BUSY(t)$ は、第2タイミング波形 $V(SCO)$ よりも少ない遷移を有する。図4Aの例において、第1タイミング波形 $V(SCI)$ は、第2タイミング波形 $V(SCO)$ よりも多くの遷移を有する。

30

【0114】

出力インターフェイス回路1102は、外部回路(図示せず)が出力インターフェイス回路1102を介して出力される $O(k)$ の値を要求するタイミング特性に基づいて、第2タイミング波形 $RO(t)$ を取得する。いくつかの実施形態において、 $O(k)$ の値は、外部回路によって適用されたタイミング信号 $TO(t)$ の単一遷移またはパルスによって要求されてもよい。例えば、出力インターフェイス回路1102は、適用されたタイミング波形に立上りエッジが形成されるたびに、 $O(k)$ の値に従って、出力信号波形 OUT を更新するDAC回路であってもよい。この例において、出力インターフェイス回路1102は、第2タイミング波形 $RO(t) = TO(t)$ を構成回路1104に提供することができる。回路1101は、デジタルシリアルインターフェイス回路であってもよく、回路1103は、選択可能な補間フィルタによる信号処理を提供してもよい。この例は、図7Aの信号の流れ方向を逆転する(入力を出力に変更するまたはその逆)例に相当する。

40

【0115】

他の例示的な実施形態において、 $O(k)$ の値は、 $TO(t)$ の複数の遷移またはパル

50

スによってリクエストされてもよい。図5および6Aの例において、所定数NのV(SCO)の遷移(立上りエッジ)を提供することによって、シリアルインターフェイスSDOを介して出力されるO(k)の値をリクエストすることができる。第2タイミング波形RO(t)は、N除算回路601(図6)が図11の構成回路1104の一部であるかまたはインターフェイス回路1102の一部であるかに応じて、V(SCO)またはXO(t)のいずれかであってもよい。

【0116】

図7Aおよび7Bの例において、未知個数のV(SCO)の遷移を提供することによって、O(k)の値をリクエストすることができる。構成回路704は、シリアルインターフェイスSDOを介して出力されるシンボルを要求する各リクエストを示す第2タイミング波形RO(t)=V(SCO)を受信する。O(k)の値は、V(SCO)によって要求された複数のシンボルで表されるため、V(SCO)によって要求される。シリアルインターフェイスSDOを介して出力されるシンボルを要求するタイミングパターンは、所定のタイミングパターンに従って提供されてもよい。構成回路704は、いくつかの所定のタイミングパターンのうちいずれか1つに従ってシンボルを要求したか否かおよびその時間を決定するように、TPDC回路610およびデコーダ回路705を備える。デコーダ回路705は、O(k)の各値のために要求されたシンボルの個数(未知個数)を判定するためのルールを生成することができる。したがって、出力インターフェイス回路1102は、O(k)の値に対する要求ごとに複数(未知個数を含む)のパルスまたは遷移を含む第2タイミング波形RO(t)を生成することができる。

【0117】

第1タイミング波形TI(t)は、I(n)の値の受信、取得および／または評価と同期されてもよい。

【0118】

第2タイミング波形TO(t)は、O(k)の値の要求および／または出力と同期されてもよい。

【0119】

例示的な実施形態において、入力インターフェイス回路は、構成回路に複数のタイミング波形を提供することができる。同様または別の例示的な実施形態において、出力インターフェイス回路は、構成回路に複数のタイミング波形を提供することができる。1つ、2つ、3つ、4つまたはそれ以上を含む任意数のタイミング波形に、所定のタイミングパターンを定義することができる。

【0120】

例示的な実施形態は、マルチチャネル信号処理を含むことができる。図7Aの例において、ADC回路401Bは、複数のアナログ入力信号を受信する構成を有するマルチチャネルADC回路によって置換されてもよい。マルチチャネルADC回路は、複数の端子を介して複数のアナログ入力信号を受信することができる。例えば、端子AINの代替物として設けられた4つの端子AIN1、AIN2、AIN3およびを介して、4つのアナログ入力V(AIN1, VSS)、V(AIN2, VSS)、V(AIN3, VSS)およびV(AIN4, VSS)を受信することができる。

【0121】

一例において、マルチチャネルADC回路は、サンプリングシーケンスに従って、複数のアナログ入力信号を逐次にサンプリングするためのアナログマルチプレクス回路を含んでもよい。サンプリングシーケンスは、所定(固定)のシーケンスに構成されてもよく、構成可能な(選択可能な)シーケンスに構成されてもよい。

【0122】

別の例において、マルチチャネルADC回路は、適用されたタイミング波形V(CNV)に応じて、複数のアナログ入力信号を同時にサンプリングしてもよい。例示的な同時サンプリングするマルチチャネルADC回路は、複数のサンプリング回路と、同時にサンプリングされた複数の値を順次に評価するための単一の多重コアADC回路とを含んでもよい。

い。別の例示的な同時サンプリングするマルチチャネルADC回路は、複数のアナログ入力信号を同時にサンプリングし、評価するために、複数のADC回路を備えてもよい。

【0123】

マルチチャネルADC回路は、図11に示された入力インターフェイス回路1101であってもよい。この回路は、単一の入力シーケンス $I(n)$ の代わりに、複数の入力シーケンス $I1(n)$ 、 $I2(n)$ 、...を生成する。一例において、タイミング波形 $RO(t)$ は、すべての入力シーケンス $I1(n)$ 、 $I2(n)$ 、...に共有される処理（例えば、サンプリング処理）と同期された単一のタイミング波形であってもよい。別の例において、 $RO(t)$ は、複数の座標タイミング波形を含むベクトルタイミング波形であってもよい。座標タイミング波形は、1つの入力シーケンスの処理と同期されてもよい。各入力シーケンスは、各自のサンプリングレート比および各自のシーケンスインデックス $I1(n1)$ 、 $I2(n2)$ 、...を有してもよい。

10

【0124】

構成可能な信号処理コア回路1103は、入力シーケンス $I1(n1)$ 、 $I2(n2)$ 、... 各々のために複数の選択可能な信号処理を提供することによって、複数の出力シーケンス $O1(k1)$ 、 $O2(k2)$ 、...を取得することができる。第1信号経路および第1信号処理は、 $I1(n1)$ から $O1(k1)$ までに画定されてもよい。第2信号経路および第2信号処理は、 $I2(n2)$ から $O2(k2)$ までに画定されてもよい。以下同様である。一例において、構成コードCCは、すべての信号経路に共有される信号処理を選択することができる。別の例において、構成コードCCは、各信号経路のために信号処理を別々に選択することができる。

20

【0125】

一実施形態において、出力インターフェイス回路1102は、複数の専用シリアルインターフェイス（端子SDO1、SDO2、...）を介して、出力シーケンス $O1(k1)$ 、 $O2(k2)$ 、...を別々に通信することができる。

【0126】

別の実施形態において、出力インターフェイス回路1102は、単一のシリアルインターフェイスを介して、複数の出力シーケンス $O1(k1)$ 、 $O2(k2)$ 、...を通信することができる。例えば、入力シーケンス $I1(n)$ 、 $I2(n)$ 、...は、共通の入力サンプリングレート比を有してもよい。構成可能な信号処理回路1103は、各信号パスに別々に選択可能なサンプリングレート比を有する間引きフィルタ信号処理を提供することができる。シリアルインターフェイスSDOを介した通信は、当業者に周知のように、入力サンプリングレートにおける時分割多重化に基づくことができる。P個の信号経路の場合、SDOを介して行われる任意の通信は、通信用の多重化タイムスロットのインデックスpに基づき、 $\{1, 2, \dots, P\}$ 内の特定の信号経路pに割り当てられてもよい。タイムスロットのインデックスpは、入力サンプリングレート比で増分するP状態計測回路によって取得されてもよい。例えば、インデックス $p=2$ の場合、タイミング波形 $TO(t)$ のローハイローパルスによってシンボルを要求すると、指定された($p=2$)出力シーケンスのシンボルは、 $V(SDO)$ としてシリアルインターフェイスSDOに出力されてもよい。 $TO(t)$ のローハイローパルスは、対応する指定信号経路のために指定の構成コードCC2を取得するための指定された($p=2$)構成回路に提供されたタイミング波形に含まれてもよい。インデックスpが指定値、例えば $p=2$ である場合のみ、TPDC回路610およびデコーダ回路705がローハイローパルスを受信するように、図7Bの例示的な構成回路704を変更してもよい。デコーダ回路705は、各インデックスp値のために指定の信号経路を選択することを含むルールを生成することができる。このことは、専用の端子を割り当てることなく、時分割多重化動作を外部回路と同期することによって、達成することができる。

30

40

【0127】

例示的な実施形態は、信号処理回路のために、本明細書に記載の例示的な特徴、態様および／またはパラメータを含む（これらに限定されない）任意数の特徴、態様および／ま

50

たはパラメータを構成することができる。変更可能な信号処理のコア回路は、信号処理を同期するための選択可能な位相特性を各々有し得る複数の選択可能な信号処理を提供することができる。任意の補助回路は、入力インターフェイス回路および出力インターフェイス回路を含む変更可能な特徴を有してもよい。一例において、L V D S シリアルインターフェイス回路の出力電流レベルは、変更可能である。別の例において、アナログデジタルコンバータ（入力インターフェイス回路）の消費電力は、変更可能である。別の例において、値 $O(k)$ を表すためのコード内のシンボルの個数は、変更可能である（チェーン型構成と併用する場合に、有用である）。別の例において、シリアルインターフェイスの位相特性（例えば、コードの境界）は、変更可能である。別の例において、D A C または A D C 回路のフルスケール信号レベル（例えば、基準電圧）は、変更可能である。別の例において、マルチチャネルシステムにおける活動なチャネルの個数は、変更可能である。別の例において、入力インターフェイス回路（例えば、多重入力デジタルシリアルインターフェイス回路またはマルチチャネル A D C 回路）および／または出力インターフェイス回路（例えば、多重化デジタル出力シリアルインターフェイス回路またはマルチチャネル D A C 回路）の多重化シーケンスは、変更可能である。別の例において、多重化処理または多重化回路の位相特性は、同期のために変更可能である。当業者なら分かるように、外部接続を介して構成コードを生成することによって構成することができる実質的に任意のパラメータは、本開示の教示に従って構成することができる。

10

【0128】

説明された要素、工程、特徴、目的、利益および利点は、単なる例示である。それらのいずれまたそれらに関連する議論は、何らかの方法で保護範囲を限定することを意図していない。多くの他の実施形態も考えられる。他の実施形態は、より少ない数の構成要素、工程、特徴、目的、利益および／または利点、追加の要素、工程、特徴、目的、利益および／または利点、および／または異なる要素、工程、特徴、目的、利益および／または利点を有する実施形態を含む。また、他の実施形態は、異なる順序で要素および／または工程を設置および／または配置する実施形態を含む。

20

【0129】

特に明記しない限り、特許請求の範囲を含む本明細書に記載されたすべての測定値、数値、等級、位置、大きさ、サイズおよび他の仕様は、近似値であり、正確値ではない。関連する機能および当技術分野の慣例に準じて、これらのものに合理的な範囲が与えられる。

30

【0130】

本開示に引用されたすべての記事、特許、特許出願および他の刊行物は、参照により本明細書に組み込まれる。

【0131】

「～ための手段」という語句は、特許請求の範囲で使用される場合、記載された対応する構造および材料並びにその均等物を包含するように意図しており、そのように理解すべきである。同様に、語句「～ための工程」という語句は、特許請求の範囲で使用される場合、記載された対応する行為およびその均等物を包含するように意図しており、そのように理解すべきである。これらの語句が特許請求の範囲に存在しない場合は、対応する構造、材料または行為もしくはその均等物に限定するように意図しておらず、そのように理解すべきではない。

40

【0132】

保護範囲は、以下の特許請求の範囲のみによって限定される。保護範囲は、特定の意味が記載されている場合を除き、本明細書およびその後の審査経過に照らして解釈する際の特許請求の範囲に使用される言語の通常意味と一致するように広く、すべての構造均等物および機能均等物を包含するように意図しており、そのように理解すべきである。

【0133】

「第1」および「第2」などの関係用語は、1つの実体または行為を別の実体または行為から区別するために使用されたものであり、必ずしもそれらの間の実際の関係または順

50

序を必要するまたは暗示することがない。用語「含む」および他の変形は、明細書または特許請求の範囲内の要素リストに関連して使用される場合、このリスト排他的なものではなく、他の要素を含んでもよいことを示すことを意図している。同様に、「一」要素という記載は、さらなる制約がない場合、同一の種類の追加の要素の存在を排除しない。

【0134】

特許請求の範囲のいずれかの請求項は、特許法第101条、第102条または第103条の規定を満たさない発明特定事項を包含するように意図しており、このように理解すべきである。発明特定事項の意図しない包含は、放棄される。この段落に記載されている場合を除き、特許請求の範囲に記載されているかいないかにも関わらず、すべての記載または例示は、要素、工程、特徴、目的、利益、利点、またはその均等物を公開するように意図しておらず、そのように理解すべきではない。

10

【0135】

要約は、読者がすぐに技術的開示の本質を把握するように提供されている。要約は、特許請求の範囲または意味を解釈または限定するように使用されないという理解の下で提出される。また、上記の詳細な説明に記載されたさまざまな特徴は、開示を合理化するために、さまざまな実施形態においてグループ化される。本開示の方法は、各請求項に明示的に記載されている特徴よりも多くの特徴を要求するような実施形態を必要すると解釈すべきではない。むしろ、以下の特許請求の範囲が反映するように、本発明の発明特定事項は、開示された単一実施形態のすべての特徴よりも少ない。したがって、各請求項が別々に発明特定事項を支持する以下の特許請求の範囲は、詳細な説明に組み込まれる。

20

【図1A】

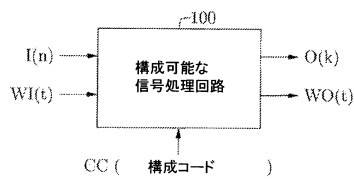


FIGURE 1A (Prior Art)

【図1B】

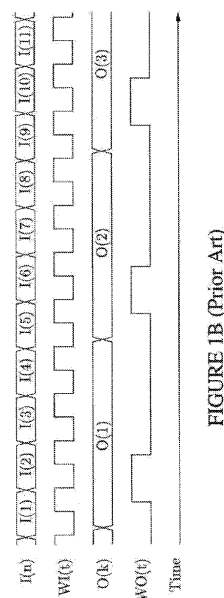


FIGURE 1B (Prior Art)

【図 4 B】

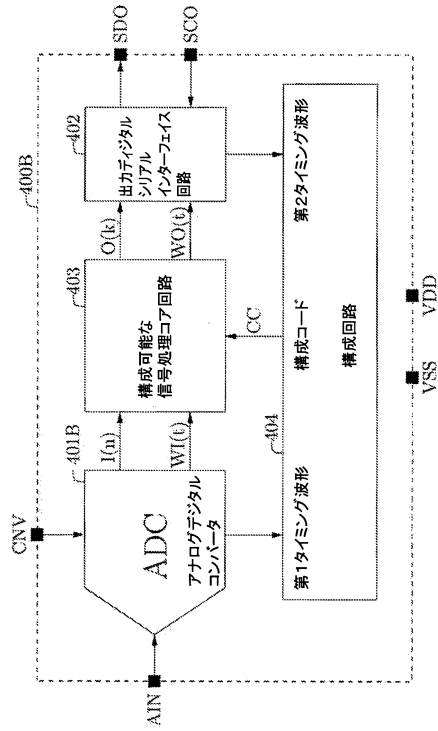


FIGURE 4B

【図 5】

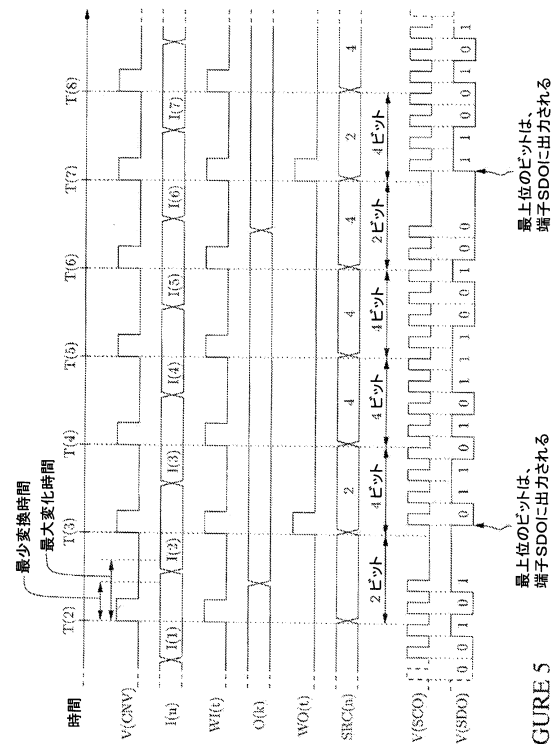


FIGURE 5

【図 6 A】

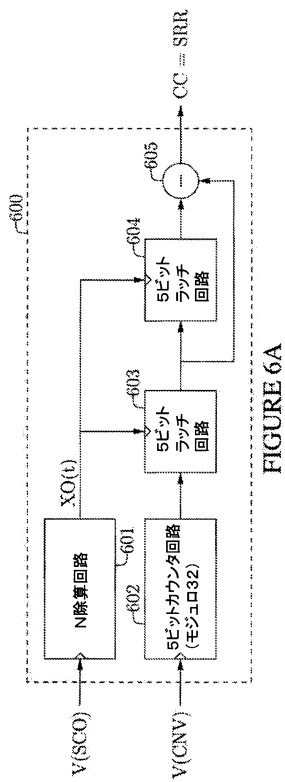


FIGURE 6A

【図 6 B】

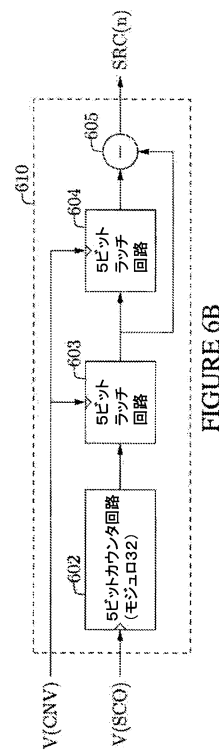


FIGURE 6B

【図 7 A】

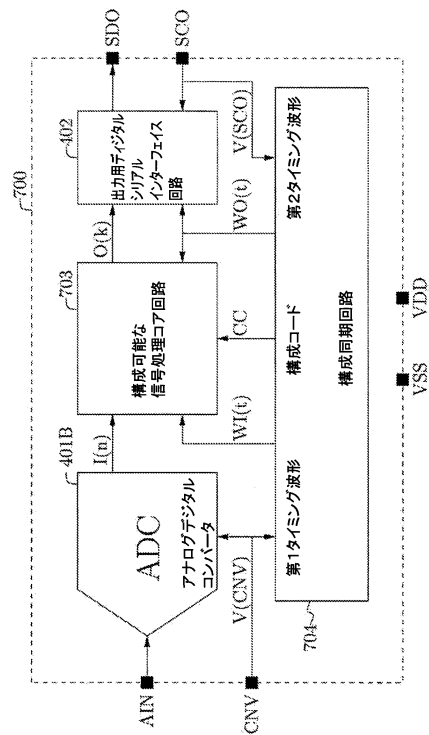


FIGURE 7A

【図 7 B】

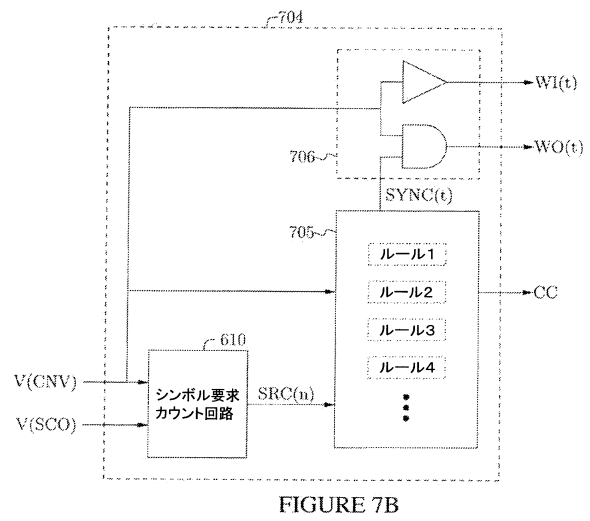


FIGURE 7B

【図 8】

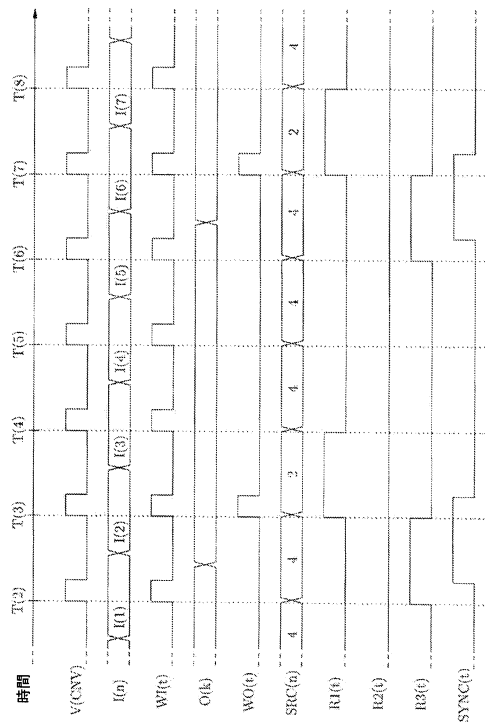


FIGURE 8

【図 9】

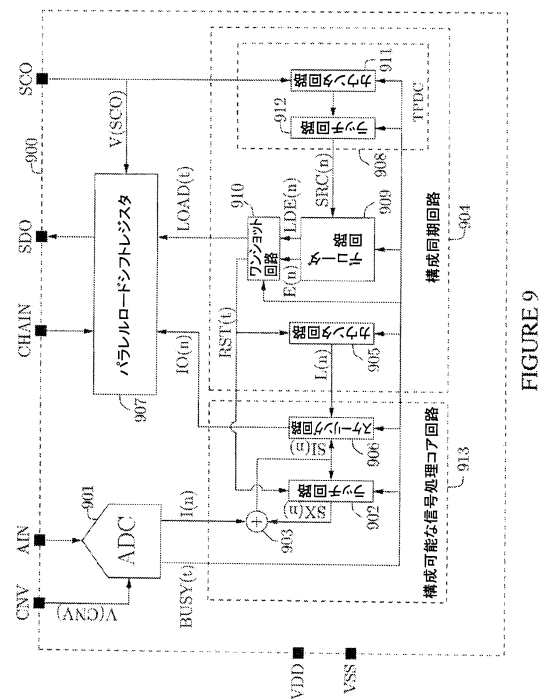


FIGURE 9

【図 10】

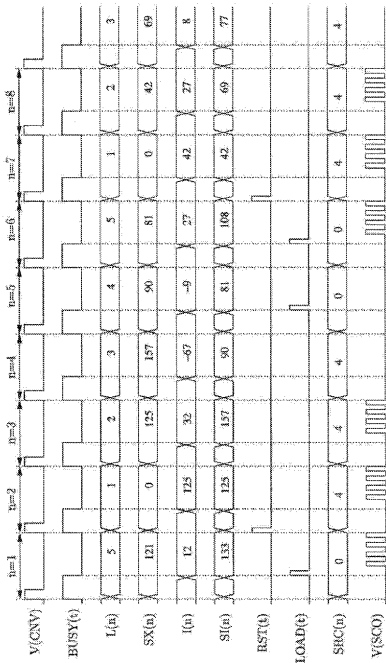


FIGURE 10

【図 11】

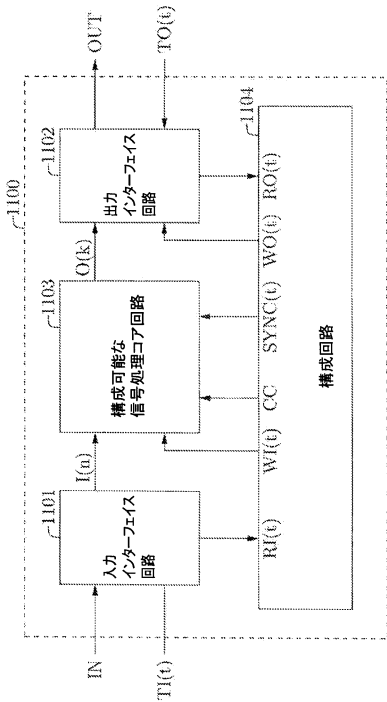


FIGURE 11

フロントページの続き

(72)発明者 スティーンズガードーマドセン, ジェスパー
アメリカ合衆国、95126 カリフォルニア州、サン・ノゼ、ナグリー・アベニュー、1742

審査官 玉木 宏治

(56)参考文献 米国特許第06038400 (US, A)
米国特許第07049988 (US, B1)
特開2010-288237 (JP, A)
特開平09-064795 (JP, A)
米国特許出願公開第2006/0082484 (US, A1)
特開昭63-226137 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H04L 29/06
H04L 12/00-955